

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 27/02

H03K 17/00



[12] 发明专利说明书

[21] ZL 专利号 97199134.0

[45] 授权公告日 2004 年 8 月 25 日

[11] 授权公告号 CN 1163909C

[22] 申请日 1997.9.4 [21] 申请号 97199134.0

[30] 优先权

[32] 1996.9.16 [33] US [31] 08/714,376

[86] 国际申请 PCT/US1997/015590 1997.9.4

[87] 国际公布 WO1998/011554 英 1998.3.19

[85] 进入国家阶段日期 1999.4.26

[71] 专利权人 爱特梅尔股份有限公司

地址 美国加利福尼亚州

[72] 发明人 让-雅克·卡扎济昂

审查员 穆丽娟

[74] 专利代理机构 上海专利商标事务所

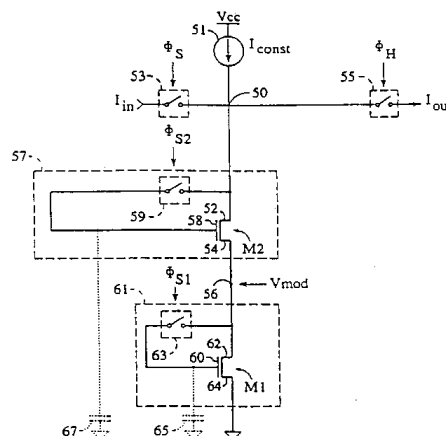
代理人 张政权

权利要求书 3 页 说明书 11 页 附图 7 页

[54] 发明名称 用于开关电流存储单元的时钟直通减少系统

[57] 摘要

电流单元包括串联在恒流源(51)和基准地之间的第一(M2)和第二(M1) MOS 晶体管。这两个晶体管中的每一个都具有把其控制栅极耦合到其漏极的各自第一(59)和第二(63)开关。把采样和保持操作的采样阶段分割成第一和第二采样子阶段,在这两个采样子阶段期间把所保持的输入电流(I_{in})加到电流单元。在第一采样子阶段期间,第二 MOS 晶体管(M1)记录相应于输入电流(I_{in})、恒流源(51)和时钟直通误差的栅极电压。作为沟道效应的结果,在第二晶体管(M1)的漏极(62)处引起调制电压(V_{mod}),使用第一 MOS 晶体管(M2)在保持阶段期间把此调制电压(V_{mod})存储和保持在第二 MOS 晶体管(M1)的漏极(62)。



1. 一种电流存储单元，其特征在于包括：

馈送电流到求和节点中的恒流源；

5 用于把输入电流选择性地耦合到所述求和节点的输入切换装置，所述输入切换装置把所述求和节点处的求和电流有效地达到等于所述恒流源电流和所述输入电流的和；

 用于把所述求和节点选择性地耦合到输出引线的输出切换装置；

 具有输入电极、输出电极和控制电极的电流复制器，所述电流复制器响应于
10 所述控制电极在所述输入电极和所述输出电极之间有效地建立电流通路，所述控制电极还有用于调制所述电流通路，所述输入电极被耦合到接收所述和电流，所述输出电极被耦合到基准地；

 用于把所述控制电极选择性地耦合到所述输入电极的控制开关，当所述控制开关闭合时所述开关在所述控制电极处有效地引起控制电压，所述控制电压与所
15 述和电流有关，在所述控制开关断开时所述控制开关还有效地把误差电压引入所述控制电压；

 耦合在所述控制电极和所述基准地之间的第一电压存储装置，当所述控制开关断开时所述第一电压存储装置有效地存储和保持所述控制电极处的所述控制电压；

20 响应于所述控制开关的断开在所述输入电极处产生调制电压的装置，所述调制电压有效地补偿所述误差电压并保持所述输入电极处的所述和电流不变；以及

 耦合在所述输入电极和所述基准地之间的第二电压存储装置，所述第二电压存储装置有效地存储和保持所述第一输入电极处的所述调制电压，所述输入切换装置响应于各采样和保持阶段而把所述输入电流从所述求和节点中去耦合。

25 2. 如权利要求 1 所述的电流存储单元，其特征在于所述第二电压存储装置包括电容器和具有漏极、源极和控制栅极的 MOS 晶体管，所述漏极被耦合到所述求和节点，所述源极被耦合到所述电流复制器的所述输入电极，所述电容器被耦合在所述控制栅极和所述基准地之间。

 3. 如权利要求 2 所述的电流存储单元，其特征在于所述第二电压存储装置还

包括把所述控制栅极选择性地耦合到所述求和节点的第二控制开关，所述第二控制开关由另一个各自采样和保持阶段来控制。

4. 如权利要求 2 所述的电流存储单元，其特征在于所述电容器是实际电容器和所述 MOS 晶体管的本征电容中的一种。

5. 如权利要求 1 所述的电流存储单元，其特征在于所述第一电压存储装置包括耦合在所述控制电极和所述基准地之间的电容器。

6. 如权利要求 1 所述的电流存储单元，其特征在于所述电流复制器包括具有漏极、源极和控制栅极的 MOS 晶体管，所述漏极被耦合到所述输入电极，所述源极被耦合到所述输出电极，所述控制栅极响应于所述控制电极。

7. 如权利要求 6 所述电流存储单元，其特征在于用于产生调制电压的所述装置包括所述 MOS 晶体管中的沟道效应。

8. 如权利要求 7 所述的电流存储单元，其特征在于用于产生调制电压的所述装置调制所述 MOS 晶体管的跨导增益。

9. 如权利要求 1 所述的电流存储单元，其特征在于所述控制开关是一 MOS 晶体管。

10. 一种具有第一采样阶段、第二采样阶段和保持阶段的电流存储单元，其特征在于包括：

馈送电流到求和节点中的恒流源；

被选择性地加到所述求和节点的输入电流；

具有第一漏极、第一源极和第一控制栅极的第一 MOS 晶体管，所述第一控制栅极有效地引起具有跨导增益的反向沟道并把所述第一漏极电气耦合到所述第一源极，所述第一漏极被耦合接收等于所述恒流源和所述输入电流的的和的电流；

用于在所述第一采样阶段把所述第一控制栅极选择性地耦合到所述第一漏极并在所述第二采样阶段把所述第一控制栅极与所述第一漏极分开的开关，所述开关还在所述第一采样阶段期间在所述第一控制栅极处有效地引起促进所述跨导增益和所述和电流的栅极电压，并在所述第二采样阶段期间把一误差电压有效地引入所述第一栅极电压；

用于调制所述反向沟道的跨导增益从而补偿所述误差电压并在所述第二采样阶段保持所述漏极电流不变的装置，用于调制所述跨导增益的所述装置还在所述

第一漏极处产生补偿电压；以及

用于在所述保持阶段记录和保持所述第一漏极处的所述补偿电压的装置，响应于所述保持阶段而把所述输入电流与所述求和节点分开。

11. 如权利要求 10 所述的电流存储单元，其特征在于用于调制所述反向沟道的所述跨导增益的所述装置包括在所述第一 MOS 晶体管中引起沟道效应。

12. 如权利要求 10 所述的电流存储单元，其特征在于用于记录和保持所述补偿电压的所述装置串联在所述求和节点和所述第一漏极之间。

13. 如权利要求 12 所述的电流存储单元，其特征在于用于记录和保持所述补偿电压的所述装置包括具有第二漏极、第二源极和第二控制栅极的第二 MOS 晶体管，所述第二漏极被耦合到所述求和节点，所述第二源极被耦合到所述第一漏极。

14. 如权利要求 13 所述的电流存储单元，其特征在于用于记录和保持所述补偿电压的所述装置还包括用于把所述第二控制栅极选择性地耦合到所述求和节点的第二开关。

15. 如权利要求 14 所述的电流存储单元，其特征在于用于记录和保持所述补偿电压的所述装置还包括耦合在所述第二控制栅极和基准地之间的电容。

16. 如权利要求 15 所述的电流存储单元，其特征在于所述电容是所述第二 MOS 晶体管的本征电容和实际电容器中的一种。

17. 如权利要求 14 所述的电流存储单元，其特征在于用于记录和保持所述补偿电压的所述装置还包括耦合在所述求和节点和所述第二漏极之间的级联电路。

18. 如权利要求 17 所述的电路单元，其特征在于所述级联电路是简单级联电路和调节的级联电路中的一种。

19. 如权利要求 10 所述的电流存储单元，其特征在于所述第一 MOS 晶体管包括耦合在所述第一控制栅极和所述第一源极之间的电容，所述电容有效地存储所述栅极电压。

20. 如权利要求 19 所述的电流存储单元，其特征在于所述电容是所述第一 MOS 晶体管的本征电容和实际电容器中的一种。

用于开关电流存储单元的时钟直通减少系统

技术领域

本发明涉及时钟直通(feedthrough)误差减少的开关电流存储单元。

背景技术

在多年无人问津后，目前人们对诸如集成模拟信号处理器等集成的模拟电路越来越感兴趣。通常，这些电路是以电压域来设计的，且它们有时通过把电压从一个电容器转移到另一个电容器来实现其任务。然而，为了实现高的精度，这种方案需要大的线性集成电容器，继而还需要使用诸如双-多工艺等专门技术的高级 CMOS 工艺。这些专门的 CMOS 技术难以在 VLSI 甚至 LSI 工艺中实现。

开关电流“SI”电路是一种通过操纵电流来实现模拟功能的新电路原理。即，与电压大小相反，使用所采样的电流大小来表示信号。由于 SI 电路以电流域来操作，所以与基于模拟 IC 的更传统的电压相比，它们在更低的电源电压下操作且消耗更少的功率。更有利的是，由于 SI 电路通过控制电流而不是电容器的充电和放电来操纵信号，所以它们不需要高质量的线性电容器来实现高的性能，而且还可能实现较高的速度。因此，SI 电路不需要专门的 CMOS 工艺技术并可用标准数字 VLSI 处理来实现。结果，SI 使得可把数字和模拟功能组合在一公共的 IC 上。

然而，SI 电路也有一些缺陷。首先，为了实现高性能的电路，每个所采样的电流幅值必须具有高的精度水平。如果使用标准电流反射镜，则电流反射镜两个支路中的晶体管必须严格匹配，以保证得到输入电流的准确输出拷贝。标准 CMOS 工艺不足以为高性能的 SI 电路实现晶体管的高度匹配。

通过使用电流存储单元来可避免晶体管匹配这种关系。如图 1 所示，电流存储单元(公知的电流复制器或动态电流反射镜)应能够在操作的采样阶段准确地拷贝输入电流 I_{in} ，然后在操作的保持阶段把所拷贝的电流再现为输出电流 I_{out} 。电流存储单元 11 可被有效地作为基于电流的采样-保持电路。在操作的第一阶段 $\Phi 1$ ，开关 13 闭合，开关 15 断开，采样-保持控制输入端 S/H 被设定为采样“S”。

在此期间，电流存储单元 11 测量输入电流 I_{in} ，并对输入电流 I_{in} 进行拷贝。在操作的第二阶段 $\Phi 2$ ，开关 13 断开，开关 15 闭合，且 S/H 控制输入端被设定为保持“H”。然后，电流存储单元 11 将产生幅值等于测得的 I_{in} 的幅值的输出电流 I_{out} 。由于 I_{out} 根据 I_{in} 的测量值而不是直接根据 I_{in} ，所以电流存储单元 11 与静态元件匹配无关，因此可用于使用标准 CMOS 工艺的高精度应用中。

参考图 2，示出基本的电流存储单元的内部图。输入电流 I_{in} 可以是双向的，但由于电流复制器 10 的实际上需要（即一些元件需要一直被正向偏置），所以必须使用偏置恒流源 17。电流源 17 提供了基准电流 I_{ref} ，该基准电流在被加到节点 25 处的 I_{in} 时保证电流复制器 10 总是能看见单向的电流。

在开关 13 闭合而开关 15 断开的采样阶段 $\Phi 1$ ，电流复制器 10 接收节点 25 处的电流 $I_{ref}+I_{in}$ 。在保持阶段 $\Phi 2$ ，开关 13 断开，开关 15 闭合，且电流复制器 10 在理想情况下保持恒定电流值 $I_{ref}+I_{in}$ 。恒流源 17 提供电流 I_{ref} ，但由于开关 15 闭合，所以必须由 I_{out} 把输入电流的倒相拷贝 $-I_{in}$ 提供给节点 25。

在图 3 中示出已有技术的基本电流存储单元 11 的典型电路级示例。所示的电流复制器 10 包括一 nMOS 晶体管 19，用于提供从节点 25 到地的电流通路并具有栅-漏本征电容 21。开关 23 在采样阶段 $\Phi 1$ 把节点 25 耦合到晶体管 19 的栅极，并在保持阶段 $\Phi 2$ 把节点 25 与晶体管 19 的栅极隔离。

在采样阶段 $\Phi 1$ ，开关 13 和 23 闭合，而开关 15 断开。输入电流 I_{in} 和基准电流 I_{ref} 在节点 25 处求和并被加到晶体管 19 的漏极。由于开关 23 闭合，所以晶体管 19 起到正向偏置的连接二极管的晶体管的作用，且本征电容器 21 被充电到通过晶体管 19 产生电流 $I_{ref}+I_{in}$ 所需的栅极电压 V_g 。

在保持阶段 $\Phi 2$ 期间，开关 13 和 23 断开，而开关 15 闭合。本征电容 21 将保持产生电流 $I_{ref}+I_{in}$ 所需的栅极电压 V_g 。实际上，晶体管 19 现在就象一存储 nMOS 晶体管。从而记录输入电流 I_{in} 。由于恒流源 17 提供 I_{ref} 而存储晶体管 19 需要 $I_{ref}+I_{in}$ ，所以必须由输出端的负载来提供电流 I_{in} ，且输出电流 I_{out} 变为输入电流的倒相拷贝 $-I_{in}$ 。

图 3 的基本电流存储单元 11 受到来自其实际电路结构的两个基本问题的影响。第一个问题是由沟道效应引起的晶体管 19 的沟道长度调制所引入的误差。沟道效应改变了晶体管 19 的跨导增益，从而改变了来源于给定栅极电压 V_g 的电流。如果晶体管 19 的漏-源电压 V_{ds} 在采样和保持阶段不保持恒定，则该晶体

管 19 将受到沟道效应的影响。即, 如果来自通过开关 13 的输入信号的晶体管 19 的 V_{ds} 电压不同于来自通过开关 15 的负载信号的晶体管 19 的 V_{ds} 电压, 那么尽管晶体管 19 保持其栅极电压 V_{gs} 恒定, 也将由于沟道效应而引入误差电流。

在 Electronics Letters, 1990, Vol. 26, No 19, pages 1593-1595 以及 Electronics Letters, 1990, Vol. 26, No 5, pages 303-305 中示出, 使用加在节点 25 和存储晶体管 19 漏极之间简单的和调节的(regulated)级联电路(cascode), 通过保持晶体管 19 的 V_{ds} 相对恒定将减轻沟道效应, 而不管节点 25 处的电压波动如何。Groeneveld 等人的 5,296,752 号美国专利揭示了使用调节的级联电路的电流存储单元。

影响电流存储单元的第二个问题来自于开关 23 的实际情况。参考图 4, 在本领域中普遍的是, 以 nMOS 晶体管 27 来实现开关 23。晶体管 27 响应于控制输入端 S/H, 选择性地把节点 25 耦合到存储晶体管 19 的栅极。晶体管 27 的本征栅-源电容 29 把信号 S/H 有效地耦合到存储晶体管 19 的栅极。于是, 当信号 S/H 从采样阶段变到保持阶段即从高变到低时, 利用电容 29 把成比例的电压降传输到晶体管 19 的栅极。这样在晶体管 19 的栅极处引入第一栅极电压误差, 叫做交叠电容误差。

开关晶体管 27 还引入了第二个误差。当控制输入端 S/H 把高电压加到开关晶体管 27 的栅极时, 有一定数量的电荷 q_1+q_2 聚集在其沟道区。当使信号 S/H 为低时, 电荷 q_2 通过漏极离开沟道区, 而电荷 q_1 通过源极离开沟道区并重新分布于存储晶体管 19 的栅极。这样所引入的第二栅极误差叫做电荷注入, 它与交叠电容误差一起把净栅极误差电压 V_{cn} 加在存储晶体管 19 的栅极。净栅极误差电压 V_{cn} 通常被叫做时钟直通误差, 并可严重地限制电流存储单元的性能。

时钟直通误差的数值与开关晶体管 27 和存储晶体管 19 的相对电容有关。已发现, 加上耦合在存储晶体管 19 的栅极和源极之间的大的实际电容器可减少但不能消除时钟直通误差。Groeneveld 等人在 5,296,752 号美国专利中所述的电流存储单元还示出使用附加的实际电容器。然而, 附加电容器的尺寸由实际情况和频率限制来限定。

在 Electronics Letters, 1990, Vol. 29, no. 16, pages 1400-1401 中, Hughes 等人提出了类似于 Hughes 的 4,958,123 号美国专利中所述的电流存储单元, 该存储单元通过把采样阶段 Φ_1 分解成第一和第二采样子阶段 Φ_{1a} 和 Φ_{1b} 来减少时钟直通误差。

参考图 5，在第一采样子阶段 $\Phi 1a$ 期间，电流存储单元表现为以上所讨论的具有输入电流 I_{in} 和基准电流源 I_{ref} 的典型电流存储单元。在此第一采样子阶段 $\Phi 1a$ 期间，开关 33、43 和 49 闭合，而开关 35 和 45 断开。于是，pMOS 晶体管 31 表现为由恒定电压 V_{ref} 所控制的恒流源。Hughes 的存储单元通过断开开关 49 来终止第一子阶段 $\Phi 1a$ ，从而利用跨接在 nMOS 存储晶体管 47 的栅极和源极的电容器 46 以与典型电流存储单元类似的方式记录输入电流 I_{in} 、基准电流 I_{ref} 和附加的第一时钟直通误差电流。

然而，与典型的电流存储单元不同的是，利用在开关 49 断开以及 nMOS 存储晶体管 47 已记录上述电流后的周期内保持闭合的开关 43 把输入电流 I_{in} 持续加到电流存储单元。

该周期构成了第二采样子阶段 $\Phi 1b$ 。在第二采样子阶段 $\Phi 1b$ 期间，通过断开开关 33 和闭合开关 35 把 Hughes 电流源 I_{ref} 转换成二极管连接的 pMOS 晶体管。这样有效地形成了第二存储晶体管 31，即使是 pMOS 型。二极管连接的 pMOS 晶体管 31 提供未被输入电流 I_{in} 提供的 nMOS 存储晶体管 47 所需的任何电流。即，pMOS 存储晶体管提供先前由 V_{ref} 所控制的基准电流以及开关 49 对 nMOS 存储晶体管 47 的动作所引入的附加第一时钟直通误差电流。于是，即使在 nMOS 存储晶体管 47 在第一 $\Phi 1a$ 和第二 $\Phi 1b$ 采样子阶段期间不发源流过相等的电流和，输入电流 I_{in} 也不受影响。

一旦确定 pMOS 存储晶体管，就通过断开开关 43 和 35 以及闭合开关 45 来开始保持阶段 $\Phi 2$ 。这使 pMOS 存储晶体管 31 利用第二电容器 37 记录其电流。二极管连接的 pMOS 晶体管 31 的截止产生将被存储器 37 记录的附加第二传输误差。依据 Hughes，连接 pMOS 31 漏极和 nMOS 存储晶体管 47 漏极的节点 30 表现为虚地，其电压保持不变，而不管增加还是除去 I_{in} 。因此，晶体管 31 和 47 的漏-源电压保持相对不变，从而减少沟道效应。Hughes 还说明可使 pMOS 存储晶体管 31 所引入的第二时钟直通误差相对恒定，从而可在后面的电路级中消除该误差。

本发明的一个目的是提供一种时钟直通误差减少的电流存储单元。

本发明另一个目的是提供了一种不受存储晶体管的沟道效应的不利影响的电流存储单元。

本发明的再一个目的是提供一种电流存储单元，该单元同时补偿了时钟直通

误差和沟道效应而无需附加复杂电路。

本发明的又一个目的是提供一种电路存储单元，该单元不仅仅依靠存储存储晶体管的栅-源电压来记录输入电流。

发明内容

在利用沟道效应并把它用作记录输入电流的两级采样阶段的一部分的电流存储单元中满足了以上目的。本发明的电流存储单元具有采样阶段和保持阶段，但采样阶段被分成采样收集(capture)阶段和采样修正阶段。

依据本发明的电流存储单元包括用于在采样收集和采样修正阶段把输入电流耦合到求和节点的输入开关、连续馈送到求和节点中的恒流源、用于在保持阶段期间把求和节点耦合到输出引线的输出开关、用于存储调制电压的装置以及电流复制器单元。用于存储调制电压的装置被耦合到求和节点，且在本说明书中称作调制电压存储器。调制电压存储器还与位于求和节点和基准地之间的电流复制器串联。电流复制器包括存储晶体管。

电流复制器响应于采样收集阶段，调制电压存储器响应于采样修正阶段。在采样收集阶段，把输入电流、恒流源和时钟直通误差的和记录在电流复制器中。由于输入电流仍旧被加到求和节点，所以采样修正阶段在电流复制器的存储晶体管中故意引起一定程度的沟道效应，从而足以消除记录时钟直通误差的影响。在把电流复制器耦合到调制电压存储器的节点处引起直接来自于沟道效应的漏极电压变化。此漏极电压变化被用作在电流复制器中引起的沟道效应数值的量度，以补偿时钟直通误差。

调制电压存储器通过记录漏极电压变化并在保持阶段保持漏极电压变化来响应于采样修正阶段。

在保持阶段，把沟道效应的测量值和输入电流、恒流源与时钟直通误差的和都加到电流复制器，以再现沟道效应误差消除的输入电流。

在本发明的本实施例中，以第一 MOS 存储晶体管来实现电流复制器，该晶体管具有把第一存储晶体管的栅极选择地耦合到其漏极的第一采样开关。以第二存储晶体管来实现电流复制器，此晶体管具有耦合到求和节点的漏极、耦合到第一存储晶体管的漏极的源极以及把第二存储晶体管的栅极选择性地耦合到其漏极的第二采样开关。

附图概述

图 1 是理想的电流存储单元的方框图。

图 2 是已有技术的基本电流存储单元。

图 3 是示出图 2 的电流复制器的已有技术的晶体管级(level)电流存储单元。

图 4 是示出图 3 的已有技术基本电流存储单元中误差源的晶体管级电路。

图 5 是已有技术的电流存储单元, 该单元把采样-保持电流存储单元的采样阶段分成两个采样子阶段。

图 6 是依据本发明的电流存储单元的方框图。

图 7 是依据本发明的电流存储单元的晶体管级插入示例。

图 8 是示出图 7 的存储晶体管性能的 V_{gs} 电流曲线族。

图 9 是依据本发明的时钟直通误差进一步衰减的电流存储单元的第二实施例。

图 10 是依据本发明的具有调节的级联电路输出级的电流存储单元的第三实施例。

图 11 是实际存储电容器进一步增大的图 10 的电流存储单元。

本发明的较佳实施方式

参考图 6, 恒流源 51 把恒定电流 I_{const} 提供给电流求和节点 50。输入电流 I_{in} 利用开关 53 进入电流求和节点 50, 输出电流 I_{out} 利用开关 55 进入电流求和节点 50。用于存储调制电压 57 的装置和电流复制器单元 61 串联在电流求和节点 50 和基准地之间。

图 6 的电流存储单元的操作被分成采样阶段 ΦS 和保持阶段 ΦH 。采样阶段 ΦS 被进一步分成第一采样收集阶段 $\Phi S1$ 和第二采样修正阶段 $\Phi S2$ 。在采样阶段 $\Phi S1$ 和 $\Phi S2$ 期间, 开关 53 闭合使 I_{in} 进入节点 50, 开关 55 断开把节点 50 与 I_{out} 隔离。

采样阶段 ΦS 以采样收集阶段 $\Phi S1$ 开始, 在此期间 I_{in} 加上 I_{const} 不受阻碍地从节点 50 通过调制电压存储器 57 和电流复制器 61 到达基准地。电流复制器 61 获得电流的测量值, $\Phi S1$ 引线指令采样收集阶段结束而使电流复制器存储电流 $I_{in}+I_{const}$, 并开始成为等效电流加上时钟直通误差的电流源。

通常, 时钟直通误差将使电流复制器 61 把误差电流分量引入所存储的电流 $I_{in}+I_{const}$, 但由于图 6 的电流存储单元仍旧处于简单采样模式且开关 53 保持闭合, 所以进入节点 50 的总电流 $I_{in}+I_{const}$ 保持不变。因此, 使电流复制器 61 在采样修正阶段 $\Phi S2$ 期间成为与它在采样收集阶段 $\Phi S1$ 期间采集的相同数量电流的源, 而不管其时钟直通误差。如下所述, 电流的这种强制关系使电流复制器 61 在节点 56 处感应出引起调制电压 V_{mod} 的沟道效应。调制电压 V_{mod} 是消除电流调制器 61 所引起的时钟直通误差的影响的有效修正电压。

一旦节点 56 稳定到补偿时钟直通误差所需的调制电压 V_{mod} , 则引线 $\Phi S2$ 指令采样修正阶段结束, 从而使调制电压存储器 57 存储 V_{mod} 的值。采样修正阶段 $\Phi S2$ 的结束还指令整个采样阶段 ΦS 的结束, 从而使开关 53 断开而使开关 55 闭合。

这样构成了保持阶段 $\Phi S2$ 。虽然将不再把 I_{in} 加到节点 50, 调制电压存储器 57 把节点 56 处电压 V_{mod} 处保持恒定。因此, 使电流复制器 61 保持补偿和修正它在采样收集阶段 $\Phi S1$ 期间所引起的时钟直通误差所需的沟道效应的数量。结果, 电流复制器 61 继续发源流过电流 $I_{in}+I_{const}$, 而不管其时钟直通误差。由于恒流源 51 提供 I_{const} , 所以 I_{out} 必须提供 $-I_{in}$ 的值。

此外, 与需要附加的电路来减少电流复制器 61 的沟道效应从而减轻此沟道效应所引起的任何附加误差的许多已有技术不同的是, 电流存储单元实际上助长复制器单元 61 上的沟道效应。事实上, 本发明的电流存储单元通过存储沟道效应的测量值 V_{mod} , 然后使电流复制器 61 在其内部感应出沟道效应的测量量, 来存储和再现所拷贝的输入电流 I_{in} 。

参考图 7, 示出依据本发明的电流存储单元的晶体管级示例。对图 7 中具有与图 6 中所示元件类似功能的元件给出类似的标号并在以上进行了说明。

在图 7 中, 示出的电流复制器 61 由存储晶体管 M1 构成, 此晶体管利用响应于引线 $\Phi S1$ 的开关 63 把其栅极 60 选择性地耦合到其漏极 62。存储晶体管 M1 的源极 64 被耦合到基准地, 本征电容器 65 把其栅极 60 耦合到其源极 64。

在此实施例中, 调制电压存储器 57 具有类似于电流调制器 61 的结构, 但本领域内的技术人员应理解, 还可使用存储电压 V_{mod} 的其它方法。调制电压存储器 57 包括第二 nMOS 存储晶体管 M2, 该晶体管的漏极 52 耦合到电流求和节点 50, 其源极 54 耦合到节点 56 处 M1 的漏极 62。利用响应于引线 $\Phi S2$ 的第二开关 59

把 M2 的栅极 58 选择性地耦合到其漏极 52。

通过闭合开关 53、59 和 63 并断开开关 55 来开始采样收集阶段 $\Phi S1$ 。然后，求和节点 50 接收电流 I_{in} 和 I_{const} 。电流 I_{in} 与 I_{const} 的和通过调制电压存储器 57 的存储晶体管 M2 和电流复制器 61 的存储晶体管 M1。

由于开关 63 闭合，所以 M1 是二极管连接的，其栅极 60 到源极 64 的电压与其漏极 62 到源极 64 的电压相同。然后，M1 栅极 60 处的电压升高到促进漏极 62 到源极 64 的电流 $I_{in}+I_{const}$ 的值。本征电容 65 被充电到栅极 60 的电压的值。

由于开关 59 闭合，所以 M2 也是二极管连接的，其栅极 58 到源极 54 的电压也把它本身调节到促进电流 $I_{in}+I_{const}$ 的值。然而，由于 M2 的源极 54 连接到 M1 的漏极 62，所以 M2 的栅极 58 处的电压跟踪 M1 的漏极 62 处的电压。

一旦 M1 的栅极 60 稳定到一稳定电压，则引线 $\Phi S1$ 通过断开开关 63 来指令采样收集阶段 $\Phi S1$ 的结束以及采样修正阶段 $\Phi S2$ 的开始。所有其它的开关保持不变。如上所述，开关 63 的断开把第一时钟直通误差电压 V_{cft1} 加到由开关 63 的交叠电容和电荷注入所引起的电容 65。于是，存储晶体管 M1 想要驱动电流 $I_{in}+I_{const}$ 加上对应于其栅极处的附加时钟直通误差电压 V_{cft1} 的附加误差电流分量。但由于进入求和节点 50 的电流 I_{in} 和 I_{const} 保持不变，所以使 M1 继续发源流过相同的电流 $I_{in}+I_{const}$ ，而不管第一时钟直通误差电压 V_{cft1} 。

这意味着，虽然 M1 起先对给定的栅极电压 V_g 发源流过电流 $I_{in}+I_{const}$ ，但它现在必须对另一个栅极电压 V_g+V_{cft1} 发源流过相同的电流 $I_{in}+I_{const}$ 。为了这样做，必须改变 M1 的跨导增益。这是由 M1 沟道效应的作用而带来的。即，把 M1 中反向沟道的尺寸调节到实现新的跨导增益 g_m 。然后，新的 g_m 使 M1 的漏极 62 处的电压发生变化。实际上，漏极 62 处的电压变为补偿及修正 M1 的时钟直通误差 V_{cft1} 所需的沟道效应量的量度，且保持了恒定电流 $I_{in}+I_{const}$ 。

图 8 中示出 M1 上沟道效应的效果。在图 8 中，对 M1 的两个栅-源电压 V_{gsM1} 示出晶体管 M1 的漏-源电流 I_{dsM1} 对漏-源电压 V_{dsM1} 的特性曲线。

曲线 $V_{gsM1}\Phi S1$ 示出采样收集阶段 $\Phi S1$ 结束时 M1 中的电流曲线。即， $V_{gsM1}\Phi S1$ 代表 M1 处的栅极电压升高到促进传导电流 $I_{in}+I_{const}$ 的值时采样收集 $\Phi S1$ 阶段结束时 M1 上的栅极电压。一旦 M1 的栅极电压稳定到栅极值 $V_{gsM1}\Phi S1$ ，则其漏极电压将达到 $V_{ds_{initial}}$ 的相应初始值。这示为图上的点“A”。

在开关 63 断开而开始采样修正阶段 $\Phi S2$ 时，把第一时钟直通误差电压 V_{cft1}

加到 M1 的栅极电压。曲线 $V_{gs_{M1}\Phi S2}$ 表示此新的栅极电压而且等于采样收集阶段 $V_{gs_{M1}\Phi S1}$ 结束时的栅极电压加上 V_{cft1} 。

在图 8 中, 假设以 nMOS 晶体管来实现图 7 的开关 63, 因此进一步假设 V_{cft1} 具有负的值。结果, 图 8 示出 V_{cft1} 使栅极电压 M1 下降。

这个假设基于两个因素。一个是, 如果开关 63 是 nMOS 器件, 则它将响应于引线 $\Phi S1$ 从高变到低而断开。这样会由于开关 23 和存储晶体管 M1 的交叠电容而使 M1 的栅极电压成比例地下降。第二, 如果开关 23 是一 nMOS 器件, 则因开关 23 断开所引起的 M1 栅极处的电荷注入将导致负电荷电子的增加, 这些电子将进一步降低 M1 的栅极电压。然而, 作这些假设纯粹是示意性的, 且 V_{cft1} 对本发明来说不是决定性的。

在以图 8 中的点“B”表示的采样修正阶段 $\Phi S2$ 开始时, 开关 63 已断开, 且 M1 的栅极电压下降到新的值 $V_{gs_{M1}\Phi S2}$ 。对于给定的恒定漏-源电压 $V_{ds_{initial}}$, M1 栅极电压的下降同样将引起 M1 漏极电流的下降, 即从操作点“A”处的初始值 $I_{in}+I_{const}$ 下降到操作点“B”处减少了误差电流 I_{cft1} 的值。

然而, 由于使本发明电流单元中的 M1 保持恒定电流 $I_{in}+I_{const}$ 而不管其栅极电压中的变化, 所以在 M1 中引起沟道效应。因此, M1 必须对给定的较低栅极电压流过更多的电流。结果, 必须调节其跨导增益, 在此情况下, 此跨导增益是增加的, 这将使其漏极电压被相应地调制即升高到操作点“C”处的新值 $V_{ds_{final}}$ 。在操作点“C”处 M1 的漏极电流恢复到其初始值 $I_{in}+I_{const}$, 最终的漏极电压 $V_{ds_{final}}$ 是 M1 补偿开关 63 所引起的时钟直通误差 V_{cft1} 所需的新跨导增益的指示。实际上, $V_{ds_{final}}$ 和 $V_{ds_{initial}}$ 之差是修正 M1 的时钟直通误差 V_{cft1} 所需的跨导增益即沟道效应范围的变化的量度。

M1 漏极 62 处的调制漏极电压 $V_{ds_{final}}$ 在图 7 中表示为 V_{mod} 。如上所述, M2 的栅极 58 的电压跟踪 M1 的漏极 62 的电压。因此, M2 的栅极 58 的电压随着 M1 的漏极 62 的电压被调节即调制类似的数量, M2 的栅极 58 的电压变为 V_{mod} 。

在采样修正阶段 $\Phi S1$ 的结束时, 开关 59 和 53 断开, 开关 55 闭合。开关 59 的断开引起 M2 栅极 58 的电压被存储在本征电容 67 中, 该电压保持修正电压 V_{mod} 的量值。通过保持 M2 栅极 58 的电压恒定, 电容 67 把 V_{mod} 有效地保持恒定, 从而使 M1 维持保持电流 $I_{in}+I_{const}$ 所需的沟道效应的数量。换句话说, 本发明的电流存储单元通过存储晶体管 M1 的漏极电压来存储输入电流。

电容 67 还存储 M2 的栅极 58 处由开关 59 所引起的第二时钟直通误差 $V_{\text{cft}2}$ ，该误差把误差电压引入节点 56 处的 V_{mod} 。虽然由开关 59 所引起的 M2 上的电荷注入可与由开关 63 引起的 M1 上的电荷注入相同，但第二时钟直通误差 $V_{\text{cft}2}$ 对通过 M2 和 M1 的 I_{ds} 电流的影响比 $V_{\text{cft}1}$ 产生的影响低得多。

这是由于几个综合因素，但如果假定通过 M1 和 M2 的电流由 $I_{\text{ds}}=K1(V_{\text{gs}}-V_{\text{th}})^2(1+K2V_{\text{ds}})$ 确定，K1 是尺寸与技术的函数，K2 是沟道效应与阈值电压 V_{th} 的函数，则一般将不可能给出第二时钟直通误差 $V_{\text{cft}2}$ 对通过 M2 和 M1 的 I_{ds} 电流的影响减少的精确数量。精确的误差减少与各种电压值、电流、K1、K2 和所使用的技术有关，但已发现，由 $V_{\text{cft}2}$ 所引入的电流误差一般比只作用于 M1 而非 M2 上的 $V_{\text{cft}1}$ 所引起的电流误差小 10 到 100 倍。通过观察第二时钟直通误差 $V_{\text{cft}2}$ 分布在两个存储晶体管 M1 和 M2 上，且 M2 电极处的电压值比 M1 的电压值高得多从而时钟直通误差电压对 M2 的相对影响成比例的减少，可获得 $V_{\text{cft}2}$ 对 M2 的影响减少的一般感觉。

于是，图 7 的电流存储单元通过存储电流复制器的存储晶体管 M1 的栅-源电压来再现输入电流甚至没有已有技术那样多，但宁可说是通过存储 M1 的漏-源电压来再现输入电流。

图 9 中示出依据本发明的电流单元的第二实施例。对具有与图 7 实施例中的元件相同功能的元件给出类似的标号，并在以上进行了说明。

在图 9 中，实际电容器 66 被耦合在 M1 的栅极 60 和基准地之间。如上所述，使用实际电容器减少了 M1 的时钟直通误差。如上所述，M2 存储在 M1 的漏极 62 处取得的来自于 M1 上沟道效应的修正调制电压 V_{mod} ，但虽然由于 M2 的作用消除了 M1 的时钟直通误差，但使用电容器 66 减少了留在 M1 中的修正沟道效应的数量，从而减少 M1 的漏极 62 处的电压调制。电压调制的减少意味着，M2 更能补偿 M1 的时钟直通误差。

还把第二实际电容器 68 耦合在 M2 的栅极 58 和相对地之间。第二实际电容器 68 不仅响应于开关 59 减少了 M2 所经历的第二时钟直通误差，而且还有助于存储和保持 M2 的栅极 58 处的修正调制电压 V_{mod} 。

参考图 10，对具有与图 7 中的元件相同功能的所有的元件给出类似的标号，并在以上进行了说明。在图 10 中，调节的级联电路 81 被插在 M2 的漏极 52 和求和节点 50 之间。调节的级联电路 81 极大地增加了电流存储单元的输出阻抗。必

须强调的是，如上所述，虽然一般在已有技术的电流存储单元中为了减少电流复制器存储晶体管 M1 的沟道效应而使用调节的级联电路，但把图 10 中的调节的级联电路 81 耦合到调制电压存储晶体管 M2，而不是电流复制器存储晶体管 M1，这样，由调节的级联电路 81 而使 M1 的漏极 62 的电压不保持固定，可响应于 M1 上的沟道效应自由地调节其电压值。

在本发明中，调节的级联电路 81 在增强输出阻抗和降低反馈电容特性的所有场效应晶体管的模拟电路中有更普遍的应用。通过在 M2 处使用级联电路级，图 10 的电流存储单元可实现更好的频率响应并以在求和节点 50 处摆动的更大的电压下进行操作。由于开关 59 把 M2 的栅极 58 选择性地耦合到求和节点 50，所以调节的级联电路 81 包含在 M2 的二极管连接中。因此，当开关 59 闭合时，调节的级联电路 81 用作调节的级联电路电流反射镜的增强型输入级。当开关 59 断开时且电流存储单元进入保持阶段 Φ_H 时，调节的级联电路 81 就象调节的级联电路电流源。

与使用简单的级联电路相比，使用调节的级联电路 81 提供了更好的性能。但本领域内的技术人员会认为无论使用任何简单或调节的级联电路都将增强 M2 的性能。在图 10 中，由于调节的级联电路在采样阶段 Φ_{S1} 和 Φ_{S2} 期间从节点 50 和 M2 的栅极 58 提供较低的输入电压降，同时在保持阶段 Φ_H 提供了较大的输出阻抗，较大的电压摆动且较低的输出电容。这样，可把 I_{out} 加到不确定的负载，而不必太在意由负载在节点 50 上所引起的负载效应。换句话说，调节的级联电路 81 在 M2 处增强了电流存储单元的输出级，而无需防止电流复制器存储晶体管 M1 经历沟道效应。

参考图 11，对具有与图 10 中的元件相同功能的所有的元件给出类似的标号，并在以上进行了说明。

在图 11 中，图 9 中所示的实际电容器 66 和 68 被分别耦合到 M1 的栅极 60 和 M2 的栅极 58。此外，调节的级联电路 81 插在 M2 的漏极 52 和节点 50 之间，如上所述，电容器 66 和 68 减少了 M1 和 M2 的时钟直通误差，调节的级联电路增加了 M2 的输出阻抗。

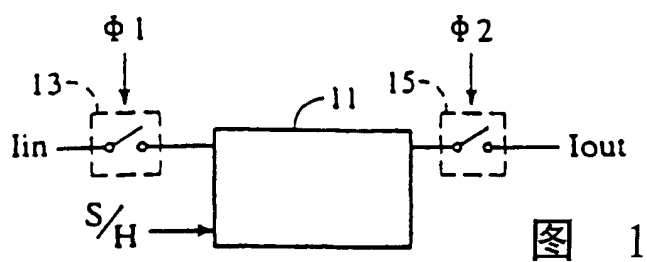


图 1

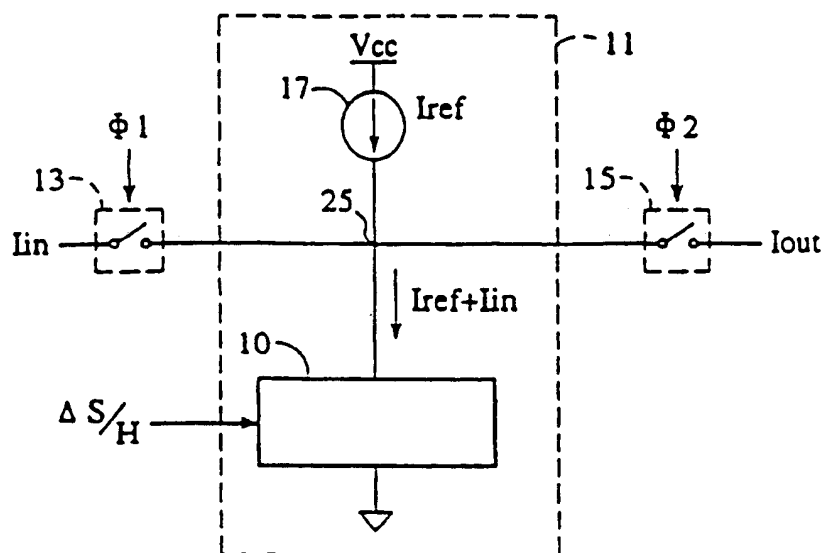


图 2

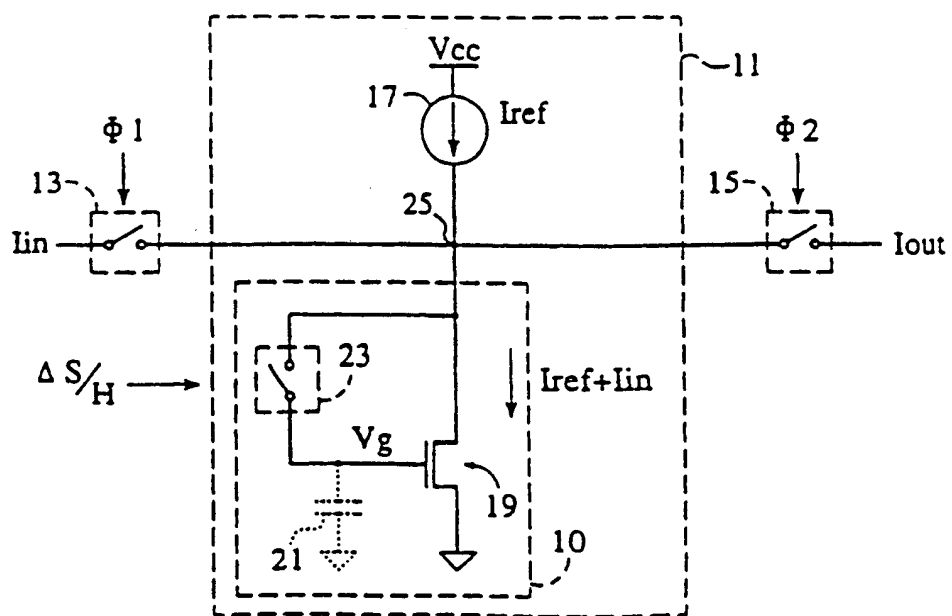


图 3

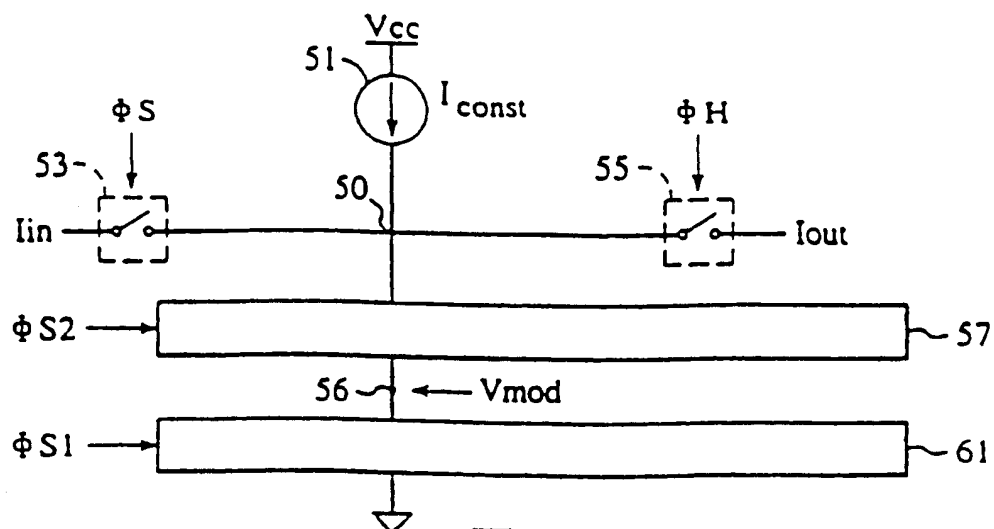


图 6

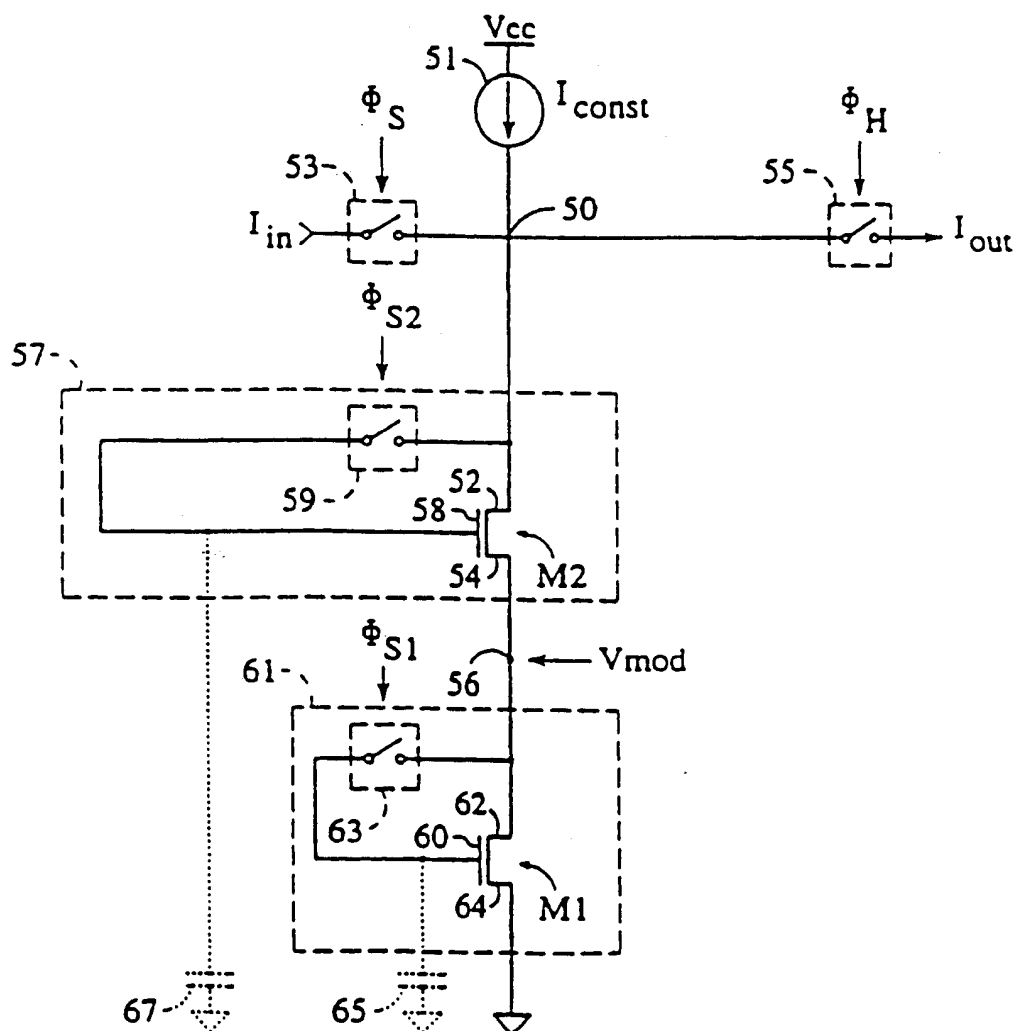


图 7

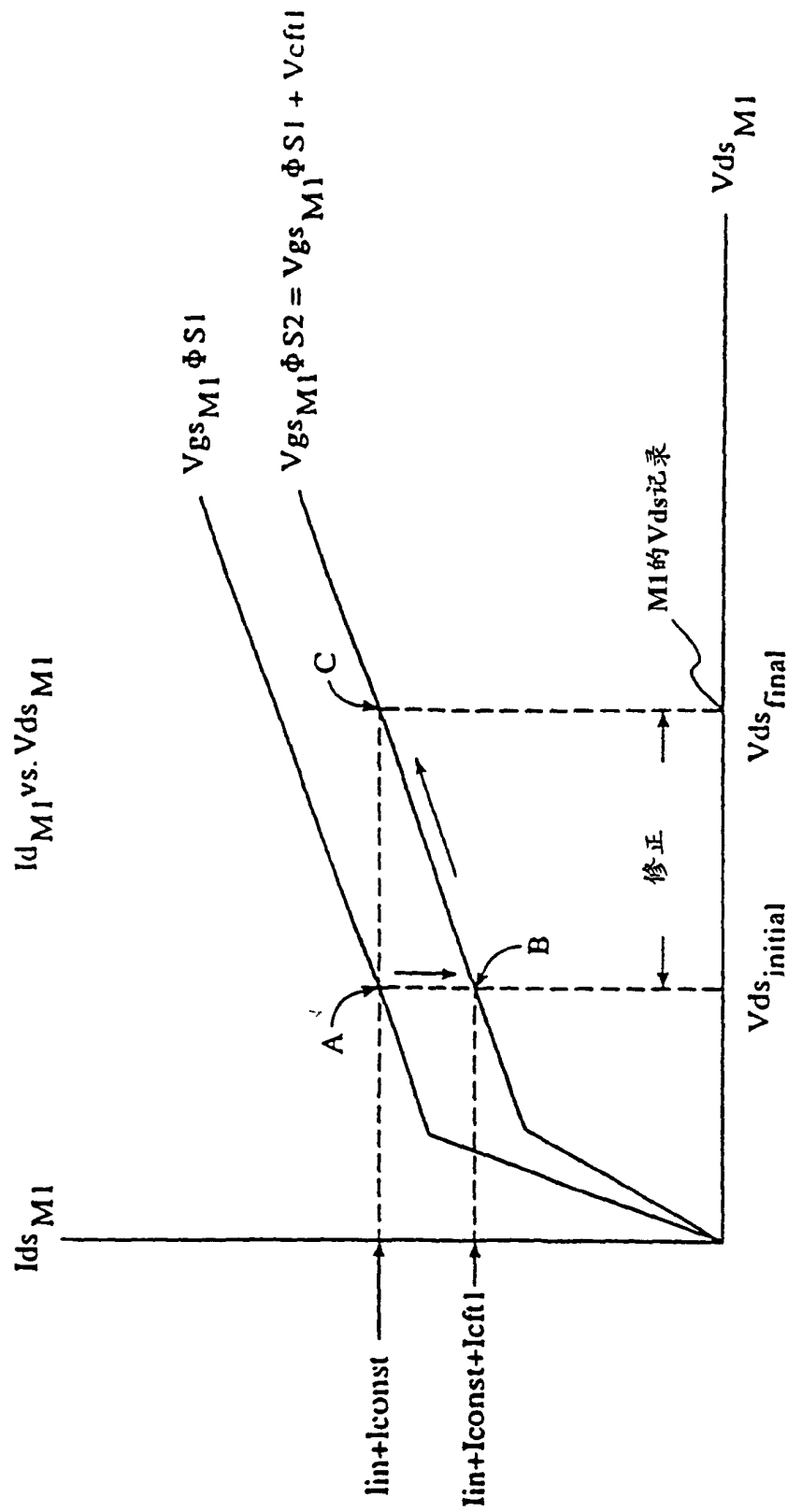


图 8

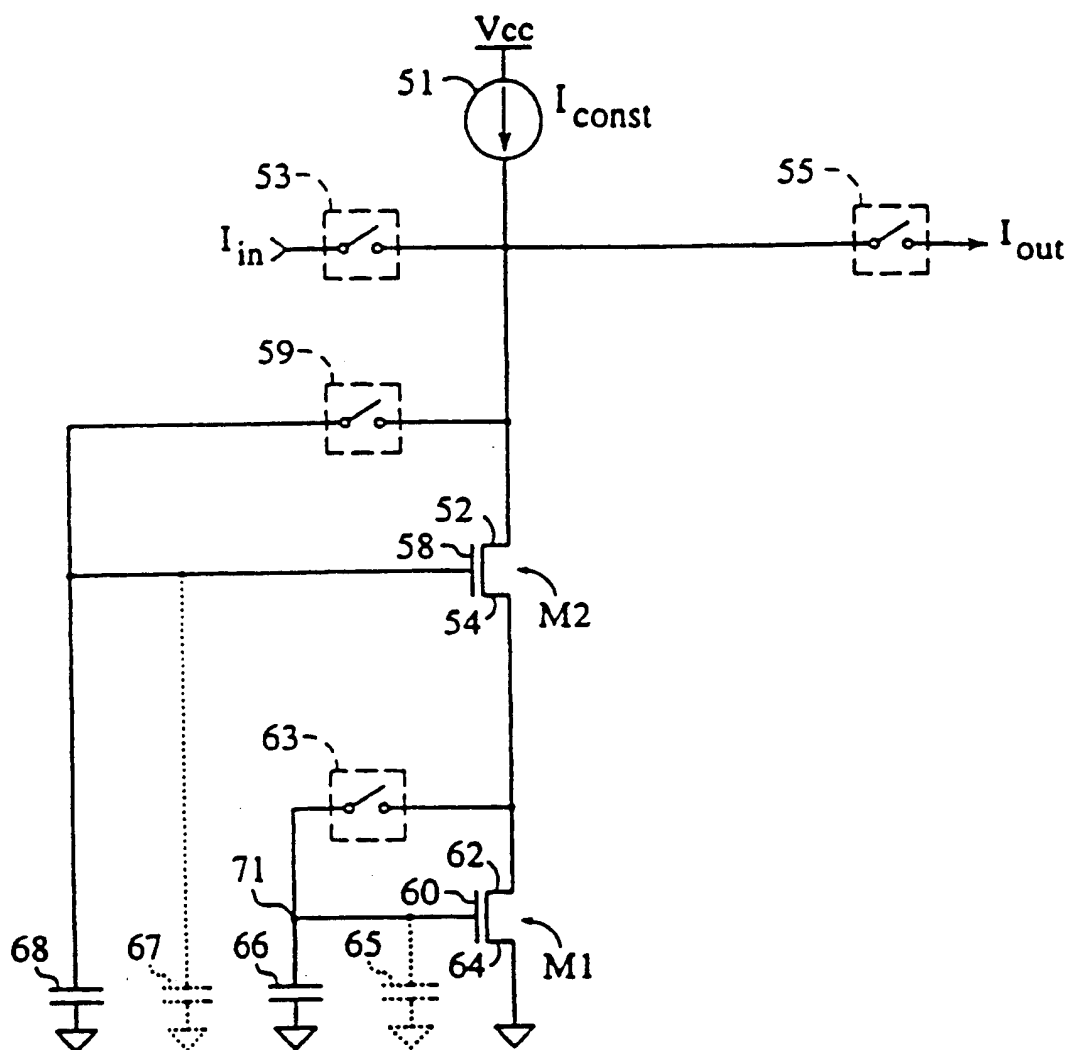


图 9

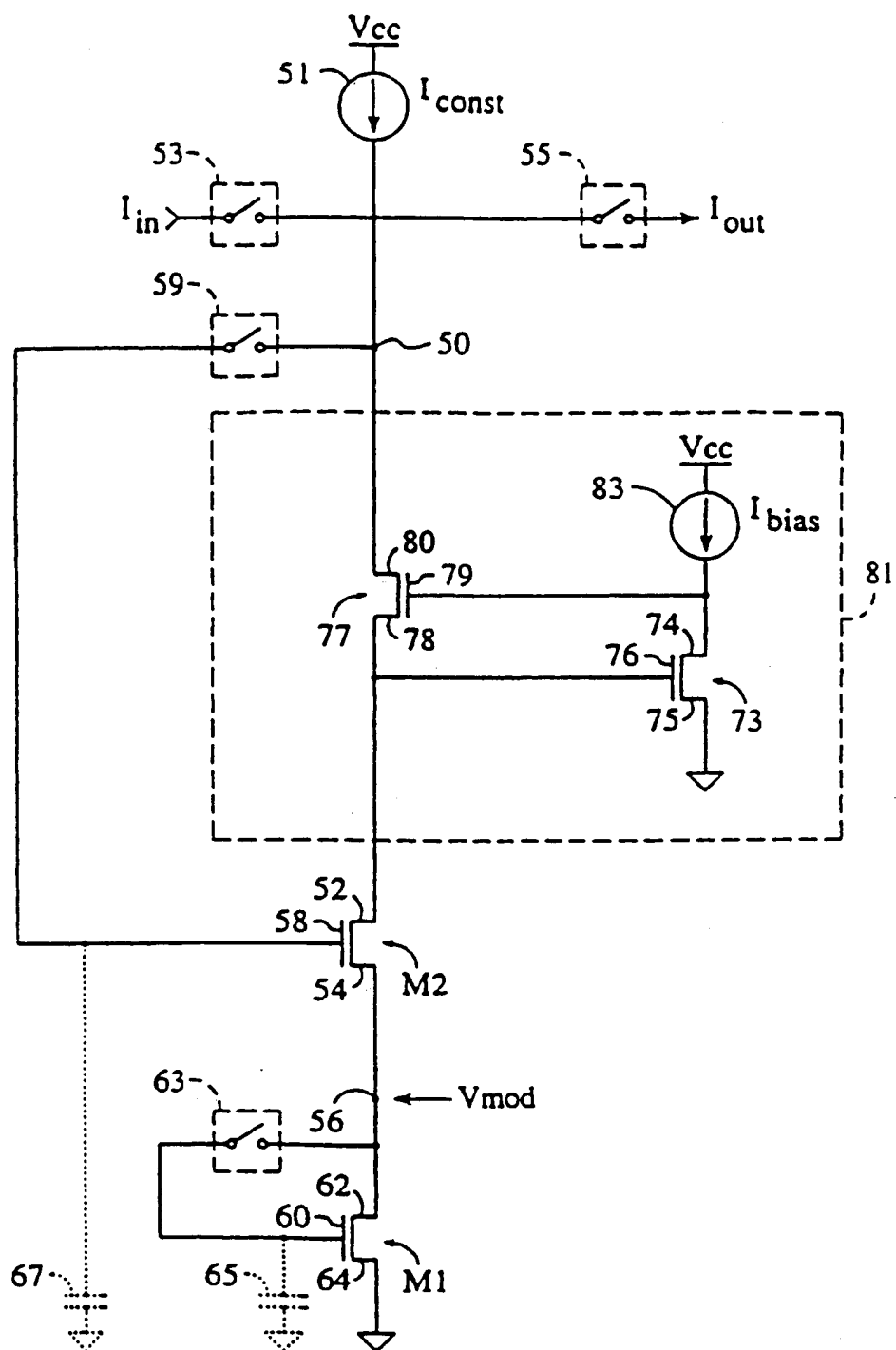


图 10

