(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116171484 A
(43)申请公布日 2023.05.26

(21)申请号 202180064527.9
(22)申请日 2021.09.09
(30)优先权数据
2020-158057 2020.09.22 JP
2020-158058 2020.09.22 JP
2020-161542 2020.09.26 JP
(85)PCT国际申请进入国家阶段日
2023.03.21
(86)PCT国际申请的申请数据
PCT/IB2021/058179 2021.09.09
(87)PCT国际申请的公布数据
WO2022/064306 JA 2022.03.31
(71)申请人 株式会社半导体能源研究所
地址 日本神奈川县厚木市
(72)发明人 山崎舜平 神保安弘 国武宽司 大嶋和晃 太田将志 古谷一马 青木健
(74)专利代理机构 中国专利代理(香港)有限公司 72001
专利代理师 李志强 庞立志
(51)Int.Cl.
H01L 21/316(2006.01)

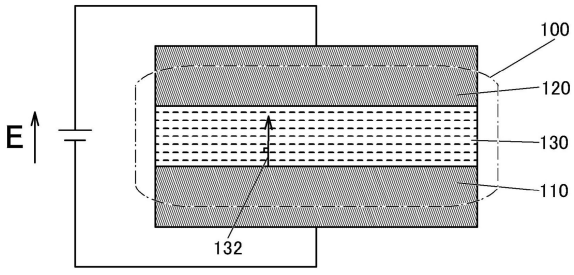
权利要求书3页 说明书85页 附图88页

(54)发明名称

铁电体器件及半导体装置

(57)摘要

提供一种包括具有良好的铁电性的金属氧化物膜的铁电体器件。该铁电体器件包括第一导电体、第一导电体上的金属氧化物膜以及金属氧化物膜上的第二导电体，金属氧化物膜具有铁电性，金属氧化物膜具有结晶结构，结晶结构包括第一层及第二层，第一层包含第一氧及铪，第二层包含第二氧及锆，铪与锆通过第一氧相键合，并且第二氧与锆键合。



CN 116171484 A

1.一种铁电体器件,包括:
第一导电体;
所述第一导电体上的金属氧化物膜;以及
所述金属氧化物膜上的第二导电体,
其中,所述金属氧化物膜具有铁电性,
所述金属氧化物膜具有结晶结构,
所述结晶结构包括第一层及第二层,
所述第一层包含第一氧及铪,
所述第二层包含第二氧及锆,
所述铪与所述锆通过所述第一氧相键合,
并且,所述第二氧与所述锆键合。
2.一种铁电体器件,包括:
第一导电体;
所述第一导电体上的金属氧化物膜;
所述金属氧化物膜上的第二导电体;以及
所述第二导电体上的密封膜,
其中,所述金属氧化物膜具有铁电性,
所述金属氧化物膜具有结晶结构,
所述结晶结构包括第一层及第二层,
所述第一层包含第一氧及铪,
所述第二层包含第二氧及锆,
所述铪与所述锆通过所述第一氧相键合,
并且,所述第二氧与所述锆键合。
3.根据权利要求2所述的铁电体器件,
其中所述密封膜包括第一密封膜及所述第一密封膜上的第二密封膜,
所述第一密封膜包含氧及铝,
所述第二密封膜包含氮及硅,
并且所述第一密封膜具有吸附或俘获氢的功能。
4.一种半导体装置,包括:
晶体管;以及
与所述晶体管电连接的电容器,
其中所述电容器包括:
第一导电体;
所述第一导电体上的金属氧化物膜;以及
所述金属氧化物膜上的第二导电体,
其中,所述金属氧化物膜具有铁电性,
所述金属氧化物膜具有结晶结构,
所述结晶结构包括第一层及第二层,
所述第一层包含第一氧及铪,

所述第二层包含第二氧及锆，

所述铪与所述锆通过所述第一氧相键合，

并且，所述第二氧与所述锆键合。

5.根据权利要求4所述的半导体装置，

其中晶体管在沟道形成区域含有硅。

6.根据权利要求4所述的半导体装置，

其中晶体管在沟道形成区域含有氧化物半导体。

7.根据权利要求4至6中任一项所述的半导体装置，

其中所述金属氧化物膜所包含的氢及碳中的一个以上的通过SIMS分析而测得的浓度为5×10^{20}atoms/cm^3以下。

8.根据权利要求4至6中任一项所述的半导体装置，

其中所述金属氧化物膜所包含的氢及碳中的一个以上的通过SIMS分析而测得的浓度为1×10^{20}atoms/cm^3以下。

9.根据权利要求4至6中任一项所述的半导体装置，

其中所述金属氧化物膜所包含的氯的通过SIMS分析而测得的浓度为5×10^{21}atoms/cm^3以下。

10.根据权利要求4至6中任一项所述的半导体装置，

其中所述金属氧化物膜所包含的氯的通过SIMS分析而测得的浓度为1×10^{21}atoms/cm^3以下。

11.一种半导体装置，包括：

半导体膜；

所述半导体膜上的金属氧化物膜；以及

所述金属氧化物膜上的第二导电体，

其中，所述金属氧化物膜具有铁电性，

所述金属氧化物膜具有结晶结构，

所述结晶结构包括第一层及第二层，

所述第一层包含第一氧及铪，

所述第二层包含第二氧及锆，

所述铪与所述锆通过所述第一氧相键合，

并且，所述第二氧与所述锆键合。

12.根据权利要求11所述的半导体装置，

其中所述半导体膜包含硅或氧化物半导体，

并且所述半导体装置包括与所述半导体膜电连接的源电极及漏电极。

13.根据权利要求11或12所述的半导体装置，

其中所述金属氧化物膜所包含的氢及碳中的一个以上的通过SIMS分析而测得的浓度为5×10^{20}atoms/cm^3以下。

14.根据权利要求11或12所述的半导体装置，

其中所述金属氧化物膜所包含的氢及碳中的一个以上的通过SIMS分析而测得的浓度为1×10^{20}atoms/cm^3以下。

15.根据权利要求11或12所述的半导体装置，

其中所述金属氧化物膜所包含的氯的通过SIMS分析而测得的浓度为5×10^{21}atoms/cm^3以下。

16.根据权利要求11或12所述的半导体装置，

其中所述金属氧化物膜所包含的氯的通过SIMS分析而测得的浓度为1×10^{21}atoms/cm^3以下。

17.一种半导体装置,包括：

第一导电体；

所述第一导电体上的金属氧化物膜；

所述金属氧化物膜上的第二导电体;以及

位于所述第一导电体的上面及所述第二导电体的下面中的一个或两个的绝缘体，

其中,所述金属氧化物膜具有铁电性，

所述金属氧化物膜具有结晶结构，

所述结晶结构包括第一层及第二层，

所述第一层包含第一氧及铪，

所述第二层包含第二氧及锆，

所述铪与所述锆通过所述第一氧相键合，

并且,所述第二氧与所述锆键合。

18.根据权利要求17所述的半导体装置，

其中所述绝缘体包含氮及硅。

19.根据权利要求17或18所述的半导体装置，

其中所述金属氧化物膜所包含的氢及碳中的一个以上的通过SIMS分析而测得的浓度为5×10^{20}atoms/cm^3以下。

20.根据权利要求17或18所述的半导体装置，

其中所述金属氧化物膜所包含的氢及碳中的一个以上的通过SIMS分析而测得的浓度为1×10^{20}atoms/cm^3以下。

21.根据权利要求17或18所述的半导体装置，

其中所述金属氧化物膜所包含的氯的通过SIMS分析而测得的浓度为5×10^{21}atoms/cm^3以下。

22.根据权利要求17或18所述的半导体装置，

其中所述金属氧化物膜所包含的氯的通过SIMS分析而测得的浓度为1×10^{21}atoms/cm^3以下。

铁电体器件及半导体装置

技术领域

[0001] 本发明的一个方式涉及一种金属氧化物或利用该金属氧化物的铁电体器件，以及其制造方法。此外，本发明的一个方式涉及一种晶体管、半导体装置以及电子设备。此外，本发明的一个方式涉及一种半导体装置的制造方法。此外，本发明的一个方式涉及一种半导体晶片及模块。

[0002] 在本说明书等中，半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等的半导体元件之外，半导体电路、运算装置或存储装置也是半导体装置的一个方式。显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置以及电子设备等有时包括半导体装置。

[0003] 注意，本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式涉及一种物体、方法或制造方法。此外，本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。

背景技术

[0004] 近年来，已对半导体装置进行开发，半导体装置主要使用LSI、CPU、存储器等。CPU是包括将半导体晶片加工来形成芯片而成的半导体集成电路(至少包括晶体管及存储器)且形成有作为连接端子的电极的半导体元件的集合体。

[0005] LSI、CPU、存储器等的半导体电路(IC芯片)被安装在电路板(例如，印刷线路板)上，并被用作各种电子设备的构件之一。

[0006] 此外，通过使用形成在具有绝缘表面的衬底上的半导体薄膜构成晶体管的技术受到注目。该晶体管被广泛地应用于集成电路(IC)、图像显示装置(简单地记载为显示装置)等电子设备。作为可以应用于晶体管的半导体薄膜，硅类半导体材料及氧化物半导体等被广泛地周知。

[0007] 此外，如非专利文献1所示，利用铁电体(ferroelectric)的存储器阵列的研究开发活跃。此外，作为下一代的铁电存储器，铁电HfO_2类材料的研究(非专利文献2)、关于铪氧化物薄膜的铁电性的研究(非专利文献3)、HfO_2薄膜的铁电性(非专利文献4)以及使用铁电体$Hf_{0.5}Zr_{0.5}O_2$的FeRAM与CMOS的统合的实证(非专利文献5)等有关氧化铪的研究也活跃。

[先行技术文献]

[非专利文献]

[0008] [非专利文献1]T.S.Boescke,et al,“Ferroelectricity in hafnium oxide thin films”,APL99,2011

[非专利文献2]Zhen Fan,et al,“Ferroelectric HfO_2-based materials for next-generation ferroelectric memories”,JOURNAL OF ADVANCED DIELECTRICS,Vol.6,No.2,2016

[非专利文献3]Jun Okuno,et al,“SoC compatible 1T1C FeRAM memory array based on ferroelectric $Hf_{0.5}Zr_{0.5}O_2$”,VLSI 2020

[非专利文献4]鸟海明,“HfO_2薄膜的铁电性”,日本应用物理学会,第88卷,第9号,2019

[非专利文献5]T.Francois,et al,“Demonstration of BEOL-compatible ferroelectric $Hf_{0.5}Zr_{0.5}O_2$ scaled FeRAM co-integrated with 130nm CMOS for embedded NVM applications”,IEDM 2019

发明内容

发明所要解决的技术问题

[0009] 如非专利文献1至非专利文献5所示,已在进行各种各样的有关铁电体的研究开发。例如,非专利文献1的报告称如图8A所示,在处于“Orthorhombic phase Ferroelectric”时,极化(P)的符号根据氧原子的转移而改变。此外,非专利文献2的报告称如图8B所示,极化的大小及介电常数(ε_r)根据Hf和Zr的组成而改变。

[0010] 此外,非专利文献3的报告称如图9所示,作为铁电体的可靠性测试之一的耐改写性为10^9次左右。此外,非专利文献4报告如图10A、图10B以及图10C所示的HfO_2的衍射强度、极化以及结晶结构。

[0011] 如上所述,虽然已在进行各种各样的有关铁电体的研究开发,但是铁电体的特性仍然在很多方面待改善,被要求提高可靠性等特性。

[0012] 鉴于此,本发明的一个方式的目的之一是提供一种具有良好的铁电性的材料,即具有良好的铁电性的金属氧化物膜。此外,本发明的一个方式的目的之一是提供一种利用可具有铁电性的材料的电容器。此外,本发明的一个方式的目的之一是提供一种利用可具有铁电性的材料的晶体管。此外,本发明的一个方式的目的之一是提供一种利用可具有铁电性的材料的电容器及二极管。此外,本发明的一个方式的目的之一是提供一种利用可具有铁电性的材料并利用隧道结的元件。

[0013] 注意,上述目的的记载不妨碍其他目的的存在。此外,本发明的一个方式并不需要实现所有上述目的。此外,这些目的之外的目的根据说明书、附图、权利要求书等的记载来看是自然明了的,可以从说明书、附图、权利要求书等的记载得出上述以外的目的。

解决技术问题的手段

[0014] 本发明的一个方式是一种铁电体器件,包括第一导电体、第一导电体上的金属氧化物膜以及金属氧化物膜上的第二导电体,金属氧化物膜具有铁电性,金属氧化物膜具有结晶结构,结晶结构包括第一层及第二层,第一层包含第一氧及铪,第二层包含第二氧及锆,铪与锆通过第一氧相键合,并且第二氧与锆键合。

[0015] 本发明的其他一个方式是一种铁电体器件,包括第一导电体、第一导电体上的金属氧化物膜、金属氧化物膜上的第二导电体以及第二导电体上的密封膜,金属氧化物膜具有铁电性,金属氧化物膜具有结晶结构,结晶结构包括第一层及第二层,第一层包含第一氧及铪,第二层包含第二氧及锆,铪与锆通过第一氧相键合,并且第二氧与锆键合。

[0016] 在上述方式中,优选的是,密封膜包括第一密封膜及第一密封膜上的第二密封膜,第一密封膜包含氧及铝,第二密封膜包含氮及硅,第一密封膜具有吸附或俘获氢的功能。

[0017] 本发明的其他一个方式是一种半导体装置,包括晶体管及与晶体管电连接的电容器,电容器包括第一导电体、第一导电体上的金属氧化物膜以及金属氧化物膜上的第二导

电体，金属氧化物膜具有铁电性，金属氧化物膜具有结晶结构，结晶结构包括第一层及第二层，第一层包含第一氧及铪，第二层包含第二氧及锆，铪与锆通过第一氧相键合，并且第二氧与锆键合。

[0018] 此外，在上述方式中，晶体管优选在沟道形成区域含有硅。

[0019] 此外，在上述方式中，晶体管优选在沟道形成区域含有氧化物半导体。

[0020] 本发明的一个方式是一种半导体装置，包括半导体膜、半导体膜上的金属氧化物膜以及金属氧化物膜上的第二导电体，金属氧化物膜具有铁电性，金属氧化物膜具有结晶结构，结晶结构包括第一层及第二层，第一层包含第一氧及铪，第二层包含第二氧及锆，铪与锆通过第一氧相键合，并且第二氧与锆键合。

[0021] 此外，在上述方式中，优选的是，半导体膜包含硅或氧化物半导体，并包括与半导体膜电连接的源电极及漏电极。

[0022] 此外，本发明的其他一个方式是一种半导体装置，包括第一导电体、第一导电体上的金属氧化物膜、金属氧化物膜上的第二导电体以及位于第一导电体的上面及第二导电体的下面中的一个或两个的绝缘体，金属氧化物膜具有铁电性，金属氧化物膜具有结晶结构，结晶结构包括第一层及第二层，第一层包含第一氧及铪，第二层包含第二氧及锆，铪与锆通过第一氧相键合，并且第二氧与锆键合。

[0023] 在上述方式中，绝缘体优选包含氮及硅。

[0024] 此外，在上述各方式中，金属氧化物膜所包含的氢及碳中的一个以上的通过SIMS分析而测得的浓度优选为5×10^{20}atoms/cm^{3}以下。此外，在上述各方式中，金属氧化物膜所包含的氢及碳中的一个以上的通过SIMS分析而测得的浓度更优选为1×10^{20}atoms/cm^{3}以下。此外，在上述各方式中，金属氧化物膜所包含的氯的通过SIMS分析而测得的浓度优选为5×10^{21}atoms/cm^{3}以下。此外，在上述各方式中，金属氧化物膜所包含的氯的通过SIMS分析而测得的浓度更优选为1×10^{21}atoms/cm^{3}以下。

发明效果

[0025] 根据本发明的一个方式，可以提供一种具有良好的铁电性的材料，即具有良好的铁电性的金属氧化物膜。此外，根据本发明的一个方式，可以提供一种利用可具有铁电性的材料的电容器。此外，根据本发明的一个方式，可以提供一种利用可具有铁电性的材料的晶体管。此外，根据本发明的一个方式，可以提供一种利用可具有铁电性的材料的电容器及二极管。此外，根据本发明的一个方式，可以提供一种利用可具有铁电性的材料并利用隧道结的元件。

[0026] 注意，这些效果的记载不妨碍其他效果的存在。此外，本发明的一个方式并不需要具有所有上述效果。此外，这些效果之外的效果根据说明书、附图、权利要求书等的记载来看是自然明了的，可以从说明书、附图、权利要求书等的记载得出上述以外的效果。

附图简要说明

[0027] 图1A1、图1B1以及图1C1是本发明的一个方式的半导体装置的电路图，图1A2、图1B2、图1C2、图1C3以及图1C4是说明本发明的一个方式的半导体装置的截面结构的图。

图2A及图2B是本发明的一个方式的电容器的示意图，图2C是本发明的一个方式的电容器所具有的铁电体的示意图。

图3A至图3C是本发明的一个方式的$HfZrO_X$的结晶结构的模型图，图3D是示出铁电

体层的滞后特性的一个例子的图表。

图4A至图4C是电容器所具有的铁电体的示意图。

图5A至图5C是示出本发明的一个方式的电容器的制造方法的截面图。

图6是说明本发明的一个方式的氧化铪的结晶结构的模型图。

图7A是示出本发明的一个方式的金属氧化物膜的成膜序列的图,图7B是本发明的一个方式的金属氧化物膜的制造设备的截面图,图7C是示出氧化物的成膜序列的图。

图8A是说明非专利文献1所示的铁电体的极化的图,图8B是说明非专利文献2所示的极化的大小及介电常数根据Hf和Zr的组成而改变的图。

图9是说明非专利文献3所示的铁电体的耐改写性的图。

图10A至图10C是说明非专利文献4所示的HfO_2的衍射强度、极化以及结晶结构的图。

图11A是本发明的一个方式的半导体装置的俯视图,图11B至图11D是本发明的一个方式的半导体装置的截面图。

图12A及图12B是本发明的一个方式的半导体装置的截面图。

图13A是说明IGZO的结晶结构的分类的图,图13B是说明CAAC-IGZO膜的XRD谱的图,图13C是说明CAAC-IGZO膜的纳米束电子衍射图案的图。

图14A是本发明的一个方式的半导体装置的俯视图,图14B是本发明的一个方式的半导体装置的截面图。

图15A是本发明的一个方式的半导体装置的俯视图,图15B是本发明的一个方式的半导体装置的截面图。

图16A是本发明的一个方式的半导体装置的俯视图,图16B是本发明的一个方式的半导体装置的截面图。

图17A是本发明的一个方式的半导体装置的平面图,图17B及图17C是本发明的一个方式的半导体装置的截面图。

图18是示出本发明的一个方式的存储装置的结构的截面图。

图19是示出本发明的一个方式的存储装置的结构的截面图。

图20A及图20B是示出本发明的一个方式的存储装置的结构的截面图。

图21A至图21C是示出本发明的一个方式的存储装置的结构的截面图。

图22A至图22C是示出本发明的一个方式的存储装置的结构的截面图。

图23A至图23D是示出本发明的一个方式的存储装置的制造方法的截面图。

图24是示出本发明的一个方式的存储装置的结构的截面图。

图25是示出本发明的一个方式的存储装置的结构的截面图。

图26A及图26B是示出本发明的一个方式的存储装置的结构的截面图。

图27A至图27C是本发明的一个方式的半导体装置的截面图。

图28A是示出本发明的一个方式的存储装置的结构例子的方框图,图28B是示出本发明的一个方式的存储装置的结构例子的立体图。

图29A是示出存储单元的结构例子的电路图,图29B1是示出铁电体层的滞后特性的一个例子的图表,图29B2是示出理想的铁电体层的滞后特性的一个例子的图表,图29C是示出存储单元的驱动方法的一个例子的时序图。

图30A至图30E是本发明的一个方式的存储装置的示意图。

图31A至图31H是示出本发明的一个方式的电子设备的图。

图32A是示出样品的外观的光学显微镜照片,图32B是样品的截面示意图,图32C是示出输入电压波形的图。

图33A至图33F是说明使用三角波取得P-E特性的方法的图。

图34A是示出P-E特性的测量结果的图,图34B是示出GIXD测量结果的图。

图35A是样品的截面TEM图像,图35B及图35C是样品的FFT图形。

图36A是样品的截面TEM图像,图36B及图36C是样品的FFT图形。

图37A是样品的截面TEM图像,图37B及图37C是样品的FFT图形。

图38A至图38C是样品的截面TEM图像。

图39是示出线性EDX分析的分析结果的图。

图40A是示出Ra的测量结果的图,图40B是示出RMS的测量结果的图。

图41是示出SIMS分析结果的图。

图42是示出SIMS分析结果的图。

图43是示出SIMS分析结果的图。

图44是示出SIMS分析结果的图。

图45A及图45B是示出疲劳特性的测量结果的图。

图46A是示出P-E特性的图,图46B是示出疲劳特性的测量结果的图。

图47是示出P-E特性的图。

图48是示出I-V特性的图。

图49是示出XRD测量结果的图。

图50是示出P-E特性的图。

图51是示出I-V特性的图。

图52是示出XRD测量结果的图。

图53是示出疲劳特性的图。

图54是示出P-E特性的图。

图55A及图55B是示出P-E特性的图,图55C及图55D是示出极化与三角波的频率的关系的图。

图56A是示出计算模型的图,图56B是示出计算后的计算模型的图。

图57A及图57B是说明保持测量的图。

图58A至图58C是示出保持测量结果的图。

图59A是示出P-V特性的图,图59B是示出I-V特性的图。

图60A及图60B是示出晶体管的电特性的图。

图61A是等效电路图的一个例子,图61B是示出布局的一个例子的俯视图。

图62A是时序图,图62B1是示出写入工作的电路图,图62B2是示出滞后特性以说明写入工作的图,图62C1是示出读出工作的电路图,图62C2是示出滞后特性以说明读出工作的图。

图63A是重叠地示出反复进行40次的写入工作及读出工作时的测量结果的图,图63B是对比例子。

图64A、图64B、图64C以及图64D是示出f特性的测量方法的图。

图65是示出f特性的测量结果的图。

图66A、图66B、图66C以及图66D是示出保持测量方法的图。

图67是示出保持测量结果的图。

实施发明的方式

[0028] 下面，参照附图对实施方式进行说明。但是，所属技术领域的普通技术人员可以很容易地理解一个事实，就是实施方式可以以多个不同形式来实施，其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此，本发明不应该被解释为仅限定在下面的实施方式所记载的内容中。

[0029] 在附图中，为便于清楚地说明，有时夸大表示大小、层的厚度或区域。因此，本发明并不一定限定于上述尺寸。此外，在附图中，示意性地示出理想的例子，因此本发明不局限于附图所示的形状或数值等。例如，在实际的制造工序中，有时由于蚀刻等处理而层或抗蚀剂掩模等非意图性地被减薄，但是为了便于理解有时不反映到附图。此外，在附图中，有时在不同的附图之间共同使用相同的附图标记来表示相同的部分或具有相同功能的部分，而省略其重复说明。此外，当表示具有相同功能的部分时有时使用相同的阴影线，而不特别附加附图标记。

[0030] 此外，尤其在俯视图(也称为平面图)或立体图等中，为了便于对发明的理解，有时省略部分构成要素的记载。此外，有时省略部分隐藏线等的记载。

[0031] 此外，在本说明书等中，为了方便起见，附加了第一、第二等序数词，而其并不表示工序顺序或叠层顺序。因此，例如可以将“第一”适当地替换为“第二”或“第三”等来进行说明。此外，本说明书等所记载的序数词与用于指定本发明的一个方式的序数词有时不一致。

[0032] 在本说明书等中，为方便起见，使用了“上”、“下”等表示配置的词句，以参照附图说明构成要素的位置关系。此外，构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于本说明书中所说明的词句，可以根据情况适当地更换。

[0033] 例如，在本说明书等中，当明确地记载为“X与Y连接”时，意味着如下情况：X与Y电连接；X与Y在功能上连接；X与Y直接连接。因此，不局限于规定的连接关系(例如，附图或文中所示的连接关系等)，附图或文中所示的连接关系以外的连接关系也包含于附图或文中所记载的内容中。这里，X和Y为对象物(例如，装置、元件、电路、布线、电极、端子、导电膜及层等)。

[0034] 在本说明书等中，晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏区域或漏电极)与源极(源极端子、源区域或源电极)之间具有沟道形成区域(以下也称为沟道形成区域)，并且通过沟道形成区域电流能够流过源极和漏极之间。注意，在本说明书等中，沟道形成区域是指电流主要流过的区域。

[0035] 此外，在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下，源极及漏极的功能有时相互调换。因此，在本说明书等中，有时源极和漏极可以相互调换。

[0036] 注意，沟道长度例如是指晶体管的俯视图中的半导体(或在晶体管处于导通状态时，在半导体中电流流过的部分)和栅电极互相重叠的区域或者沟道形成区域中的源极(源区域或源电极)和漏极(漏区域或漏电极)之间的距离。此外，在一个晶体管中，沟道长度不

一定在所有的区域中成为相同的值。也就是说，一个晶体管的沟道长度有时不限于一个值。因此，在本说明书中，沟道长度是沟道形成区域中的任一个值、最大值、最小值或平均值。

[0037] 沟道宽度例如是指在晶体管的俯视图中半导体(或在晶体管处于导通状态时，在半导体中电流流过的部分)和栅电极互相重叠的区域或者沟道形成区域在垂直于沟道长度方向的方向上的长度。此外，在一个晶体管中，沟道宽度不一定在所有的区域中成为相同的值。也就是说，一个晶体管的沟道宽度有时不限于一个值。因此，在本说明书中，沟道宽度是沟道形成区域中的任一个值、最大值、最小值或平均值。

[0038] 此外，在本说明书等中，根据晶体管的结构，有时沟道形成区域中的实际上的沟道宽度(以下，也称为“实效沟道宽度”)和晶体管的俯视图所示的沟道宽度(以下，也称为“外观上的沟道宽度”)不同。例如，在栅电极覆盖半导体的侧面的情况下，有时因为实效沟道宽度大于外观上的沟道宽度，所以不能忽略其影响。例如，在微型且栅电极覆盖半导体的侧面的晶体管中，有时形成在半导体的侧面的沟道形成区的比例增高。在此情况下，实效沟道宽度大于外观上的沟道宽度。

[0039] 在此情况下，有时难以通过实测估计实效沟道宽度。例如，要从设计值估算出实效沟道宽度，需要假定半导体的形状是已知的。因此，当半导体的形状不清楚时，难以准确地测量实效沟道宽度。

[0040] 在本说明书中，在简单地表示为“沟道宽度”时，有时是指外观上的沟道宽度。或者，在本说明书中，在简单地表示“沟道宽度”时，有时表示实效沟道宽度。注意，通过对截面TEM图像等进行分析等，可以决定沟道长度、沟道宽度、实效沟道宽度、外观上的沟道宽度等的值。

[0041] 注意，半导体的杂质例如是指半导体的主要成分之外的元素。例如，浓度小于0.1原子％的元素可以说是杂质。有时由于包含杂质，例如造成半导体的缺陷态密度变高，结晶性降低等。当半导体是氧化物半导体时，作为改变半导体的特性的杂质，例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素以及除氧化物半导体的主要成分外的过渡金属等。例如，有氢、锂、钠、硅、硼、磷、碳、氮等。有时水也作为杂质起作用。此外，有时例如由于杂质的进入导致氧空位(Vo:oxygen vacancy)产生在氧化物半导体中。

[0042] 注意，在本说明书等中，氧氮化硅是指氧含量大于氮含量的膜。此外，氮氧化硅是指氮含量大于氧含量的膜。

[0043] 此外，在本说明书等中，可以将“膜”和“层”相互调换。例如，有时可以将“导电层”换称为“导电膜”。此外，例如，有时可以将“绝缘膜”换称为“绝缘层”。

[0044] 在本说明书等中，“平行”是指两条直线形成的角度为-10°以上且10°以下的状态。因此，也包括该角度为-5°以上且5°以下的状态。“大致平行”是指两条直线形成的角度为-30°以上且30°以下的状态。此外，“垂直”是指两条直线的角度为80°以上且100°以下的状态。因此，也包括该角度为85°以上且95°以下的状态。“大致垂直”是指两条直线形成的角度为60°以上且120°以下的状态。

[0045] 在本说明书等中，金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导电体(包括透明氧化物导电体)和氧化物半导体(Oxide Semiconductor，也可以简称为OS)等。例如，在将金属氧化物用于晶体管的半导体层的情况下，有时将该金属氧化物称为氧化物半导体。换言之，可以将OS晶体管称为包含氧

化物或氧化物半导体的晶体管。

[0046] 注意，在本说明书等中，常关闭是指：在不对栅极施加电位或者对栅极施加接地电位时流过晶体管的每沟道宽度1μm的漏极电流在室温下为1×10^{-20}A以下，在85℃下为1×10^{-18}A以下，或在125℃下为1×10^{-16}A以下。

[0047] (实施方式1)

在本实施方式中，参照图1A1、图1A2、图1B1、图1B2、图1C1、图1C2、图1C3以及图1C4说明本发明的一个方式的金属氧化物膜及半导体装置。

[0048] 图1A1、图1B1以及图1C1都是本发明的一个方式的半导体装置的电路图。图1A1的电路图包括一个晶体管(也称为场效应晶体管或FET)及一个电容器，一个电容器包含可具有铁电性的材料。此外，图1B1的电路图包括一个晶体管，该晶体管的栅极绝缘膜包含可具有铁电性的材料。此外，图1C1的电路图包括一个电容器及二极管，电容器包含可具有铁电性的材料。虽然在图1C1的电路图中分别示出一个电容器和一个二极管，但是不局限于此。例如，在一个元件具有一个电容器和一个二极管双方的功能的情况下，不需要分别设置各自的功能。例如，作为相当于图1C1的电路图的结构，可以采用在一对电极间含有绝缘体且在该绝缘体与电极之间利用隧道结的元件结构等。

[0049] 此外，图1A1的电路图可以看作1Tr1C(1晶体管、1电容器)的元件结构，也可以被称为铁电存储器(FeRAM:Ferroelectric Random Access Memory)或Type1结构。此外，图1B1的电路图可以看作1Tr(1晶体管)的元件结构，也可以被称为铁电场效应晶体管(FeFET:Ferroelectric Field Effect Transistor)或Type2结构。此外，图1C1的电路图可以看作利用隧道结的一个电容器的元件结构，也可以被称为铁电隧道结(FTJ:Ferroelectric Tunnel Junction)或Type3结构。

[0050] 其次，参照图1A2、图1B2、图1C2、图1C3以及图1C4说明可以应用于图1A1、图1B1以及图1C1的电路图所示的结构的本发明的一个方式的半导体装置的一个例子。图1A2、图1B2、图1C2、图1C3以及图1C4都是示出本发明的一个方式的半导体装置的一个例子的截面图。在图1A1、图1B1以及图1C1的电路图中，白圈表示端子。

[0051] 图1A2是对应于图1A1所示的电容器的截面图，图1B2是对应于图1B1所示的包含可具有铁电性的材料的晶体管的截面图，并且图1C2、图1C3以及图1C4都是对应于图1C1所示的电容器及二极管的截面图。

[0052] 图1A2包括导电体110、导电体110上的绝缘体130以及绝缘体130上的导电体120。绝缘体130优选使用可具有铁电性的材料。此外，绝缘体130可以看作介电质或铁电体。虽然在图1A2中未示出，但是如图1A1所示，可以采用导电体120与晶体管的源极或漏极连接的结构。

[0053] 图1B2包括氧化物230、氧化物230上的绝缘体130以及绝缘体130上的导电体120。绝缘体130优选使用可具有铁电性的材料。此外，图1B2可以看作氧化物230与绝缘体130，即可具有铁电性的材料接触的结构。

[0054] 图1C2包括导电体110、导电体110上的绝缘体115a、绝缘体115a上的绝缘体130以及绝缘体130上的导电体120。此外，图1C2可以看作在图1A2的导电体110与绝缘体130之间含有绝缘体115a的结构。此外，图1C3包括导电体110、导电体110上的绝缘体130、绝缘体130上的绝缘体115b以及绝缘体115b上的导电体120。

[0055] 此外，图1C4包括导电体110、导电体110上的绝缘体115a、绝缘体115a上的绝缘体130、绝缘体130上的绝缘体115b以及绝缘体115b上的导电体120。此外，在图1C1的电路图的结构中，优选在P-E(Polarization density-Electric field)特性上得到了一定的极化。例如，在I-V特性上，在将第一至第六区间分别定义为0(V)至3(V)、3(V)至0(V)、-Va(V)至Va(V)、0(V)至-3(V)、-3(V)至0(V)以及-Va(V)至Va(V)的情况下，第三区间和第六区间的电流值优选不同。此外，Va优选为本电路图中的矫顽电场(Ec)以下的电压。为了满足这种特性，例如，在绝缘体115a与绝缘体115b之间有差异地设定膜种类、膜质量、膜厚度中的至少一个即可。

[0056] 以下说明各构成要素。

[0057] <<导电体(下部电极)>>

导电体110被用作下部电极。此外，导电体110可以利用溅射法、化学气相沉积(CVD:Chemical Vapor Deposition)法、分子束外延(MBE:Molecular Beam Epitaxy)法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法或原子层沉积(ALD:Atomic Layer Deposition)法等形成。ALD法有只利用热能使前驱物及反应物起反应的热ALD(Thermal ALD)法、使用受到等离子体激发的反应物的PEALD(Plasma Enhanced ALD)法等。

[0058] 此外，通过使用ALD法形成导电体110，有时较容易地形成平坦性优良的导电膜。例如，可以使用热ALD法形成氮化钛。此外，导电体110可以使用光刻(lithography)法等适当地形成图案。

[0059] 此外，被形成导电体110的表面(也称为被形成面)或导电体110的顶面的平坦性优选高。例如，被形成导电体110的表面或导电体110的顶面也可以通过使用化学机械抛光(CMP:Chemichal Mechanical Polishing)法等的平坦化处理而被平坦化，以提高平坦性。如果被形成导电体110的表面或导电体110的顶面的平坦性得到提高，就可以提高其上方，更具体而言，绝缘体130的结晶性。

[0060] <<绝缘体>>

绝缘体130优选使用可具有铁电性的材料。绝缘体130将在后面叙述。

[0061] <<导电体(上部电极)>>

导电体120被用作上部电极。隔着绝缘体130设置导电体120和导电体110。导电体120将在后面叙述。

[0062] <氧化物>

氧化物230将在后面叙述(参照实施方式2)。

[0063] <绝缘体>

绝缘体115a和绝缘体115b都可以为顺电体材料，例如，氧化硅、氮化硅、氧氮化硅、氮化硅、氧化铝、氮化铝以及氧氮化铝等。尤其是，绝缘体115a、115b优选为氮化硅膜。此外，绝缘体115a和绝缘体115b都可以通过溅射法、CVD法、MBE法、PLD法、ALD法等而形成。尤其是，绝缘体115a及绝缘体115b优选使用PEALD法而形成。例如，当使用PEALD法形成氮化硅膜时，优选使用包含氟、氯、溴、碘等卤素的前驱物。此外，在引入上述前驱物之后，在引入N_2、N_2O、NH_3、NO、NO_2以及N_2O_2等氮化剂的气氛下进行等离子体处理，由此可以形成高质量的氮化硅膜。

[0064] 根据本发明的一个方式，可以提供一种可具有铁电性的材料，即具有铁电性的金

属氧化物膜。此外，根据本发明的一个方式，可以提供一种利用可具有铁电性的材料的铁电体器件。此外，根据本发明的一个方式，可以提供一种利用可具有铁电性的材料的电容器。此外，根据本发明的一个方式，可以提供一种利用可具有铁电性的材料的晶体管。此外，根据本发明的一个方式，可以提供一种利用可具有铁电性的材料的电容器及二极管。

[0065] 换言之，本发明的一个方式的金属氧化物膜可以应用于电容器、晶体管以及二极管中的任何一个或多个半导体装置。

[0066] 以下具体说明本发明的一个方式的电容器及其制造方法。虽然以图1A1及图1A2所示的结构为例进行说明，但是通过改变部分结构(例如，氧化物230、绝缘体115a以及绝缘体115b等)而可以适用于图1B1、图1B2、图1C1、图1C2、图1C3以及图1C4所示的结构。

[0067] <电容器的结构例子>

在本节中，参照图2A至图4C及图6说明本发明的一个方式的电容器的结构例子。

[0068] 如图2A所示，本发明的一个方式的电容器100包括导电体110、导电体120以及夹在导电体110与导电体120之间的绝缘体130。例如，可以在衬底(未图示)上配置导电体110，在导电体110上配置绝缘体130，并且在绝缘体130上配置导电体120。在此，导电体110被用作电容器100的下部电极，导电体120被用作电容器100的上部电极，并且绝缘体130被用作电容器100的介电质。

[0069] 绝缘体130优选使用可具有铁电性的材料。作为可具有铁电性的材料，可以举出氧化铪、氧化锆、$HfZrO_X$(X为大于0的实数)等。此外，作为可具有铁电性的材料，可以举出对氧化铪添加元素J1(在此，元素J1为选自锆(Zr)、硅(Si)、铝(Al)、钆(Gd)、钇(Y)、镧(La)、锶(Sr)等中的一个或多个)的材料。在此，可以适当地设定铪原子与元素J1的原子个数比，例如，可以将铪原子与元素J1的原子个数比设定为1:1或其附近。此外，作为可具有铁电性的材料，可以举出对氧化锆添加元素J2(在此，元素J2为选自铪(Hf)、硅(Si)、铝(Al)、钆(Gd)、钇(Y)、镧(La)、锶(Sr)等中的一个或多个)的材料等。此外，可以适当地设定锆原子与元素J2的原子个数比，例如，可以将锆原子与元素J2的原子个数比设定为1:1或其附近。此外，作为可具有铁电性的材料，也可以使用$PbTiO_X$、钛酸钡锶(BST)、钛酸锶、锆钛酸铅(PZT)、钽酸锶铋(SBT)、铁酸铋(BFO)、钛酸钡等具有钙钛矿结构的压电陶瓷。此外，作为可具有铁电性的材料，例如，可以使用由选自上述材料中的多个材料构成的混合物或化合物。此外，绝缘体130可以具有由选自上述材料中的多个材料构成的叠层结构。注意，氧化铪、氧化锆、$HfZrO_X$以及对氧化铪添加元素J1的材料等的结晶结构(特性)可能不仅根据成膜条件而且还根据各种工序等而发生变化，由此在本说明书等中，呈现铁电性的材料不仅被称为铁电体，而且还被称为“可具有铁电性的材料”。

[0070] 尤其是，作为可具有铁电性的材料，优选使用氧化铪或包含氧化铪及氧化锆的材料，因为它们即使被加工为几nm的薄膜也可具有铁电性。通过使用可以被薄膜化的铁电体层，可以将电容器100与被微型化了的晶体管等半导体元件组合来形成半导体装置。在本说明书等中，形成为层状的可具有铁电性的材料有时被称为“铁电体层”或“金属氧化物膜”。此外，在本说明书等中，有时将包括铁电体层(金属氧化物膜)的装置称为“铁电体器件”。

[0071] 在此，如图2C所示，绝缘体130的形状优选为膜状。在图2C中，在平行于绝缘体130的膜表面的方向上设置x轴及y轴，并在平行于绝缘体130的膜厚度方向的方向上设置z轴。因为绝缘体130的形状优选为膜状，所以绝缘体130的x方向的宽度w_x及y方向的宽度w_y优选

大于膜厚度t，更优选为膜厚度t的3倍以上。例如，在绝缘体130的膜厚度t为3nm的情况下，绝缘体130的宽度w_x及宽度w_y中的至少一个优选为3nm以上，更优选为10nm以上。此外，绝缘体130的膜厚度t可以为100nm以下，优选为50nm以下，更优选为20nm以下，进一步优选为10nm以下(典型为2nm以上且9nm以下)。例如，膜厚度t优选为8nm以上且12nm以下。

[0072] 虽然图2C所示的绝缘体130具有顶面和底面在整个表面上平行的形状，但是本发明不局限于此。例如，绝缘体130有时反映被形成面的形状而具有凹凸。在此情况下，如果被形成面上形成有槽部，有时绝缘体130的与该槽部重叠的区域的形状成为凹状。

[0073] 可具有铁电性的材料为绝缘体，具有受到外加电场的作用而在内部发生极化，并在该电场为0时也保持极化的性质。因此，通过使用将该材料用作介电质的电容器(以下有时称为铁电电容器)，可以形成非易失性存储元件。使用铁电电容器的非易失性存储元件有时被称为FeRAM(Ferroelectric Random Access Memory)、铁电存储器等。例如，铁电存储器可以包括晶体管及铁电电容器，晶体管的源极及漏极中的一个与铁电电容器的一个端子电连接。由此，使用本实施方式所示的电容器100及晶体管的半导体装置可以被用作铁电存储器。

[0074] 在此，参照图6说明可以用于绝缘体130的材料之一的氧化铪的结晶结构。图6是说明氧化铪(在本实施方式中为HfO_2)的结晶结构的模型图。已知氧化铪可以具有多样的结晶结构，例如，图6所示的立方晶系(cubic，空间群：Fm-3m)、四方晶系(tetragonal，空间群：$P4_2/nmc$)、正交晶系(orthorhombic，空间群：$Pbc2_2$)以及单斜晶系(monoclinic，空间群：$P2_1/c$)等结晶结构。此外，如图6所示，上述各结晶结构可发生相变。例如，通过使用对氧化铪掺杂锆的复合材料，可以从以单斜晶系为主的氧化铪结晶结构形成以正交晶系为主的结晶结构。

[0075] 当使用上述复合材料通过ALD法等大约以1:1的组成交替形成氧化铪和氧化锆时，该复合材料具有正交晶系的结晶结构。此外，该复合材料具有非晶结构。然后，通过对上述复合材料进行热处理等，可以将非晶结构改变为正交晶系的结晶结构。此外，该正交晶系的结晶结构也有时变成单斜晶系的结晶结构。当对上述复合材料赋予铁电性时，与单斜晶系的结晶结构相比正交晶系的结晶结构更合适。

[0076] 在此，参照图3A说明HfZrOx的正交晶系的结晶结构的模型。

[0077] 图3A是HfZrOx，在此为$Hf_{0.5}Zr_{0.5}O_2$的结晶结构的模型图。此外，图3A还示出a轴、b轴、c轴的方向。图3A示出一种结构，其中HfO_2的orthorhombic结构($Pca2_1$)被进行了利用第一原理计算的包括晶胞在内的最优化，然后，配置层状的Zr。

[0078] 由图3A可知，铪与锆通过氧相键合。该结构可以如后述的成膜序列所示那样通过ALD法交替形成铪和锆而形成。

[0079] 借助于外加电场，图3A所示的氧的一部分移位，由此在内部发生极化。在此，氧的一部分在c轴方向上移位，也在c轴方向上发生极化。

[0080] 图3B及图3C是HfZrOx，在此为$Hf_{0.5}Zr_{0.5}O_2$的结晶结构的模型图。图3B及图3C示出原子配置通过第一原理计算而被最优化的模型。此外，图3A所示的模型与图3B所示的模型只在原子的显示方法上有所不同，而原子配置几乎相同。

[0081] HfZrOx在具有orthorhombic结构时既可呈现图3B所示的原子配置又可呈现图3C所示的原子配置。因此，借助于外加电场，HfZrOx中的氧原子的一部分移位，由此在内部发

生极化。此外，当电场的方向或强度改变时，HfZrOx中的氧原子的一部分转移，由此发生在内部的极化的符号改变。

[0082] 图3D是示出铁电体层的滞后特性的一个例子的图表。在图3D中，横轴表示施加到铁电体层的电场强度，纵轴表示铁电体层的极化量。此外，图3D所示的点61表示电场强度为0时的最小极化，而图3D所示的点62表示电场强度为0时的最大极化。例如，在最小极化(图3D所示的点61)中，HfZrOx中的原子呈现图3B所示的配置。此外，在最大极化(图3D所示的点62)中，HfZrOx中的原子呈现图3C所示的配置。

[0083] 在绝缘体130中，如图2A所示，优选具有结晶形成层且该层被层叠的结晶结构。再者，该层优选具有图3A所示的单晶结构。此外，图2A所示的绝缘体130的虚线表示结晶的层，c轴132表示该结晶的c轴。

[0084] 绝缘体130所包含的结晶的层如图2A所示那样在a-b面方向上延伸。此外，绝缘体130所包含的结晶的层在c轴方向上生长(有时被称为axial growth)，多个结晶的层在c轴方向上被层叠。c轴的方向优选为大致垂直于绝缘体130的被形成面或顶面的方向。例如，如图2B所示，相对于导电体110的顶面的法线134与c轴132所形成的角度θ优选为30°以下，更优选为5°以下。

[0085] 图2A示出在电容器100的下部电极(导电体110)与上部电极(导电体120)之间施加电场E的状态。在此，电场E的方向优选大致平行于c轴132。例如，电场E的方向优选平行于法线134，由此电场E的方向与c轴132所形成的角度θ为30°以下，更优选为5°以下。

[0086] 如此，采用绝缘体130的c轴132与电场的方向E大致平行的结构，使得正交晶系的结晶的氧的移位方向与电场的方向E大致平行。因此，借助于电场E，可以在绝缘体130中高效产生极化。由此，可以增大绝缘体130的极化。

[0087] 为了形成上述包含层状结晶的绝缘体130，作为绝缘体130的基底的导电体110的顶面的平坦性优选高。例如，作为基底的导电体110的顶面的粗糙度在表示为算术平均表面粗糙度(Ra)或均方根面粗糙度(RMS:Root Mean Square)时可以为2nm以下，优选为1nm以下，更优选为0.8nm以下，进一步优选为0.5nm以下，更进一步优选为0.4nm以下。如此，通过提高导电体110的顶面的平坦性，可以提高绝缘体130的结晶性，并提高绝缘体130的铁电性。

[0088] 此外，为了形成上述包含层状结晶的绝缘体130，优选在绝缘体130与导电体110的界面或在绝缘体130与导电体120的界面不形成另一层。例如，在导电体110(导电体120)使用TiNx且绝缘体130使用HfZrOx的情况下，有时绝缘体130等所包含的氧扩散到导电体110(导电体120)，使得TiOx作为另一层形成在绝缘体130与导电体110(导电体120)的界面。这种另一层的厚度优选为1nm以下，更优选为0.4nm以下，进一步优选为0.2nm以下。

[0089] 在此，图4A至图4C是图2A等所示的被用作铁电体层的绝缘体130附近的放大图。图4A是示出参照图2A至图2C说明的具有单晶结构的绝缘体130的图。图4A所示的绝缘体130如上所述那样具有层叠有多个结晶的层的结构。此外，绝缘体130所包含的多个结晶的层优选沿c轴132取向。

[0090] 此外，虽然以上示出使用图4A等所示的具有单晶结构的铁电体层作为绝缘体130的例子，但是本发明不局限于此。例如，如图4B所示，绝缘体130也可以具有包含结晶性不同的多个晶粒136的多晶结构。在此，多个晶粒136的至少一部分优选具有正交晶系的结晶结

构。在多个晶粒136的至少一部分具有正交晶系的结晶结构的情况下，绝缘体130呈现铁电性，因此是优选的。

[0091] 此外，绝缘体130也可以具有包括具有单晶结构的层138a及多晶的层138b的结构。例如，如图4C所示，也可以具有在导电体110上层叠有多个具有单晶结构的层138a及多个多晶的层138b的结构。

[0092] 如此，绝缘体130的结晶结构的至少一部分具有单晶结构即可。绝缘体130的结晶结构为选自立方晶系、四方晶系、正交晶系以及单斜晶系中的任何一个或多个即可。尤其是，绝缘体130优选具有正交晶系的结晶结构，由此呈现铁电性。此外，绝缘体130的结晶结构也可以为非晶结构。此外，绝缘体130也可以具有非晶结构和结晶结构的复合结构。

[0093] 此外，为了形成结晶性优良的绝缘体130，优选减少绝缘体130中的氢、碳、碳化氢、氯等杂质。如果这些杂质包含在绝缘体130中，则有时绝缘体130的结晶化受阻。再者，这些杂质有时在绝缘体130中的结晶中形成氧空位。如上所述，在图3A所示的结晶结构中，氧因外加电场而移位，由此呈现铁电性。由此，优选减少氢、碳、碳化氢、氯等杂质来减少氧空位，以提高绝缘体130的铁电性。

[0094] 因此，绝缘体130优选使用不包含氢、碳、碳化氢、氯等杂质或者杂质含量极少的材料。例如，绝缘体130所包含的氢的浓度优选为5×10^{20}atoms/cm^3，更优选为1×10^{20}atoms/cm^{3}以下。此外，例如，绝缘体130所包含的碳化氢的浓度优选为5×10^{20}atoms/cm^{3}以下，更优选为1×10^{20}atoms/cm^3，进一步优选为5×10^{19}atoms/cm^{3}以下。此外，例如，绝缘体130所包含的碳的浓度优选为5×10^{20}atoms/cm^{3}以下，更优选为1×10^{20}atoms/cm^3，进一步优选为5×10^{19}atoms/cm^{3}以下。此外，例如，绝缘体130所包含的氯的浓度优选为5×10^{21}atoms/cm^{3}以下，更优选为1×10^{21}atoms/cm^3，进一步优选为5×10^{20}atoms/cm^{3}以下。

[0095] 上述杂质的定量可以利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)、X射线光电子能谱法(XPS:X-ray Photoelectron Spectroscopy)或俄歇电子能谱法(AES:Auger Electron Spectroscopy)。例如，可以利用SIMS分析进行绝缘体130中的氢、碳、碳化氢、氯等杂质的定量。

[0096] 如上所述，通过不使绝缘体130包含氢、碳化氢、碳以及氯中的一个以上，或者，使氢、碳化氢、碳以及氯中的一个以上的含量极少，可以提高绝缘体130的结晶性，并可以具有铁电性高的结构。

[0097] 作为导电体110，优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟、钌、铱、锶和镧等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。作为以上述金属元素为成分的合金，也可以使用该合金的氮化物或该合金的氧化物。例如，优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物等。此外，氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料，所以是优选的。此外，也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0098] 此外，也可以层叠多个由上述材料形成的导电层。例如，也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。此外，也可以采用组合包含上述金属元

素的材料和包含氮的导电材料的叠层结构。此外，也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。

[0099] 导电体120可以使用可以用于导电体110的导电材料。

[0100] <电容器的制造方法>

在本节中，参照图5A至图5C说明本发明的一个方式的电容器的制造方法。

[0101] 如图5A所示，在衬底(未图示)上形成导电体110。导电体110可以通过使用溅射法、CVD法、MBE法、PLD法、ALD法等形成。通过使用ALD法形成导电体110，有时较容易地形成平坦性优良的导电膜。例如，可以使用热ALD法形成氮化钛。此外，导电体110可以使用光刻法等适当地形成图案。

[0102] 接着，如图5B所示，在导电体110上形成绝缘体130。绝缘体130可以通过使用溅射法、CVD法、ALD法等形成。例如，通过使用ALD法形成绝缘体130，可以在导电体110上以高覆盖率形成绝缘体130。由此，可以抑制产生在电容器100的上部电极与下部电极之间的泄漏电流。

[0103] 绝缘体130优选使用可具有铁电性的材料。作为可具有铁电性的材料，可以使用上述材料。在此，绝缘体130的厚度可以为100nm以下，优选为50nm以下，更优选为20nm以下，进一步优选为10nm以下(典型为2nm以上且9nm以下)。

[0104] 在绝缘体130使用包含氧化铪及氧化锆的材料($HfZrO_x$)的情况下，优选使用热ALD法形成绝缘体130。

[0105] 此外，在使用热ALD法形成绝缘体130的情况下，优选使用不包含碳化氢(Hydro Carbon，也称为HC)的材料作为前驱物。在绝缘体130包含氢及碳中的一个或两个的情况下，绝缘体130的结晶化有时受阻。因此，如上所述，优选使用不包含碳化氢的前驱物，以降低绝缘体130中的氢及碳中的一个或两个的浓度。例如，作为不包含碳化氢的前驱物，可以举出氯类材料。在绝缘体130使用包含氧化铪及氧化锆的材料($HfZrO_x$)的情况下，可以使用$HfCl_4$及$ZrCl_4$作为前驱物。

[0106] 此外，在使用热ALD法形成绝缘体130的情况下，可以使用H_2O或O_3作为氧化剂。作为热ALD法的氧化剂，与H_2O相比更优选使用O_3，由此可以降低膜中的氢浓度。但是，热ALD法的氧化剂不局限于此。例如，热ALD法的氧化剂也可以包含选自O_2、O_3、N_2O、NO_2、H_2O以及H_2O_2中的任何一个或多个。

[0107] 接着，如图5C所示，在绝缘体130上形成导电体120。在此，导电体120和导电体110隔着绝缘体130配置。导电体120也可以具有在绝缘体130上与其接触的导电体120a及在导电体120a上与其接触的导电体120b的叠层结构。

[0108] 导电体120a可以通过使用ALD法或CVD法等形成。例如，可以使用热ALD法形成氮化钛。在此，导电体120a优选通过使用像热ALD法那样在加热衬底的同时形成膜的方法形成。例如，衬底温度可以为室温以上，优选为300℃以上，更优选为325℃以上，进一步优选为350℃以上。此外，例如，衬底温度可以为500℃以下，优选为450℃以下。例如，衬底温度可以为400℃左右。

[0109] 通过在上述温度范围下形成导电体120a，即使在形成导电体120a之后不进行高温烘烤处理(例如，热处理温度为400℃以上或500℃以上的烘烤处理)也可以对绝缘体130赋予铁电性。

[0110] 此外，如上所述，通过使用给基底带来的损伤较少的ALD法形成导电体120a，可以抑制绝缘体130的结晶结构过度被破坏，由此可以提高绝缘体130的铁电性。

[0111] 例如，在使用溅射法等形成导电体120a的情况下，可能给基底膜，在此为绝缘体130带来损伤。例如，在绝缘体130使用包含氧化铪及氧化锆的材料($HfZrO_x$)且使用溅射法形成导电体120a的情况下，可能因溅射法而给作为基底膜的$HfZrO_x$带来损伤，使得$HfZrO_x$的结晶结构(典型为正交晶系等的结晶结构)结晶结构破坏。由此，优选使用给基底带来的损伤较少的ALD法形成导电体120a。

[0112] 此外，通过在使用溅射法形成导电体120a之后进行热处理，也可以恢复$HfZrO_x$的结晶结构的损伤。

[0113] 在此，有时因$HfZrO_x$中的悬空键(例如，O^*)与$HfZrO_x$中所包含的氢键合而不能恢复$HfZrO_x$的结晶结构中的损伤。$HfZrO_x$中的悬空键例如因使用溅射法形成导电体120a时的损伤而形成。

[0114] 因此，绝缘体130，在此为$HfZrO_x$，优选使用不包含氢或者氢含量极少的材料。例如，绝缘体130所包含的氢的浓度优选为$5\times10^{20}atoms/cm^3$以下，更优选为$1\times10^{20}atoms/cm^3$以下。

[0115] 此外，如上所述，为了降低绝缘体130中的氢浓度，优选使用不包含碳化氢的材料作为前驱物。由此，绝缘体130有时成为不以碳化氢为主要成分或者碳化氢含量极少的膜。例如，绝缘体130所包含的碳化氢的浓度优选为$5\times10^{20}atoms/cm^3$以下，更优选为$1\times10^{20}atoms/cm^3$以下，进一步优选为$5\times10^{19}atoms/cm^3$以下。

[0116] 此外，在使用不包含碳化氢的材料作为前驱物形成绝缘体130的情况下，绝缘体130有时成为不以碳为主要成分或者碳含量极少的膜。例如，绝缘体130所包含的碳的浓度优选为$5\times10^{20}atoms/cm^3$以下，更优选为$1\times10^{20}atoms/cm^3$，进一步优选为$5\times10^{19}atoms/cm^3$以下。

[0117] 作为绝缘体130，优选使用氢、碳化氢以及碳中的一个以上的含量极少的材料，尤其是，尽量减少碳化氢及碳的含量是重要的。碳化氢及碳为比氢重的分子或原子，所以难以在后续工序中去除它们。因此，优选在形成绝缘体130时彻底去除碳化氢及碳。

[0118] 如上所述，通过使用不包含氢、碳化氢以及碳中的一个以上或者氢、碳化氢以及碳中的一个以上的含量极少的材料作为绝缘体130，可以提高绝缘体130的结晶性，并可以具有铁电性高的结构。

[0119] 此外，绝缘体130中的氯含量也优选减少。例如，绝缘体130所包含的氯的浓度优选为$5\times10^{21}atoms/cm^3$以下，更优选为$1\times10^{21}atoms/cm^3$以下，进一步优选为$5\times10^{20}atoms/cm^3$以下。

[0120] 如上所述，通过彻底去除绝缘体130中的杂质，在此为氢、碳化氢、碳以及氯中的一个以上，可以形成高纯度本征的具有铁电性的膜，在此为高纯度本征的电容器。此外，高纯度本征的具有铁电性的电容器与后述实施方式所示的高纯度本征的氧化物半导体之间的制造工艺的统合性非常高。由此，可以提供生产率高的半导体装置的制造方法。

[0121] 如上所述，在本发明的一个方式中，例如，作为绝缘体130，使用热ALD法形成不使用碳化氢的前驱物(典型为氯类前驱物)，并使用氧化剂(典型为O_3)形成铁电材料。然后，通过使用热ALD法(典型为400℃以上的成膜)形成导电体120a，可以在不进行形成导电体120a

之后的退火，即利用形成导电体120a时的温度的情况下提高绝缘体130的结晶性或铁电性。此外，在不进行成膜后退火，即利用形成导电体120a时的温度的情况下提高绝缘体130的结晶性或铁电性有时被称为“自退火”。

[0122] 此外，导电体120b可以通过使用溅射法、ALD法或CVD法等形成。例如，可以使用金属CVD法形成钨膜。

[0123] 如上所述，可以制造图5C所示的在导电体110与导电体120之间设置有绝缘体130的电容器100。如上所述，本实施方式的电容器100即使在形成导电体120a之后不进行高温烘烤处理也可以提高绝缘体130的铁电性。因此，可以减少制造铁电电容器的工序，由此可以提高铁电电容器及包括该铁电电容器的半导体装置的生产率。

[0124] 虽然以上示出在制造导电体120a之后不进行高温烘烤处理的例子，但是本发明不局限于此。例如，在不进行衬底加热或者在低温下进行衬底加热的同时形成导电体120a及导电体120b的情况下，也可以在形成导电体120之后进行热处理。作为该热处理，例如，可以在衬底温度为室温以上，优选为300℃以上，更优选为325℃以上，进一步优选为350℃以上的情况下进行成膜。此外，例如，可以在衬底温度为500℃以下，优选为450℃以下的情况下进行成膜。例如，衬底温度可以为400℃左右。该热处理可以在包含氧气体、氮气体或惰性气体的气氛下进行。

[0125] 〈使用ALD法的成膜〉

以下参照图7A及图7B说明使用ALD法的绝缘体130的成膜方法及用于该成膜的成膜装置。

[0126] ALD法可以利用原子的自调节性来沉积每一层的原子，从而具有如下效果：能够形成极薄的膜；能够对纵横比高的结构形成膜；能够以针孔等的缺陷少的方式形成膜；能够形成覆盖性优良的膜；能够在低温下形成膜等。

[0127] 在ALD法中，将用于反应的第一源气体(也称为前驱物)和第二源气体(也称为氧化性气体)依次引入反应室内，并反复进行这种源气体的引入，由此进行成膜。此外，在引入前驱物或氧化性气体时，也可以将N_2或Ar等用作载体-吹扫气体，将其与前驱物或氧化性气体一起引入反应室内。通过使用载体-吹扫气体，可以抑制前驱物或氧化性气体吸附到管道或阀的内部，由此可以将前驱物或氧化性气体引入反应室内(也可以称为载体气体)。此外，还可以迅速排出残留在反应室内的前驱物或氧化性气体(也称为吹扫气体)。如此，上述气体因起到引入(载体)和排气(吹扫)的两个作用而有时被称为载体-吹扫气体。此外，通过使用载体-吹扫气体，可以提高所形成的膜的均匀性，因此这是优选的。

[0128] 图7A示出使用ALD法形成包含可具有铁电性的材料的膜(以下称为铁电体层)的成膜序列。以下示出作为绝缘体130形成包含氧化铪及氧化锆的铁电体层的例子。

[0129] 前驱物401可以使用包含铪并包含选自氯、氟、溴、碘以及氢中的一个或多个的前驱物。此外，前驱物402可以使用包含锆并包含选自氯、氟、溴、碘以及氢中的一个或多个的前驱物。在本节中，使用$HfCl_4$作为包含铪的前驱物401，并使用$ZrCl_4$作为包含锆的前驱物402。

[0130] 此外，前驱物401及前驱物402通过加热液体原料或固体原料使其汽化而形成。前驱物401由$HfCl_4$的固体原料形成，前驱物402由$ZrCl_4$的固体原料形成。优选减少前驱物401及前驱物402中的杂质，更优选减少这些固体原料中的杂质。例如，作为该杂质，可以举出

Ba、Cd、Co、Cr、Cu、Fe、Ga、Li、Mg、Mn、Na、Ni、Sr、V、Zn等。在$HfCl_4$的固体原料及$ZrCl_4$的固体原料中，上述杂质优选少于1000wppb。在此，wppb是指换算为质量的杂质浓度以十亿分率表示的单位。

[0131] 此外，作为氧化性气体403，可以使用选自O_2、O_3、N_2O、NO_2、H_2O以及H_2O_2中的任何一个或多个。在本节中，使用包含H_2O的气体作为氧化性气体403。此外，作为载体-吹扫气体404，可以使用选自N_2、He、Ar、Kr以及Xe中的任何一个或多个。在本节中，使用N_2作为载体-吹扫气体404。

[0132] 首先，将氧化性气体403引入反应室内(步骤S01)。其次，停止引入氧化性气体403，只有载体-吹扫气体404，以对残留在反应室内的氧化性气体403进行吹扫(步骤S02)。其次，将前驱物401及载体-吹扫气体404引入反应室内，并将反应室内的压力保持为固定压力(步骤S03)。如此，使前驱物401吸附到被形成面。其次，停止引入前驱物401，只有载体-吹扫气体404，以对残留在反应室内的前驱物401进行吹扫(步骤S04)。其次，将氧化性气体403引入反应室内。通过将氧化性气体403引入反应室内，使前驱物401氧化来形成氧化铪(步骤S05)。其次，停止引入氧化性气体403，只有载体-吹扫气体404，以对残留在反应室内的氧化性气体403进行吹扫(步骤S06)。

[0133] 接着，将前驱物402及载体-吹扫气体404引入反应室内，并将反应室内的压力保持为固定压力(步骤S07)。如此，使前驱物402吸附到上述氧化铪的氧层上。其次，停止引入前驱物402，只有载体-吹扫气体404，以对残留在反应室内的前驱物402进行吹扫(步骤S08)。其次，回到步骤S01，将氧化性气体403引入反应室内。通过引入氧化性气体403，使前驱物402氧化来在氧化铪上形成氧化锆。

[0134] 以上述步骤S01至步骤S08为一次循环，反复进行该循环直到达到所希望的膜厚度为止。此外，步骤S01至步骤S08可以在250℃以上且450℃以下的温度范围下进行，优选在350℃以上且400℃以下的温度范围下进行。

[0135] 如上所述，通过使用ALD法进行成膜，可以形成图4所示的铪层、氧层、锆层以及氧层反复形成的层状结晶结构。再者，如上所述，通过使用减少了杂质的前驱物进行成膜，可以抑制因在成膜时混入杂质而阻碍形成该层状结晶结构。如此，通过作为绝缘体130形成结晶性高的层状结晶结构，可以使绝缘体130具有高铁电性。

[0136] 注意，绝缘体130不一定必须在刚成膜之后就呈现铁电性。如上所述，绝缘体130有时不在刚成膜之后而在绝缘体130上形成导电体120之后才呈现铁电性。

[0137] 接着，参照图7B说明用于使用上述ALD法的成膜的制造设备。图7B是使用ALD法的制造设备900的示意图。

[0138] 如图7B所示，制造设备900包括反应室901、气体引入口903、反应室进口904、排气口905、晶片支撑台907以及轴908。在图7B中，在晶片支撑台907上配置有晶片950。

[0139] 反应室901也可以包括用来加热反应室901内部、前驱物401、前驱物402、氧化性气体403以及载体-吹扫气体404的加热系统。此外，晶片支撑台907也可以包括用来加热晶片950的加热系统。此外，晶片支撑台907也可以具备以轴908为旋转轴沿水平方向旋转的旋转机构。此外，虽然未图示，但是在气体引入口前还设置有气体供应系统，以将前驱物401、前驱物402、氧化性气体403以及载体-吹扫气体404以合适的时序、流量以及时间引入到气体引入口903。此外，虽然未图示，但是在排气口905后还设置有具备真空泵的排气系统。

[0140] 图7B所示的制造设备900是被称为cross flow方式的ALD装置。以下说明cross flow方式中的前驱物401、前驱物402、氧化性气体403以及载体-吹扫气体404的流动。前驱物401、前驱物402、氧化性气体403以及载体-吹扫气体404从气体引入口903经过反应室进口904流过反应室901，到达晶片950，并通过排气口905排出。图7B所示的箭头示意性地表示气体的流动方向。

[0141] 如上所述，在图7A所示的将氧化性气体403引入反应室901内的步骤S05中，被吸附于晶片950上的前驱物401被氧化性气体403氧化，由此形成氧化铪。从采用cross flow方式的制造设备900的结构来看，氧化性气体403在接触被加热的反应室部件很长时间之后才到达晶片950。由此，例如，在使用O_3作为氧化性气体403的情况下，氧化性气体403在到达晶片950之前与高温的固体表面起反应，使得氧化性气体403分解，并且氧化力下降。因此，氧化铪的成膜速度依赖于氧化性气体的从反应室进口904到晶片950的流动距离。在晶片支撑台907以轴908为中心沿水平方向旋转的情况下，晶片950的周边部先与氧化性气体403接触，由此氧化铪的厚度越接近晶片950的周边部越厚，使得氧化铪在晶片950的中央部的厚度比氧化铪在晶片950的周边部的厚度薄。

[0142] 于是，为了抑制氧化性气体403分解且氧化力下降，需要适当地设定反应室的加热温度。虽然以上以前驱物401的氧化为例进行了说明，但是前驱物402的氧化也与此同样。

[0143] 如上所述，可以形成衬底面内的膜厚度均匀性优良的铁电体层。作为衬底面内的均匀性，优选为±1.5％以下，更优选为±1.0％以下。此外，在将衬底面内的最大膜厚度-衬底面内的最小膜厚度定义为RANGE，并将衬底面内的膜厚度均匀性定义为±PNU(Percent Non Uniformity)(％)的情况下，均匀性可以按照±PNU(％)＝(RANGE×100)/(2×衬底面内的膜厚度的平均值)求出。

[0144] 如上所述，使用氧化性气体403形成均匀性优良的氧层，由此可以形成规律性更高的层状结晶结构。如此，因为绝缘体130具有规律性高的层状结晶结构，所以可以使绝缘体130具有高铁电性。

[0145] 通过使用上述方法，可以形成由可具有铁电性的材料构成的绝缘体130。通过使用这种绝缘体130形成电容器100，可以将电容器100用作铁电电容器。

[0146] 根据本发明的一个方式，可以提供包含可具有铁电性的材料的电容器。此外，根据本发明的一个方式，可以以高生产率提供上述电容器。此外，根据本发明的一个方式，可以提供能够实现微型化或高集成化的电容器。

[0147] 本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0148] (实施方式2)

在本实施方式中，使用图11A至图17C对包括根据本发明的一个方式的晶体管200及电容器100的半导体装置的一个例子及其制造方法进行说明。在此，用于上述半导体装置的电容器100可以参照根据实施方式1所示的电容器100的记载。

[0149] <半导体装置的结构例子>

图11A至图11D是包括晶体管200及电容器100的半导体装置的俯视图及截面图。图11A是该半导体装置的俯视图。图11B至图11D是该半导体装置的截面图。在此，图11B是沿着图11A中的点划线A1-A2的部分的截面图，也是晶体管200的沟道长度方向的截面图。此外，

图11C是沿着图11A中的点划线A3-A4的部分的截面图，也是晶体管200的沟道宽度方向的截面图。此外，图11D是沿着图11A中的点划线A5-A6的部分的截面图。注意，在图11A的俯视图中，为了明确起见，省略一部分构成要素。

[0150] 本发明的一个方式的半导体装置包括衬底(未图示)上的绝缘体212、绝缘体212上的绝缘体214、绝缘体214上的晶体管200、在晶体管200中设置的绝缘体275上的绝缘体280、绝缘体280上的绝缘体282、绝缘体282上的绝缘体283、绝缘体283上的绝缘体274、绝缘体283及绝缘体274上的绝缘体285。绝缘体212、绝缘体214、绝缘体216、绝缘体275、绝缘体280、绝缘体282、绝缘体283、绝缘体285及绝缘体274被用作层间膜。绝缘体283与绝缘体214的顶面的一部分、绝缘体216的侧面、绝缘体222的侧面、绝缘体275的侧面、绝缘体280的侧面以及绝缘体282的侧面及顶面接触。

[0151] 在此，晶体管200包括半导体层、第一栅极、第二栅极、源极及漏极。晶体管200的源极和漏极中的一个在半导体层的上方与电容器100的一个电极接触。以与晶体管200的源极及漏极上接触的方式设置有绝缘体271(绝缘体271a及绝缘体271b)。

[0152] 电容器100设置在形成于绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中的到达晶体管200的源极和漏极中的一个的开口中。电容器100包括在该开口中与晶体管200的源极和漏极中的一个的顶面接触的导电体110、配置在导电体110及绝缘体285上的绝缘体130以及配置在绝缘体130上的导电体120(导电体120a及导电体120b)。在此，导电体110优选沿着该开口的侧面及底面配置。

[0153] 此外，优选在导电体110和绝缘体280之间设置绝缘体245。绝缘体245优选具有抑制氢(例如，氢原子、氢分子等中的至少一个)的扩散的功能。此外，绝缘体245优选具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能。例如，优选的是，绝缘体245的氧和氢的一方或双方的透过性比绝缘体280低。

[0154] [晶体管200]

如图11A至图11D所示，晶体管200包括绝缘体214上的绝缘体216、以嵌入绝缘体214及/或绝缘体216中的方式配置的导电体205(导电体205a及导电体205b)、绝缘体216及导电体205上的绝缘体222、绝缘体222上的绝缘体224、绝缘体224上的氧化物230a、氧化物230a上的氧化物230b、氧化物230b上的导电体242a、导电体242a上的绝缘体271a、氧化物230b上的导电体242b、导电体242b上的绝缘体271b、氧化物230b上的绝缘体252、绝缘体252上的绝缘体250、绝缘体250上的绝缘体254、位于绝缘体254上并与氧化物230b的一部分重叠的导电体260(导电体260a及导电体260b)、以及配置在绝缘体222、绝缘体224、氧化物230a、氧化物230b、导电体242a、导电体242b、绝缘体271a及绝缘体271b上的绝缘体275。在此，如图11B及图11C所示，绝缘体252与绝缘体222的顶面、绝缘体224的侧面、氧化物230a的侧面、氧化物230b的侧面及顶面、导电体242的侧面、绝缘体271的侧面、绝缘体275的侧面、绝缘体280的侧面及绝缘体250的底面接触。此外，导电体260的顶面以高度与绝缘体254的最上部、绝缘体250的最上部、绝缘体252的最上部及绝缘体280的顶面的高度大致一致的方式配置。此外，绝缘体282与导电体260、绝缘体252、绝缘体250、绝缘体254和绝缘体280各自的顶面的至少一部分接触。

[0155] 此外，有时将氧化物230a及氧化物230b统称为氧化物230。此外，有时将导电体242a及导电体242b统称为导电体242。此外，有时将绝缘体271a及绝缘体271a统称为绝缘体

271。

[0156] 在绝缘体280及绝缘体275中形成到达氧化物230b的开口。在该开口内设置绝缘体252、绝缘体250、绝缘体254及导电体260。此外，在晶体管200的沟道长度方向上，绝缘体271a及导电体242a与绝缘体271b及导电体242b间设置有导电体260、绝缘体252、绝缘体250及绝缘体254。绝缘体254具有与导电体260的侧面接触的区域及与导电体260的底面接触的区域。

[0157] 氧化物230优选包括绝缘体224上的氧化物230a及氧化物230a上的氧化物230b。当在氧化物230b下包括氧化物230a时，可以抑制杂质从形成在氧化物230a的下方的结构物向氧化物230b扩散。

[0158] 注意，在晶体管200中氧化物230具有氧化物230a及氧化物230b的两层叠层结构，但是本发明不局限于此。例如，氧化物230可以具有氧化物230b的单层或三层以上的叠层结构，也可以具有氧化物230a及氧化物230b分别具有叠层的结构。

[0159] 导电体260被用作第一栅(也称为顶栅极)电极，导电体205被用作第二栅(也称为背栅极)电极。此外，绝缘体252、绝缘体250及绝缘体254被用作第一栅极绝缘体，绝缘体222及绝缘体224被用作第二栅极绝缘体。注意，有时将栅极绝缘体称为栅极绝缘层或栅极绝缘膜。此外，导电体242a被用作源极和漏极中的一个，导电体242b被用作源极和漏极中的另一个。此外，氧化物230的与导电体260重叠的区域的至少一部分被用作沟道形成区域。

[0160] 在此，图12A示出图11B中的沟道形成区域附近的放大图。由于氧化物230b被供应氧，沟道形成区域形成在导电体242a和导电体242b之间的区域中。因此，如图12A所示，氧化物230b包括被用作晶体管200的沟道形成区域的区域230bc及以夹着区域230bc的方式设置并被用作源极区域或漏极区域的区域230ba及区域230bb。区域230bc的至少一部分与导电体260重叠。换言之，区域230bc设置在导电体242a与导电体242b间的区域中。区域230ba与导电体242a重叠，区域230bb与导电体242b重叠。

[0161] 与区域230ba及区域230bb相比，其氧空位少或杂质浓度低，所以被用作沟道形成区域的区域230bc是载流子浓度低的高电阻区域。因此，区域230bc可以说是i型(本征)或实质上i型的区域。例如，通过在包含氧的气氛下进行微波处理，容易形成区域230bc。在此，微波处理例如是指使用包括利用微波生成高密度等离子体的电源的装置的处理。此外，在本说明书等中，微波是指具有300MHz以上且300GHz以下的频率的电磁波。

[0162] 此外，被用作源极区域或漏极区域的区域230ba及区域230bb是因氧空位多或者氢、氮、金属元素等杂质的浓度高而载流子浓度提高，由此被低电阻化的区域。就是说，区域230ba及区域230bb是比区域230bc载流子浓度高且电阻低的n型区域。

[0163] 在此，被用作沟道形成区域的区域230bc的载流子浓度优选为$1\times10^{18}cm^{-3}$以下，更优选低于$1\times10^{17}cm^{-3}$，进一步优选低于$1\times10^{16}cm^{-3}$，更优选的是低于$1\times10^{13}cm^{-3}$，进一步优选的是低于$1\times10^{12}cm^{-3}$。对被用作沟道形成区域的区域230bc的载流子浓度的下限值没有特别的限定，例如，可以将其设定为$1\times10^{-9}cm^{-3}$。

[0164] 此外，也可以在区域230bc与区域230ba或区域230bb之间形成载流子浓度等于或低于区域230ba及区域230bb的载流子浓度且等于或高于区域230bc的载流子浓度的区域。换言之，该区域被用作区域230bc与区域230ba或区域230bb的接合区域。该接合区域的氢浓度有时相等于或低于区域230ba及区域230bb的氢浓度且等于或高于区域230bc的氢浓度。

此外，该接合区域的氧空位有时等于或少于区域230ba及区域230bb的氧空位且等于或多于区域230bc的氧空位。

[0165] 注意，图12A示出区域230ba、区域230bb及区域230bc形成在氧化物230b中的例子，但是本发明不局限于此。例如，上述各区域也可以形成在氧化物230b和氧化物230a中。

[0166] 在氧化物230中，有时难以明确地观察各区域的边界。在各区域中检测出的金属元素和氢及氮等杂质元素的浓度并不需要按每区域分阶段地变化，也可以在各区域中逐渐地变化。就是说，越接近沟道形成区域，金属元素和氢及氮等杂质元素的浓度越低即可。

[0167] 优选在晶体管200中将被用作半导体的金属氧化物(以下，有时称为氧化物半导体)用于包含沟道形成区域的氧化物230(氧化物230a、氧化物230b)。

[0168] 被用作半导体的金属氧化物优选使用其带隙为2eV以上，优选为2.5eV以上的金属氧化物。如此，通过使用带隙较宽的金属氧化物，可以减小晶体管的关态电流(off-state current)。

[0169] 例如，作为氧化物230优选使用包含铟、元素M及锌的In-M-Zn氧化物(元素M为选自铝、镓、钇、锡、铜、钒、铍、硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁等中的一种或多种)等的金属氧化物。此外，作为氧化物230也可以使用In-Ga氧化物、In-Zn氧化物、铟氧化物。

[0170] 在此，优选的是，用于氧化物230b的金属氧化物中的In与元素M的原子个数比大于用于氧化物230a的金属氧化物中的In与元素M的原子个数比。

[0171] 如此，通过在氧化物230b下配置氧化物230a，可以抑制杂质及氧从形成在氧化物230a的下方的结构物向氧化物230b扩散。

[0172] 此外，氧化物230a及氧化物230b除了氧以外还包含共同元素(作为主要成分)，所以可以降低氧化物230a与氧化物230b的界面的缺陷态密度。因为可以降低氧化物230a与氧化物230b的界面的缺陷态密度，所以界面散射给载流子传导带来的影响小，从而可以得到高通态电流。

[0173] 氧化物230b优选具有结晶性。尤其是，优选使用CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向结晶氧化物半导体)作为氧化物230b。

[0174] CAAC-OS具有结晶性高的致密结构且是杂质、缺陷(例如，氧空位(V_0等)少的金属氧化物。尤其是，通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如，400℃以上且600℃以下)进行热处理，可以使CAAC-OS具有结晶性更高的致密结构。如此，通过进一步提高CAAC-OS的密度，可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0175] 另一方面，在CAAC-OS中不容易观察明确的晶界，因此不容易发生起因于晶界的电子迁移率的下降。因此，包含CAAC-OS的金属氧化物的物理性质稳定。因此，具有CAAC-OS的金属氧化物具有耐热性且可靠性良好。

[0176] 在使用氧化物半导体的晶体管中，如果在氧化物半导体的形成沟道的区域中存在杂质或氧空位，电特性则容易变动，有时降低可靠性。此外，氧空位附近的氢形成氢进入氧空位中的缺陷(下面有时称为V_0H)而可能会产生成为载流子的电子。因此，当在氧化物半导体的形成沟道的区域中包含氧空位时，晶体管会具有常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此，在氧化物半导体的形成沟道的区域中，优选尽量减少杂质、氧空位及V_0H。换言之，优选的是，氧化物半导体中的形成沟道的区

域的载流子浓度降低且被i型化(本征化)或实质上被i型化。

[0177] 相对于此,通过在氧化物半导体附近设置包含通过加热脱离的氧(以下,有时称为过剩氧)的绝缘体而进行热处理,可以从该绝缘体向氧化物半导体供应氧而减少氧空位及V_0H。注意,在对源极区域或漏极区域供应过多的氧时,有可能引起晶体管200的通态电流下降或者场效应迁移率的下降。并且,在供应到源极区域或漏极区域的氧量在衬底面内有不均匀时,包括晶体管的半导体装置特性发生不均匀。

[0178] 因此,优选的是,在氧化物半导体中,被用作沟道形成区域的区域230bc的载流子浓度得到降低且被i型化或实质上被i型化。另一方面,优选的是,被用作源极区域或漏极区域的区域230ba及区域230bb的载流子浓度高且被n型化。换言之,优选减少氧化物半导体的区域230bc的氧空位及V_0H且区域230ba及区域230bb不被供应过多的氧。

[0179] 于是,本实施方式以在氧化物230b上设置导电体242a及导电体242b的状态在含氧气氛下进行微波处理来减少区域230bc的氧空位及V_0H。

[0180] 通过在含氧气氛下进行微波处理,可以使用微波或RF等高频使氧气体等离子体化而使该氧等离子体作用。此时,也可以将微波或RF等高频照射到区域230bc。通过等离子体、微波等的作用,可以使区域230bc的V_0H分开。可以将氢H从区域230bc去除而由氧填补氧空位V_0。换言之,在区域230bc中发生“$V_0H\rightarrow H+V_0$”的反应,可以降低区域230bc的氢浓度。由此,可以减少区域230bc中的氧空位及V_0H而降低载流子浓度。

[0181] 此外,当在含氧气氛下进行微波处理时,微波、RF等高频、氧等离子体等作用被导电体242a及导电体242b遮蔽并不涉及于区域230ba及区域230bb。再者,可以通过覆盖氧化物230b及导电体242的绝缘体271及绝缘体280降低氧等离子体的作用。由此,在进行微波处理时在区域230ba及区域230bb中不发生V_0H的减少以及过多的氧的供应,因此可以防止载流子浓度的降低。

[0182] 此外,优选在形成成为绝缘体252的绝缘膜之后或者在形成成为绝缘体250的绝缘膜之后以含氧气氛进行微波处理。如此,通过经由绝缘体252或绝缘体250以含氧气氛进行微波处理,可以对区域230bc高效地注入氧。此外,通过以与导电体242的侧面及区域230bc的表面接触的方式配置绝缘体252,可以抑制区域230bc被注入不必要的氧,因此可以抑制导电体242的侧面的氧化。此外,可以抑制在形成成为绝缘体250的绝缘膜时导电体242的侧面被氧化。

[0183] 此外,作为注入到区域230bc中的氧,有氧原子、氧分子、氧自由基(也称为O自由基,包含不成对电子的原子、分子或离子)等各种方式。注入到区域230bc中的氧可以为上述方式中的任一个或多个,尤其优选为氧自由基。此外,由于可以提高绝缘体252及绝缘体250的膜品质,晶体管200的可靠性得到提高。

[0184] 如上所述,可以在氧化物半导体的区域230bc中选择性地去除氧空位及V_0H而使区域230bc成为i型或实质上i型。并且,可以抑制对被用作源极区域或漏极区域的区域230ba及区域230bb供应过多的氧而保持n型。由此,可以抑制晶体管200的电特性变动而抑制在衬底面内晶体管200的电特性不均匀。

[0185] 此外,如图11C所示,在从晶体管200的沟道宽度的截面看时,也可以在氧化物230b的侧面与氧化物230b的顶面之间具有弯曲面。就是说,该侧面的端部和该顶面的端部也可以弯曲(以下,也称为圆形)。

[0186] 上述弯曲面的曲率半径优选大于0nm且小于与导电体242重叠的区域的氧化物230b的厚度或者小于不具有上述弯曲面的区域的一半长度。具体而言，上述弯曲面的曲率半径大于0nm且为20nm以下，优选为1nm以上且15nm以下，更优选为2nm以上且10nm以下。通过采用上述形状，可以提高绝缘体252、绝缘体250、绝缘体254及导电体260的氧化物230b的覆盖性。

[0187] 氧化物230优选具有化学组成互不相同的多个氧化物层的叠层结构。具体而言，用于氧化物230a的金属氧化物中的相对于主要成分的金属元素的元素M的原子个数比优选大于用于氧化物230b的金属氧化物中的相对于主要成分的金属元素的元素M的原子个数比。此外，用于氧化物230a的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物230b的金属氧化物中的In与元素M的原子个数比。此外，用于氧化物230b的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物230a的金属氧化物中的In与元素M的原子个数比。

[0188] 此外，氧化物230b优选为具有CAAC-OS等的结晶性的氧化物。CAAC-OS等的具有结晶性的氧化物具有杂质及缺陷(氧空位等)少的结晶性高且致密的结构。因此，可以抑制源电极或漏电极从氧化物230b抽出氧。因此，即使进行热处理也可以减少氧从氧化物230b被抽出，所以晶体管200对制造工序中的高温度(所谓热积存:thermal budget)也很稳定。

[0189] 在此，在氧化物230a与氧化物230b的接合部中，导带底平缓地变化。换言之，也可以将上述情况表达为氧化物230a与氧化物230b的接合部的导带底连续地变化或者连续地接合。为此，优选降低形成在氧化物230a与氧化物230b的界面的混合层的缺陷态密度。

[0190] 具体而言，通过使氧化物230a与氧化物230b除了包含氧之外还包含共同元素作为主要成分，可以形成缺陷态密度低的混合层。例如，在氧化物230b为In-M-Zn氧化物的情况下，作为氧化物230a也可以使用In-M-Zn氧化物、M-Zn氧化物、元素M的氧化物、In-Zn氧化物、铟氧化物等。

[0191] 具体而言，作为氧化物230a使用In:M:Zn＝1:3:4[原子个数比]或其附近的组成或者In:M:Zn＝1:1:0.5[原子个数比]或其附近的组成的金属氧化物，即可。此外，作为氧化物230b，使用In:M:Zn＝1:1:1[原子个数比]或其附近的组成、In:M:Zn＝1:1:2[原子个数比]或其附近的组成或者In:M:Zn＝4:2:3[原子个数比]或其附近的组成的金属氧化物，即可。注意，附近的组成包括所希望的原子个数比的±30％的范围。此外，作为元素M优选使用镓。

[0192] 在此，优选利用溅射法形成氧化物230a及氧化物230b。作为溅射气体，使用氧或者氧和稀有气体的混合气体。通过提高溅射气体所包含的氧的比例，可以增加形成的氧化膜中的氧。注意，氧化物230a及氧化物230b的成膜不局限于溅射法，也可以适当地使用CVD法、MBE法、PLD法、ALD法等。

[0193] 此外，在通过溅射法形成金属氧化物时，上述原子个数比不局限于所形成的金属氧化物的原子个数比，而也可以是用于金属氧化物的形成的溅射靶材的原子个数比。

[0194] 氧化物230也可以使用ALD法而形成。在此，说明使用ALD法的氧化物230的成膜方法。因为已在上述实施方式中说明使用ALD法的成膜方法，所以在本实施方式中主要说明与上述实施方式不同的部分，关于与上述实施方式相同的部分可以参照上述实施方式的说明。

[0195] 可以用于氧化物230的In-M-Zn氧化物易于具有层叠有包含铟(In)及氧的层(以下

称为In层)和包含元素M、锌(Zn)以及氧的层(以下称为(M,Zn)层)的层状结晶结构。此外,夹在两个In层间的(M,Zn)层数与In-M-Zn氧化物的组成相关。例如,在组成为In:M:Zn=1:1:m的情况下,夹在两个In层间的(M,Zn)层数易于为(m+1)层。

[0196] 作为使用ALD法的氧化物230的成膜方法的例子,参照图7C说明In-M-Zn氧化物的成膜方法。图7C示出使用前驱物411至前驱物413及氧化性气体414进行成膜的成膜序列的一个例子。该成膜序列包括步骤S11至步骤S13。

[0197] 作为前驱物411,可以使用包含铟的前驱物。作为前驱物412,可以使用包含元素M的前驱物。作为前驱物413,可以使用包含锌的前驱物。作为前驱物411至前驱物413的每一个,既可使用由无机物构成的前驱物(有时称为无机前驱物),又可使用由有机物构成的前驱物(有时称为有机前驱物)。作为氧化性气体414,可以使用适用于上述实施方式所示的氧化性气体403的气体。

[0198] 首先,进行步骤S11。在步骤S11中,依次进行如下工序:引入前驱物411,使得包含铟的前驱物被吸附于被形成面的工序;停止引入前驱物411,吹扫处理室内的多余的前驱物411的工序;引入氧化性气体414,使得前驱物411氧化,由此形成In层的工序;以及停止引入氧化性气体414,吹扫处理室内的多余的氧化性气体414的工序。

[0199] 其次,进行步骤S12。在步骤S12中,依次进行如下工序:引入前驱物412,使得包含元素M的前驱物被吸附于In层表面的工序;停止引入前驱物413,吹扫处理室内的多余的前驱物412的工序;引入氧化性气体414,使得前驱物412氧化,由此形成M层的工序;以及停止引入氧化性气体414,吹扫处理室内的多余的氧化性气体的工序。

[0200] 其次,进行步骤S13。在步骤S13中,依次进行如下工序:引入前驱物413,使得包含锌的前驱物被吸附于M层表面的工序;停止引入前驱物413,吹扫处理室内的多余的前驱物413的工程;引入氧化性气体414,使得前驱物413氧化,由此形成Zn层的工序;以及停止引入氧化性气体414,吹扫处理室内的多余的氧化性气体414的工序。

[0201] 以步骤S11至步骤S13为一次循环,通过反复进行该循环,可以形成具有所希望的厚度的In-M-Zn氧化物。此外,有时在成膜时或在成膜后的加热处理中元素M或Zn混入In层中。此外,有时In或Zn混入M层中。此外,有时In或Ga混入Zn层中。

[0202] 此外,一次循环中进行步骤S11至步骤S13的次数不局限于各一次。一次循环中进行步骤S11至步骤S13的次数优选以得到所希望的组成的In-M-Zn氧化物的方式分别设定。例如,在形成In:M:Zn=1:1:2[原子个数比]的In-M-Zn氧化物的情况下,优选以步骤S11、步骤S13、步骤S12、步骤S13为一次循环反复进行该循环。此外,例如,通过反复进行由步骤S11及步骤S12构成的循环,可以形成In-Zn氧化物。此外,也可以在步骤S12的引入前驱物412的工序中还引入前驱物413,由此在步骤S12中形成(M,Zn)层。此外,也可以在步骤S11的引入前驱物411的工序中还引入前驱物412或前驱物413,由此在步骤S11中形成包含元素M或Zn的In层。通过适当地组合这些步骤,可以形成所希望的氧化物230。

[0203] 关于在使用ALD法形成膜时使用的制造设备可以参照上述实施方式的说明。通过使用ALD法形成氧化物230及铁电体层,可以共享制造设备。再者,在制造图1B2所示的元件的情况下,通过在形成氧化物230之后切换前驱物及氧化性气体,可以在氧化物230上连续形成绝缘体130。因此,可以以不暴露于大气的方式形成氧化物230及绝缘体130,由此可以使氧化物230与绝缘体130的界面附近保持清洁。

[0204] 此外，在使用ALD法形成膜时使用的制造设备中的两个以上可以被组装在多处理室方式的成膜装置中。此时，通过使用不同的制造设备分别形成氧化物230和铁电体层，可以不需切换前驱物及氧化性气体而连续形成氧化物230及铁电体层。

[0205] 此外，如图11C等所示，由于以与氧化物230的顶面及侧面接触的方式设置由氧化铝等形成的绝缘体252，氧化物230所包含的铟有时分布在氧化物230和绝缘体252的界面及其附近。因此，氧化物230的表面附近具有接近铟氧化物的原子个数比或者接近In-Zn氧化物的原子个数比。在如此氧化物230，尤其是氧化物230b的表面附近的铟的原子个数比较大时，可以提高晶体管200的场效应迁移率。

[0206] 通过使氧化物230a及氧化物230b具有上述结构，可以降低氧化物230a与氧化物230b的界面的缺陷态密度。因此，界面散射对载流子传导带来的影响减少，从而晶体管200可以得到高通态电流及高频特性。

[0207] 绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283、绝缘体285中的至少一个优选被用作抑制水、氢等杂质从衬底一侧或晶体管200的上方扩散到晶体管200的阻挡绝缘膜。因此，绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283、绝缘体285中的至少一个优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。此外，优选使用具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0208] 此外，在本说明书中，阻挡绝缘膜是指具有阻挡性的绝缘膜。在本说明书中，阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者，是指俘获并固定所对应的物质(也称为吸杂)的功能。

[0209] 作为绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285，优选使用具有抑制水、氢等杂质及氧的扩散的功能的绝缘体，例如可以使用氧化铝、氧化镁、氧化铪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。例如，作为绝缘体212、绝缘体275及绝缘体283，优选使用氢阻挡性更高的氮化硅等。此外，例如，作为绝缘体214、绝缘体271、绝缘体282及绝缘体285，优选使用俘获并固定氢的性能高的氧化铝或氧化镁等。由此，可以抑制水、氢等杂质经过绝缘体212及绝缘体214从衬底一侧扩散到晶体管200一侧。或者，可以抑制水、氢等杂质从配置在绝缘体285的外方的层间绝缘膜等扩散到晶体管200一侧。或者，可以抑制包含在绝缘体224等中的氧经过绝缘体212及绝缘体214扩散到衬底一侧。或者，可以抑制含在绝缘体280等中的氧经过绝缘体282等向晶体管200的上方扩散。如此，优选采用由具有抑制水、氢等杂质及氧的扩散的功能的绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285围绕晶体管200的结构。

[0210] 在此，作为绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285，优选使用具有非晶结构的氧化物。例如，优选使用AlO_x(x是大于0的任意数)或MgO_y(y是大于0的任意数)等金属氧化物。上述具有非晶结构的金属氧化物有时具有如下性质：氧原子具有悬空键而由该悬空键俘获或固定氢。通过将上述具有非晶结构的金属氧化物作为晶体管200的构成要素使用或者设置在晶体管200的周围，可以俘获或固定含在晶体管200中的氢或存在于晶体管200的周围的氢。尤其是，优选俘获或固定含在晶体管200中的沟道形成区域的氢。通过将具有非晶结构的金属氧化物作为晶体管200的构成要素使用

或者设置在晶体管200的周围，可以制造具有良好特性的可靠性高的晶体管200及半导体装置。

[0211] 此外，绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285优选具有非晶结构，但是也可以在其一部分形成多晶结构的区域。此外，绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285也可以具有层叠有非晶结构的层与多晶结构的层的多层结构。例如，也可以具有在非晶结构的层上层叠有多晶结构的层的叠层结构。

[0212] 绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285的成膜例如可以利用溅射法。溅射法不需要作为成膜气体使用包含氢的分子，所以可以降低绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285的氢浓度。作为成膜方法，除了溅射法以外还可以适当地使用化学气相沉积(CVD)法、分子束外延(MBE)法、脉冲激光沉积(PLD)法、原子层沉积法(ALD)法等。

[0213] 此外，有时优选降低绝缘体212、绝缘体275及绝缘体283的电阻率。例如，通过使绝缘体212、绝缘体275及绝缘体283的电阻率约为$1\times10^{13}\Omega$cm，在半导体装置制造工序的利用等离子体等的处理中，有时绝缘体212、绝缘体275及绝缘体283可以缓和导电体205、导电体242、导电体260或导电体110的电荷积聚。绝缘体212、绝缘体275及绝缘体283的电阻率为$1\times10^{10}\Omega$cm以上且$1\times10^{15}\Omega$cm以下。

[0214] 此外，绝缘体216、绝缘体274、绝缘体280及绝缘体285的介电常数优选比绝缘体214低。通过将介电常数低的材料用于层间膜，可以减少产生在布线之间的寄生电容。例如，作为绝缘体216、绝缘体274、绝缘体280及绝缘体285，适当地使用氧化硅、氧氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅等。

[0215] 导电体205以与氧化物230及导电体260重叠的方式配置。在此，导电体205优选以嵌入绝缘体216的开口中的方式设置。此外，导电体205的一部分有时嵌入绝缘体214中。

[0216] 导电体205包括导电体205a及导电体205b。导电体205a以与该开口的底面及侧壁接触的方式设置。导电体205b以嵌入形成在导电体205a的凹部中的方式设置。在此，导电体205b的顶面与导电体205a的顶面的高度及绝缘体216的顶面的高度大致一致。

[0217] 在此，作为导电体205a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、铜原子等杂质的扩散的功能的导电材料。此外，优选使用具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0218] 通过作为导电体205a使用具有抑制氢的扩散的功能的导电材料，可以防止含在导电体205b中的氢等杂质通过绝缘体224等扩散到氧化物230。此外，通过作为导电体205a使用具有抑制氧的扩散的功能的导电材料，可以抑制导电体205b被氧化而导电率下降。作为具有抑制氧扩散的功能的导电材料，例如可以使用钛、氮化钛、钽、氮化钽、钌、氧化钌等。因此，作为导电体205a使用单层或叠层的上述导电材料即可。例如，作为导电体205a使用氮化钛即可。

[0219] 此外，导电体205b优选使用以钨、铜或铝为主要成分的导电材料。例如，导电体205b可以使用钨。

[0220] 导电体205有时被用作第二栅电极。在此情况下，通过独立地改变供应到导电体205的电位而不使其与供应到导电体260的电位联动，可以控制晶体管200的阈值电压

(Vth)。尤其是,通过对导电体205施加负电位,可以增大晶体管200的Vth而减少关态电流。由此,与不对导电体205施加负电位的情况相比,在对导电体205施加负电位的情况下,可以减少对导电体260施加的电位为0V时的漏极电流。

[0221] 此外,导电体205的电阻率根据上述施加到导电体205的电位设计,导电体205的厚度根据该电阻率设定。此外,绝缘体216的厚度与导电体205大致相同。在此,优选在导电体205的设计允许的范围内减少导电体205及绝缘体216的厚度。通过减少绝缘体216的厚度,可以降低含在绝缘体216中的氢等杂质的绝对量,所以可以抑制该杂质扩散到氧化物230。

[0222] 此外,如图11A所示,导电体205优选比氧化物230中不与导电体242a及导电体242b重叠的区域大。尤其是,如图11C所示,导电体205优选延伸到氧化物230a及氧化物230b的沟道宽度方向的端部的外侧的区域。就是说,优选在氧化物230的沟道宽度方向的侧面的外侧,导电体205和导电体260隔着绝缘体重叠。通过具有上述结构,可以由被用作第一栅电极的导电体260的电场和被用作第二栅电极的导电体205的电场电围绕氧化物230的沟道形成区域。在本说明书中,将由第一栅极及第二栅极的电场电围绕沟道形成区域的晶体管结构称为surrounded channel(S-channel)结构。

[0223] 在本说明书等中,S-channel结构的晶体管是指由一对栅电极中的一方及另一方的电场电围绕沟道形成区域的晶体管的结构。此外,本说明书等中公开的S-channel结构与Fin型结构及平面型结构不同。通过采用S-channel结构,可以实现对短沟道效应的耐性得到提高的晶体管,换言之,可以实现不容易发生短沟道效应的晶体管。

[0224] 此外,如图11C所示,将导电体205延伸来用作布线。但是,本发明不局限于此,也可以在导电体205下设置被用作布线的导电体。此外,不一定需要在每一个晶体管中设置一个导电体205。例如,在多个晶体管中可以共同使用导电体205。

[0225] 注意,示出在晶体管200中作为导电体205层叠有导电体205a及导电体205b的结构,但是本发明不局限于此。例如,导电体205可以具有单层结构,也可以具有三层以上的叠层结构。

[0226] 绝缘体222及绝缘体224被用作栅极绝缘体。

[0227] 绝缘体222优选具有抑制氢(例如,氢原子、氢分子等中的至少一个)的扩散的功能。此外,绝缘体222优选具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能。例如,与绝缘体224相比,绝缘体222优选具有抑制氢和氧中的一方或双方的扩散的功能。

[0228] 绝缘体222优选使用作为绝缘材料的包含铝和铪中的一方或双方的氧化物的绝缘体。作为该绝缘体,优选使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。或者,优选使用包含铪及锆的氧化物,例如使用铪锆氧化物。当使用这种材料形成绝缘体222时,绝缘体222被用作抑制氧从氧化物230释放到衬底一侧及氢等杂质从晶体管200的周围部扩散到氧化物230的层。因此,通过设置绝缘体222,可以抑制氢等杂质扩散到晶体管200的内侧,而可以抑制在氧化物230中生成氧空位。此外,可以抑制导电体205与绝缘体224及氧化物230所包含的氧起反应。

[0229] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇或氧化锆。或者,也可以对上述绝缘体进行氮化处理。此外,作为绝缘体222还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅而使用。

[0230] 此外，作为绝缘体222，例如也可以以单层或叠层使用包含氧化铝、氧化铪、氧化钽、氧化锆、铪锆氧化物等所谓的high-k材料的绝缘体。当进行晶体管的微型化及高集成化时，由于栅极绝缘体的薄膜化，有时发生泄漏电流等的问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料，可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外，作为绝缘体222有时可以使用锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)、(Ba,Sr)TiO_3(BST)等介电常数高的物质。

[0231] 作为与氧化物230接触的绝缘体224，例如适当地使用氧化硅、氧氮化硅等即可。

[0232] 此外，在晶体管200的制造工序中，热处理优选在氧化物230的表面露出的状态下进行。该热处理例如优选以100℃以上且600℃以下，更优选以350℃以上且550℃以下进行。热处理在氮气体或惰性气体气氛或者包含10ppm以上、1％以上或10％以上的氧化性气体的气氛下进行。例如，热处理优选在氧气氛下进行。由此，对氧化物230供应氧，从而可以减少氧空位(V_O)。热处理也可以在减压状态下进行。此外，也可以在氮气体或惰性气体的气氛下进行热处理，然后为了填补脱离的氧而在包含10ppm以上、1％以上或10％以上的氧化性气体的气氛下进行热处理。此外，也可以在包含10ppm以上、1％以上或10％以上的氧化性气体的气氛下进行热处理，然后连续地在氮气体或惰性气体的气氛下进行热处理。

[0233] 通过对氧化物230进行加氧化处理，可以由所供应的氧填补氧化物230中的氧空位，换言之可以促进“V_O+O→null”的反应。再者，氧化物230中残留的氢与被供给的氧发生反应而可以将氢以H_2O的形态去除(脱水化)。由此，可以抑制残留在氧化物230中的氢与氧空位再结合而形成V_OH。

[0234] 此外，绝缘体222及绝缘体224也可以具有两层以上的叠层结构。此时，不局限于使用相同材料构成的叠层结构，也可以是使用不同材料构成的叠层结构。此外，绝缘体224也可以形成为岛状且与氧化物230a重叠。在此情况下，绝缘体275与绝缘体224的侧面及绝缘体222的顶面接触。

[0235] 导电体242a及导电体242b与氧化物230b的顶面接触。导电体242a及导电体242b分别被用作晶体管200的源电极或漏电极。

[0236] 作为导电体242(导电体242a及导电体242b)例如优选使用包含钽的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽及铝的氮化物、包含钛及铝的氮化物等。在本发明的一个方式中，尤其优选采用包含钽的氮化物。此外，例如也可以使用氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物等。这些材料是不容易氧化的导电材料或者即使吸收氧也维持导电性的材料，所以是优选的。

[0237] 注意，有时包含在氧化物230b等中的氢扩散到导电体242a或导电体242b。尤其是，通过作为导电体242a及导电体242b使用包含钽的氮化物，有时包含在氧化物230b等中的氢容易扩散到导电体242a或导电体242b，该扩散的氢与导电体242a或导电体242b所包含的氮键合。也就是说，有时包含在氧化物230b等中的氢被导电体242a或导电体242b吸收。

[0238] 此外，优选在导电体242的侧面与导电体242的顶面之间不形成弯曲面。通过使导电体242不具有该弯曲面，如图11D所示，可以增大沟道宽度方向的截面上的导电体242的截面积。由此，增大导电体242的导电率，从而可以增大晶体管200的通态电流。

[0239] 绝缘体271a与导电体242a的顶面接触，绝缘体271b与导电体242b的顶面接触。绝缘体271优选被用作至少对氧具有阻挡性的绝缘膜。因此，绝缘体271优选具有抑制氧扩散

的功能。例如，与绝缘体280相比，绝缘体271优选具有进一步抑制氧扩散的功能。绝缘体271例如可以使用如氧化铝或氧化镁等绝缘体。

[0240] 绝缘体275以覆盖绝缘体224、氧化物230a、氧化物230b、导电体242及绝缘体271的方式设置。绝缘体275优选具有俘获并固定氢的功能。在此情况下，绝缘体275优选包括氮化硅或具有非晶结构的金属氧化物，例如，氧化铝或氧化镁等绝缘体。此外，例如，作为绝缘体275也可以使用氧化铝与该氧化铝上的氮化硅的叠层膜。

[0241] 通过设置上述绝缘体271及绝缘体275，可以由对氧具有阻挡性的绝缘体包围导电体242。换言之，可以抑制包含在绝缘体224及绝缘体280中的氧扩散到导电体242中。由此，可以抑制包含在绝缘体224及绝缘体280中的氧而导致导电体242直接被氧化使得电阻率增大而通态电流减少。

[0242] 绝缘体252被用作栅极绝缘体的一部分。作为绝缘体252优选使用氧阻挡绝缘膜。作为绝缘体252使用上述可用于绝缘体282的绝缘体即可。作为绝缘体252优选使用包含铝和铪中的一方或双方的氧化物的绝缘体。作为该绝缘体，可以使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)、包含铪及硅的氧化物(硅酸铪)等。在本实施方式中，作为绝缘体252，使用氧化铝。此时，绝缘体252是至少包含氧及铝的绝缘体。

[0243] 如图11C所示，绝缘体252以与氧化物230b的顶面及侧面、氧化物230a的侧面、绝缘体224的侧面及绝缘体222的顶面接触的方式设置。就是说，在沟道宽度方向的截面中氧化物230a、氧化物230b及绝缘体224的与导电体260重叠的区域被绝缘体252覆盖。因此，可以利用具有氧阻挡性的绝缘体252防止在进行热处理等时氧化物230a及氧化物230b中的氧脱离。因此，可以减少在氧化物230a及氧化物230b中形成氧空位(V_0)。由此，可以减少形成在区域230bc中的氧空位(V_0)及V_0H。因此，可以提高晶体管200的电特性及可靠性。

[0244] 此外，反之，即使绝缘体280及绝缘体250等包含过多的氧，也可以抑制该氧过度供应到氧化物230a及氧化物230b。因此，可以抑制区域230ba及区域230bb通过区域230bc被过度氧化而导致晶体管200的通态电流的下降或场效应迁移率的下降。

[0245] 此外，如图11B所示，绝缘体252以与导电体242、绝缘体271、绝缘体275及绝缘体280各自的侧面接触的方式设置。因此，可以减少导电体242的侧面被氧化而氧化膜形成在该侧面。因此，可以抑制导致晶体管200的通态电流的下降或场效应迁移率的下降。

[0246] 此外，绝缘体252需要与绝缘体254、绝缘体250、导电体260一起设置在形成于绝缘体280等中的开口中。为了实现晶体管200的微型化，绝缘体252的厚度优选小。绝缘体252的厚度为0.1nm以上且5.0nm以下，优选为0.5nm以上且3.0nm以下，更优选为1.0nm以上且3.0nm以下。此时，绝缘体252的至少一部分是具有上述厚度的区域即可。此外，绝缘体252的厚度优选比绝缘体250的厚度小。此时，绝缘体252的至少一部分是厚度比绝缘体250小的区域即可。

[0247] 为了如上所述地将绝缘体252形成得薄，优选利用ALD法形成绝缘体252。ALD法有只利用热能使前驱物及反应物起反应的热ALD(Thermal ALD)法、使用收到等离子体激发的反应物的PEALD(Plasma Enhanced ALD)法等。在PEALD法中，通过利用等离子体可以在更低温下进行形成，所以有时是优选的。

[0248] 此外，ALD法可以利用作为原子的性质的自调整性来沉积每一层的原子，从而发挥能够形成极薄的膜、能够对纵横比高的结构形成膜、能够以针孔等的缺陷少的方式形成膜、

能够形成覆盖性优良的膜及能够在低温下形成膜等的效果。因此，可以在形成于绝缘体280等中的开口的侧面等以上述较小的厚度且高覆盖性形成绝缘体252。

[0249] ALD法中使用的前驱物有时包含碳等。因此，利用ALD法形成的膜有时与利用其他的成膜方法形成的膜相比包含更多的碳等杂质。此外，杂质的定量可以利用二次离子质谱分析(SIMS)、X射线光电子能谱(XPS)或俄歇电子能谱(AES)测量。

[0250] 绝缘体250被用作栅极绝缘体的一部分。绝缘体250优选以与绝缘体252的顶面接触的方式配置。绝缘体250可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅等。尤其是，氧化硅及氧氮化硅具有热稳定性，所以是优选的。此时，绝缘体250是至少包含氧及硅的绝缘体。

[0251] 与绝缘体224同样，优选绝缘体250中的水、氢等杂质的浓度得到降低。绝缘体250的厚度优选为1nm以上且20nm以下，更优选为0.5nm以上且15.0nm以下。此时，绝缘体250的至少一部分是具有上述厚度的区域即可。

[0252] 在图11A至图11D等中，示出绝缘体250具有单层的结构，但是本发明不局限于此，也可以采用两层以上的叠层结构。例如，如图12B所示，绝缘体250也可以具有绝缘体250a与绝缘体250a上的绝缘体250b这两层的叠层结构。

[0253] 如图12B所示，在使绝缘体250具有两层叠层结构的情况下，优选的是，下层的绝缘体250a使用容易使氧透过的绝缘体形成，而上层的绝缘体250b使用具有抑制氧的扩散的功能的绝缘体形成。通过采用这种结构，可以抑制包含在绝缘体250a中的氧扩散到导电体260。换言之，可以抑制对氧化物230供应的氧量的减少。此外，可以抑制因包含在绝缘体250a中的氧导致的导电体260的氧化。例如，绝缘体250a使用上述的能够用于绝缘体250的材料，绝缘体250b使用包含铝和铪中的一方或双方的氧化物的绝缘体，即可。作为该绝缘体，可以使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)、包含铪及硅的氧化物(硅酸铪)等。在本实施方式中，作为绝缘体250b，使用氧化铪。此时，绝缘体250b是至少包含氧及铪的绝缘体。此外，绝缘体250b的厚度为0.5nm以上且5.0nm以下，优选为1.0nm以上且5.0nm以下，更优选为1.0nm以上且3.0nm以下。此时，绝缘体250b的至少一部分是具有上述厚度的区域即可。

[0254] 注意，当绝缘体250a使用氧化硅、氧氮化硅等时，绝缘体250b也可以使用相对介电常数高的high-k材料的绝缘材料形成。通过作为栅极绝缘体采用绝缘体250a及绝缘体250b的叠层结构，可以形成具有热稳定性且相对介电常数高的叠层结构。因此，可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。此外，可以减少被用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。因此，可以提高绝缘体250的绝缘耐压。

[0255] 绝缘体254被用作栅极绝缘体的一部分。作为绝缘体254优选使用氢阻挡绝缘膜。由此，可以防止包含在导电体260中的氢等杂质扩散到绝缘体250及氧化物230b。作为绝缘体254使用上述可用于绝缘体283的绝缘体即可。例如，作为绝缘体254使用利用PEALD法形成的氮化硅即可。此时，绝缘体254是至少包含氮、硅的绝缘体。

[0256] 此外，绝缘体254也可以还具有氧阻挡性。由此，可以抑制包含在绝缘体250中的氧扩散到导电体260。

[0257] 此外，绝缘体254需要与绝缘体252、绝缘体250、导电体260一起设置在形成于绝缘体280等中的开口中。为了实现晶体管200的微型化，绝缘体254的厚度优选小。绝缘体254的

厚度为0.1nm以上且5.0nm以下，优选为0.5nm以上且3.0nm以下，更优选为1.0nm以上且3.0nm以下。此时，绝缘体254的至少一部分是具有上述厚度的区域即可。此外，绝缘体254的厚度优选比绝缘体250的厚度小。此时，绝缘体254的至少一部分是厚度比绝缘体250小的区域即可。

[0258] 导电体260被用作晶体管200的第一栅电极。导电体260优选包括导电体260a以及配置在导电体260a上的导电体260b。例如，优选以包围导电体260b的底面及侧面的方式配置导电体260a。此外，如图11B及图11C所示，导电体260的顶面与绝缘体250的顶面大致对齐。虽然在图11B及图11C中导电体260具有导电体260a和导电体260b的两层结构，但是也可以具有单层结构或三层以上的叠层结构。

[0259] 作为导电体260a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子、铜原子等杂质的扩散的功能的导电材料。此外，优选使用具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0260] 此外，当导电体260a具有抑制氧的扩散的功能时，可以抑制绝缘体250所包含的氧使导电体260b氧化而导致导电率的下降。作为具有抑制氧扩散的功能的导电材料，例如可以使用钛、氮化钛、钽、氮化钽、钌、氧化钌等。

[0261] 此外，由于导电体260还被用作布线，所以优选使用导电性高的导电体。例如，导电体260b可以使用钨、铜或铝为主要成分的导电材料。此外，导电体260b可以具有叠层结构，例如可以具有钛或氮化钛与上述导电材料的叠层结构。

[0262] 此外，在晶体管200中，以填埋形成于绝缘体280等的开口的方式自对准地形成导电体260。通过如此形成导电体260，可以在导电体242a和导电体242b之间的区域中无需对准并确实地配置导电体260。

[0263] 此外，如图11C所示，在晶体管200的沟道宽度方向上，以绝缘体222的底面为基准，导电体260的导电体260不与氧化物230b重叠的区域的底面的高度优选比氧化物230b的底面的高度低。通过采用被用作栅电极的导电体260隔着绝缘体250等覆盖氧化物230b的沟道形成区域的侧面及顶面的结构，容易使导电体260的电场作用于氧化物230b的沟道形成区域整体。由此，可以提高晶体管200的通态电流及频率特性。以绝缘体222的底面为基准时的氧化物230a及氧化物230b不与导电体260重叠的区域的导电体260的底面的高度与氧化物230b的底面的高度之差为0nm以上且100nm以下，优选为3nm以上且50nm以下，更优选为5nm以上且20nm以下。

[0264] 绝缘体280设置在绝缘体275上，在将设置绝缘体250及导电体260的区域中形成开口。此外，绝缘体280的顶面也可以被平坦化。

[0265] 优选的是，被用作层间膜的绝缘体280的介电常数低。通过将介电常数低的材料用于层间膜，可以减少产生在布线之间的寄生电容。绝缘体280例如优选使用与绝缘体216同样的材料形成。尤其是，氧化硅及氧氮化硅具有热稳定性，所以是优选的。特别是，因为氧化硅、氧氮化硅、具有空孔的氧化硅等材料容易形成包含通过加热脱离的氧的区域，所以是优选的。

[0266] 绝缘体280优选包含过剩氧区域或过剩氧。此外，绝缘体280中的水、氢等杂质浓度优选得到降低。例如，作为绝缘体280适当地使用氧化硅、氧氮化硅等，即可。通过以与氧化物230接触的方式设置上述包含过剩氧的绝缘体，可以减少氧化物230中的氧空位，从而可

以提高晶体管200的可靠性。通过在含氧气氛下使用溅射法形成成为绝缘体280的绝缘膜，可以形成包含过剩氧的绝缘体280。通过使用不需要氢作为成膜气体的溅射法，可以降低绝缘体280中的氢浓度。此外，通过在包含氧的气氛使用溅射法形成与绝缘体280的顶面接触的绝缘体282，可以对绝缘体280添加氧。在绝缘体282形成时对绝缘体280添加氧的情况下，绝缘体280的成膜不局限于溅射法，也可以适当地使用CVD法、MBE法、PLD法、ALD法等。此外，例如，绝缘体280也可以具有通过溅射法形成的氧化硅和层叠在其上的通过CVD法形成的氧氮化硅的叠层结构。此外，还可以在其上层叠氮化硅。

[0267] 绝缘体282优选被用作抑制水、氢等杂质从上方向绝缘体280扩散的阻挡绝缘膜且具有俘获氢等杂质的功能。此外，绝缘体282优选被用作抑制氧透过的阻挡绝缘膜。作为绝缘体282，使用具有非晶结构的金属氧化物，例如氧化铝等绝缘体即可。此时的绝缘体282是至少包含氧及铝的绝缘体。通过在夹在绝缘体212与绝缘体283的区域内设置与绝缘体280接触且具有俘获氢等杂质的功能的绝缘体282，可以俘获包含在绝缘体280等中的氢等杂质而将该区域内的氢量为一定的值。尤其是，绝缘体282优选使用具有非晶结构的氧化铝，因为有时能够更有效地俘获或固定氢。由此，可以制造特性良好且可靠性高的晶体管200及半导体装置。

[0268] 绝缘体282优选使用溅射法形成。通过使用溅射法形成绝缘体282，可以将氧添加到绝缘体280。注意，绝缘体282的成膜不局限于溅射法，也可以适当地使用CVD法、MBE法、PLD法、ALD法等。

[0269] 绝缘体283可以被用作抑制水、氢等杂质从上方扩散到绝缘体280的阻挡绝缘膜。绝缘体283配置在绝缘体282上。作为绝缘体283，优选使用氮化硅或氮氧化硅等包含硅的氮化物。例如，作为绝缘体283使用通过溅射法沉积的氮化硅。通过使用溅射法形成绝缘体283，可以形成密度高的氮化硅膜。此外，作为绝缘体283，也可以在通过溅射法沉积的氮化硅上还层叠通过PEALD法或CVD法沉积的氮化硅。

[0270] [电容器100]

电容器100配置在形成于绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中的开口中，并包括与导电体242b的顶面接触的导电体110、导电体110及绝缘体283上的绝缘体130以及绝缘体130上的导电体120。导电体120具有绝缘体130上的导电体120a和导电体120a上的导电体120b的叠层结构。在此，在形成于绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中的开口中配置导电体110、绝缘体130及导电体120的至少一部分。

[0271] 导电体110被用作电容器100的下电极，导电体120被用作电容器100的上电极，绝缘体130被用作电容器100的介电质。电容器100具有在绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285的开口中不仅在底面上而且在侧面上上电极与下电极隔着介电质对置的结构，因此可以增加单位面积的静电电容。所以，该开口的深度越深，电容器100的静电电容可以越大。如此，通过增加电容器100的单位面积的静电电容，可以推进半导体装置的微型化或高集成化。

[0272] 此外，形成于绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中的开口的俯视时的形状可以为四角形、四角形以外的多角形状、其角部呈弧形的多角形状或椭圆等圆形形状。在此，在俯视时优选该开口与晶体管200重叠的面积大。例如，如图

11A所示，优选以在俯视时电容器100在导电体242b的范围内的方式设置电容器100。此时，导电体110的沟道宽度方向的长度比导电体242b的沟道宽度方向的长度小。通过采用这种结构，可以缩减包括电容器100及晶体管200的半导体装置的占有面积。但是，不局限于此，也可以采用导电体110的沟道宽度方向的长度比导电体242b的沟道宽度方向的长度大的结构。

[0273] 导电体110沿着形成于绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中的开口而配置。在此，该开口的侧面和底面优选在曲面接合。通过采用该结构，可以在该开口中以高覆盖性形成导电体110。

[0274] 导电体110的顶面的一部分的高度优选与绝缘体285的顶面的高度大致一致。此外，导电体110的底面与导电体242b的顶面接触。导电体110优选使用ALD法或CVD法等形成，使用上述实施方式所示的导电体即可。例如，作为导电体110可以使用利用热ALD法形成的氮化钛。

[0275] 绝缘体130以覆盖导电体110、绝缘体245及绝缘体285的一部分的方式配置。在此，在绝缘体285中，有时与绝缘体130重叠的区域的顶面的高度比不与绝缘体130重叠的区域的顶面高。绝缘体130优选利用ALD法或CVD法等形成。绝缘体130优选使用可具有铁电性的材料。

[0276] 作为可具有铁电性的材料，可以举出氧化铪、氧化锆、$HfZrO_x$(x为大于0的实数)、对氧化铪添加元素J1(这里的元素J1为锆(Zr)、硅(Si)、铝(Al)、钆(Gd)、钇(Y)、镧(La)、锶(Sr)等)的材料、对氧化锆添加元素J2(这里的元素J2为铪(Hf)、硅(Si)、铝(Al)、钆(Gd)、钇(Y)、镧(La)、锶(Sr)等)的材料等。此外，作为可具有铁电性的材料，也可以使用$PbTiO_x$、钛酸钡锶(BST)、钛酸锶、锆钛酸铅(PZT)、钽酸锶铋(SBT)、铁酸铋(BFO)、钛酸钡等具有钙钛矿结构的压电陶瓷。此外，作为可具有铁电性的材料，例如可以使用由从上述举出的材料中选择的多个材料而成的混合物或化合物。此外，绝缘体130可以具有由从上述举出的材料中选择的多个材料而成的叠层结构。此外，对氧化铪、氧化锆、$HfZrO_x$及氧化铪添加元素J1的材料等的结晶结构(特性)有可能不仅由于成膜条件而且由于各种工序等而变化，所以在本说明书等中呈现铁电性的材料不仅被称为铁电体而且被称为可具有铁电性的材料。

[0277] 尤其是，可具有铁电性的材料优选为包含氧化铪的材料或者包含氧化铪及氧化锆的材料，因为该材料即使被加工为几nm的薄膜也可具有铁电性。在此，绝缘体130的厚度可以为100nm以下，优选为50nm以下，更优选为20nm以下，进一步优选为10nm以下。通过实现可以使其薄膜化的铁电层，可以将电容器100与微型化了的晶体管200组合而形成半导体装置。注意，在本说明书等中，有时将被加工为层状的可具有铁电性的材料称为铁电层或金属氧化物膜。

[0278] 可具有铁电性的材料是绝缘体，具有从外部施加电场而内部发生极化且即使将该电场变为0也依然有极化的性质。因此，可以使用将该材料用作介电质的电容器(以下也称为铁电电容器)形成非易失性存储元件。使用铁电电容器的非易失性存储元件有时被称为FeRAM(Ferroelectric Random Access Memory:铁电随机存取存储器)、铁电存储器等。例如，铁电存储器可以具有包括晶体管及铁电电容器且晶体管的源极和漏极中的一个与铁电电容器的一个端子电连接的结构。因此，本实施方式所示的包括电容器100及晶体管200的半导体装置可以被用作铁电存储器。

[0279] 此外，绝缘体130有时可以具有上述可具有铁电性的材料和介电强度高的材料的叠层结构。作为介电强度高的材料，有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。通过层叠地使用这样的介电强度高的绝缘体，介电强度提高而有时可以抑制电容器100的泄漏电流。

[0280] 导电体120以填埋形成于绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中的开口的方式配置。在此，导电体120优选具有隔着绝缘体130与绝缘体285重叠的区域。通过采用这样的结构，可以使导电体120与导电体110隔着绝缘体130绝缘。此外，也可以将导电体120中的绝缘体283之上的部分引导而形成为布线状。

[0281] 如图11B所示，导电体120优选包括导电体120a及导电体120a上的导电体120b。此时，作为导电体120a在绝缘体130上设置覆盖性优异的厚度薄的导电膜即可。此外，导电体120b以嵌入导电体120a上的开口的方式配置即可。导电体120a优选使用ALD法或CVD法等形成，使用上述实施方式所示的导电体即可。例如，作为导电体120a可以使用利用ALD法形成的氮化钛。导电体120b优选使用ALD法、CVD法或溅射法等形成，使用上述实施方式所示的导电体即可。作为导电体120b，可以使用利用溅射法形成的钨。注意，导电体120不局限于两层结构，也可以具有单层结构或三层以上的叠层结构。

[0282] 可以以与导电体120的顶面接触的方式配置被用作布线的导电体。该导电体优选使用以钨、铜或铝为主要成分的导电材料。此外，该导电体可以具有叠层结构，例如，可以具有钛、氮化钛与上述导电材料的叠层结构。此外，该导电体也可以以嵌入形成于绝缘体的开口中的方式形成。

[0283] 此外，绝缘体245优选以与形成于绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中的开口的侧面接触的方式配置。导电体110以与绝缘体245的内侧的侧面接触的方式配置，绝缘体130以与导电体110的内侧的侧面接触的方式配置，导电体120以与绝缘体130的内侧的侧面接触的方式配置。

[0284] 作为绝缘体245，使用可用于绝缘体275等的阻挡绝缘膜即可。作为绝缘体245，例如可以使用氮化硅、氧化铝、氮氧化硅等绝缘体。因为绝缘体245与绝缘体283、绝缘体282、绝缘体275及绝缘体271接触地设置，所以可以抑制包含在绝缘体280或绝缘体285等中的水、氢等杂质经过导电体110混入氧化物230。尤其是，氮化硅的氢阻挡性高，所以是优选的。此外，可以防止绝缘体280所包含的氧被导电体110吸收。

[0285] 在绝缘体245具有如图11B所示那样的叠层结构时，作为与绝缘体280等的开口的内壁接触的第一绝缘体以及其内侧的第二绝缘体优选组合使用氧阻挡绝缘膜和氢阻挡绝缘膜。例如，作为第一绝缘体使用利用ALD法形成的氧化铝且作为第二绝缘体使用利用PEALD法形成的氮化硅即可。通过采用这样的结构，可以抑制导电体110的氧化，并且可以抑制氢进入导电体110中。

[0286] 注意，绝缘体245具有层叠有第一绝缘体及第二绝缘体的结构，但本发明不局限于此。例如，绝缘体245可以具有单层结构，也可以具有三层以上的叠层结构。

[0287] <半导体装置的构成材料>

以下，说明可用于半导体装置的构成材料。

[0288] <<衬底>>

作为形成晶体管200的衬底例如可以使用绝缘体衬底、半导体衬底或导电体衬底。

作为绝缘体衬底，例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。此外，作为半导体衬底，例如可以举出以硅或锗等为材料的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌或氧化镓构成的化合物半导体衬底等。并且，还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底，例如为SOI(Silicon On Insulator;绝缘体上硅)衬底等。作为导电体衬底，可以举出石墨衬底、金属衬底、合金衬底、导电树脂衬底等。或者，可以举出包含金属氮化物的衬底、包含金属氧化物的衬底等。此外，还可以举出设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电体衬底等。或者，也可以使用在这些衬底上设置有元件的衬底。作为设置在衬底上的元件，可以举出电容器、电阻器、开关元件、发光元件、存储元件等。

[0289] 〈〈绝缘体〉〉

作为绝缘体，有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0290] 例如，当进行晶体管的微型化及高集成化时，由于栅极绝缘体的薄膜化，有时发生泄漏电流等的问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料，可以在保持物理厚度的同时实现晶体管工作时的低电压化。另一方面，通过将相对介电常数较低的材料用于被用作层间膜的绝缘体，可以减少产生在布线之间的寄生电容。因此，优选根据绝缘体的功能选择材料。

[0291] 作为相对介电常数较高的绝缘体，可以举出氧化镓、氧化铪、氧化锆、含有铝及铪的氧化物、含有铝及铪的氧氮化物、含有硅及铪的氧化物、含有硅及铪的氧氮化物或者含有硅及铪的氮化物等。

[0292] 作为相对介电常数较低的绝缘体，可以举出氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。

[0293] 此外，通过使用具有抑制氢等杂质及氧的透过的功能的绝缘体围绕使用金属氧化物的晶体管，可以使晶体管的电特性稳定。作为具有抑制氢等杂质及氧的透过的功能的绝缘体，例如可以使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、锆、镧、钕、铪或钽的绝缘体的单层或叠层。具体而言，作为具有抑制氢等杂质及氧的透过的功能的绝缘体，可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪、氧化钽等金属氧化物、氮化铝、氮氧化硅、氮化硅等金属氮化物。

[0294] 此外，被用作栅极绝缘体的绝缘体优选为具有包含通过加热脱离的氧的区域的绝缘体。例如，通过采用具有包含通过加热脱离的氧的区域的氧化硅或者氧氮化硅接触于氧化物230的结构，可以填补氧化物230所包含的氧空位。

[0295] 〈〈导电体〉〉

作为导电体，优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟、钌、铱、锶和镧等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。例如，优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物等。此外，氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、

包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料，所以是优选的。此外，也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0296] 此外，也可以层叠多个由上述材料形成的导电层。例如，也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。此外，也可以采用组合包含上述金属元素的材料和包含氮的导电材料的叠层结构。此外，也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。

[0297] 此外，在将氧化物用于晶体管的沟道形成区域的情况下，作为被用作栅电极的导电体优选采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。在此情况下，优选将包含氧的导电材料设置在沟道形成区域一侧。通过将包含氧的导电材料设置在沟道形成区域一侧，从该导电材料脱离的氧容易被供应到沟道形成区域。

[0298] 尤其是，作为被用作栅电极的导电体，优选使用包含含在被形成沟道的金属氧化物中的金属元素及氧的导电材料。此外，也可以使用包含上述金属元素及氮的导电材料。例如，可以使用氮化钛、氮化钽等包含氮的导电材料。此外，也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有硅的铟锡氧化物。通过使用上述材料，有时可以俘获被形成沟道的金属氧化物所包含的氢。或者，有时可以俘获从外方的绝缘体等混入的氢。

[0299] <<金属氧化物>>

作为氧化物230，优选使用被用作半导体的金属氧化物(氧化物半导体)。下面，对可用于根据本发明的氧化物230的金属氧化物进行说明。

[0300] 金属氧化物优选至少包含铟或锌。尤其优选包含铟及锌。此外，除此之外，优选还包含铝、镓、钇、锡等。此外，也可以包含选自硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁及钴等中的一种或多种。

[0301] 在此考虑金属氧化物为包含铟、元素M及锌的In-M-Zn氧化物的情况。注意，元素M为铝、镓、钇或锡。作为可以应用于元素M的其他元素，有硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁、钴等。注意，作为元素M有时也可以组合多个上述元素。

[0302] 此外，在本说明书等中，有时将包含氮的金属氧化物称为金属氧化物(metal oxide)。此外，也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0303] <结晶结构的分类>

首先，对氧化物半导体中的结晶结构的分类参照图13A进行说明。图13A是说明氧化物半导体，典型为IGZO(包含In、Ga、Zn的金属氧化物)的结晶结构的分类的图。

[0304] 如图13A所示那样，氧化物半导体大致分为“Amorphous(无定形)”、“Crystalline(结晶性)”、“Crystal(结晶)”。此外，completely amorphous包含在“Amorphous”中。此外，在“Crystalline”中包含CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)及CAC(cloud-aligned composite)(excluding single crystal and poly crystal)。此外，在“Crystalline”的分类中不包含single crystal(单晶)、poly crystal(多晶)及completely amorphous。此外，在“Crystal”中包含single crystal及poly crystal。

[0305] 此外，图13A所示的外框线被加粗的部分中的结构是介于“Amorphous(无定形)”与“Crystal(结晶)”之间的中间状态，是属于新的边界区域(New crystalline phase)的结

构。换言之,该结构与“Crystal(结晶)”及在能量性上不稳定的“Amorphous(无定形)”可以说是完全不同的结构。

[0306] 可以使用X射线衍射(XRD:X-Ray Diffraction)谱对膜或衬底的结晶结构进行评价。在此,图13B示出被分类为“Crystalline”的CAAC-IGZO膜的通过GIXD(Grazing-Incidence XRD)测量而得到的XRD谱。此外,将GIXD法也称为薄膜法或Seemann-Bohlin法。下面,在本说明书中,有时将图13B所示的通过GIXD测量而得到的XRD谱简单地记为XRD谱。此外,图13B所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。此外,图13B所示的CAAC-IGZO膜的厚度为500nm。

[0307] 在图13B中,横轴表示2θ[deg.],纵轴表示强度(Intensity)[a.u.]。如图13B所示,在CAAC-IGZO膜的XRD谱中检测出表示明确的结晶性的峰值。具体而言,在CAAC-IGZO膜的XRD谱中,2θ=31°附近检测出表示c轴取向的峰值。此外,如图13B所示那样,2θ=31°附近的峰值在以检测出峰值强度的角度为轴时左右非对称。

[0308] 此外,可以使用通过纳米束电子衍射法(NBED:Nano Beam Electron Diffraction)观察的衍射图案(也称为纳米束电子衍射图案)对膜或衬底的结晶结构进行评价。图13C示出CAAC-IGZO膜的衍射图案。图13C是通过将电子束向平行于衬底的方向入射的NBED观察的衍射图案。此外,图13C所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。此外,在纳米束电子衍射法中,进行束径为1nm的电子衍射。

[0309] 如图13C所示那样,在CAAC-IGZO膜的衍射图案中观察到表示c轴取向的多个斑点。

[0310] <<氧化物半导体的结构>>

此外,在着眼于氧化物半导体的结晶结构的情况下,有时氧化物半导体的分类与图13A不同。例如,氧化物半导体可以分类为单晶氧化物半导体和除此之外的非单晶氧化物半导体。作为非单晶氧化物半导体,例如可以举出上述CAAC-OS及nc-OS。此外,在非单晶氧化物半导体中包含多晶氧化物半导体、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0311] 在此,对上述CAAC-OS、nc-OS及a-like OS的详细内容进行说明。

[0312] [CAAC-OS]

CAAC-OS是包括多个结晶区域的氧化物半导体,该多个结晶区域的c轴取向于特定的方向。此外,特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法线方向、或者CAAC-OS膜的表面的法线方向。此外,结晶区域是具有原子排列的周期性的区域。注意,在将原子排列看作晶格排列时结晶区域也是晶格排列一致的区域。再者,CAAC-OS具有在a-b面方向上多个结晶区域连接的区域,有时该区域具有畸变。此外,畸变是指在多个结晶区域连接的区域中,晶格排列一致的区域和其他晶格排列一致的区域之间的晶格排列的方向变化的部分。换言之,CAAC-OS是指c轴取向并在a-b面方向上没有明显的取向的氧化物半导体。

[0313] 此外,上述多个结晶区域的每一个由一个或多个微小结晶(最大径小于10nm的结晶)构成。在结晶区域由一个微小结晶构成的情况下,该结晶区域的最大径小于10nm。此外,在结晶区域由多个微小结晶构成的情况下,有时该结晶区域的尺寸为几十nm左右。

[0314] 此外,在In-M-Zn氧化物(元素M为选自铝、镓、钇、锡及钛等中的一种或多种)中,有CAAC-OS具有层叠有含有铟(In)及氧的层(以下,In层)、含有元素M、锌(Zn)及氧的层(以下,

(M,Zn)层)的层状结晶结构(也称为层状结构)的趋势。此外,铟和元素M可以彼此置换。因此,有时(M,Zn)层包含铟。此外,有时In层包含元素M。注意,有时In层包含Zn。该层状结构例如在高分辨率TEM图像中被观察作为晶格像。

[0315] 例如,当对CAAC-OS膜使用XRD装置进行结构分析时,在使用θ/2θ扫描的Out-of-plane XRD测量中,在2θ=31°或其附近检测出表示c轴取向的峰值。注意,表示c轴取向的峰值的位置(2θ值)有时根据构成CAAC-OS的金属元素的种类、组成等变动。

[0316] 此外,例如,在CAAC-OS膜的电子衍射图案中观察到多个亮点(斑点)。此外,在以透过样品的入射电子束的斑点(也称为直接斑点)为对称中心时,某一个斑点和其他斑点被观察在点对称的位置。

[0317] 在从上述特定的方向观察结晶区域的情况下,虽然该结晶区域中的晶格排列基本上是六方晶格,但是单位晶格并不局限于正六角形,有是非正六角形的情况。此外,在上述畸变中,有时具有五角形、七角形等晶格排列。此外,在CAAC-OS的畸变附近观察不到明确的晶界(grain boundary)。也就是说,晶格排列的畸变抑制晶界的形成。这可以被认为是因为如下缘故:CAAC-OS因a-b面方向上的氧原子排列的密度较低或者金属原子被取代使得原子间的键合距离产生变化等而能够包容畸变。

[0318] 此外,确认到明确的晶界的结晶结构被称为所谓的多晶(polycrystal)。晶界成为复合中心而载流子被俘获,因而有可能导致晶体管的通态电流的降低、场效应迁移率的降低等。因此,确认不到明确的晶界的CAAC-OS是使晶体管的半导体层具有优异的结晶结构的结晶性氧化物之一。注意,为了构成CAAC-OS,优选为包含Zn的结构。例如,与In氧化物相比,In-Zn氧化物及In-Ga-Zn氧化物能够进一步地抑制晶界的发生,所以是优选的。

[0319] CAAC-OS是结晶性高且确认不到明确的晶界的氧化物半导体。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。此外,氧化物半导体的结晶性有时因杂质的混入、缺陷的生成等而降低,因此可以说CAAC-OS是杂质、缺陷(氧空位等)少的氧化物半导体。因此,包含CAAC-OS的氧化物半导体的物理性质稳定。因此,包含CAAC-OS的氧化物半导体具有高耐热性及高可靠性。此外,CAAC-OS对制造工序中的高温度(所谓热积存:thermal budget)也很稳定。由此,通过在OS晶体管中使用CAAC-OS,可以扩大制造工序的自由度。

[0320] [nc-OS]

在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之,nc-OS具有微小的结晶。此外,例如,该微小的结晶的尺寸为1nm以上且10nm以下,尤其为1nm以上且3nm以下,将该微小的结晶称为纳米晶。此外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。例如,在对nc-OS膜使用XRD装置进行结构分析时,在使用θ/2θ扫描的Out-of-plane XRD测量中,不检测出表示结晶性的峰值。此外,在对nc-OS膜进行使用其束径比纳米晶大(例如,50nm以上)的电子束的电子衍射(也称为选区电子衍射)时,观察到类似光晕图案的衍射图案。另一方面,在对nc-OS膜进行使用其束径近于或小于纳米晶的尺寸(例如1nm以上且30nm以下)的电子束的电子衍射(也称为纳米束电子衍射)的情况下,有时得到在以直接斑点为中心的环状区域内观察到多个斑点的电子衍射图案。

[0321] [a-like OS]

a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。此外,a-like OS的膜中的氢浓度比nc-OS及CAAC-OS的膜中的氢浓度高。

[0322] <<氧化物半导体的构成>>

接着,说明上述的CAC-OS的详细内容。此外,CAC-OS与材料构成有关。

[0323] [CAC-OS]

CAC-OS例如是指包含在金属氧化物中的元素不均匀地分布的构成,其中包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。注意,在下面也将在金属氧化物中一个或多个金属元素不均匀地分布且包含该金属元素的区域混合的状态称为马赛克状或补丁(patch)状,该区域的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。

[0324] 再者,CAC-OS是指其材料分开为第一区域与第二区域而成为马赛克状且该第一区域分布于膜中的结构(下面也称为云状)。就是说,CAC-OS是指具有该第一区域和该第二区域混合的结构的复合金属氧化物。

[0325] 在此,将相对于构成In-Ga-Zn氧化物的CAC-OS的金属元素的In、Ga及Zn的原子个数比的每一个记为[In]、[Ga]及[Zn]。例如,在In-Ga-Zn氧化物的CAC-OS中,第一区域是其[In]大于CAC-OS膜的组成中的[In]的区域。此外,第二区域是其[Ga]大于CAC-OS膜的组成中的[Ga]的区域。此外,例如,第一区域是其[In]大于第二区域中的[In]且其[Ga]小于第二区域中的[Ga]的区域。此外,第二区域是其[Ga]大于第一区域中的[Ga]且其[In]小于第一区域中的[In]的区域。

[0326] 具体而言,上述第一区域是以铟氧化物或铟锌氧化物等为主要成分的区域。此外,上述第二区域是以镓氧化物或镓锌氧化物等为主要成分的区域。换言之,可以将上述第一区域称为以In为主要成分的区域。此外,可以将上述第二区域称为以Ga为主要成分的区域。

[0327] 注意,有时观察不到上述第一区域和上述第二区域的明确的边界。

[0328] 例如,在In-Ga-Zn氧化物的CAC-OS中,根据通过能量分散型X射线分析法(EDX:Energy Dispersive X-ray spectroscopy)取得的EDX面分析(mapping)图像,可确认到具有以In为主要成分的区域(第一区域)及以Ga为主要成分的区域(第二区域)不均匀地分布而混合的结构。

[0329] 在将CAC-OS用于晶体管的情况下,通过起因于第一区域的导电性和起因于第二区域的绝缘性的互补作用,可以使CAC-OS具有开关功能(控制导通/关闭的功能)。换言之,在CAC-OS的材料的一部分中具有导电性的功能且在另一部分中具有绝缘性的功能,在材料的整体中具有半导体的功能。通过使导电性的功能和绝缘性的功能分离,可以最大限度地提高各功能。因此,通过将CAC-OS用于晶体管,可以实现高通态电流(I_{on})、高场效应迁移率(μ)及良好的开关工作。

[0330] 氧化物半导体具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-like OS、CAC-OS、nc-OS、CAAC-OS中的两种以上。

[0331] <包括氧化物半导体的晶体管>

接着，说明将上述氧化物半导体用于晶体管的情况。

[0332] 通过将上述氧化物半导体用于晶体管，可以实现场效应迁移率高的晶体管。此外，可以实现可靠性高的晶体管。

[0333] 优选将载流子浓度低的氧化物半导体用于晶体管的沟道形成区域。例如，氧化物半导体的沟道形成区域中的载流子浓度可以为$1\times10^{17}cm^{-3}$以下，优选为$1\times10^{15}cm^{-3}$以下，更优选为$1\times10^{13}cm^{-3}$以下，进一步优选为$1\times10^{11}cm^{-3}$以下，更进一步优选低于$1\times10^{10}cm^{-3}$，且为$1\times10^{-9}cm^{-3}$以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下，可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中，将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。此外，有时将载流子浓度低的氧化物半导体称为“高纯度本征的氧化物半导体”或“实质上高纯度本征的氧化物半导体”。

[0334] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度，所以有可能具有较低的陷阱态密度。

[0335] 此外，被氧化物半导体的陷阱态俘获的电荷到消失需要较长的时间，有时像固定电荷那样动作。因此，有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0336] 因此，为了使晶体管的电特性稳定，降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度，优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0337] <杂质>

在此，说明氧化物半导体中的各杂质的影响。

[0338] 在氧化物半导体包含第14族元素之一的硅或碳时，在氧化物半导体中形成缺陷态。因此，将氧化物半导体的沟道形成区域中的硅及碳的浓度以及氧化物半导体的与沟道形成区域的界面附近的硅或碳的浓度(通过二次离子质谱分析(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)例如设定为$2\times10^{18}atoms/cm^3$以下，优选为$2\times10^{17}atoms/cm^3$以下。

[0339] 此外，当氧化物半导体包含碱金属或碱土金属时，有时形成缺陷能态而形成载流子。因此，使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。由此，将利用SIMS分析测得的氧化物半导体的沟道形成区域中的碱金属或碱土金属的浓度设定为$1\times10^{18}atoms/cm^3$以下，优选为$2\times10^{16}atoms/cm^3$以下。

[0340] 当氧化物半导体包含氮时，产生作为载流子的电子，使载流子浓度增高，而容易被n型化。其结果，将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启特性。或者，在氧化物半导体包含氮时，有时形成陷阱态。其结果，有时晶体管的电特性不稳定。因此，将利用SIMS测得的氧化物半导体的沟道形成区域中的氮浓度设定为低于$5\times10^{19}atoms/cm^3$，优选为$5\times10^{18}atoms/cm^3$以下，更优选为$1\times10^{18}atoms/cm^3$以下，进一步优选为$5\times10^{17}atoms/cm^3$以下。

[0341] 包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水，因此有时形成氧空位。当氢进入该氧空位时，有时生成作为载流子的电子。此外，有时由于氢的一部分与键合于金属原子的氧键合，产生作为载流子的电子。因此，使用含有氢的氧化物半导体的晶体管容易具有常开启特性。由此，优选尽可能减少氧化物半导体的沟道形成区域中的氢。具

体而言，在氧化物半导体的沟道形成区域中，将利用SIMS测得的氢浓度设定为低于1×10^{20}atoms/cm^3，优选低于5×10^{19}atoms/cm^3，更优选低于1×10^{19}atoms/cm^3，进一步优选低于5×10^{18}atoms/cm^3，还进一步优选低于1×10^{18}atoms/cm^3。

[0342] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域，可以使晶体管具有稳定的电特性。

[0343] <<其他半导体材料>>

可以用于氧化物230的半导体材料不局限于上述金属氧化物。作为氧化物230，也可以使用具有带隙的半导体材料(不是零带隙半导体的半导体材料)。例如，优选将硅等单个元素的半导体、砷化镓等化合物半导体、被用作半导体的层状物质(也称为原子层物质、二维材料等)等用于半导体材料。特别是，优选将被用作半导体的层状物质用于半导体材料。

[0344] 在此，在本说明书等中，层状物质是具有层状结晶结构的材料群的总称。层状结晶结构是由共价键或离子键形成的层通过如范德华力那样的比共价键或离子键弱的键合层叠的结构。层状物质在单位层中具有高导电性，即，具有高二维导电性。通过将被用作半导体并具有高二维导电性的材料用于沟道形成区域，可以提供通态电流高的晶体管。

[0345] 作为层状物质，有石墨烯、硅烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外，氧族元素是属于第16族的元素的总称，其中包括氧、硫、硒、碲、钋、鉝。此外，作为硫族化物，可以举出过渡金属硫族化物、第13族硫族化物等。

[0346] 作为氧化物230，例如优选使用被用作半导体的过渡金属硫族化物。作为能够被用作氧化物230的过渡金属硫族化物，具体地可以举出硫化钼(典型的是MoS_2)、硒化钼(典型的是$MoSe_2$)、碲化钼(典型的是$MoTe_2$)、硫化钨(典型的是WS_2)、硒化钨(典型的是WSe_2)、碲化钨(典型的是WTe_2)、硫化铪(典型的是HfS_2)、硒化铪(典型的是$HfSe_2$)、硫化锆(典型的是ZrS_2)、硒化锆(典型的是$ZrSe_2$)等。

[0347] <半导体装置的变形例子>

以下，使用图14A至图16B说明本发明的一个方式的半导体装置的一个例子。

[0348] 各附图中的A是半导体装置的俯视图。各附图中的B是沿着各附图中的A中的点划线A1-A2的部分的截面图。为了明确起见，在各附图中的A的俯视图中省略部分构成要素。

[0349] 注意，在各附图中的A及B所示的半导体装置中，对具有与构成<半导体装置的结构例子>所示的半导体装置的构成要素相同的功能的结构附加相同附图标记。注意，本节中的构成半导体装置的材料可以使用在<半导体装置的结构例子>中详细说明的材料。

[0350] <半导体装置的变形例子1>

图14A及图14B所示的半导体装置是图11A至图11D所示的半导体装置的变形例子。图14A及图14B所示的半导体装置的与图11A至图11D所示的半导体装置不同之处是设置有导电体240及导电体246。在此，导电体240被用作与晶体管200的源极和漏极中的一个电连接的插头，导电体246被用作与该插头连接的布线。

[0351] 导电体240以填埋形成于绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中的开口的方式配置。导电体240的底面与导电体242a的顶面接触。导电体240优选使用钨、铜或铝为主要成分的导电材料等。此外，导电体240也可以采用沿着上述开口的侧面及底面设置的厚度薄的第一导电体和第一导电体上的第二导电体的叠层结构。

[0352] 当作为导电体240采用叠层结构时，作为配置在绝缘体285及绝缘体280附近的第一导电体优选使用具有抑制水、氢等杂质的透过的功能的导电材料。例如，优选使用钽、氮化钽、钛、氮化钛、钌、氧化钌等。可以以单层或叠层使用具有抑制水、氢等杂质的透过的功能的导电材料。此外，可以防止包含在绝缘体283的上方的层的水、氢等杂质通过导电体240混入到氧化物230。第二导电体使用上述以钨、铜或铝为主要成分的导电材料等即可。

[0353] 注意，图14B所示的导电体240具有层叠有第一导电体和第二导电体的结构，但本发明不局限于此。例如，导电体240可以具有单层结构，也可以具有三层以上的叠层结构。

[0354] 此外，导电体246以与导电体240的顶面接触的方式配置即可。导电体246优选使用以钨、铜或铝为主要成分的导电材料。此外，导电体246可以具有叠层结构，例如，可以具有钛、氮化钛与上述导电材料的叠层结构。注意，如图14B所示，有时在绝缘体285中与导电体246重叠的区域的顶面比不与导电体246的区域的顶面高。此外，导电体246也可以以嵌入形成于绝缘体的开口中的方式形成。

[0355] 此外，优选的是，在导电体240与绝缘体280之间设置被用作阻挡绝缘膜的绝缘体241。绝缘体245优选以与形成于绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中的开口的侧面接触的方式配置。绝缘体241优选具有与上述绝缘体245同样的结构。

[0356] 在本变形例子中，以覆盖导电体246及绝缘体285的方式设置绝缘体286。绝缘体286使用可用于绝缘体285的绝缘材料形成即可。

[0357] 本变形例子采用在形成导电体240及导电体246之后形成电容器100的结构。因此，本变形例子与图11A至图11D所示的半导体装置不同，绝缘体130的底面的一部分及绝缘体245的侧面的一部分与绝缘体286接触。也就是说，根据绝缘体286的厚度嵌入电容器100的开口深。由此，可以不增大半导体装置的占有面积而增大电容器100的静电电容。

[0358] <半导体装置的变形例子2>

图15A及图15B所示的半导体装置是图11A至图11D所示的半导体装置的变形例子。图15A及图15B所示的半导体装置与图16A及图16B所示的半导体装置同样地在导电体242a上包括绝缘体241a、导电体240a及导电体246a。再者，在导电体120上包括绝缘体241b、导电体240b及导电体246b。在此，导电体240b被用作与电容器100的一个端子电连接的插头，导电体246b被用作与该插头连接的布线。

[0359] 绝缘体241a及绝缘体241b可以使用与上述绝缘体241同样的导电材料。此外，导电体240a及导电体240b可以使用与上述导电体240同样的导电材料。此外，导电体246a及导电体246b可以使用与上述导电体246同样的导电材料。

[0360] 注意，与图16A及图16B所示的半导体装置不同，图15A及图15B所示的半导体装置具有在形成电容器100之后形成导电体240a及导电体240b的结构。因此，导电体246a及导电体246b的底面接触于以覆盖导电体120的方式形成的绝缘体285的顶面。

[0361] 注意，与图11A至图11D所示的半导体装置不同，图15A及图15B所示的半导体装置具有绝缘体283和绝缘体130之间没有设置层间绝缘膜且绝缘体130的底面和绝缘体283的顶面接触的结构。

[0362] <半导体装置的变形例子3>

图16A及图16B所示的半导体装置是图15A及图15B所示的半导体装置的变形例子。

图16A及图16B所示的半导体装置与图15A及图15B所示的半导体装置的不同之处在于绝缘体283与绝缘体212的顶面的一部分接触。因此，晶体管200配置在由绝缘体283及绝缘体212密封的区域中。通过上述结构，可以抑制包含在上述密封的区域外的氢混入上述密封的区域中。此外，在图16A及图16B所示的晶体管200中，绝缘体212、绝缘体283具有单层的结构，但是本发明不局限于此。例如，绝缘体212、绝缘体283也可以都具有两层以上的叠层结构。

[0363] 〈半导体装置的应用例子〉

以下，使用图17说明本发明的一个方式的半导体装置的一个例子。

[0364] 图17A示出半导体装置500的俯视图。在图17A中，平行于晶体管200的沟道长度方向的方向是x轴，垂直于x轴的方向是y轴。此外，图17B是沿着图17A中的点划线A1-A2的部分的截面图，该截面图相当于晶体管200的沟道长度方向的截面图。图17C是沿着图17A中的点划线A3-A4的截面图，该截面图相当于开口区域400及其附近的截面图。注意，在图17A的俯视图中，为了明确起见，省略部分构成要素。

[0365] 注意，在图17A至图17C所示的半导体装置中，对具有与构成〈半导体装置的结构例子〉所示的半导体装置的构成要素相同的功能的结构附加相同附图标记。注意，本节中的构成半导体装置的材料可以使用在〈半导体装置的结构例子〉中详细说明的材料。

[0366] 图17A至图17C所示的半导体装置500是图11A至图11D所示的半导体装置的变形例子。图17A至图17C所示的半导体装置500的与图11A至图11D所示的半导体装置不同之处在于：绝缘体282及绝缘体280形成有开口区域400。此外，与图11A至图11D所示的半导体装置不同之处在于：以围绕多个晶体管200及电容器100的方式形成有密封部265。

[0367] 半导体装置500包括排列为矩阵状的多个晶体管200、多个电容器100及多个开口区域400。此外，在y轴方向上延伸地设置有被用作晶体管200的栅电极的多个导电体260。开口区域400形成在不与氧化物230及导电体260重叠的区域中。此外，以围绕多个晶体管200、多个电容器100、多个导电体260及多个开口区域400的方式形成有密封部265。注意，晶体管200、多个电容器100、导电体260及开口区域400的数量、配置以及尺寸不局限于图17所示的结构，根据半导体装置500的设计适当地设定即可。

[0368] 如图17B及图17C所示，密封部265以围绕多个晶体管200、绝缘体216、绝缘体222、绝缘体275、绝缘体280及绝缘体282的方式设置。换言之，绝缘体283以覆盖绝缘体216、绝缘体222、绝缘体275、绝缘体280及绝缘体282的方式设置。此外，在密封部265，绝缘体283与绝缘体214的顶面接触。此外，在密封部265，绝缘体283和绝缘体285之间设置有绝缘体274。绝缘体274的顶面的高度与绝缘体283的最上面的高度大致一致。此外，作为绝缘体274，可以使用与绝缘体280同样的绝缘体。

[0369] 通过采用这样的结构，可以由绝缘体283、绝缘体214及绝缘体212围绕(密封)多个晶体管200。在此，绝缘体283、绝缘体214及绝缘体212中的一个或多个优选被用作氢阻挡绝缘膜。由此，可以抑制包含在密封部265的区域之外的氢进入密封部265的区域中。有时将具有这种功能的绝缘体283、绝缘体214及绝缘体212称为密封膜。

[0370] 如图17C所示，在开口区域400中，绝缘体282具有开口部。此外，在开口区域400中，绝缘体280也可以具有与绝缘体282的开口部重叠的槽部。绝缘体280的槽部的深度最深为使绝缘体275的顶面露出的程度即可，例如，可以为绝缘体280的最大厚度的1/4以上且1/2以下左右。

[0371] 此外，如图17C所示，绝缘体283在开口区域400的内侧与绝缘体282的侧面、绝缘体280的侧面及绝缘体280的顶面接触。此外，在开口区域400中，有时绝缘体274的一部分以嵌入形成于绝缘体283中的凹部的方式形成。此时，形成在开口区域400中的绝缘体274的顶面的高度与绝缘体283的最上面的高度有时大致一致。

[0372] 在形成有这样的开口区域400且从绝缘体282的开口部绝缘体280露出的状态下进行热处理，由此可以在对氧化物230供应氧的同时从开口区域400将包含在绝缘体280中的氧的一部分扩散到外部。由此，可以从包含通过加热而脱离的氧的绝缘体280将十分的氧供应到氧化物半导体中的被用作沟道形成区域的区域及其附近，并且可以防止被供应过多的氧。

[0373] 此时，可以将包含在绝缘体280中的氢与氧键合，将其经过开口区域400释放到外部。键合于氧的氢被释放为水。因此，可以减少包含在绝缘体280中的氢，可以减少包含在绝缘体280中的氢进入氧化物230。

[0374] 此外，在图17A中，俯视的开口区域400的形状大致为长方形，但是本发明不局限于此。例如，俯视的开口区域400的形状也可以是长方形、椭圆形、圆形、菱形或组合这些形状而成的形状。此外，开口区域400的面积及配置间距可以根据包括晶体管200的半导体装置的设计适当地设定。例如，在晶体管200的密度低的区域中，扩大开口区域400的面积或缩小开口区域400的配置间距即可。此外，例如，在晶体管200的密度高的区域中，缩小开口区域400的面积或增大开口区域400的配置间距即可。

[0375] 根据本发明的一个方式可以提供一种新颖晶体管。根据本发明的一个方式可以提供一种晶体管特性的不均匀小的半导体装置。此外，根据本发明的一个方式可以提供一种具有良好的电特性的半导体装置。此外，根据本发明的一个方式可以提供一种可靠性良好的半导体装置。此外，根据本发明的一个方式可以提供一种通态电流高的半导体装置。此外，根据本发明的一个方式可以提供一种场效应迁移率高的半导体装置。此外，根据本发明的一个方式可以提供一种频率特性良好的半导体装置。此外，根据本发明的一个方式可以提供一种能够实现微型化或高集成化的半导体装置。此外，根据本发明的一个方式可以提供一种低功耗的半导体装置。

[0376] 此外，根据本发明的一个方式，可以提供一种包含可具有铁电性的材料的电容器。此外，根据本发明的一个方式，可以以优异生产率提供上述电容器。此外，根据本发明的一个方式，可以提供一种包括上述电容器及晶体管的半导体装置。此外，根据本发明的一个方式，可以提供能够实现微型化或高集成化的上述半导体装置。

[0377] 以上，本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0378] (实施方式3)

在本实施方式中，参照图18说明半导体装置的一个方式。

[0379] [存储装置的结构例子]

图18示出根据本发明的一个方式的半导体装置(存储装置)的一个例子。在本发明的一个方式的半导体装置中，晶体管200设置在晶体管300的上方，电容器100设置在晶体管300及晶体管200的上方。此外，作为晶体管200，可以使用上述实施方式所说明的晶体管200。此外，作为电容器100，可以使用上述实施方式所说明的电容器100。注意，图18示出使

用图14所示的电容器100及晶体管200的例子，但本发明不局限于此，可以适当地选择电容器100及晶体管200。

[0380] 电容器100使用可具有铁电性的材料，该可具有铁电性的材料具有从外部施加电场而内部发生极化且即使将该电场变为0也依然有极化的性质。由此，可以使用电容器100形成非易失性存储元件。换言之，可以使用被用作铁电电容器的电容器以及晶体管200形成1晶体管1电容器型铁电存储器。

[0381] 晶体管200是其沟道形成在包含氧化物半导体的半导体层中的晶体管。晶体管200具有高耐压特性。因此，通过将氧化物半导体用于晶体管200，即使使晶体管200微型化也可以向晶体管200施加高电压。通过使晶体管200微型化，可以减小半导体装置的占有面积。

[0382] 在图18所示的半导体装置中，布线1001与晶体管300的源极电连接，布线1002与晶体管300的漏极电连接。此外，布线1003与晶体管200的源极和漏极中的一个电连接，布线1004与晶体管200的第一栅极电连接，布线1005与电容器100的一个电极电连接，布线1006与晶体管200的第二栅极电连接，布线1007与晶体管300的栅极电连接。

[0383] 此外，通过将图18所示的存储装置配置为矩阵状，可以构成存储单元阵列。

[0384] <晶体管300>

晶体管300设置在衬底311上，并包括：被用作栅极的导电体316、被用作栅极绝缘体的绝缘体315、由衬底311的一部分构成的半导体区域313以及被用作源极区域或漏极区域的低电阻区域314a及低电阻区域314b。晶体管300可以是p沟道型或n沟道型。

[0385] 在此，在图18所示的晶体管300中，形成沟道的半导体区域313(衬底311的一部分)具有凸形状。此外，以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导电体316。此外，导电体316可以使用调整功函数的材料。因为利用半导体衬底的凸部，所以这种晶体管300也被称为FIN型晶体管。此外，也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外，虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况，但是也可以对SOI衬底进行加工来形成具有凸部的半导体膜。

[0386] 注意，图18所示的晶体管300的结构只是一个例子，不局限于上述结构，根据电路结构及驱动方法使用适当的晶体管即可。

[0387] <布线层>

在各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外，布线层可以根据设计而设置为多个层。在此，在具有插头或布线的功能的导电体中，有时使用同一符号表示多个结构。此外，在本说明书等中，布线、与布线电连接的插头也可以是一个构成要素。就是说，导电体的一部分有时被用作布线，并且导电体的一部分有时被用作插头。

[0388] 例如，在晶体管300上，作为层间膜依次层叠地设置有绝缘体320、绝缘体322、绝缘体324及绝缘体326。此外，与电容器100或晶体管200电连接的导电体328及导电体330等填埋于绝缘体320、绝缘体322、绝缘体324及绝缘体326中。此外，导电体328及导电体330被用作插头或布线。

[0389] 此外，被用作层间膜的绝缘体可以被用作覆盖其下方的凹凸形状的平坦化膜。例如，为了提高绝缘体322的顶面的平坦性，也可以通过利用化学机械抛光(CMP)法等的平坦化处理实现平坦化。

[0390] 此外，也可以在绝缘体326及导电体330上设置布线层。例如，在图18中，依次层叠

有绝缘体350、绝缘体352及绝缘体354。此外，在绝缘体350、绝缘体352及绝缘体354中形成有导电体356。导电体356被用作插头或布线。

[0391] 同样地，在绝缘体210、绝缘体212、绝缘体214及绝缘体216中填充有导电体218及构成晶体管200的导电体(导电体205)等。此外，导电体218被用作与电容器100或晶体管300电连接的插头或布线。

[0392] 在此，与上述实施方式所示的绝缘体241同样，以与被用作插头的导电体218的侧面接触的方式设置绝缘体217。绝缘体217以与绝缘体210、绝缘体212、绝缘体214及绝缘体216中的开口的内壁接触的方式设置。换言之，绝缘体217设置在导电体218与绝缘体210、绝缘体212、绝缘体214及绝缘体216之间。导电体205可以与导电体218并行形成，所以有时以与导电体205的侧面接触的方式形成绝缘体217。

[0393] 作为绝缘体217，例如可以使用氮化硅、氧化铝或氮氧化硅等绝缘体。绝缘体217以与绝缘体210、绝缘体212、绝缘体214及绝缘体222接触的方式设置，所以可以抑制水、氢等杂质从绝缘体210或绝缘体216等通过导电体218混入氧化物230。尤其是，氮化硅对氢具有高阻挡性，所以是优选的。此外，可以防止包含在绝缘体210或绝缘体216中的氧被导电体218吸收。

[0394] 绝缘体217可以使用与绝缘体241同样的方法形成。例如，使用PEALD法形成氮化硅，使用各向异性蚀刻形成到达导电体356的开口即可。

[0395] 此外，在晶体管200上，绝缘体285及导电体240上设置有导电体112。此外，导电体112被用作与晶体管200或晶体管300电连接的插头或布线。以覆盖绝缘体285及导电体112的方式设置有绝缘体286。以覆盖绝缘体286及电容器100的方式设置有绝缘体150。

[0396] 此外，也可以以覆盖绝缘体285及导电体112的方式设置氢阻挡绝缘膜。如图18所示，作为氢阻挡绝缘膜优选设置覆盖绝缘体285及导电体112的绝缘体152a和绝缘体152a上的绝缘体152b。作为绝缘体152a及绝缘体152b，使用可用于上述绝缘体283等的阻挡绝缘膜即可。通过设置这种绝缘体152a及绝缘体152b，可以减少绝缘体286等所包括的氢等杂质经过导电体112及导电体240扩散到晶体管200。

[0397] 绝缘体152a利用溅射法形成即可。例如，作为绝缘体152a可以使用利用溅射法形成的氮化硅。因为溅射法不需要作为成膜气体使用包含氢的分子，所以可以降低绝缘体152a的氢浓度。如此，与导电体112及绝缘体285接触的绝缘体152a的氢浓度得到降低，由此可以抑制氢从绝缘体152a扩散到导电体112及绝缘体285。

[0398] 绝缘体152b优选利用ALD法形成，尤其优选利用PEALD法形成。例如，作为绝缘体152b可以使用利用PEALD法形成的氮化硅。由此，可以以高覆盖性形成绝缘体152b，所以即使因基底的凹凸而绝缘体152a中形成针孔或断开等，也通过由绝缘体152b覆盖它们可以减少氢扩散到导电体112及绝缘体285。

[0399] 注意，绝缘体152a及绝缘体152b的成膜方法不局限于溅射法及ALD法，也可以适当地利用CVD法、MBE法、PLD法等。此外，以上示出绝缘体152a和绝缘体152b的两层结构，但本发明不局限于此，也可以具有单层结构或三层以上的叠层结构。

[0400] 此外，与绝缘体152a及绝缘体152b同样，绝缘体283及绝缘体212也可以为叠层结构的阻挡绝缘膜。

[0401] 此外，同样地，也可以以覆盖绝缘体286及电容器100的方式设置氢阻挡绝缘膜。如

图18所示，作为氢阻挡绝缘膜优选设置覆盖绝缘体286及电容器100的绝缘体154a和绝缘体154a上的绝缘体154b。在此，电容器100被绝缘体154a及绝缘体154b密封，绝缘体154a及绝缘体154b被用作密封膜。绝缘体154a以及绝缘体154b分别可以使用与绝缘体152a以及绝缘体152b同样的阻挡绝缘膜。通过设置这种绝缘体154a及绝缘体154b，可以减少绝缘体150等所包含的氢等杂质经过电容器100扩散到晶体管200。

[0402] 作为能够被用作层间膜的绝缘体，有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0403] 例如，通过将相对介电常数低的材料用于被用作层间膜的绝缘体，可以减少产生在布线之间的寄生电容。因此，优选根据绝缘体的功能选择材料。

[0404] 例如，绝缘体150、绝缘体210、绝缘体352及绝缘体354等优选具有相对介电常数低的绝缘体。例如，该绝缘体优选含有添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅、树脂等。或者，该绝缘体优选具有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅和树脂的叠层结构。由于氧化硅及氧氮化硅具有热稳定性，因此通过将其与树脂组合，可以实现具有热稳定性且相对介电常数低的叠层结构。作为树脂，例如可以举出聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯、丙烯酸树脂等。

[0405] 此外，通过使用具有抑制氢等杂质及氧透过的功能的绝缘体围绕使用氧化物半导体的晶体管，可以使晶体管的电特性稳定。因此，作为绝缘体214、绝缘体212及绝缘体350等，使用具有抑制氢等杂质及氧的透过的功能的绝缘体，即可。

[0406] 作为具有抑制氢等杂质及氧透过的功能的绝缘体，例如可以以单层或叠层使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、锆、镧、钕、铪或钽的绝缘体。具体而言，作为具有抑制氢等杂质及氧透过的功能的绝缘体，可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪、氧化钽等金属氧化物、氮氧化硅、氮化硅等。

[0407] 作为能够用于布线、插头的导电体优选使用包含选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟以及钌等的金属元素中的一种以上的材料。此外，也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0408] 例如，作为导电体328、导电体330、导电体356、导电体218及导电体112等，可以以单层或叠层使用由上述材料形成的金属材料、合金材料、金属氮化物材料、金属氧化物材料等导电材料。优选使用兼具耐热性和导电性的钨、钼等高熔点材料，尤其优选使用钨。或者，优选使用铝、铜等低电阻导电材料形成。通过使用低电阻导电材料可以降低布线电阻。此外，如上述实施方式所示，在电容器100中，通过利用热ALD法等需要对衬底进行加热的方法形成导电体120a，即使在形成导电体120a之后不进行高温烘烤也可以提高绝缘体130的铁电性。由此，可以不进行高温烘烤而制造半导体装置，因此可以使用熔点低的铜等低电阻导电材料。

[0409] <设置有氧化物半导体的层的布线或插头>

注意，在将氧化物半导体用于晶体管200时，有时在氧化物半导体附近设置具有过剩氧区域的绝缘体。在此情况下，优选在该具有过剩氧区域的绝缘体和设置于该具有过剩氧区域的绝缘体的导电体之间设置具有阻挡性的绝缘体。

[0410] 例如，在图18中，优选在具有过剩氧的绝缘体224及绝缘体280与导电体240之间设置绝缘体241。通过使绝缘体241与绝缘体222、绝缘体282及绝缘体283接触地设置，绝缘体224及晶体管200可以具有由具有阻挡性的绝缘体密封的结构。

[0411] 也就是说，通过设置绝缘体241，可以抑制绝缘体224及绝缘体280所具有的过剩氧被导电体240吸收。此外，通过具有绝缘体241，可以抑制作为杂质的氢经过导电体240扩散到晶体管200。

[0412] 此外，作为绝缘体241，优选使用具有抑制水、氢等杂质及氧的扩散的功能的绝缘材料。例如，优选使用氮化硅、氮氧化硅、氧化铝或氧化铪等。尤其是，氮化硅对氢具有高阻挡性，所以是优选的。此外，例如还可以使用氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钽等的金属氧化物等。

[0413] 此外，如上述实施方式所示，晶体管200也可以采用由绝缘体212、绝缘体214、绝缘体282及绝缘体283密封的结构。通过采用上述结构，可以降低包含在绝缘体274、绝缘体285、绝缘体150等中的氢混入到绝缘体280等中。此时，绝缘体212、绝缘体214、绝缘体282以及绝缘体283被用作密封膜。

[0414] 在此，导电体240贯通绝缘体283及绝缘体282，导电体218贯通绝缘体214、绝缘体212，并且，如上所述，绝缘体241与导电体240接触地设置，绝缘体217与导电体218接触地设置。由此，可以减少通过导电体240及导电体218混入绝缘体212、绝缘体214、绝缘体282及绝缘体283的内侧的氢。如此，可以由绝缘体212、绝缘体214、绝缘体282、绝缘体283、绝缘体241及绝缘体217密封晶体管200，而可以减少包含在绝缘体274等中的氢等杂质从外侧混入。注意，图18示出由绝缘体212及绝缘体283等密封的区域内的一个晶体管200，但不局限于此，也可以在该密封区域内设置多个晶体管200。

[0415] 〈切割线〉

下面，对当将大面积衬底按每个半导体组件分割而得到芯片形状的多个半导体装置时设置的切割线(有时也称为分割线、分断线或截断线)进行说明。作为分割方法，例如，有时，首先在衬底中形成用来分断半导体组件的槽(切割线)之后，在切割线处截断，得到被分断(被分割)的多个半导体装置。

[0416] 在此，例如，如图18所示，优选以绝缘体283与绝缘体214接触的区域重叠于切割线的方式进行设计。也就是说，在设置在包括多个晶体管200的存储单元的边缘的成为切割线的区域附近，在绝缘体282、绝缘体280、绝缘体275、绝缘体222及绝缘体216中设置开口。

[0417] 也就是说，在设置于绝缘体282、绝缘体280、绝缘体275、绝缘体222及绝缘体216的开口中，绝缘体214与绝缘体283接触。

[0418] 此外，例如，也可以在绝缘体282、绝缘体280、绝缘体275、绝缘体222、绝缘体216及绝缘体214中形成开口。通过采用这种结构，在设置于绝缘体282、绝缘体280、绝缘体275、绝缘体222、绝缘体216及绝缘体214的开口中，绝缘体212与绝缘体283接触。此时，也可以使用相同材料及相同方法形成绝缘体212及绝缘体283。通过使用相同的材料及相同的方法形成绝缘体212和绝缘体283，可以提高紧密性。例如，优选使用氮化硅。

[0419] 通过采用该结构，可以由绝缘体212、绝缘体214、绝缘体282及绝缘体283包围晶体管200。绝缘体212、绝缘体214、绝缘体282和绝缘体283中的至少一个由于具有抑制氧、氢及水的扩散的功能，所以即使将衬底按每个形成有本实施方式所示的半导体组件的电路区域

分割而加工为多个芯片，也可以防止从截断的衬底的侧面方向混入氢或水等杂质且该杂质扩散到晶体管200。

[0420] 此外，通过采用该结构，可以防止绝缘体280及绝缘体224中的过剩氧扩散到外部。因此，绝缘体280及绝缘体224中的过剩氧高效地被供应到晶体管200中的形成沟道的氧化物中。由于该氧，而可以减少晶体管200中的形成沟道的氧化物的氧空位。由此，可以使晶体管200中的形成沟道的氧化物成为缺陷态密度低且具有稳定的特性的氧化物半导体。也就是说，可以在抑制晶体管200的电特性变动的同时提高可靠性。

[0421] 〈存储装置的变形例子1〉

在图18所示的存储装置中以嵌入绝缘体285及绝缘体280等的方式形成电容器100，但本发明不局限于此。如图19所示，也可以采用平面型电容器100设置在绝缘体285上的结构。

[0422] 电容器100包括导电体110、覆盖导电体110的绝缘体130以及覆盖绝缘体130的导电体120(导电体120a及导电体120b)。在此，绝缘体130优选覆盖导电体110的顶面及侧面以使导电体110和导电体120分隔。导电体110、绝缘体130及导电体120的详细内容可以参照[存储装置的结构例子]及上述实施方式的记载。

[0423] 导电体110形成在与导电体112相同的层上，与导电体240的顶面接触。导电体110通过导电体240与晶体管200的源极和漏极中的一个电连接。

[0424] 此外，优选的是，以覆盖导电体120、绝缘体130及导电体112的方式设置绝缘体155。绝缘体155优选使用可用作绝缘体214或绝缘体282等的具有俘获且固定氢的功能的绝缘体。例如，优选使用氧化铝AlO_x(x是大于0的任意数)等。该AlOx优选具有非晶结构。上述具有非晶结构的金属氧化物有时具有如下性质：氧原子具有悬空键而由该悬空键俘获或固定氢。

[0425] 例如，绝缘体155可以使用通过ALD法形成的氧化铝或通过溅射法形成的氧化铝膜。此外，例如，绝缘体155也可以使用通过ALD法形成的氧化铝及形成在其上的通过溅射法形成的氧化铝的叠层膜。

[0426] 通过以覆盖电容器100的方式设置这种绝缘体155，可以俘获且固定电容器100的绝缘体130所包含的氢而降低绝缘体130的氢浓度。由此，可以提高绝缘体130的结晶性，并提高绝缘体130的铁电性。此外，可以减少导电体110和导电体120间的泄漏电流。注意，不局限于此，也可以采用没有设置绝缘体155的结构。

[0427] 此外，优选的是，与图18所示的存储装置同样地在导电体112及导电体120上设置被用作氢阻挡绝缘膜的绝缘体152a及绝缘体152b。绝缘体152a及绝缘体152b设置在绝缘体155上。通过设置这种绝缘体152a及绝缘体152b，可以减少绝缘体152b上的绝缘体286所包含的氢等杂质经过电容器100、导电体112及导电体240扩散到晶体管200。

[0428] 此外，如图19所示，优选在绝缘体285上设置被用作氢阻挡绝缘膜的绝缘体287。与绝缘体287上接触地设置有导电体112、导电体110及绝缘体155。在此，绝缘体287可以使用与绝缘体283同样的阻挡绝缘膜。

[0429] 由于具有这种结构，因此绝缘体155与绝缘体287在不重叠于电容器100的区域中接触。也就是说，由绝缘体155、绝缘体152a、绝缘体152b和绝缘体287密封电容器100。在此，绝缘体155、绝缘体152a、绝缘体152b和绝缘体287被用作密封膜。由此，可以抑制氢从绝缘

体152b及绝缘体287的外部扩散到电容器100，并可以俘获和固定绝缘体152b及绝缘体287内部的氢，由此降低电容器100的绝缘体130的氢浓度。因此，可以提高绝缘体130的铁电性。

[0430] 注意，在不使用绝缘体155的情况下，绝缘体287与绝缘体152a在不重叠于电容器100的区域中接触，由绝缘体152a、绝缘体152b和绝缘体287密封电容器100。

[0431] 此外，如图19所示，晶体管200也由被用作氢阻挡绝缘膜的绝缘体283、绝缘体214和绝缘体212密封。由此，可以氢从绝缘体283及绝缘体212的外部扩散到晶体管200而降低晶体管200所包括的氧化物半导体膜的氢浓度。因此，可以提高晶体管200的电特性及可靠性。

[0432] 虽然在图19所示的存储装置中晶体管200与电容器100电连接，但是本发明不局限于此。如图20A所示，晶体管200与电容器100也可以不电连接。在此，在图20A所示的存储装置中，绝缘体212上的晶体管200及电容器100具有与图19所示的存储装置相同的结构。绝缘体212下的结构既可与图19所示的存储装置相同又可为以与绝缘体212的底面接触的方式设置衬底311的结构。

[0433] 此外，如图20A所示，可以在绝缘体286、绝缘体152b、绝缘体152a以及绝缘体155中形成开口，并以嵌入该开口的方式设置导电体288及绝缘体289。导电体288及绝缘体289分别具有与导电体240及绝缘体241相同的结构。在此，晶体管200的源极及漏极中的一个通过导电体288电连接于布线1003，晶体管200的源极及漏极中的另一个通过导电体288电连接于布线1008。此外，电容器100的一个电极(导电体120)通过导电体288电连接于布线1005。此外，电容器100的另一个电极(导电体110)通过导电体240、形成在与导电体205相同的层中的导电体255、导电体112以及导电体288电连接于布线1009。

[0434] 此外，如图20A所示，晶体管200及电容器100也可以具有分别被密封膜密封的结构。在图20A所示的存储装置中，晶体管200被绝缘体283、绝缘体214以及绝缘体212密封。此外，如图20A所示，被用作与电容器100连接的布线或插头的导电体240及导电体255与晶体管200也可以分别被密封。在此情况下，绝缘体283与绝缘体214接触的区域形成在晶体管200与导电体240及导电体255之间。

[0435] 此外，虽然图20A示出在晶体管200与电容器100之间设置绝缘体285及绝缘体287的结构，但是本发明不局限于此。例如，如图20B所示，可以具有导电体112、导电体110以及绝缘体155的底面与绝缘体283接触的结构，而不设置绝缘体285及绝缘体287。在此情况下，电容器100被绝缘体152a、绝缘体152b、绝缘体155以及绝缘体283密封。由此，不需要设置绝缘体285及绝缘体287，从而可以提高存储装置的生产率。

[0436] 图21A是图20A所示的电容器100的放大图。如图21A所示，电容器100与图19所示的电容器100同样被绝缘体287、绝缘体152a、绝缘体152b以及绝缘体155密封。在此，绝缘体155、绝缘体152a、绝缘体152b以及绝缘体287被用作密封膜。由此，可以抑制氢从绝缘体152b及绝缘体287的外部扩散到电容器100，俘获和固定绝缘体152b及绝缘体287内部的氢，由此降低电容器100的绝缘体130的氢浓度。因此，可以提高绝缘体130的铁电性。

[0437] 此外，在图21A所示的电容器100中，绝缘体130与绝缘体287的顶面、导电体110的顶面及侧面接触，但是本发明不局限于此。如图21B所示，可以在绝缘体130与绝缘体287及导电体110之间设置绝缘体115a。也就是说，绝缘体130与绝缘体115a的顶面接触，绝缘体287及导电体110与绝缘体115a的底面接触。在此，作为绝缘体115a，可以使用上述实施方式

中的图1C2等所示的绝缘体115a。此外，绝缘体115a的厚度可以为0.2nm以上且2nm以下，优选为0.5nm以上且1nm以下。通过采用这种结构，可以将图21B所示的电容器100用作图1C1及图1C2所示的连接电容器与二极管的FTJ。

[0438] 此外，在图21A所示的电容器100中，绝缘体130与导电体120的底面接触，但是本发明不局限于此。如图21C所示，可以在绝缘体130与导电体120之间设置绝缘体115b。也就是说，绝缘体130与绝缘体115b的底面接触，导电体120与绝缘体115b的顶面接触。在此，作为绝缘体115b，可以使用上述实施方式中的图1C3等所示的绝缘体115b。此外，绝缘体115b的厚度可以为0.2nm以上且2nm以下，优选为0.5nm以上且1nm以下。通过采用这种结构，可以将图21C所示的电容器100用作图1C1及图1C3所示的连接电容器与二极管的FTJ。

[0439] 此外，图22A所示，电容器100有时在绝缘体130中形成多晶区域。在图22A中，示出在导电体110的侧端部的上侧形成多晶区域131a及多晶区域131b的例子。图22A所示的绝缘体130沿由导电体110形成的被形成面的台阶形成，有时在该台阶的顶部附近形成多晶区域131a及多晶区域131b。多晶区域131a及多晶区域131b为形成有多个图4B所示的晶粒或晶界的区域。例如，在绝缘体130中，多晶区域131a及多晶区域131b包含比与导电体110的平坦性高的顶面接触的区域(可以说是夹在多晶区域131a与多晶区域131b之间的区域)多的晶粒。反过来说，在绝缘体130中，夹在多晶区域131a与多晶区域131b之间的区域包含比多晶区域131a及多晶区域131b多的图3所示的单晶。

[0440] 此外，在图22A所示的电容器100中，以与绝缘体152a的底面接触的方式设置绝缘体155，但是本发明不局限于此。例如，如图22B所示，绝缘体152a的底面可以与绝缘体287的顶面、绝缘体130的侧面、导电体120的侧面以及导电体120的顶面接触，而不设置绝缘体155。

[0441] 此外，在图22A等中，绝缘体130及导电体120覆盖导电体110的侧面，但是本发明不局限于此。如图22C所示，可以具有绝缘体130的侧面及导电体120的侧面位于导电体110的侧面的内侧的结构。在此情况下，在俯视时，绝缘体130及导电体120的外缘位于导电体110的外缘的内侧。

[0442] 在上述结构中，绝缘体130及导电体120不形成在由导电体110形成的被形成面的台阶附近，由此图22A所示的多晶区域131a及多晶区域131b不形成在图22C所示的绝缘体130中。因此，图22C所示的绝缘体130的整体与导电体110的平坦性高的顶面接触，并包含多个图3所示的单晶。由此，图22C的绝缘体130有时可以具有图4A所示的多个结晶的层在c轴方向上层叠的结构来增加极化。如此，可以使图22C所示的绝缘体130具有良好的铁电性，可以将电容器100用作铁电体器件。

[0443] 此外，如图22C所示，绝缘体155的侧面也可以位于导电体110的侧面的内侧。此时，绝缘体130、导电体120以及绝缘体155的侧面优选对齐。此外，绝缘体152a覆盖导电体110、绝缘体130、导电体120以及绝缘体155而设置。绝缘体152b设置在绝缘体152a上。

[0444] 此外，在图22C中，与图20A同样，在绝缘体152b上设置有绝缘体286，并且在绝缘体155、绝缘体152a、绝缘体152b以及绝缘体286中形成有到达导电体120的开口。与图20A同样，在该开口中配置有导电体288及绝缘体289。

[0445] 虽然在图20A中未示出，但是在图22C中，在导电体288上设置有与其接触的导电体162，在导电体162上设置有绝缘体166，以覆盖导电体162及绝缘体166的方式设置有绝缘体

168a，并且在绝缘体168a上设置有绝缘体168b。在图22C中，示出电容器100、导电体288以及导电体162等位于同一截面上的结构，但是本发明不局限于此。导电体162与导电体120之间的接触有时形成在另一部分，该部分不同于电容器100与导电体162的重叠部分。

[0446] 导电体162是用作布线的导电体，也可以与图20A所示的导电体288同样与布线1005电连接。导电体162可以使用可用于导电体112的导电材料。

[0447] 绝缘体166可以使用与绝缘体155相同的绝缘体，绝缘体168a可以使用与绝缘体152a相同的绝缘体，并且绝缘体168b可以使用与绝缘体152b相同的绝缘体。通过采用这种结构，可以使用被用作氢阻挡膜的绝缘体168a及绝缘体152b夹持绝缘体286、导电体288以及导电体162。再者，在被夹在绝缘体168a与绝缘体152b之间的区域中配置具有俘获和固定氢的功能的绝缘体166。由此，可以抑制氢从绝缘体168b及绝缘体152a的外部扩散，可以俘获和固定绝缘体168b及绝缘体152a内部的氢，由此可以降低绝缘体286、导电体288以及导电体162等的氢浓度。如此，通过降低绝缘体286、导电体288以及导电体162等的氢浓度，可以减少扩散到绝缘体130的氢，由此可以提高绝缘体130的铁电性。

[0448] 其次，参照图23A至图23B说明图22C所示的结构的制造方法。关于器件及工序的详细内容等可以参照上述实施方式的记载等。

[0449] 首先，在绝缘体287上形成导电体110。导电体110可以通过使用溅射法、CVD法、MBE法、PLD法、ALD法等形成。例如，导电体110可以使用氮化钛。在此，优选对导电体110的顶面进行CMP处理等，以提高导电体110的平坦性。例如，导电体110的顶面的粗糙度在表示为算术平均表面粗糙度(Ra)或均方根面粗糙度(RMS:Root Mean Square)时可以为2nm以下，优选为1nm以下，更优选为0.8nm以下，进一步优选为0.5nm以下，更进一步优选为0.4nm以下，还进一步优选为0.2nm以下。如此，通过提高导电体110的顶面的平坦性，可以提高在后续工序中形成的绝缘体130的结晶性。

[0450] 其次，使用光刻法等形成导电体110的图案(参照图23A)。在此，优选以导电体110覆盖导电体288的方式形成图案。

[0451] 其次，以覆盖导电体110的方式形成绝缘体130(参照图23A)。绝缘体130可以通过使用溅射法、CVD法、ALD法等形成。例如，通过使用热ALD法形成绝缘体130。例如，绝缘体130可以使用$HfZrO_x$。在此，优选使用不包含碳化氢的材料作为前驱物。通过使用这种前驱物，可以减少绝缘体130中的氢、碳、碳化氢等。例如，前驱物可以使用$HfCl_4$及/或$ZrCl_4$。此外，在使用热ALD法形成绝缘体130的情况下，可以使用H_2O或O_3作为氧化剂。

[0452] 此外，在前驱物包含氯的情况下，优选尽量减少包含在绝缘体130中的氯。例如，通过将进行热ALD时的衬底温度设定为400℃以上，可以减少包含在绝缘体130中的氯。此外，在按照图7A所示的成膜序列形成膜的情况下，优选延长氧化剂H_2O的引入时间。由此，可以充分分离键合于被形成面的氯，来充分降低包含在绝缘体130中的氯浓度。

[0453] 在此，如图23A所示，在绝缘体130中，有时在导电体110的侧端部的上侧形成多晶区域131a及多晶区域131b。

[0454] 其次，在绝缘体130上形成导电体120a(参照图23A)。导电体120a可以通过使用溅射法、CVD法、MBE法、PLD法、ALD法等形成。例如，作为导电体110可以使用利用ALD法或溅射法形成的氮化钛。

[0455] 其次，在导电体120a上形成导电体120b(参照图23A)。导电体120b可以通过使用溅

射法、CVD法、MBE法、PLD法、ALD法等形成。例如，作为导电体110可以使用利用金属CVD法形成的钨。此外，不一定需要形成导电体120b，例如，导电体120也可以具有只由导电体120a构成的单层结构。

[0456] 再者，在形成导电体120之后，优选进行热处理。作为该热处理，

例如，可以在衬底温度为300℃以上，优选为325℃以上，更优选为350℃以上的情况下进行成膜。此外，例如，可以在衬底温度为600℃以下，优选为500℃以下，更优选为450℃以下的情况下进行成膜。例如，衬底温度可以为500℃左右。例如，热处理可以进行约30秒以上且120秒以下。该热处理可以在包含氧气体、氮气体以及惰性气体中的一个以上的气氛下进行。

[0457] 通过进行上述热处理，可以促进绝缘体130的结晶化，提高结晶性。换言之，可以增大包含在绝缘体130中的单晶区域。此外，当在形成导电体120时使用如热ALD法等进行衬底加热的成膜方法的情况下，即使不进行上述热处理，有时也可以充分使绝缘体130结晶化。

[0458] 其次，在导电体120b上形成绝缘体155(参照图23B)。绝缘体155可以通过使用溅射法、CVD法、MBE法、PLD法、ALD法等形成。绝缘体155优选使用可用作绝缘体214或绝缘体282等的具有俘获且固定氢的功能的绝缘体。例如，作为绝缘体155可以使用利用ALD法或溅射法形成的氧化铝。例如，绝缘体155的厚度可以为20nm以上且40nm以下左右。

[0459] 通过在导电体120上设置上述绝缘体155，可以俘获且固定电容器100的绝缘体130所包含的氢而降低绝缘体130的氢浓度。由此，可以提高绝缘体130的结晶性，并提高绝缘体130的铁电性。

[0460] 其次，使用光刻法形成绝缘体130、导电体120a、导电体120b以及绝缘体155的图案(参照图23C)。由此，绝缘体130、导电体120a、导电体120b以及绝缘体155的侧面位于导电体110的侧面的内侧。由此，可以去除形成在绝缘体130中的多晶区域131a及多晶区域131b，来形成包含多个单晶且结晶性高的绝缘体130。

[0461] 其次，以覆盖绝缘体287、导电体110、绝缘体130、导电体120以及绝缘体155的方式形成绝缘体152a，并在绝缘体152a上形成绝缘体152b(参照图23D)。作为绝缘体152a及绝缘体152b，使用可用于上述绝缘体283等的阻挡绝缘膜即可。通过设置这种绝缘体152a及绝缘体152b，可以抑制绝缘体286等所包括的氢等杂质扩散到电容器100的绝缘体130。在此，绝缘体152a的厚度例如可以为10nm以上且40nm以下左右。此外，绝缘体152b的厚度例如可以为3nm以上且10nm以下左右。

[0462] 绝缘体152a利用溅射法形成即可。例如，作为绝缘体152a可以使用利用溅射法形成的氮化硅。因为溅射法不需要作为成膜气体使用包含氢的分子，所以可以降低绝缘体152a的氢浓度。如此，与导电体112及绝缘体285接触的绝缘体152a的氢浓度得到降低，由此可以抑制氢从绝缘体152a扩散到导电体112及绝缘体285。

[0463] 绝缘体152b优选利用ALD法形成，尤其优选利用PEALD法形成。例如，作为绝缘体152b可以使用利用PEALD法形成的氮化硅。由此，可以以高覆盖性形成绝缘体152b，所以即使因基底的凹凸而在绝缘体152a中形成针孔或断开等，也通过由绝缘体152b覆盖它们可以减少氢扩散到导电体112及绝缘体285。

[0464] 通过如上所述那样形成绝缘体152a及绝缘体152b，可以使用绝缘体155、绝缘体152a、绝缘体152b以及绝缘体287密封电容器100。

[0465] 然后，在绝缘体152b上形成绝缘体286(参照图23D)。通过在绝缘体286、绝缘体152b、绝缘体152a以及绝缘体155中形成到达导电体120的开口，在该开口中形成导电体288及绝缘体289(参照图22C)。

[0466] 其次，使用与导电体110相同的方法在导电体288上形成导电体162，使用与绝缘体155相同的方法在导电体162上形成绝缘体166(参照图22C)。使用与绝缘体152a相同的方法形成覆盖绝缘体286、导电体162以及绝缘体166的绝缘体168a，并且使用与绝缘体152b相同的方法在绝缘体168a上形成绝缘体168b(参照图22C)。

[0467] 优选在形成绝缘体168b之后进行热处理。作为该热处理，例如，可以在衬底温度为300℃以上，优选为325℃以上，更优选为350℃以上的情况下进行成膜。此外，例如，可以在衬底温度为600℃以下，优选为500℃以下，更优选为450℃以下的情况下进行成膜。例如，衬底温度可以为400℃左右。例如，热处理可以进行约1小时以上且10小时以下。该热处理可以在包含氧气体、氮气体以及惰性气体中的一个以上的气氛下进行。此外，上述热处理不局限于在形成绝缘体168b后进行，只要在形成绝缘体152b之后就可以适当地进行。

[0468] 通过进行上述热处理，可以抑制氢从绝缘体152b及绝缘体287的外部扩散到电容器100，俘获和固定绝缘体152b及绝缘体287内部的氢，由此降低电容器100的绝缘体130的氢浓度。因此，可以提高绝缘体130的铁电性。

[0469] 再者，在被夹在绝缘体168a与绝缘体152b之间的区域中配置具有俘获和固定氢的功能的绝缘体166。由此，可以在上述热处理中抑制氢从绝缘体168b及绝缘体152a的外部扩散，同时，可以俘获和固定绝缘体168b及绝缘体152a内部的氢，由此可以降低绝缘体286、导电体288以及导电体162等的氢浓度。

[0470] 虽然在上述图20A所示的存储装置中晶体管200与电容器100不电连接，但是本发明不局限于此。图20A所示的结构中的与晶体管200电连接的布线1003、布线1004、布线1006以及布线1008中的任一个或多个可以电连接于与电容器100电连接的布线1005及布线1009中的一个或两个。此外，上述图20A至图22C所示的存储装置的有关记载的一部或全部也可以援用于图18、图19、图24至图27等所示的装置。

[0471] 〈存储装置的变形例子2〉

在图19所示的存储装置中，晶体管200及电容器100各自被氢阻挡绝缘膜密封，但本发明不局限于此。如图24所示，也可以采用由氢阻挡绝缘膜(绝缘体212、绝缘体152a及绝缘体152b)将晶体管200及电容器100密封在一起的结构。

[0472] 在图24所示的存储装置中，绝缘体214、绝缘体216、绝缘体222、绝缘体275、绝缘体280、绝缘体282、绝缘体283、绝缘体285及绝缘体155中形成有到达绝缘体212的开口。沿着该开口的侧面及底面形成有绝缘体155上的绝缘体152a及绝缘体152b。绝缘体152a在该开口的底面与绝缘体212的顶面接触。

[0473] 通过采用这种结构，可以由绝缘体212、绝缘体152a及绝缘体152b将晶体管200及电容器100密封在一起。由此，可以抑制氢从绝缘体212及绝缘体152b的外部扩散到电容器100及晶体管200而降低电容器100的绝缘体130以及晶体管200的氧化物半导体膜的氢浓度。因此，可以提高绝缘体130的铁电性并提高晶体管200的电特性及可靠性。

[0474] 〈存储装置的变形例子3〉

在图24所示的存储装置中，晶体管200上设置有电容器100，但本发明不局限于此。

如图25所示，也可以采用在与晶体管200相同的层中设置电容器100的结构。

[0475] 如图25所示，被用作电容器100的下电极的导电体110优选由与被用作晶体管200的背栅极的导电体205相同的层的导电体形成。在导电体110上配置绝缘体130，在绝缘体130上配置导电体120(导电体120a及导电体120b)。在此，绝缘体130优选覆盖导电体110的顶面以使导电体110和导电体120分隔。绝缘体130及导电体120采用与图19等所示的结构同样的结构即可，其详细内容可以参照[存储装置的结构例子]及上述实施方式等的记载。以覆盖绝缘体130及导电体120的方式配置绝缘体222。

[0476] 以与导电体120b的顶面接触的方式设置有导电体240，以与该导电体240的顶面接触的方式设置有导电体112。该导电体112与电连接到晶体管200的源极和漏极中的一个的导电体240接触。也就是说，被用作图25所示的电容器100的上电极的导电体120与晶体管200的源极和漏极中的一个电连接。此外，被用作电容器100的下电极的导电体110与布线1005电连接。

[0477] 此外，与图24所示的存储装置同样，可以由绝缘体212、绝缘体152a及绝缘体152b将晶体管200及电容器100密封在一起。由此，可以抑制氢从绝缘体212及绝缘体152b的外部扩散到电容器100及晶体管200而降低电容器100的绝缘体130以及晶体管200的氧化物半导体膜的氢浓度。因此，可以提高绝缘体130的铁电性并提高晶体管200的电特性及可靠性。

[0478] <存储装置的变形例子4>

图19等所示的存储装置具有在晶体管300上设置晶体管200并将电容器100连接到晶体管200的结构，但本发明不局限于此。如图26A所示，也可以采用不设置晶体管200并将电容器100连接到晶体管300的结构。

[0479] 如图26A所示，绝缘体320、绝缘体322及绝缘体287中形成有到达晶体管300的低电阻区域314a的开口，以嵌入该开口的方式形成有导电体357。导电体357可以使用与导电体328等同样的导电体。导电体357的顶面与电容器100的导电体110的底面接触。如此，被用作电容器100的下电极的导电体110与被用作晶体管300的源极和漏极中的一个的低电阻区域314a通过导电体357连接。注意，晶体管300、电容器100及包括它们的层的结构与图19所示的结构同样，可以参照关于图19所示的结构的记载。

[0480] 此外，与图19所示的存储装置同样，在图26A所示的存储装置中可以由绝缘体287、绝缘体152a及绝缘体152b密封电容器100。由此，可以抑制氢从绝缘体287及绝缘体152b的外部扩散到电容器100而降低电容器100的绝缘体130的氧化物半导体膜的氢浓度。因此，可以提高绝缘体130的铁电性。

[0481] 此外，在图26A所示的结构中，通过导电体357直接连接晶体管300的低电阻区域314a与电容器100的导电体110，但本发明不局限于此。电容器100与晶体管300间可以设置有图19等所示的多个布线层。例如，如图26B所示，也可以在晶体管300上形成导电体328，在导电体328上形成导电体330，在导电体330上形成导电体356，并且在导电体356上形成导电体357。晶体管300的低电阻区域314a与电容器100的导电体110通过导电体328、导电体330、导电体356及导电体357电连接。注意，导电体328、导电体330、导电体356及包括它们的布线层可以参照[存储装置的结构例子]的记载。

[0482] <晶体管的变形例子>

图19等示出晶体管200与包含可具有铁电性的材料的电容器100连接的结构，但本

发明不局限于此。例如，也可以采用作为晶体管200及设置在其周围的绝缘体使用可具有铁电性的材料的结构。参照图27A至图27C说明这种结构的晶体管。图27A至图27C所示的晶体管200设置有导电体240a、导电体240b、导电体246a、导电体246b、绝缘体241a及绝缘体241b而代替图11所示的晶体管200中的电容器100。

[0483] 图27A所示的晶体管200使用绝缘体130a代替绝缘体222。绝缘体130a可以使用与绝缘体130同样的可具有铁电性的材料。也就是说，在图27A所示的晶体管200中，第二栅极绝缘体使用可具有铁电性的材料。

[0484] 图27B所示的晶体管200使用绝缘体130b代替绝缘体252、绝缘体250及绝缘体254。绝缘体130b可以使用与绝缘体130同样的可具有铁电性的材料。也就是说，在图27B所示的晶体管200中，第一栅极绝缘体使用可具有铁电性的材料。通过采用这种结构，可以将图27B所示的晶体管200用作图1B1所示的FeFET。注意，在图27B中第一栅极绝缘体都是铁电材料，但本发明不局限于此。例如，也可以采用图12B所示的绝缘体252、绝缘体250a、绝缘体250b和绝缘体254中的一个或多个使用可具有铁电性的材料的结构。

[0485] 在图27C所示的晶体管200中，导电体260上设置有绝缘体130c，绝缘体130c上设置有导电体262。绝缘体130c可以使用与绝缘体130同样的可具有铁电性的材料。此外，导电体262可以使用可用于导电体260的导电材料。以覆盖绝缘体130c及导电体262的方式设置有绝缘体282。也可以看作，在图27C所示的半导体装置中晶体管200的栅电极上设置有铁电电容器的一个端子。

[0486] 虽然以上示出晶体管200的例子，但是本发明不局限于此。例如，也可以在图26所示的晶体管300中使用与图27A至图27C所示的晶体管200同样的可具有铁电性的材料。例如，通过使用硅衬底作为晶体管300的衬底311，可以将Si晶体管用作FeFET。

[0487] 以上，本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0488] (实施方式4)

在本实施方式中，参照图28A及图28B对根据本发明的一个方式的使用将氧化物用于半导体的晶体管(以下有时称为OS晶体管)及铁电电容器的存储装置进行说明。根据本实施方式的装置是至少包括电容器和控制该电容器的充放电的OS晶体管的存储装置。根据本实施方式的装置被用作使用铁电电容器的1晶体管1电容器型铁电存储器。

[0489] <存储装置的结构例子>

图28A示出存储装置的结构的一个例子。存储装置1400包括外围电路1411及存储单元阵列1470。外围电路1411包括行电路1420、列电路1430、输出电路1440及控制逻辑电路1460。

[0490] 列电路1430例如包括列译码器、位线驱动电路、预充电电路、读出放大器及写入电路等。预充电电路具有对布线进行预充电的功能。读出放大器具有放大从存储单元读出的数据信号的功能。注意，上述布线是连接到存储单元阵列1470所包括的存储单元的布线，下面描述其详细内容。被放大的数据信号作为数据信号RDATA通过输出电路1440输出到存储装置1400的外部。此外，行电路1420例如包括行译码器、字线驱动电路等，并可以选择要存取的行。

[0491] 对存储装置1400从外部供应作为电源电压的低电源电压(VSS)、外围电路1411用

高电源电压(VDD)及存储单元阵列1470用高电源电压(VIL)。此外,对存储装置1400从外部输入控制信号(CE、WE、RE)、地址信号ADDR及数据信号WDATA。地址信号ADDR被输入到行译码器及列译码器,数据信号WDATA被输入到写入电路。

[0492] 控制逻辑电路1460对从外部输入的控制信号(CE、WE、RE)进行处理来生成行译码器及列译码器的控制信号。控制信号CE是芯片使能信号,控制信号WE是写入使能信号,并且控制信号RE是读出使能信号。控制逻辑电路1460所处理的信号不局限于此,根据需要而输入其他控制信号即可。

[0493] 存储单元阵列1470包括配置为行列状的多个存储单元MC及多个布线。注意,连接存储单元阵列1470和行电路1420的布线的个数取决于存储单元MC的结构、包括在一个列中的存储单元MC的个数等。此外,连接存储单元阵列1470和列电路1430的布线的个数取决于存储单元MC的结构、包括在一个行中的存储单元MC的个数等。

[0494] 此外,虽然在图28A中示出在同一平面上形成外围电路1411和存储单元阵列1470的例子,但是本实施方式不局限于此。例如,如图28B所示,也可以以重叠于外围电路1411的一部分上的方式设置存储单元阵列1470。例如,也可以采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构。

[0495] 注意,本实施方式所示的外围电路1411及存储单元阵列1470等的结构不局限于上述结构。此外,也可以根据需要改变、去除或追加这些电路及连接到该电路的布线、电路元件等的配置或功能。本发明的一个方式的存储装置能够长期间保持数据且其工作速度快。

[0496] <存储单元的结构例子>

图29A的电路图示出上述存储单元MC的结构例子。存储单元MC包括晶体管Tr及电容器Fe。在此,作为存储单元MC可以使用上述实施方式所示的包括晶体管200及电容器100的半导体装置等。此时,晶体管Tr及电容器Fe分别对应于晶体管200及电容器100。晶体管Tr除了栅极之外还可以包括背栅极,也可以不包括背栅极。此外,图29A中的晶体管Tr为n沟道型晶体管,但也可以为p沟道型晶体管。

[0497] 晶体管Tr的源极和漏极中的一个与布线BL电连接。晶体管Tr的源极和漏极中的另一个与电容器Fe的一个电极电连接。晶体管Tr的栅极与布线WL电连接。电容器Fe的另一个电极与布线PL电连接。

[0498] 布线WL被用作字线,通过控制布线WL的电位可以控制晶体管Tr的开启/关闭。例如,可以通过使布线WL的电位成为高电位来使晶体管Tr成为开启状态,可以通过使布线WL的电位成为低电位来使晶体管Tr成为关闭状态。布线WL与行电路1420所包括的字线驱动电路电连接,可以通过字线驱动电路控制布线WL的电位。

[0499] 布线BL被用作位线,在晶体管Tr处于开启状态时对应于布线BL的电位的电位被供应到电容器Fe的一个电极。布线BL与列电路1430的位线驱动电路电连接。位线驱动电路具有生成写入到存储单元MC的数据的功能。此外,位线驱动电路具有读出从存储单元MC输出的数据的功能。具体而言,位线驱动电路设置有读出放大器,可以使用读出放大器读出从存储单元MC输出的数据。

[0500] 布线PL被用作板线,布线PL的电位可以为电容器Fe的另一个电极的电位。

[0501] 晶体管Tr优选使用OS晶体管。OS晶体管具有高耐压特性。因此,通过晶体管Tr使用OS晶体管,即使使晶体管Tr微型化也可以向晶体管Tr施加高电压。通过使晶体管Tr微型化,

可以减小存储单元MC的占有面积。例如，图29A所示的一个存储单元MC的占有面积可以为一个SRAM单元的占有面积的1/3至1/6。因此，可以以高密度配置存储单元MC。由此，可以使根据本发明的一个方式的存储装置成为存储容量大的存储装置。

[0502] 电容器Fe在两个电极之间包括可具有铁电性的材料作为介电层。以下将电容器Fe所包括的介电层称为铁电层。

[0503] 作为可具有铁电性的材料使用可用于上述绝缘体130的材料即可。尤其是，可具有铁电性的材料优选为包含氧化铪的材料或者包含氧化铪及氧化锆的材料，因为该材料即使被加工为几nm的薄膜也可具有铁电性。通过采用可以使其薄膜化的铁电层，可以实现与微型化了的晶体管组合的存储装置。

[0504] 铁电层具有滞后特性。图29B1是示出该滞后特性的一个例子的图表。在图29B1中，横轴表示施加到铁电层的电压。该电压例如可以为电容器Fe的一个电极的电位与电容器Fe的另一个电极的电位之差。

[0505] 此外，在图29B1中，纵轴表示铁电层的极化量，在极化量为正值时表示负电荷偏于电容器Fe的一个电极一侧且正电荷偏于电容器Fe的另一个电极一侧。另一方面，在极化量为负值时表示负电荷偏于电容器Fe的另一个电极一侧且正电荷偏于电容器Fe的一个电极一侧。

[0506] 此外，图29B1的图表的横轴所示的电压也可以为电容器Fe的另一个电极的电位与电容器Fe的一个电极的电位之差。此外，图29B1的图表的纵轴所示的极化量(或极化)也可以在负电荷偏于电容器Fe的另一个电极一侧且正电荷偏于电容器Fe的一个电极一侧时为正值，并且在负电荷偏于电容器Fe的一个电极一侧且正电荷偏于电容器Fe的另一个电极一侧时为负值。

[0507] 如图29B1所示，铁电层的滞后特性可以以曲线51及曲线52表示。将曲线51和曲线52的交点的电压作为VSP及-VSP。可以说，VSP和-VSP的极性不同。

[0508] 当在对铁电层施加-VSP以下的电压之后提高施加到铁电层的电压时，铁电层极化量根据曲线51增加。另一方面，当对铁电层施加VSP以上的电压之后降低施加到铁电层的电压时，铁电层的极化量根据曲线52减少。因此，VSP及-VSP可以说是饱和极化电压。注意，有时例如将VSP称为第一饱和极化电压并将-VSP称为第二饱和极化电压。此外，在图29B1中第一饱和极化电压的绝对值和第二饱和极化电压的绝对值相等，但也可以不相等。

[0509] 在此，将当在铁电层的极化量根据曲线51变化的情况下铁电层的极化量为“0”时施加到铁电层的电压作为Vc。此外，将当在铁电层的极化量根据曲线52变化的情况下铁电层的极化量为“0”时施加到铁电层的电压作为Vc。Vc及-Vc可以说是矫顽电压。Vc的值及-Vc的值可以说是-VSP和VSP间的值。注意，有时例如将Vc称为第一矫顽电压并将-Vc称为第二矫顽电压。此外，在图29B1中第一矫顽电压的绝对值和第二矫顽电压的绝对值相等，但也可以不相等。

[0510] 如上所述那样，施加到电容器Fe所包括的铁电层的电压可以以电容器Fe的一个电极的电位和电容器Fe的另一个电极的电位之差表示。此外，如上所述那样，电容器Fe的另一个电极与布线PL电连接。因此，通过控制布线PL的电位，可以控制施加到电容器Fe所包括的铁电层的电压。此外，图29B2是示出呈现理想的铁电体层的极化量的滞后特性的一个例子的图表。图29B2所示的直线52i及直线51i表示理想的铁电体层的极化量。为了得到图29B2

所示的滞后特性,提高铁电材料的结晶性,去除铁电材料中及该材料附近的泄漏成分,以及降低铁电材料的杂质浓度等即可。本发明的一个方式的金属氧化物膜被高纯度化,由此可以被期待接近图29B2所示的呈现理想的铁电体层的极化量的滞后特性的一个例子。

[0511] 〈存储单元的驱动方法的一个例子〉

以下说明图29A所示的存储单元MC的驱动方法的一个例子。在以下说明中,施加到电容器Fe的铁电层的电压表示电容器Fe的一个电极的电位和电容器Fe的另一个电极(布线PL)的电位之差。此外,晶体管Tr为n沟道型晶体管。

[0512] 图29C是示出图29A所示的存储单元MC的驱动方法的一个例子的时序图。图29C示出向存储单元MC写入2值的数字数据并将其读出的例子。具体而言,图29C示出如下例子:在时刻T01至时刻T02向存储单元MC写入数据“1”,在时刻T03至时刻T05进行读出及改写,在时刻T11至时刻T13进行读出并向存储单元MC写入数据“0”,在时刻T14至时刻T16进行读出及改写,并且在时刻T17至时刻T19进行读出并向存储单元MC写入数据“1”。

[0513] 与布线BL电连接的读出放大器被供应Vref作为基准电位。在图29C等所示的读出工作中,在布线BL的电位高于Vref时通过位线驱动电路读出数据“1”。另一方面,在布线BL的电位低于Vref时通过位线驱动电路读出数据“0”。

[0514] 在时刻T01至时刻T02,使布线WL的电位成为高电位。由此,晶体管Tr成为开启状态。此外,使布线BL的电位成为Vw。因为晶体管Tr为开启状态,所以电容器Fe的一个电极的电位成为Vw。并且,布线PL的电位为GND。由此,施加到电容器Fe的铁电层的电压成为“Vw-GND”。由此,可以向存储单元MC写入数据“1”。因此,时刻T01至时刻T02可以说是进行写入工作的期间。

[0515] 在此,Vw优选为VSP以上,例如优选相等于VSP。此外,GND例如可以为接地电位,但如果可以以满足本发明的一个方式的宗旨的方式驱动存储单元MC,就不需为接地电位。例如,当第一饱和极化电压的绝对值和第二饱和极化电压的绝对值不同且第一矫顽电压的绝对值和第二矫顽电压的绝对值不同时,GND可以为接地之外的电位。

[0516] 在时刻T02至时刻T03,使布线BL的电位及布线PL的电位成为GND。由此,施加到电容器Fe的铁电层的电压成为0V。在时刻T01至时刻T02施加到电容器Fe的铁电层的电压“Vw-GND”可以为VSP以上,由此在时刻T02至时刻T03,电容器Fe的铁电层的极化量根据图29B1所示的曲线52变化。由此,在时刻T02至时刻T03,电容器Fe的铁电层中不发生极化反转。

[0517] 使布线BL的电位及布线PL的电位成为GND,然后使布线WL的电位成为低电位。由此,晶体管Tr成为关闭状态。由此,写入工作结束,数据“1”保持在存储单元MC中。注意,如果电容器Fe的铁电层中不发生极化反转,即施加到电容器Fe的铁电层的电压为第二矫顽电压的-Vc以上,布线BL及布线PL的电位就可以为任意电位。

[0518] 在时刻T03至时刻T04,使布线WL的电位成为高电位。由此,晶体管Tr成为开启状态。此外,使布线PL的电位成为Vw。使布线PL的电位成为Vw,由此施加到电容器Fe的铁电层的电压成为“GND-Vw”。如上所述那样,在时刻T01至时刻T02施加到电容器Fe的铁电层的电压为“Vw-GND”。因此,电容器Fe的铁电层中发生极化反转。在极化反转中,电流流过布线BL,而布线BL的电位高于Vref。由此,位线驱动电路可以读出存储单元MC所保持的数据“1”。因此,时刻T03至时刻T04可以说是进行读出工作的期间。注意,虽然设想Vref高于GND且低于Vw,但例如也可以高于Vw。

[0519] 因为上述读出是破坏读出,所以存储单元MC所保持的数据“1”消失。于是,在时刻T04至时刻T05,使布线BL及布线PL的电位分别成为Vw及GND。由此,向存储单元MC改写数据“1”。因此,时刻T04至时刻T05可以说是进行改写工作的期间。

[0520] 在时刻T05至时刻T11,使布线BL的电位及布线PL的电位成为GND。然后,使布线WL的电位成为低电位。由此,改写工作结束,数据“1”保持在存储单元MC中。

[0521] 在时刻T11至时刻T12,使布线WL的电位及布线PL的电位分别成为高电位及Vw。因为存储单元MC保持数据“1”,所以布线BL的电位高于Vref,而存储单元MC所保持的数据“1”被读出。因此,时刻T11至时刻T12可以说是进行读出工作的期间。

[0522] 在时刻T12至时刻T13,使布线BL的电位成为GND。因为晶体管Tr为开启状态,所以电容器Fe的一个电极的电位成为GND。此外,布线PL的电位为Vw。由此,施加到电容器Fe的铁电层的电压成为“GND-Vw”。由此,可以向存储单元MC写入数据“0”。因此,时刻T12至时刻T13可以说是进行写入工作的期间。

[0523] 在时刻T13至时刻T14,使布线BL的电位及布线PL的电位成为GND。由此,施加到电容器Fe的铁电层的电压成为0V。在时刻T12至时刻T13施加到电容器Fe的铁电层的电压“GND-Vw”可以为-VSP以下,由此在时刻T13至时刻T14,电容器Fe的铁电层的极化量根据图29B1所示的曲线51变化。由此,在时刻T13至时刻T14,电容器Fe的铁电层中不发生极化反转。

[0524] 使布线BL的电位及布线PL的电位成为GND,然后使布线WL的电位成为低电位。由此,晶体管Tr成为关闭状态。由此,写入工作结束,数据“0”保持在存储单元MC中。注意,如果电容器Fe的铁电层中不发生极化反转,即施加到电容器Fe的铁电层的电压为第一矫顽电压的Vc以下,布线BL及布线PL的电位就可以为任意电位。

[0525] 在时刻T14至时刻T15,使布线WL的电位成为高电位。由此,晶体管Tr成为开启状态。此外,使布线PL的电位成为Vw。使布线PL的电位成为Vw,由此施加到电容器Fe的铁电层的电压成为“GND-Vw”。如上所述那样,在时刻T12至时刻T13施加到电容器Fe的铁电层的电压为“GND-Vw”。因此,电容器Fe的铁电层中不发生极化反转。因此,流过布线BL的电流量比电容器Fe的铁电层中发生极化反转的情况更小。由此,布线BL的电位的上升幅度比电容器Fe的铁电层中发生极化反转的情况更小,具体而言,布线BL的电位成为Vref以下。由此,位线驱动电路可以读出存储单元MC所保持的数据“0”。因此,时刻T14至时刻T15可以说是进行读出工作的期间。

[0526] 在时刻T15至时刻T16,使布线BL的电位成为GND,布线PL的电位为Vw。由此,向存储单元MC改写数据“0”。因此,时刻T15至时刻T16可以说是进行改写工作的期间。

[0527] 在时刻T16至时刻T17,使布线BL的电位及布线PL的电位成为GND。然后,使布线WL的电位成为低电位。由此,改写工作结束,数据“0”保持在存储单元MC中。

[0528] 在时刻T17至时刻T18,使布线WL的电位及布线PL的电位分别成为高电位及Vw。因为存储单元MC保持数据“0”,所以布线BL的电位低于Vref,而存储单元MC所保持的数据“0”被读出。因此,时刻T17至时刻T18可以说是进行读出工作的期间。

[0529] 在时刻T18至时刻T19,使布线BL的电位成为Vw。因为晶体管Tr为开启状态,所以电容器Fe的一个电极的电位成为Vw。此外,布线PL的电位为GND。由此,施加到电容器Fe的铁电层的电压成为“Vw-GND”。由此,可以向存储单元MC写入数据“1”。因此,时刻T18至时刻T19可

以说是进行写入工作的期间。

[0530] 在时刻T19之后，使布线BL的电位及布线PL的电位成为GND。然后，使布线WL的电位成为低电位。由此，写入工作结束，数据“1”保持在存储单元MC中。

[0531] 本实施方式所示的结构、方法等可以与本实施方式所示的其他结构、方法、其他实施方式所示的结构、方法等适当地组合而实施。

[0532] (实施方式5)

在本实施方式中，说明使用上述实施方式所示的半导体装置的存储装置的应用例子。上述实施方式所示的半导体装置例如可以应用于各种电子设备(例如，信息终端、计算机、智能手机、电子书阅读器、数码相机(也包括摄像机)、录像再现装置、导航系统等)的存储装置。注意，在此，计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。或者，上述实施方式所示的半导体装置应用于存储卡(例如，SD卡)、USB存储器、SSD(固态硬盘)等各种可移动存储装置。图30A至图30E示意性地示出可移动存储装置的几个结构例子。例如，上述实施方式所示的半导体装置加工为被封装的存储器芯片并用于各种存储装置或可移动存储器。

[0533] 图30A是USB存储器的示意图。USB存储器1100包括外壳1101、盖子1102、USB连接器1103及衬底1104。衬底1104被容纳在外壳1101中。例如，衬底1104上安装有存储器芯片1105及控制器芯片1106。可以将上述实施方式所示的半导体装置组装于存储器芯片1105等。由此，可以使USB存储器1100的存储容量更大。

[0534] 图30B是SD卡的外观示意图，图30C是SD卡的内部结构的示意图。SD卡1110包括外壳1111、连接器1112及衬底1113。衬底1113被容纳在外壳1111中。例如，衬底1113上安装有存储器芯片1114及控制器芯片1115。通过在衬底1113的背面一侧也设置存储器芯片1114，可以增大SD卡1110的容量。此外，也可以将具有无线通信功能的无线芯片设置于衬底1113。由此，通过主机装置与SD卡1110之间的无线通信，可以进行存储器芯片1114的数据的读出及写入。可以将上述实施方式所示的半导体装置组装于存储器芯片1114等。由此，可以使SD卡1110的存储容量更大。

[0535] 图30D是SSD的外观示意图，图30E是SSD的内部结构的示意图。SSD1150包括外壳1151、连接器1152及衬底1153。衬底1153被容纳在外壳1151中。例如，衬底1153上安装有存储器芯片1154、存储器芯片1155及控制器芯片1156。存储器芯片1155为控制器芯片1156的工作存储器，例如，可以使用DOSRAM芯片。通过在衬底1153的背面一侧也设置存储器芯片1154，可以增大SSD1150的容量。可以将上述实施方式所示的半导体装置组装于存储器芯片1154等。由此，可以使SSD1150的存储容量更大。

[0536] 以上，本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0537] (实施方式6)

根据本发明的一个方式的半导体装置可以应用于如CPU、GPU等处理器或芯片。通过将上述实施方式所示的半导体装置应用于CPU、GPU等处理器或芯片，可以使它们小型化并使存储容量更大。图31A至图31H示出具有根据本发明的一个方式的如CPU、GPU等处理器或芯片的电子设备的具体例子。

[0538] <电子设备及系统>

根据本发明的一个方式的GPU或芯片可以安装在各种各样的电子设备。作为电子设备的例子，例如除了电视装置、用于台式或笔记本式信息终端等的显示器、数字标牌(Digital Signage)、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外，还可以举出数码相机、数码摄像机、数码相框、电子书阅读器、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。此外，通过将根据本发明的一个方式的GPU或芯片设置在电子设备中，可以使电子设备具备人工智能。

[0539] 本发明的一个方式的电子设备也可以包括天线。通过使用天线接收信号，可以在显示部上显示影像、信息等。此外，在电子设备包括天线及二次电池时，可以将天线用于非接触电力传送。

[0540] 本发明的一个方式的电子设备也可以包括传感器(该传感器具有测定如下因素的功能：力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0541] 本发明的一个方式的电子设备可以具有各种功能。例如，可以具有如下功能：将各种信息(静态图像、动态图片、文字图像等)显示在显示部上的功能；触控面板的功能；显示日历、日期或时间等的功能；执行各种软件(程序)的功能；进行无线通信的功能；读出储存在存储介质中的程序或数据的功能；等。图31A至图31H示出电子设备的例子。

[0542] [信息终端]

图31A示出信息终端之一的移动电话机(智能手机)。信息终端5100包括外壳5101及显示部5102，作为输入接口在显示部5102中具备触控面板，并且在外壳5101上设置有按钮。

[0543] 通过将本发明的一个方式的芯片应用于信息终端5100，可以执行利用人工智能的应用程序。作为利用人工智能的应用程序，例如，可以举出识别会话来将该会话的内容显示在显示部5102上的应用程序、识别由使用者输入到显示部5102所具备的触控面板的文字或图形等来将该文字或该图形显示在显示部5102上的应用程序、执行指纹、声纹等的生物识别的应用程序等。

[0544] 图31B示出笔记本式信息终端5200。笔记本式信息终端5200包括信息终端主体5201、显示部5202及键盘5203。

[0545] 与上述信息终端5100同样，通过将本发明的一个方式的芯片应用于笔记本式信息终端5200，可以执行利用人工智能的应用程序。作为利用人工智能的应用程序，例如，可以举出设计支援软件、文章校对软件、菜单自动生成软件等。此外，通过使用笔记本式信息终端5200，可以研发新颖的人工智能。

[0546] 注意，在上述例子中，图31A及图31B分别示出智能手机及笔记本式信息终端作为电子设备的例子，但是也可以应用智能手机及笔记本式信息终端以外的信息终端。作为智能手机及笔记本式信息终端以外的信息终端，例如可以举出PDA(Personal Digital Assistant：个人数码助理)、台式信息终端、工作站等。

[0547] [游戏机]

图31C示出作为游戏机的一个例子的便携式游戏机5300。便携式游戏机5300包括外壳5301、外壳5302、外壳5303、显示部5304、连接部5305及操作键5306等。可以将外壳5302及外壳5303从外壳5301拆卸。通过将设在外壳5301中的连接部5305安装到其他外壳(未图

示)，可以将输出到显示部5304的影像输出到其他视频显示设备(未图示)。此时，外壳5302及外壳5303分别可以被用作操作部。由此，多个游戏玩者可以同时玩游戏。可以将上述实施方式所示的芯片嵌入到设置在外壳5301、外壳5302及外壳5303的衬底的芯片等。

[0548] 此外，图31D示出游戏机之一的固定式游戏机5400。固定式游戏机5400以无线或有线连接有控制器5402。

[0549] 通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5300及固定式游戏机5400等游戏机，可以实现低功耗的游戏机。此外，借助于低功耗，可以降低来自电路的发热，由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0550] 再者，通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5300，可以实现具备人工智能的便携式游戏机5300。

[0551] 游戏的进展、游戏中出现的生物的言行、游戏上发生的现象等的表现本来是由该游戏所具有的程序规定的，但是通过将人工智能应用于便携式游戏机5300，可以实现不局限于游戏的程序的表现。例如，可以实现游戏玩者提问的内容、游戏的进展情况、时间、游戏上出现的人物的言行变化等的表现。

[0552] 此外，当使用便携式游戏机5300玩需要多个游戏玩者的游戏时，可以利用人工智能构成拟人的游戏玩者，由此可以将人工智能的游戏玩者当作对手，一个人也可以玩多个人玩的游戏。

[0553] 虽然图31C及图31D示出便携式游戏机及固定式游戏机作为游戏机的一个例子，但是应用本发明的一个方式的GPU或芯片的游戏机不局限于此。作为应用本发明的一个方式的GPU或芯片的游戏机，例如可以举出设置在娱乐设施(游戏中心，游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0554] [大型计算机]

可以将本发明的一个方式的GPU或芯片应用于大型计算机。

[0555] 图31E示出作为大型计算机的一个例子的超级计算机5500。图31F示出超级计算机5500所包括的机架(rack mount)式计算机5502。

[0556] 超级计算机5500包括机架5501及多个机架式计算机5502。注意，多个计算机5502容纳在机架5501中。此外，计算机5502设有多个衬底5504，在该衬底上可以安装上述实施方式所说明的GPU或芯片。

[0557] 超级计算机5500主要是适合于科学计算的大型计算机。科学计算需要以高速进行庞大的运算，因此功耗大且芯片的发热高。通过将本发明的一个方式的GPU或芯片应用于超级计算机5500，可以实现低功耗的超级计算机。此外，借助于低功耗，可以降低来自电路的发热，由此可以减少因发热而给电路本身、外围电路及模块带来的负面影响。

[0558] 在图31E及图31F中，作为大型计算机的一个例子示出超级计算机，然而应用本发明的一个方式的GPU或芯片的大型计算机不局限于此。作为应用本发明的一个方式的GPU或芯片的大型计算机，例如可以举出提供服务的计算机(服务器)、大型通用计算机(主机)等。

[0559] [移动体]

本发明的一个方式的GPU或芯片可以应用于作为移动体的汽车及汽车的驾驶席周边。

[0560] 图31G是示出移动体的一个例子的汽车室内的前挡风玻璃周边的图。图31G示出安

装在仪表盘的显示面板5701、显示面板5702、显示面板5703以及安装在支柱的显示面板5704。

[0561] 通过显示速度表、转速计、行驶距离、燃料表、排档状态、空调的设定，显示面板5701至显示面板5703可以提供各种信息。此外，使用者可以根据喜好适当地改变显示面板所显示的显示内容及布局等，可以提高设计性。显示面板5701至显示面板5703还可以用作照明装置。

[0562] 通过将由设置在汽车的摄像装置(未图示)拍摄的影像显示在显示面板5704上，可以弥补被支柱遮挡的视野(死角)。也就是说，通过显示由设置在汽车外侧的摄像装置拍摄的影像，可以弥补死角，从而可以提高安全性。此外，通过显示弥补看不到的部分的影像，可以更自然、更舒适地确认安全。显示面板5704还可以用作照明装置。

[0563] 因为可以将本发明的一个方式的GPU或芯片用作人工智能的构成要素，例如可以将该芯片用于汽车的自动驾驶系统。该芯片也可以用于进行导航、危险预测等的系统。此外，可以在显示面板5701至显示面板5704上显示导航、危险预测等信息。

[0564] 虽然在上述例子中作为移动体的一个例子说明了汽车，但是移动体不局限于汽车。例如，作为移动体，也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等，可以对这些移动体应用本发明的一个方式的芯片，以提供利用人工智能的系统。

[0565] [电器产品]

图31H示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。

[0566] 通过将本发明的一个方式的芯片应用于电冷藏冷冻箱5800，可以实现具备人工智能的电冷藏冷冻箱5800。通过利用人工智能，可以使电冷藏冷冻箱5800具有基于储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等自动生成菜单的功能、根据所储存的食品自动调整电冷藏冷冻箱5800的温度的功能。

[0567] 作为电器产品的一个例子说明了电冷藏冷冻箱，但是作为其他电器产品，例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空調机、洗衣机、干衣机、视听设备等。

[0568] 在本实施方式中说明的电子设备、该电子设备的功能、人工智能的应用例子以及其效果等可以与其他的电子设备的记载适当地组合而实施。

[0569] 以上，本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[实施例1]

[0570] 在本实施例中，作为呈现铁电性的绝缘体，制造氧化铪锆(HfZrOx)，并说明该绝缘体的电压-极化特性及疲劳特性等的测量结果。

[0571] <样品结构>

图32A是示出用于评价的样品800的外观的光学显微镜照片。图32B是样品800的截面示意图。

[0572] 样品800使用单晶硅作为衬底801而形成。具体而言，在衬底801上形成作为绝缘体802的厚度为100nm的热氧化膜，在绝缘体802上形成被用作下部电极的导电体803(导电体

803a及导电体803b)，在导电体803上形成绝缘体804，并且在绝缘体804上形成被用作上部电极的导电体805(导电体805a及导电体805b)。

[0573] 此外，在导电体803、绝缘体804以及导电体805上形成绝缘体806。此外，在绝缘体806上形成与导电体803电连接的导电体807及与导电体805电连接的导电体808。导电体807及导电体808被用作被输入测量信号的电极。

[0574] 此外，导电体803、导电体805、导电体807、导电体808、设置在绝缘体806及绝缘体804中的接触孔通过使用现有的光刻法及蚀刻法而形成。

[0575] 作为样品800，分别制造被用作上部电极的导电体805的形成条件及上部电极形成后的热处理条件互不相同的三个样品(样品800A、样品800B以及样品800C)。

[0576] 表1示出样品800A、样品800B以及样品800C的每一个所具备的导电体803a、导电体803b、绝缘体804、导电体805a以及导电体805b的成膜条件。

[0577] 虽然未记载于表1，但是作为绝缘体806使用PECVD法形成厚度为200nm的氧氮化硅。此外，作为导电体807及导电体808，使用溅射(SP)法形成厚度为50nm的Ti、厚度为200nm的Al以及厚度为50nm的Ti的三层叠层膜。

[0578] 样品800A及样品800B的导电体805a使用溅射法而形成，样品800C的导电体805a使用金属CVD(MCVD)法而形成。此外，样品800B在形成之后被进行利用RTA法的热处理。表1还示出该热处理条件。

[0579] [表1]

样品名称	800A	800B	800C
样品形成后热处理条件	无	热处理方法：RTA 热处理温度：500℃ 加热气氛：氮 加热时间：60sec	无
805b	成膜方法：SP 法 组成：W，厚度：20nm 成膜温度：130℃		成膜方法：SP 法 组成：W，厚度：20nm 成膜温度：130℃
805a	成膜方法：SP 法 组成：TiNx，厚度：10nm 成膜温度：室温（没有加热）		成膜方法：MCVD 法 组成：TiNx，厚度：10nm 成膜温度：400℃
804	成膜方法：ALD 法，组成：HfZrOx，厚度：10nm 前驱物：氯化物类前驱物，氧化剂：H_2O，成膜温度：300℃		
803b	成膜方法：MCVD 法，组成：TiNx，厚度：10nm 成膜温度：400℃		
803a	成膜方法：SP 法，组成：W，厚度：30nm 成膜温度：130℃		

[0580] <测量及分析>

对导电体807与导电体803间施加电压幅值为3V且频率为100Hz的三角波，以测量绝缘体804的自发极化的变化(P-E特性)。图32C示出输入电压波形。此外，关于作为样品800A、样品800B以及样品800C的每一个中的绝缘体804的HfZrOx膜，使用作为XRD分析法之一的掠入射X射线衍射法(GIXD:Grazing Incident X-ray Diffraction)调查了结晶状态。

[0581] 在此，说明使用三角波的P-E特性的取得方法。首先，对被测量样品(电容器)的两个电极间施加作为三角波的输入电压V(图33A)，以测量流过该电极间的电流(输出电流I)(图33B)。此外，图33A及图33B的横轴表示经过时间t。其次，求出表示输入电压V与输出电流I的关系的I-V特性(图33C)。

[0582] 接着，通过使用算式(1)将输出电流I转换为极化P，取得P-E特性(图33D)。

[0583] [算式1]

$$P = \frac{1}{A}\int I(t)dt \quad \cdots \quad (1)$$

[0584] 在算式(1)中，A表示电容器的两个电极重叠处的面积。

[0585] 此外，根据Q＝CV，可以求出输入电压V与容量C的关系(图33E)。此外，还可以求出输入电压V与相对介电常数εr的关系(图33F)。

[0586] 图34A示出样品800A、样品800B以及样品800C的P-E特性测量结果。图34A分别示出施加到每个样品中的绝缘体804的电场强度E与极化P的关系。图34B示出GIXD测量结果。图34B分别示出每个样品的X射线衍射角度(2θ)与所检出的信号强度的关系。

[0587] 由图34A可知，在三个样品(样品800A、样品800B以及样品800C)中得到了滞后特性，三个样品起到铁电体作用。还可知：样品800A的极化量小于样品800B及样品800C的极化量(在P-E特性中是指电场强度E为0时的最大极化与最小极化的差异)，其更接近于顺电体。

[0588] 由图34B可知，三个样品都没在检出单斜晶(m:monoclinic crystal)的衍射角度附近检测出信号强度峰而在表示正交晶(o:orthorhombic crystal)、四方晶(t:tetragonal crystal)或立方晶(c:cubic crystal)的衍射角度附近检测出信号强度峰。根据图34A所示的测量结果，可以推测检测出起到铁电体作用的正交晶。此外，由图34B也可知，样品800A比样品800B及样品800C更接近于顺电体。

[0589] 一般来说，铁电体的极化量(滞后特性)越大越好。当对其导电体805a通过溅射法形成的样品800A和样品800B进行比较时，可知样品形成后不经热处理的样品800A不能得到较大的滞后特性。另一方面，其导电体805a通过金属CVD法形成的样品800C即使在样品形成后不经热处理也可以得到与经热处理的样品800B等同的极化量(滞后特性)。通过使用金属CVD法形成导电体805a，可以减少样品的制造工序。

[0590] 对于如上所述那样制造的样品800A至样品800C的绝缘体804及其附近，使用日立高新技术公司制造的“H-9500”以加速电压300kV拍摄了截面TEM图像。图35A、图36A以及图37A分别示出样品800A、样品800B以及样品800C的截面TEM图像。

[0591] 再者，还对图35A所示的TEM图像的区域A1及区域A2、图36A所示的TEM图像的区域B1及区域B2、图37A所示的TEM图像的区域C1及区域C2进行了快速傅里叶变换(FFT:Fast Fourier Transform)解析。通过对TEM图像进行FFT解析，可以得到具有与电子衍射图案同样反映了倒格空间信息的图案的FFT图形。例如，有时在具有结晶性的HfZrOx膜的截面TEM图像的FFT图形中观察到明显的斑点。

[0592] 图35B、图36B以及图37B示出FFT解析的结果。图35B示出区域A1的FFT图形，图35C示出区域A2的FFT图形，图36B示出区域B1的FFT图形，图36C示出区域B2的FFT图形，图37B示出区域C1的FFT图形，并且图37C示出区域C2的FFT图形。

[0593] 在样品800B中，观察到区域B1及区域B2中存在着多个明显的斑点。同样，在样品800C中，也观察到区域C1及区域C2中存在着多个明显的斑点。另一方面，在样品800A中，虽然观察到区域A1的斑点，但是不能观察到区域A2中的斑点。也就是说，样品800B及样品800C的结晶性高于样品800A的结晶性。由此可知，极化量大且铁电性更高的样品800B及样品800C具有高结晶性。

[0594] 接着，对于样品800A至样品800C的绝缘体804与导电体805a的界面附近，使用日立高新技术公司制造的“H-9500”以加速电压300kV拍摄了截面TEM图像。图38A示出样品800A的截面TEM图像，图38B示出样品800B的截面TEM图像，并且图38C示出样品800C的截面TEM图像。在图38A至图38C中，要关注的晶格条纹被放大并以实线示出。

[0595] 如图38A所示，在样品800A中，观察到导电体805a中存在着来自TiNx的结晶的晶格

条纹。此外，如图38B所示，在样品800B中，观察到绝缘体804中存在着来自HfZrOx的结晶的晶格条纹。此外，如图38C所示，在样品800C中，观察到导电体805a中存在着来自TiNx的结晶的晶格条纹，并观察到绝缘体804中存在着来自HfZrOx的结晶的晶格条纹。如此，观察到样品800A至样品800C的绝缘体804与导电体805a的界面附近存在着来自TiNx或HfZrOx的结晶的晶格条纹。另一方面，在图38A至图38C的截面TEM图像中，不能观察到绝缘体804与导电体805a的界面附近存在着另一层(例如，TiOx等)。由此可知，即使绝缘体804与导电体805a的界面存在另一层，其厚度也为1nm以下。

[0596] 接着，对于样品800A至样品800C中的绝缘体804与导电体805a的界面附近及绝缘体804与导电体803b的界面附近，使用能量色散X射线能谱法(EDX:Energy Dispersive X-ray spectroscopy)进行了分析。对纵贯于上述界面的直线上的各点进行了该EDX分析。在本说明书等中，有时将这种EDX分析称为线性EDX分析。此外，使用日立高新技术公司制造的“HD-2700”以加速电压200kV进行了该线性EDX分析。

[0597] 在该线性EDX分析中，检测出氧原子[atomic%]及铪原子[atomic%]，以计算出绝缘体804与导电体805a的界面附近及绝缘体804与导电体803b的界面附近的氧原子[atomic%]及铪原子[atomic%]的半值。在绝缘体804与导电体805a的界面附近(或绝缘体804与导电体803b的界面附近)没形成TiOx等的另一层的情况下，氧原子[atomic%]的半值与铪原子[atomic%]的半值一致。但是，在该界面形成有TiOx等的另一层的情况下，氧原子[atomic%]的半值偏移到导电体805a(或导电体803b)一侧。也就是说，氧原子[atomic%]的半值与铪原子[atomic%]的半值的差异被认为相当于TiOx的膜厚度。

[0598] 图39示出线性EDX分析的结果。在图39中，纵轴表示TiOx的厚度[nm]。在图39中，各样品的绝缘体804与导电体805a的界面附近分别被记为800A上部、800B上部、800C上部。此外，在图39中，各样品的绝缘体804与导电体803b的界面附近分别被记为800A下部、800B下部、800C下部。

[0599] 如图39所示，在样品800B中，800B上部的TiOx厚度为0.2nm，800B下部没检出由TiOx膜构成的另一层。同样，在样品800C中，800C上部的TiOx厚度为0.2nm，800C下部没检出由TiOx膜构成的另一层。另一方面，在样品800A中，800A上部的TiOx厚度为0.4nm，800A下部的TiOx厚度为0.3nm。也就是说，样品800B及样品800C的由TiOx膜构成的另一层的厚度易于比样品800A的由TiOx膜构成的另一层的厚度薄。由此可知，有时极化量大且铁电性更高的样品800B及样品800C的由TiOx膜构成的另一层较薄。

[0600] 接着，在样品800C中，评价了被用作绝缘体804的基底的导电体803b的表面粗糙度。

[0601] 首先，在样品800C中，对于截面N1至截面N6，使用日立高新技术公司制造的“HD-2700”的暗场STEM功能拍摄Z衬度像(ZC像:Z Contrast Image)。通过对截面N1至截面N6的ZC像进行图像解析，划出各ZC像的绝缘体804与导电体803b的界面的线。当进行图像解析时，使用用来抽出界面的图像处理软件“ImageJ”。对于截面N1至截面N6的上述界面的线，计算出算术平均表面粗糙度(Ra)及均方根面粗糙度(RMS:Root Mean Square)。

[0602] 图40A示出截面N1至截面N6的Ra[nm]，图40B示出截面N1至截面N6的RMS[nm]。如图40A及图40B所示，关于样品800C中的顶面的粗糙度Ra及RMS，截面N1至截面N6都是1nm以下；截面N1至截面N5都是0.4nm以下。因此，为了在绝缘体804中提高结晶性并呈现铁电性，作为

基底的导电体803b的顶面的粗糙度Ra或RMS可以为2nm以下，优选为1nm以下，更优选为0.8nm以下，进一步优选为0.5nm以下，更进一步优选为0.4nm以下。

[0603] 接着，使用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)分别测量样品800A、样品800B以及样品800C的绝缘体804中的氢(H)浓度、碳(C)浓度、氮(N)浓度以及氯(Cl)浓度。

[0604] 从导电体805b向导电体803a进行了SIMS分析。图41至图44示出SIMS分析结果。图41至图44中的横轴表示以导电体805b的表面为起点的深度，图41中的纵轴表示绝缘体804中的氢浓度，图42中的纵轴表示绝缘体804中的碳浓度，图43中的纵轴表示绝缘体804中的氮浓度，并且图44中的纵轴表示绝缘体804中的氯浓度。此外，在图41至图44中，附记根据膜厚度及SIMS轮廓规定的导电体805b、导电体805a、绝缘体804、导电体803b以及导电体803a的深度方向上的位置。

[0605] 在图41中，曲线811A表示样品800A的SIMS分析结果，曲线811B表示样品800B的SIMS分析结果，并且曲线811C表示样品800C的SIMS分析结果。样品800A、样品800B以及样品800C中的绝缘体804的氢浓度分别为4×10^{20}atoms/cm^3左右、2×10^{20}atoms/cm^3左右、9×10^{19}atoms/cm^3左右。

[0606] 在图42中，曲线812A表示样品800A的SIMS分析结果，曲线812B表示样品800B的SIMS分析结果，并且曲线812C表示样品800C的SIMS分析结果。样品800A、样品800B以及样品800C中的绝缘体804的碳浓度分别为9×10^{18}atoms/cm^3左右、1×10^{19}atoms/cm^3左右、6×10^{18}atoms/cm^3左右(参照图42)。

[0607] 在图43中，曲线813A表示样品800A的SIMS分析结果，曲线813B表示样品800B的SIMS分析结果，并且曲线813C表示样品800C的SIMS分析结果。样品800A、样品800B以及样品800C中的绝缘体804的氮浓度都是约8×10^{20}atoms/cm^3以下。

[0608] 在图44中，曲线814A表示样品800A的SIMS分析结果，曲线814B表示样品800B的SIMS分析结果，并且曲线814C表示样品800C的SIMS分析结果。样品800A、样品800B以及样品800C中的绝缘体804的氯浓度都是1×10^{21}atoms/cm^3左右。

[0609] 由图41及图42可知，通过热ALD法形成导电体805a的样品800C中的绝缘体804的氢浓度和碳浓度都最小。由图43可知，绝缘体804的氮浓度虽然可能受到与其相邻的氮化钛(TiNx)的影响但是为约8×10^{20}atoms/cm^3以下。由图44及图34可知，在绝缘体804中存在1×10^{21}atoms/cm^3左右的氯也不会成为阻碍呈现铁电性的主要原因。

[0610] 此外，绝缘体804中的氢浓度优选为5×10^{20}atoms/cm^3以下，更优选为1×10^{20}atoms/cm^3以下。此外，绝缘体804中的碳浓度优选为5×10^{19}atoms/cm^3以下，更优选为1×10^{19}atoms/cm^3以下。

[实施例2]

[0611] 在本实施例中，说明对实施例1所示的样品800B及样品800C进行疲劳特性测量的结果。对于两个样品800B(样品800B_1、样品800B_2)、三个样品800C(样品800C_1、样品800C_2、样品800C_3)，进行了疲劳特性测量。样品800B_1及样品800B_2是以与样品800B相同的条件形成在同一衬底上的彼此不同的元件。样品800C_1、样品800C_2以及样品800C_3是以与样品800B相同的条件形成在同一衬底上的彼此不同的元件。

[0612] 图45A示出样品800B_1及样品800B_2的疲劳特性的测量结果。图45B示出样品

800C_1及样品800C_2的疲劳特性的测量结果。图46B示出样品800C_3的疲劳特性的测量结果。在图45A、图45B以及图46B中，横轴表示循环次数，纵轴表示极化P。

[0613] 具体而言，以将电压幅值为3V且频率为100Hz的矩形角波施加1周期为1次循环，按照每个规定的循环次数使用实施例1所示的三角波测量P-E特性，以取得电场强度E为0时的最小极化及最大极化。

[0614] 图45A及图45B示出按照每个规定循环次数测得的电场强度E为0时的最小极化及最大极化的值。

[0615] 样品800B_1及样品800C_1在经1×10^{8}次循环后停止测量，而样品800B_2及样品800C_2在经1×10^{8}次循环后也继续进行测量。虽然示出样品800B_2在经8.6×10^{10}次循环后的测量结果，但是随后也继续进行测量，而样品800C_2在经4.6×10^{9}次循环后损坏。

[0616] 样品800C_3在经1×10^{10}次循环后停止测量。图46A示出样品800C_3中的初始P-E特性(曲线821)及经1×10^{10}次循环后的P-E特性(曲线822)。由此可知，相比于图9(记于非专利文献2中的疲劳特性)，样品800B_1、样品800B_2、样品800C_1、样品800C_2以及样品800C_3的疲劳特性的变化缓慢。因此，可以期待实现1×10^{15}次循环以上的疲劳耐性。

[实施例3]

[0617] 在本实施例中，说明制造作为呈现铁电性的绝缘体的氧化铪锆(HfZrOx)来评价该绝缘体的电压-极化特性、疲劳特性等的结果。

[0618] <样品结构>

关于用于评价的样品830的外观以及截面示意图可以参照实施例1的有关样品800的记载，由此省略详细说明。

[0619] 样品830使用单晶硅作为衬底801而形成。具体而言，在衬底801上形成作为绝缘体802的厚度为100nm的热氧化膜，在绝缘体802上形成被用作下部电极的导电体803(导电体803a及导电体803b)，在导电体803上形成绝缘体804，并且在绝缘体804上形成被用作上部电极的导电体805(导电体805a及导电体805b)。

[0620] 此外，在导电体803、绝缘体804以及导电体805上形成绝缘体806。此外，在绝缘体806上形成与导电体803电连接的导电体807及与导电体805电连接的导电体808。导电体807及导电体808被用作被输入测量信号的电极。

[0621] 此外，导电体803、导电体805、导电体807、导电体808、设置在绝缘体806及绝缘体804中的接触孔通过使用现有的光刻法及蚀刻法而形成。

[0622] 作为样品830，一共制造了16个样品(样品830A至样品830P)，其中绝缘体804的形成条件及厚度、被用作上部电极的导电体805的形成条件、上部电极形成后的热处理条件互不相同。

[0623] <样品制造条件>

表2至表5示出样品830A至样品830P的每一个所具备的导电体803a、导电体803b、绝缘体804、导电体805a以及导电体805b的成膜条件。

[0624] 虽然未记载于表2至表5，但是作为绝缘体806使用PECVD法形成厚度为200nm的氧氮化硅。此外，作为导电体807及导电体808，使用溅射(SP)法形成厚度为50nm的Ti、厚度为200nm的Al以及厚度为50nm的Ti的三层叠层膜。

[0625] 样品830A至样品830H的绝缘体804通过使用无机前驱物的ALD法而形成。具体而

言，在样品830A至样品830H中，使用$HfCl_4$(氯化铪)及$ZrCl_4$(氯化锆)作为无机前驱物，并使用H_2O(水)作为氧化剂。

[0626] 样品830I至样品830P的绝缘体804通过使用有机前驱物的ALD法而形成。具体而言，在样品830I至样品830P中，使用$Hf[N(CH_3)_2]_4$(TEMAH:Tetrakis(ethylmethylamino)hafnium)及$Zr(Cp)[(N(CH_3)_2]_3$(Cyclopentadienyltris(dimethylamino)zirconium)作为有机前驱物，并使用O_3(臭氧)作为氧化剂。

[0627] 样品830A、样品830E、样品830I以及样品830M的绝缘体804的厚度为4nm。样品830B、样品830F、样品830J以及样品830N的绝缘体804的厚度为6nm。样品830C、样品830G、样品830K以及样品830O的绝缘体804的厚度为8nm。样品830D、样品830H、样品830L以及样品830P的绝缘体804的厚度为10nm。

[0628] 样品830A至样品830D、样品830I至样品830L的导电体805a使用金属CVD(MCVD)法而形成。样品830E至样品830H、样品830M至样品830P的导电体805a使用溅射法而形成。此外，样品830E至样品830H、样品830M至样品830P在形成后被进行了使用RTA法的热处理。表2至表5还示出该热处理条件。

[0629] [表2]

<table>
<tr><td>样品名称</td><td>830A</td><td>830B</td><td>830C</td><td>830D</td></tr>
<tr><td>样品形成后热处理条件</td><td colspan="4">无</td></tr>
<tr><td>805b</td><td colspan="4">成膜方法：SP 法，组成：W，厚度：20nm
成膜温度：130℃</td></tr>
<tr><td>805a</td><td colspan="4">成膜方法：MCVD 法，组成：TiNx，厚度：10nm
成膜温度：400℃</td></tr>
<tr><td rowspan="2">804</td><td colspan="4">成膜方法：ALD 法，组成：HfZrOx
前驱物：无机前驱物，氧化剂：H_2O，成膜温度：300℃</td></tr>
<tr><td>厚度：4nm</td><td>厚度：6nm</td><td>厚度：8nm</td><td>厚度：10nm</td></tr>
<tr><td>803b</td><td colspan="4">成膜方法：MCVD 法，组成：TiNx，厚度：10nm
成膜温度：400℃</td></tr>
<tr><td>803a</td><td colspan="4">成膜方法：SP 法，组成：W，厚度：30nm
成膜温度：130℃</td></tr>
</table>

[0630] [表3]

样品名称	830E	830F	830G	830H
样品形成后热处理条件	热处理方法：RTA，热处理温度：500℃ 加热气氛：氮，加热时间：60sec			
805b	成膜方法：SP 法，组成：W，厚度：20nm 成膜温度：130℃			
805a	成膜方法：SP 法，组成：TiNx，厚度：10nm 成膜温度：室温（没有加热）			
804	成膜方法：ALD 法，组成：HfZrOx 前驱物：无机前驱物，氧化剂：H_2O，成膜温度：300℃			
	厚度：4nm	厚度：6nm	厚度：8nm	厚度：10nm
803b	成膜方法：MCVD 法，组成：TiNx，厚度：10nm 成膜温度：400℃			
803a	成膜方法：SP 法，组成：W，厚度：30nm 成膜温度：130℃			

[0631] [表4]

样品名称	830I	830J	830K	830L
样品形成后热处理条件	无			
805b	成膜方法：SP 法，组成：W，厚度：20nm 成膜温度：130℃			
805a	成膜方法：MCVD 法，组成：TiNx，厚度：10nm 成膜温度：400℃			
804	成膜方法：ALD 法，组成：HfZrOx 前驱物：有机前驱物，氧化剂：O_3，成膜温度：250℃			
	厚度：4nm	厚度：6nm	厚度：8nm	厚度：10nm
803b	成膜方法：MCVD 法，组成：TiNx，厚度：10nm 成膜温度：400℃			
803a	成膜方法：SP 法，组成：W，厚度：30nm 成膜温度：130℃			

[0632] [表5]

样品名称	830M	830N	830O	830P
样品形成后热处理条件	热处理方法：RTA，热处理温度：500℃ 加热气氛：氮，加热时间：60sec			
805b	成膜方法：SP 法，组成：W，厚度：20nm 成膜温度：130℃			
805a	成膜方法：SP 法，组成：TiNx，厚度：10nm 成膜温度：室温（没有加热）			
804	成膜方法：ALD 法，组成：HfZrOx 前驱物：有机前驱物，氧化剂：O_3，成膜温度：250℃			
	厚度：4nm	厚度：6nm	厚度：8nm	厚度：10nm
803b	成膜方法：MCVD 法，组成：TiNx，厚度：10nm 成膜温度：400℃			
803a	成膜方法：SP 法，组成：W，厚度：30nm 成膜温度：130℃			

[0633] <P-E特性>

对导电体807与导电体803间施加电压幅值为3V且频率为100Hz的三角波，以测量绝缘体804的自发极化的变化(P-E特性)。关于输入电压波形及P-E特性的取得方法可以参照实施例1的记载，由此省略详细说明。

[0634] 图47示出样品830A至样品830H的P-E特性测量结果。图48示出样品830I至样品830P的P-E特性测量结果。图47及图48分别示出施加到各样品中的绝缘体804的电场强度E与极化P的关系。

[0635] <I-V特性>

对导电体807与导电体803间施加电压，以测量流过的电流(I-V特性)。

[0636] 图49示出样品830A至样品830H的I-V特性测量结果。图50示出样品830I至样品830P的I-V特性测量结果。图49及图50分别示出各样品的外加电压与流过的电流的关系。

[0637] <GIXD>

此外，关于作为样品830A至样品830P的每一个中的绝缘体804的HfZrOx膜，使用作为XRD分析法之一的掠入射X射线衍射法(GIXD:Grazing Incident X-ray Diffraction)调查了结晶状态。

[0638] 图51示出样品830A至样品830H的GIXD测量结果。图52示出样品830I至样品830P的GIXD测量结果。图51及图52分别示出各样品的X射线的入射角度(2θ)与检出的信号强度的关系。此外，在图51及图52中，以虚线示出HfZrOx的结晶的峰位置，m表示单斜晶

(monoclinic crystal)的峰位置,o表示正交晶(orthorhombic crystal)的峰位置,t表示四方晶(tetragonal crystal)的峰位置,并且c表示立方晶(cubic crystal)的峰位置。在XRD中,难以辨别正交晶(o)、四方晶(t)、立方晶(C)。

[0639] 〈疲劳特性〉

以下说明对上述样品830H及样品830P进行疲劳特性测量的结果。

[0640] 为了测量疲劳特性,以将电压幅值为3V且频率为100Hz的矩形角波施加1周期为1次循环,按照每个规定的循环次数使用上述三角波测量P-E特性,以取得电场强度E为0时的最小极化及最大极化。

[0641] 图53示出样品830H及样品830P的疲劳特性的测量结果。此外,图53的第一段示出疲劳特性测量开始和结束时的P-E特性。图53的第二段示出疲劳特性的测量结果,其中横轴表示循环次数,纵轴表示极化P。图53的第三段示出以疲劳特性测量开始时的极化P归一化的值。

[实施例4]

[0642] 在本实施例中,制造作为呈现铁电性的绝缘体的氧化铪锆(HfZrOx),来说明该绝缘体的相对于电压-极化特性的输入电压(三角波)的频率依赖性的评价结果。

[0643] 〈样品结构〉

关于用于评价的样品的外观以及截面示意图可以参照实施例1的有关样品800的记载,由此省略详细说明。

[0644] 样品使用单晶硅作为衬底801而形成。具体而言,在衬底801上形成作为绝缘体802的厚度为100nm的热氧化膜,在绝缘体802上形成被用作下部电极的导电体803(导电体803a及导电体803b),在导电体803上形成绝缘体804,并且在绝缘体804上形成被用作上部电极的导电体805(导电体805a及导电体805b)。

[0645] 作为导电体803a,使用溅射(SP)法形成厚度为30nm的W。作为导电体803b,使用金属CVD(MCVD)法形成厚度为20nm的TiNx。

[0646] 作为绝缘体804,通过使用无机前驱物的ALD法形成厚度为10nm的氧化铪锆(HfZrOx)。具体而言,使用$HfCl_4$(氯化铪)及$ZrCl_4$(氯化锆)作为无机前驱物,并使用H_2O(水)作为氧化剂。形成氧化铪锆(HfZrOx)时的衬底温度为300℃。

[0647] 作为导电体805a,使用溅射(SP)法形成厚度为10nm的TiNx。作为导电体805b,使用溅射(SP)法形成厚度为20nm的W。

[0648] 此外,在导电体803、绝缘体804以及导电体805上形成绝缘体806。此外,在绝缘体806上形成与导电体803电连接的导电体807及与导电体805电连接的导电体808。导电体807及导电体808被用作被输入测量信号的电极。

[0649] 此外,导电体803、导电体805、导电体807、导电体808、设置在绝缘体806及绝缘体804中的接触孔通过使用现有的光刻法及蚀刻法而形成。

[0650] 此外,在样品形成后,进行了使用RTA法的热处理。热处理条件为氮气氛、500℃、60sec。

[0651] 〈P-E特性〉

对导电体807与导电体803间施加电压幅值为3V的三角波,以测量绝缘体804的自发极化的变化(P-E特性)。在三角波的频率分别为1kHz、100Hz、10Hz的条件下进行了评价。

关于输入电压波形及P-E特性的取得方法可以参照实施例1的记载，由此省略详细说明。

[0652] 图54示出P-E特性测量结果。图54示出施加到绝缘体804的电场强度E与极化P的关系。在图54中，实线831表示频率10Hz的数据，虚线832表示100Hz的数据，并且点线833表示1kHz的数据。

[0653] 图55A及图55B是由图54的点划线表示的区域的放大图。图55C及图55D示出极化P与三角波的频率的关系。图55C示出电场E为0MV/cm时的极化P，图55D示出电场E为3MV/cm(电压3V)时的极化P。

[0654] 由图54、图55A至图55D可知，具有三角波的频率越高极化P越小的趋势。

[实施例5]

[0655] <有关碳的影响的计算>

在本节中，通过计算评价碳对氧化铪锆(HfZrOx)造成的影响。

[0656] 以下说明用于计算的计算模型。

[0657] 首先，准备作为正交晶系的结晶结构的氧化锆的单晶模型。此外，正交晶系的结晶结构的空间群为$Pca2_1$(29)。此外，该单晶模型内的原子个数为96。

[0658] 接着，上述单晶模型所包含的锆原子的一半用铪原子取代。由此，该单晶模型的组成为Hf:Zr:O＝1:1:4。

[0659] 接着，上述单晶模型内的一个铪原子用碳原子取代。使用该单晶模型作为用于第一原理计算的计算模型。图56A示出该计算模型。为了容易理解，未图示原子的一部分。

[0660] 利用图56A所示的计算模型通过计算进行了原子配置的最优化。在该计算中，使用第一原理计算软件VASP(The Vienna Ab initio simulation)。表6示出计算条件。

[0661] [表6]

计算程序	VASP
基底函数	平面波
泛函数	GGA-PBE
赝势	PAW
截止能量	500eV
k点网格	2×2×2

[0662] 电子状态赝势使用通过Projector Augmented Wave(PAW)法生成的势，泛函数使用GGA/PBE(Generalized-Gradient-Approximation/Perdew-Burke-Ernzerhof)。注意，计算模型大小(晶格常数及轴间夹角)恒定。

[0663] 图56B示出经用来使原子配置最优化的计算后的计算模型。为了容易理解，未图示原子的一部分。

[0664] 在计算前计算模型(参照图56A)中，用碳原子取代之前的铪原子上配置有七个氧原子。另一方面，在计算后计算模型(参照图56B)中，碳原子上配置有三个氧原子(由图56B的点划线围绕的区域内的氧原子)。换言之，在计算前计算模型中配置在用碳原子取代之前的铪原子上的其他四个氧原子(由图56A的点划线围绕的区域内的氧原子)经计算后离开碳原子。具体而言，在计算后计算模型中，碳原子和配置在该碳原子上的三个氧原子的距离都是0.13nm左右，而碳原子和离开该碳原子的四个氧原子的距离是0.30nm以上且0.35nm以下。

[0665] 根据上述内容可知，如果碳混入氧化铪锆中，氧化铪锆的结构就失序，难以形成正交晶系的结晶结构。

[0666] 经计算后配置在碳原子上的氧原子(由图56B的点划线围绕的区域内的氧原子)是没有反演对称性，即赋予铁电性的氧原子。该氧原子因被碳原子束缚得较强而可能受到由电场导致的移位的影响。

[0667] 此外，与氧化铪锆的单晶模型相比，经计算后离开碳原子的氧原子(由图56B的点划线围绕的区域内的氧原子)与铪原子或锆原子的键合个数减少了。由此可知，该氧原子容易缺少。

[0668] 根据上述内容可知，如果碳混入氧化铪锆中，就可能给铁电性带来负面影响。换言之，为了使氧化铪锆呈现铁电性，优选降低氧化铪锆中的碳浓度。

[实施例6]

[0669] <保持测量>

在本实施例中，说明对实施例1所示的样品800B进行保持测量的结果。

[0670] 图57A示出保持测量的测量系统。图57B示出保持测量的工作序列。图58A、图58B以及图58C示出保持测量结果。

[0671] 如图57A所示，保持测量的测量系统至少包括脉冲生成器及电流计。在室温下进行了测量。

[0672] 在保持测量中，使用脉冲生成器对样品供应电位，并测量此时流过的电流。以下说明图57B所示的保持测量的工作序列。在期间T1，对样品供应负电位，形成负电位一侧的极化状态。在期间T2经0V的电位后，在期间T3供应两次正电位的脉冲(3V、5sec的矩形波)，形成负电位一侧的极化状态。在此，在期间T3供应两次脉冲的目的是取消定常泄漏。接着，在约10秒的期间T4经0V的电位后，在期间T5供应两次与期间T3同样的正电位的脉冲。期间T4较短，保持样品的极化，由此在期间T5不流过由极化的移位导致的电流，但是存在由泄漏导致的电流。其次，在期间T6，为了进行保持测量，以0V的电位保持10分钟及10小时的两个条件的保持期间。其次，在期间T7，供应两次与期间T3及期间T5同样的正电位的脉冲，以对比流过样品的电流。在此，当在期间T7流过的电流大于在期间T5流过的电流的情况下，在期间T6极化减少的可能性很高。另一方面，当在期间T5流过的电流与在期间T7流过的电流大致相等，或者，在期间T7流过的电流小于在期间T5流过的电流的情况下，可知在期间T6保持极化。

[0673] 作为对样品800B进行保持测量的结果，图58A示出期间T5的电流变化，图58B示出在期间T6保持10分钟后的期间T7的电流变化。图58C示出在期间T6保持10小时后的期间T7的电流变化。当对图58A、图58B以及图58C进行对比时，可知经10小时的保持时间后也不导致期间T7的电流增加，由此样品800B能够保持至少10小时的极化状态。

[实施例7]

[0674] 在本实施例中，以下说明制造1Tr1C(1晶体管、1电容器)的元件结构来测量其电特性的结果。

[0675] 关于P-V特性的取得方法在上述实施例1中进行了说明，由此不进行详细说明。通过对1电容器的一对电极间施加电压幅值为3V且频率为100Hz的三角波，测量绝缘体或介电质的自发极化的变化(P-V特性)。横轴表示作为三角波的输入电压V，纵轴表示使用算式(1)

将输出电流I转换为极化P的值。

[0676] 晶体管可以使用实施方式2所示的制造方法而形成，对晶体管结构没有特别的限制。采用图20A所示的晶体管200，具体地说，平面型电容器100设置在绝缘体285上的结构。图59A示出对比例子、CVD-TiN、SP-TiN的P-V特性测量结果。此外，图59B示出I-V特性测量结果。

[0677] 电极尺寸为1.265μm×1.05μm的300并联，一共有398.5μm^2。

[0678] 作为对比例子，下部电极使用通过溅射法形成的钨膜(衬底温度为130℃，厚度为30nm)和通过金属CVD法形成的氮化钛膜(衬底温度为400℃，厚度为10nm)的叠层，在下部电极上使用通过ALD法形成的氧化铝膜(衬底温度为250℃，厚度为14nm)和通过PECVD法形成的氧氮化硅膜(衬底温度为350℃，厚度为7nm)的叠层，形成在该叠层上的上部电极使用通过金属CVD法形成的氮化钛膜(衬底温度为400℃，厚度为10nm)和通过溅射法形成的钨膜(衬底温度为130℃，厚度为20nm)的叠层。

[0679] 记为CVD-TiN的样品与对比例子的不同点在于夹在下部电极与上部电极之间的薄膜不同。在CVD-TiN中，使用厚度为10nm的HfZrOx膜。HfZrOx膜的成膜条件与实施例1的绝缘体804的成膜条件相同，其中使用ALD法，使用氯化物类前驱物，衬底温度为300℃，并且使用H_2O作为氧化剂。记为CVD-TiN的样品的单位面积的残留极化量Pr大约为12.1。

[0680] 此外，在记为SP-TiN的样品中，夹在下部电极与上部电极之间的薄膜为厚度为10nm的HfZrOx膜，在其上使用通过溅射法形成的氮化钛膜和通过溅射法形成的钨膜(厚度为20nm)的叠层。作为通过溅射法形成的氮化钛膜的成膜条件，衬底温度为室温。记为SP-TiN的样品的单位面积的残留极化量Pr大约为12.8。

[0681] 此外，图60A及图60B示出分别用于对比例子、CVD-TiN、SP-TiN的样品的晶体管的I_D-V_G特性的测量结果。在图60A及图60B中，横轴表示顶栅极电位V_G[V]，第一纵轴表示漏极电流I_D[A]，第二纵轴表示V_D＝0.1V时的场效应迁移率μ_{FE}[cm^2/Vs]。此外，细实线表示V_D＝0.1V时的漏极电流，粗虚线表示V_D＝1.2V时的漏极电流，并且细点线表示V_D＝0.1V时的场效应迁移率。

[0682] 此外，从上述I_D-V_G测量结果计算出各晶体管的漂移电压Vsh，以求出其标准偏差σ(Vsh)。在此，漂移电压Vsh被定义为在晶体管的I_D-V_G曲线中曲线上的倾斜度最大的点的切线与I_D＝1pA的直线交叉的V_G。图60A的记为SP-TiN的样品的标准偏差σ(Vsh)为64mV，该值良好。图60A的记为SP-TiN的样品的场效应迁移率μFE为14cm^2/Vs。

[0683] 从所得到的I_D-V_G曲线算出晶体管的漂移电压(Vsh)及亚阈值摆幅值(S值)。漂移电压(Vsh)定义为在晶体管的I_D-V_G曲线中曲线上的倾斜最大的点的切线与I_D＝1pA的直线交叉的V_G。图60A的记为SP-TiN的样品的S值为107mV/dec。

[0684] 图60B示出以密度8.4/μm^2配置1Tr1C(1晶体管、1电容器)的元件的测量用电路中的一个晶体管的电特性。此外，图60A示出与图60B不同的布局的测量用电路中的一个晶体管的电特性。

[实施例8]

[0685] 在本实施例中，以下说明制造3Tr1C(3晶体管、1电容器)的元件结构，以对其进行写入工作及读出工作来测量电特性的结果。

[0686] 在图61A中，晶体管OS1与栅极线WWL、信号线WBL、节点SN连接。此外，晶体管OS2的

栅极与节点SN连接，晶体管OS2与源极线SL连接。此外，晶体管OS3与栅极线RWL及信号线RBL连接。晶体管OS2的漏电极(或源电极)与晶体管OS3的源电极(或漏电极)电连接。此外，晶体管OS1的背栅极电位BG1和晶体管OS2及晶体管OS3的背栅极电位BG2都是恒定电位，具体地说，0V。

[0687] 图61A示出使用电容器MFM作为1C的例子。电容器MFM具有层叠有下部电极、厚度为10nm的HfZrOx膜以及上部电极的结构。电容器MFM的面积为0.25μm^2。电容器MFM与节点SN及信号线C电连接。

[0688] 下部电极使用通过溅射法形成的钨膜(衬底温度为130℃，厚度为30nm)和通过金属CVD法形成的氮化钛膜(衬底温度为400℃，厚度为10nm)的叠层，上部电极使用通过金属CVD法形成的氮化钛膜(衬底温度为400℃，厚度为10nm)和通过溅射法形成的钨膜(衬底温度为130℃，厚度为20nm)的叠层。

[0689] 此外，晶体管及电容器的制造工序与实施例7所示的记为CVD-TiN的样品相同。

[0690] 接着，进行了测量，以确认将电容器MFM的残留极化的方向作为读出晶体管(晶体管OS3)的电流差异。

[0691] 图62A示出用来测量的时序图的例子。在时序图中，WWL、WBL、C、RWL、SN、RBL等的名称表示被供应时序图所示的电位的布线。虽然在时序图中未示出源极线SL，但是该源极线SL处于被供应规定电位(恒定电位)的状态。

[0692] 首先，参照图62B1及图62B2说明电容器MFM的写入及读出。此外，图62B1示出与图61A相同的等效电路，但是未示出BG1及BG2，因为BG1和BG2都是0V。

[0693] 首先，将栅极线WWL的电位设定为使晶体管OS1成为开启状态的电位，使得晶体管OS1成为开启状态。由此，将信号线WBL的电位供应给晶体管OS2的栅电极。此外，在晶体管OS1处于开启状态的期间的10ms中，对信号线C施加3V。该对电容器MFM施加3V的期间被称为Pr+set期间。晶体管OS2的栅电极被供应规定电荷，但是在本测量方法中，如图62A的时序图所示，信号线WBL的电位一直为0V。此外，如图62B2的右一半所示，对电容器MFM提供作为正向的残留极化(Pr+)的方向(第一写入)。注意，图62B2的右一半所示的箭头对应于图62A中的Pr+set期间的箭头。

[0694] 然后，将栅极线WWL的电位设定为使晶体管OS1成为关闭状态的电位，使得晶体管OS1成为关闭状态。

[0695] 在起到存储单元的作用的情况下，栅极线RWL相当于读出字线，栅极线WWL相当于写入字线，信号线WBL相当于写入位线，并且信号线RBL相当于读出位线。通过使晶体管OS1成为关闭状态，在信号线WBL已被供应0V以外的电位的情况下可以保持晶体管OS2的栅电极已被供应的电荷(保持)。在信号线WBL已被供应电位的情况下，因为晶体管OS1的关态电流极小，所以可以长时间保持晶体管OS2的栅电极的电荷。

[0696] 此外，在上述写入工作期间，晶体管OS3处于关闭状态。

[0697] 接着，通过使晶体管OS1成为关闭状态，使节点SN成为浮动电位，使晶体管OS3成为开启状态，并且对信号线C进行0V至3V的扫描(电位扫描)，由此测量信号线RBL的电流值I_{RBL}。图63A以实线示出此时的电特性(Pr+)，其中纵轴表示电流值I_{RBL}，横轴表示信号线C的电压V_C。

[0698] 接着，将栅极线WWL的电位设定为使晶体管OS1成为开启状态的电位，并且在晶体

管OS1处于开启状态的期间的10ms中，对信号线C施加-3V。该对电容器MFM施加-3V的期间被称为Pr-set期间。就是说，晶体管OS2的栅电极被供应规定电荷，如图62B2的左一半所示，对电容器MFM提供作为负向的残留极化(Pr-)的方向(第二写入)。注意，图62B2的左一半所示的箭头对应于图62A中的Pr-set期间的箭头。

[0699] 此外，在上述写入工作期间，晶体管OS3处于关闭状态。

[0700] 接着，如图62C1所示，通过使晶体管OS1成为关闭状态，使节点SN成为浮动电位，使晶体管OS3成为开启状态，并且对信号线C进行0V至3V的扫描，由此测量信号线RBL的电流值I_{RBL}。图63A以点线示出此时的电特性(Pr-)，其中纵轴表示电流值I_{RBL}，横轴表示信号线C的电压V_C。此外，图62C1示出与图61A相同的等效电路，但是未示出BG1及BG2，因为BG1和BG2都是0V。

[0701] 此外，在图63A中，重叠地示出对电容器MFM施加3V之后进行二十次扫描以及对电容器MFM施加-3V之后进行二十次扫描，即一共四十次扫描的结果。

[0702] 在对信号线C施加3V之后读出的电流值I_{RBL}与在对信号线C施加-3V之后读出的电流值I_{RBL}之间有电流差异。关于该电流差异，可以以图62C2所示的正向的电容器MFM的残留极化的方向及图62C2所示的负向的电容器MFM的残留极化的方向为读出晶体管(晶体管OS3)的电流差异。因此，根据图63A所示的测量结果，可以确认到电容器MFM的残留极化的方向作为读出晶体管(晶体管OS3)的电流差异。

[0703] 此外，在图61A所示的3Tr1C的元件结构中，晶体管OS1在关闭状态下的泄漏电流非常小。由此，通过利用能够保持节点SN的电位的特征，能够进行信息写入、保持、读出。

[0704] 此外，虽然在此只示出一个元件结构的一个存储单元，但是也可以制造由排列为n(行)×m(列)的多个存储单元构成的存储单元阵列。

[0705] 此外，图63B示出使用同一测量方法测量与实施例7的对比例子相同的元件结构的结果。在对比例子中，重叠地示出对电容器MFM施加3V之后进行两次扫描以及对电容器MFM施加-3V之后进行两次扫描，即一共四次扫描的结果。在图63A中，实线表示电特性(Pr+)，点线表示电特性(Pr-)。

[0706] 对比例子的制造工序与实施例7所示的对比例子相同。下部电极使用通过溅射法形成的钨膜(衬底温度为130℃，厚度为30nm)和通过金属CVD法形成的氮化钛膜(衬底温度为400℃，厚度为10nm)的叠层，在下部电极上使用通过ALD法形成的氧化铝膜(衬底温度为250℃，厚度为14nm)和通过PECVD法形成的氧氮化硅膜(衬底温度为350℃，厚度为7nm)的叠层，形成在该叠层上的上部电极使用通过金属CVD法形成的氮化钛膜(衬底温度为400℃，厚度为10nm)和通过溅射法形成的钨膜(衬底温度为130℃，厚度为20nm)的叠层。

[0707] 如图63B所示，在对比例子中确认不到电流差异。

[实施例9]

[0708] <f特性测量>

在本实施例中，示出使用与实施例7同样制造的样品进行了f特性测量的结果。

[0709] 作为特性测量对象的样品结构为图20所示的电容器100，电极尺寸为1.265μm×1.05μm的300个元件通过布线层连接，并且面积A一共有398.5μm^2。

[0710] 图64A示出f特性的测量系统。图64B示出f特性测量的工作序列。图64C及图64D是极化变化的假设图。图65示出保持测量的结果。

[0711] 如图64A所示，f特性的测量系统至少包括脉冲生成器及电流计。在室温下进行了测量。在本实施例中，使用TEKTRONIX公司所制造的DG2020A作为脉冲生成器，并使用KEYSIGHT公司所制造的半导体参数分析仪B1500A作为电流计。

[0712] 在f特性测量中，使用脉冲生成器对样品供应电位，并测量此时流过的电流。以下说明图64B所示的f特性测量的工作序列。在期间T1，对样品供应负电位的脉冲，形成负电位一侧的极化状态。其次，在期间T2保持0V的电位，然后，在期间T3供应正电位的脉冲，以测量流过样品的电流。在此，通过改变在期间T3供应的正电位的脉冲宽度(时间)来在多个条件下进行测量，可以评价极化反转所需的时间。极化反转所需的时间越短，存储元件的改写速度越快，功耗也可以降低，因此这是优选的。在本实施例中，在期间T3将正电位的矩形波脉冲的宽度分别设定为1sec至5nsec，来在多个条件下进行测量。当将矩形波脉冲假设为半周期，1sec、5nsec的条件分别可以被称为0.5Hz、100MHz的条件。接着，在期间T4保持0V的电位，然后，在期间T5供应正电位脉冲十分长时间，以测量流过样品的电流。在此，“十分长时间”是指直到流过样品的电流值几乎没有变化的时间，在本实施例中是指1sec。接着，在期间T6，供应与期间T5同样的正电位的脉冲，以测量流过样品的电流。在此，通过取得在期间T5流过的电荷量与在期间T6流过电荷量的差值ΔC，可以分开期间T5的起因于极化反转的电荷量和起因于泄漏成分等其他原因的电荷量。差值ΔC除以面积A，可以得到作为极化指标的ΔPr。在此，面积A为电容器的两个电极重叠处的面积。通过使用对测量数据进行解析而得到的ΔPr的值及期间T3的脉冲宽度(时间)形成图表，可以知道能够在多长期间使极化反转。此外，虽然不同于本实施例中的测量数据解析，但是也可以在期间T6后进行期间T7及/或期间T8的测量以提高差值ΔC的测量精确度。表7示出f特性测量的工作序列的详细条件。

[0713] [表7]

期间	电压		时间	备考
T1	-2.5V		5sec	
T2	0V		5sec	
T3	2.5V		1sec、100nsec、10nsec、5nsec	0.5Hz、5MHz、50MHz、100MHz
T4	0V		5sec	
T5	高	2.5V	1sec	
	低	0V	1sec	
T6	高	2.5V	1sec	
	低	0V	1sec	
T7	高	2.5V	1sec	
	低	0V	1sec	
T8	高	2.5V	1sec	
	低	0V	1sec	

[0714] 将参照图64B、图64C及图64D说明f特性测量中得到极化反转的情况及得不到极化反转的情况。图64C是在期间T3得到极化反转的情况下的期间T1至期间T5的极化变化的假设图，在期间T4如P4a所示那样呈现正的极化状态。图64D是在期间T3得不到极化反转的情况下的期间T1至期间T5的极化变化的假设图，在期间T4如P4b所示那样不能呈现正的极化状态。在期间T3是否能够得到极化可以根据在期间T5流过的电荷量的多少来判断，在保持极化的情况下在期间T5流过的电荷量变少，而在不能保持极化的情况下在期间T5流过的电荷量变多。

[0715] 图65示出f特性测量结果。作为期间T3的条件，设定1sec(0.5Hz)、100nsec(5MHz)、10nsec(50MHz)、5nsec(100MHz)的四个条件进行了测量。关于1sec(0.5Hz)的条件，示出N＝2的两次测量结果。此外，还示出在期间T3没有进行写入的情况下的测量结果。在任一测量条件下，与没有进行写入的情况相比，ΔPr的值十分小，由此可知通过期间T3的写入而得到极化反转。由此可知，本实施例的样品至少能够在100MHz下进行改写工作。

[实施例10]

[0716] <保持测量>

在本实施例中，说明对实施例1所示的样品800B进行保持测量的结果。

[0717] 在本实施例中，使用与实施例6所示的保持测量不同的方法进行了测量。图66A示出保持测量的测量系统。图66B示出保持测量的工作序列。图66C及图66D是极化变化的假设图。图67示出保持测量的结果。

[0718] 如图66A所示，保持测量的测量系统至少包括脉冲生成器及电流计。在室温下进行了测量。在本实施例中，使用KEYSIGHT公司所制造的M9185B作为脉冲生成器，并使用

KEYSIGHT公司所制造的半导体参数分析仪B1500A作为电流计。此外，在本实施例中，在多个温度条件下进行保持测量，由此使用具备具有温度调整功能的载物台的探测器。

[0719] 在保持测量中，使用脉冲生成器对样品供应电位，并测量此时流过的电流。将说明图66B所示的保持测量的工作序列。在期间T1，对样品供应负电位的脉冲，形成负电位一侧的极化状态。其次，在期间T2，为了进行保持测量，在后述保持期间保持0V的电位。接着，在期间T3供应正电位的脉冲，以测量流过样品的电流。接着，在期间T4，供应与期间T3同样的正电位的脉冲，以测量流过样品的电流。在此，通过取得在期间T3流过的电荷量与在期间T4流过电荷量的差值ΔC，可以分开期间T3的起因于极化反转的电荷量和起因于泄漏成分等其他原因的电荷量。差值ΔC除以面积A，可以得到作为极化指标的ΔPr。在此，面积A为电容器的两个电极重叠处的面积。通过使用对测量数据进行解析而得到的ΔPr的值及期间T2的保持期间的长度形成图表，可以知道能够在多长期间保持极化。此外，虽然不同于本实施例中的测量数据解析，但是也可以在期间T4后进行期间T5及/或期间T6的测量以提高差值ΔC的测量精确度。表8示出保持测量的工作序列的详细条件。

[0720] [表8]

期间	电压		时间	备考
T1	-2.5V		5sec	
T2	0V		1,10,100,1000、259200sec	85℃测量
T2	0V		1,10,100,1000 sec	150℃、200℃测量
T3	高	2.5V	1sec	
	低	0V	1sec	
T4	高	2.5V	1sec	
	低	0V	1sec	
T5	高	2.5V	1sec	
	低	0V	1sec	
T6	高	2.5V	1sec	
	低	0V	1sec	

[0721] 将参照图66B、图66C及图66D说明保持测量中保持极化的情况及不能保持极化的情况。图66C是在期间T2保持极化的情况下的期间T1至期间T3的极化变化的假设图，如P2a所示那样保持极化直到期间T2结束为止。图66D是在期间T2不能保持极化的情况下的期间T1至期间T3的极化变化的假设图，在期间T2结束时如P2b所示那样极化有所减少。在期间T2是否能够保持极化可以根据在期间T3流过的电荷量的多少来判断，在保持极化的情况下在期间T3流过的电荷量变多，而在不能保持极化的情况下在期间T3流过的电荷量变少。

[0722] 图67示出对样品800B进行保持测量的结果。温度条件为85℃、150℃以及200℃的三个条件。作为期间T2的条件，在85℃的温度下，在1sec、10sec、100sec、1000sec以及259200sec(三天)的五个条件下进行了测量。在150℃及200℃的温度下，在1sec、10sec、100sec以及1000sec的四个条件下进行了测量。在任一测量条件下，ΔPr都为可以判定能够保持极化的值。

[符号说明]

[0723] 51:曲线、51i:直线、52:曲线、52i:直线、61:点、62:点、100:电容器、110:导电体、112:导电体、115a:绝缘体、115b:绝缘体、120:导电体、120a:导电体、120b:导电体、130:绝缘体、130a:绝缘体、130b:绝缘体、130c:绝缘体、131a:多晶区域、131b:多晶区域、132:c轴、134:法线、136:晶粒、138a:层、138b:层、150:绝缘体、152a:绝缘体、152b:绝缘体、154a:绝缘体、154b:绝缘体、155:绝缘体、162:导电体、166:绝缘体、168a:绝缘体、168b:绝缘体、200:晶体管、205:导电体、205a:导电体、205b:导电体、210:绝缘体、212:绝缘体、214:绝缘体、216:绝缘体、217:绝缘体、218:导电体、222:绝缘体、224:绝缘体、230:氧化物、230a:氧化物、230b:氧化物、230ba:区域、230bb:区域、230bc:区域、240:导电体、240a:导电体、240b:导电体、241:绝缘体、241a:绝缘体、241b:绝缘体、242:导电体、242a:导电体、242b:导电体、245:绝缘体、246:导电体、246a:导电体、246b:导电体、250:绝缘体、250a:绝缘体、250b:绝缘体、252:绝缘体、254:绝缘体、255:导电体、260:导电体、260a:导电体、260b:导电体、262:导电体、265:密封部、271:绝缘体、271a:绝缘体、271b:绝缘体、274:绝缘体、275:绝缘体、280:绝缘体、282:绝缘体、283:绝缘体、285:绝缘体、286:绝缘体、287:绝缘体、288:导电体、289:绝缘体、300:晶体管、311:衬底、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘体、316:导电体、320:绝缘体、322:绝缘体、324:绝缘体、326:绝缘体、328:导电体、330:导电体、350:绝缘体、352:绝缘体、354:绝缘体、356:导电体、357:导电体、400:开口区域、401:前驱物、402:前驱物、403:氧化性气体、404:载体-吹扫气体、411:前驱物、412:前驱物、413:前驱物、414:氧化性气体、500:半导体装置、800:样品、800A:样品、800B:样品、800B_1:样品、800B_2:样品、800C:样品、800C_1:样品、800C_2:样品、800C_3:样品、801:衬底、802:绝缘体、803:导电体、803a:导电体、803b:导电体、804:绝缘体、805:导电体、805a:导电体、805b:导电体、806:绝缘体、807:导电体、808:导电体、811A:曲线、811B:曲线、811C:曲线、812A:曲线、812B:曲线、812C:曲线、813A:曲线、813B:曲线、813C:曲线、814A:曲线、814B:曲线、814C:曲线、821:曲线、822:曲线、830:样品、830A:样品、830B:样品、830C:样品、830D:样品、830E:样品、830F:样品、830G:样品、830H:样品、830I:样品、830J:样品、830K:样品、830L:样品、830M:样品、830N:样品、830O:样品、830P:样品、831:实线、832:虚线、833:点线、900:制造设备、901:反应室、903:气体引入口、904:口、905:排气口、907:晶片支撑台、908:轴、950:晶片、1001:布线、1002:布线、1003:布线、1004:布线、1005:布线、1006:布线、1007:布线、1008:布线、1009:布线、1100:USB存储器、1101:外壳、1102:盖子、1103:USB连接器、1104:衬底、1105:存储器芯片、1106:控制器芯片、1110:SD卡、1111:外壳、1112:连接器、1113:衬底、1114:存储器芯片、1115:控制器芯片、1150:SSD、1151:外壳、1152:连接器、1153:衬底、1154:存储器芯片、1155:存储器芯片、1156:控制器芯片、1400:存储装置、1411:外围电路、1420:行电路、1430:列电路、1440:输出电路、1460:控制逻辑电路、1470:存储单元阵列、2020A:DG、5100:信息终端、5101:外壳、5102:显示部、5200:笔记本式

信息终端、5201:主体、5202:显示部、5203:键盘、5300:便携式游戏机、5301:外壳、5302:外壳、5303:外壳、5304:显示部、5305:连接部、5306:操作键、5400:固定式游戏机、5402:控制器、5500:超级计算机、5501:机架、5502:计算机、5504:衬底、5701:显示面板、5702:显示面板、5703:显示面板、5704:显示面板、5800:电冷藏冷冻箱、5801:外壳、5802:冷藏室门、5803:冷冻室门

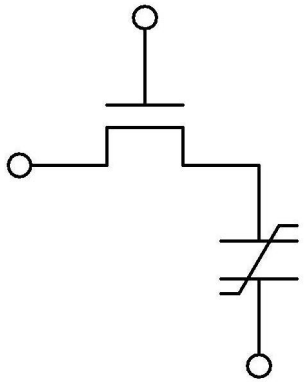


图1A1

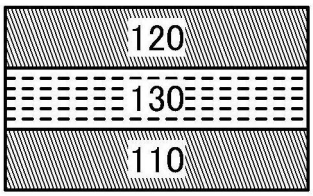


图1A2

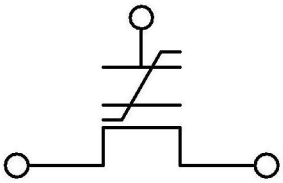


图1B1

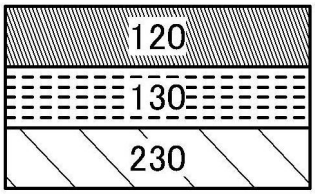


图1B2



图1C1

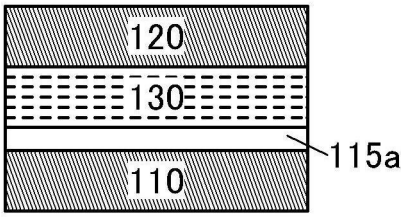


图1C2

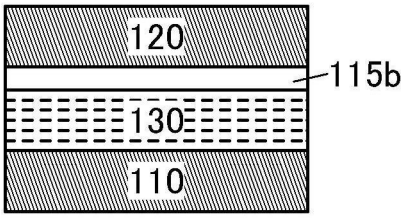


图1C3

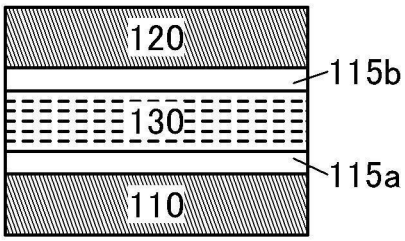


图1C4

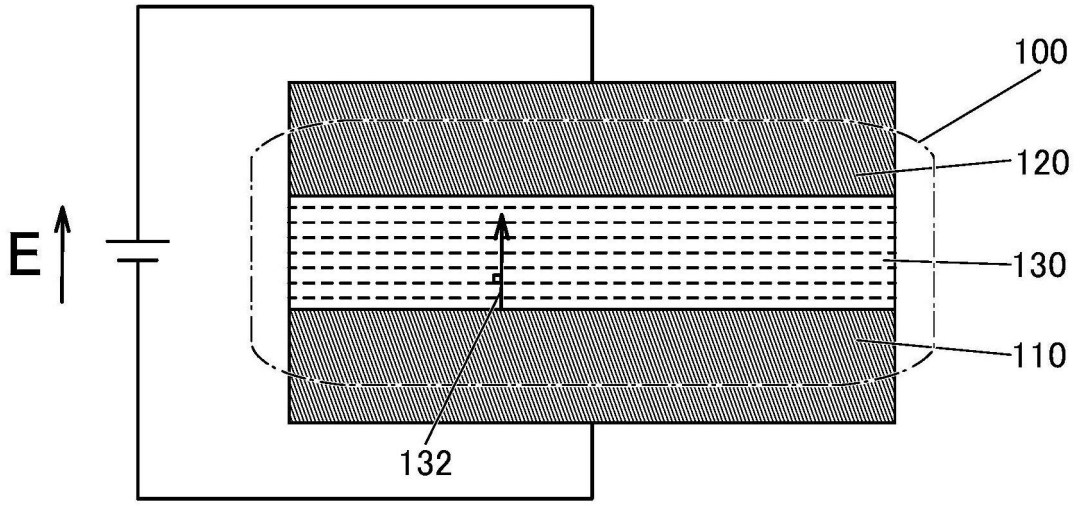


图2A

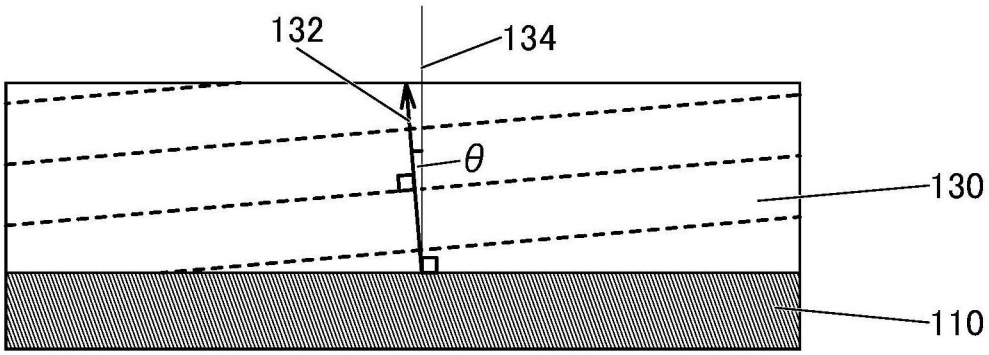


图2B

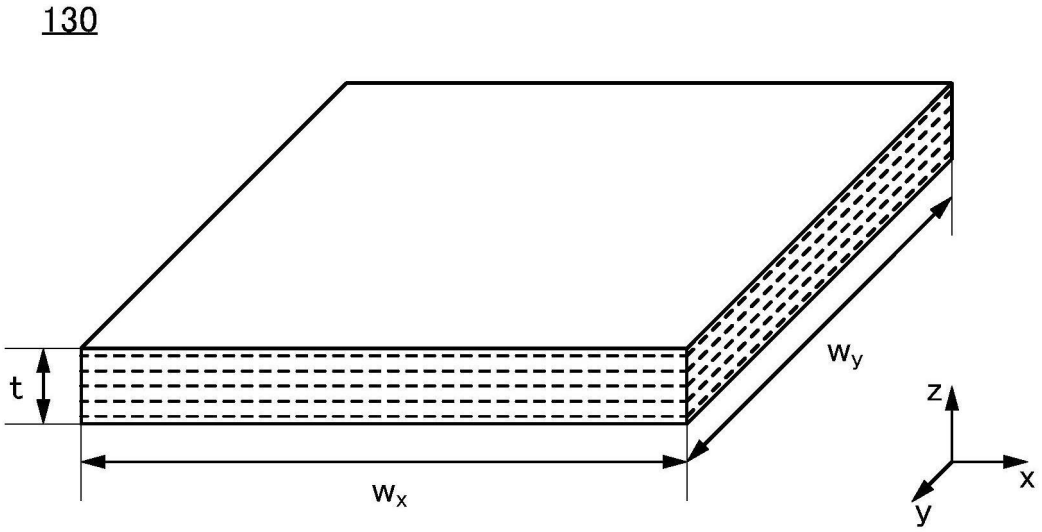


图2C

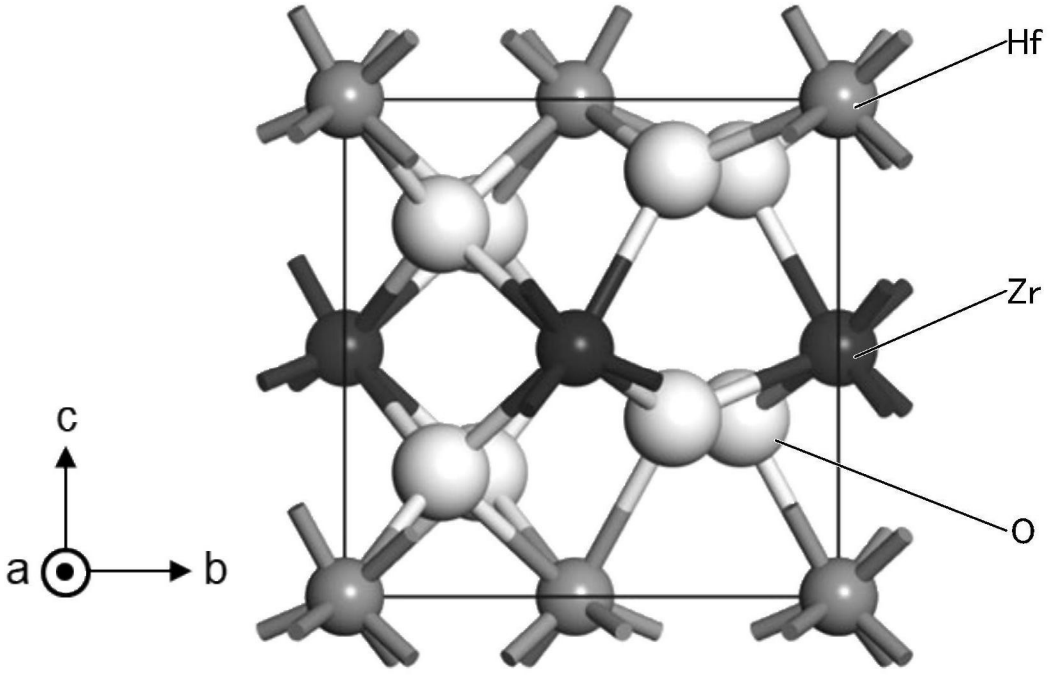


图3A

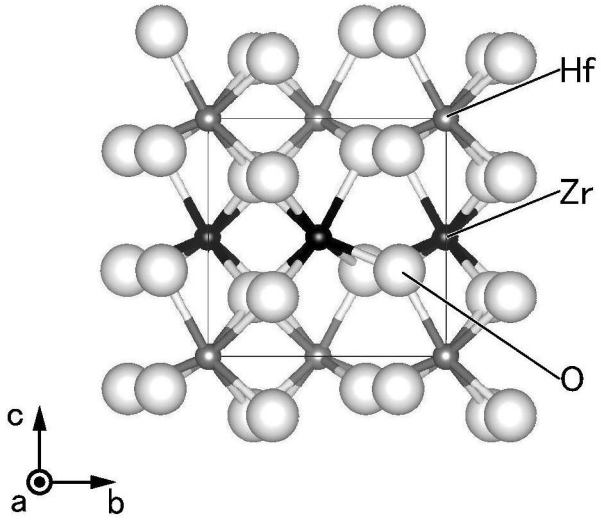


图3B

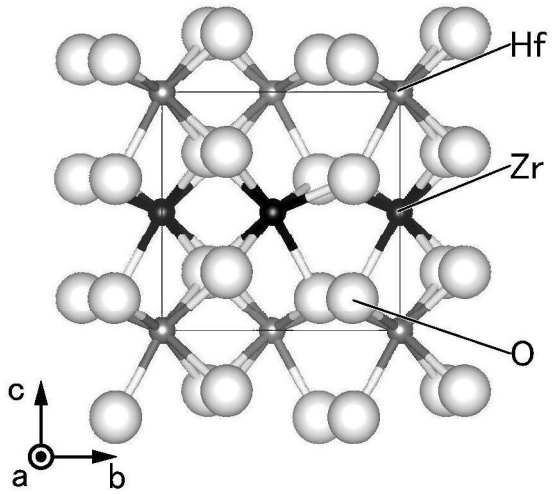


图3C

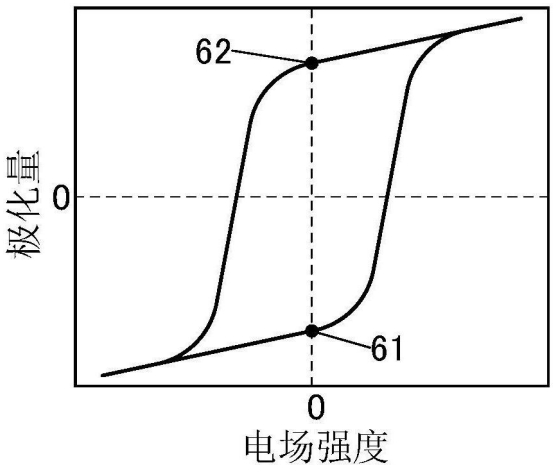


图3D

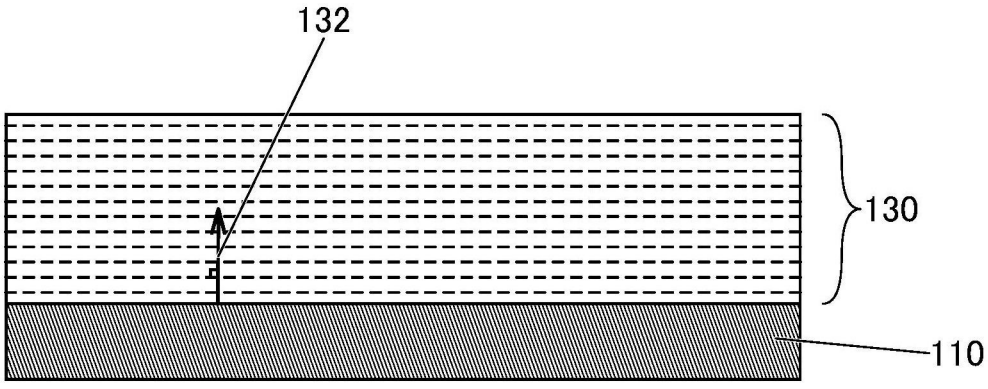


图4A

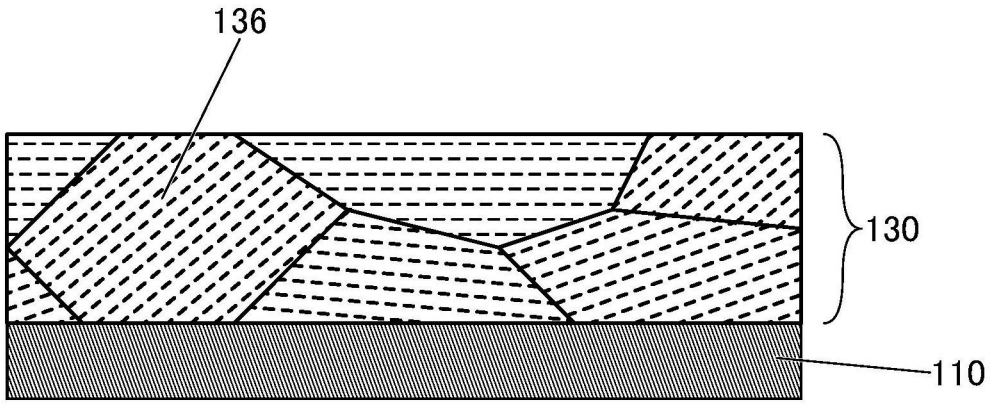


图4B

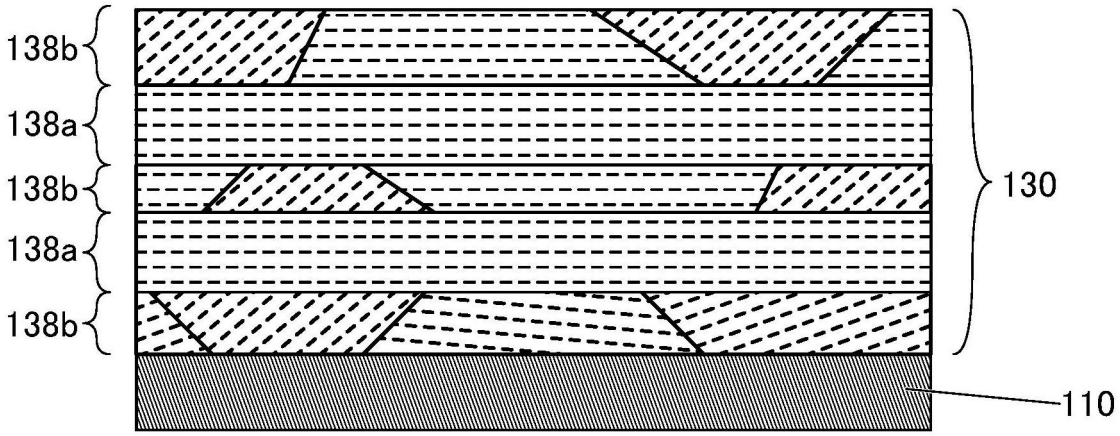


图4C

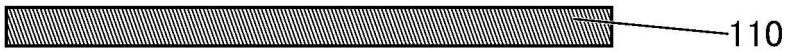


图5A

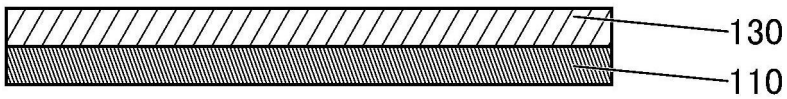


图5B

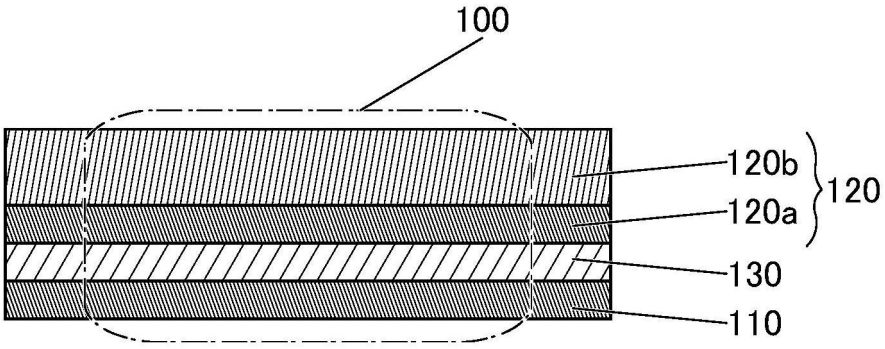


图5C

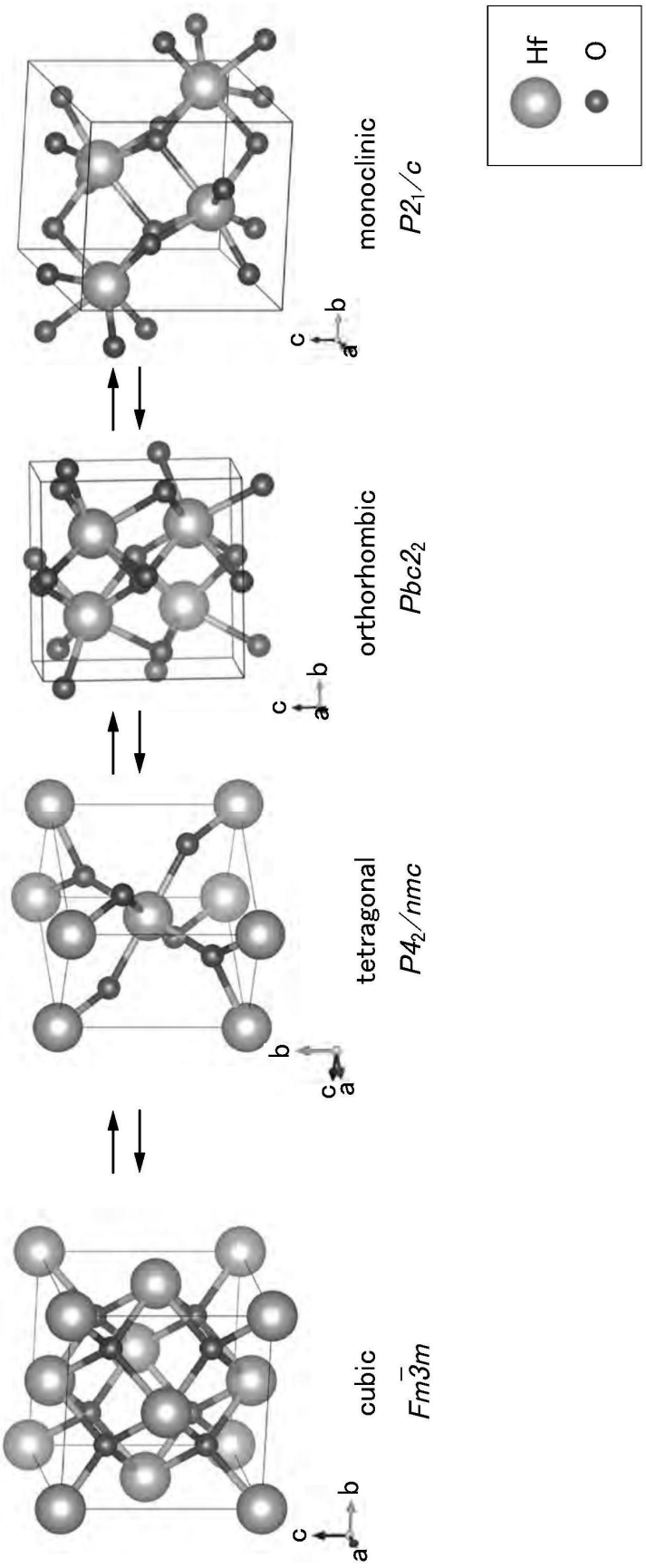

Hf
O
monoclinic
$P2_1/c$
orthorhombic
$Pbc2_2$
tetragonal
$P4_2/nmc$
cubic
$Fm\bar{3}m$
a
b
c

图6

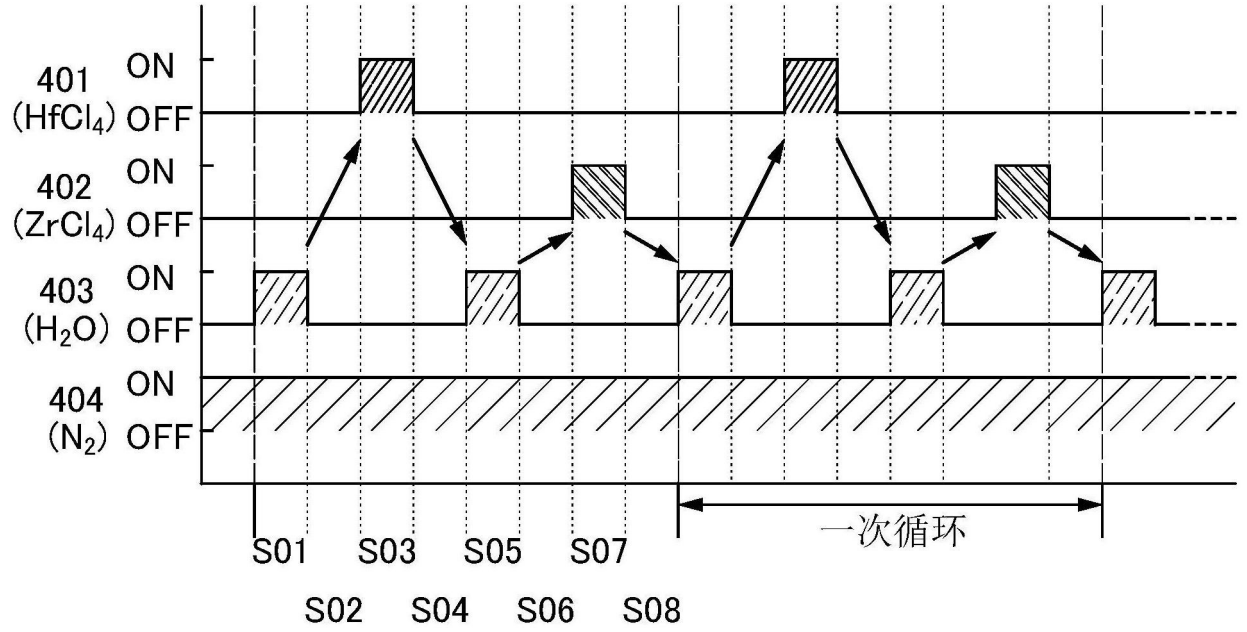

401
(HfCl4)
ON
OFF
402
(ZrCl4)
ON
OFF
403
(H2O)
ON
OFF
404
(N2)
ON
OFF
S01
S02
S03
S04
S05
S06
S07
S08
一次循环

图7A

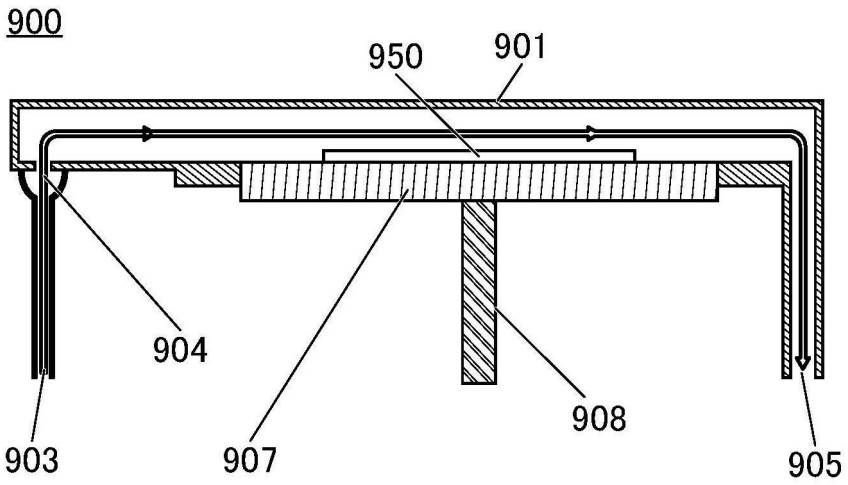

900
950
901
904
903
907
908
905

图7B

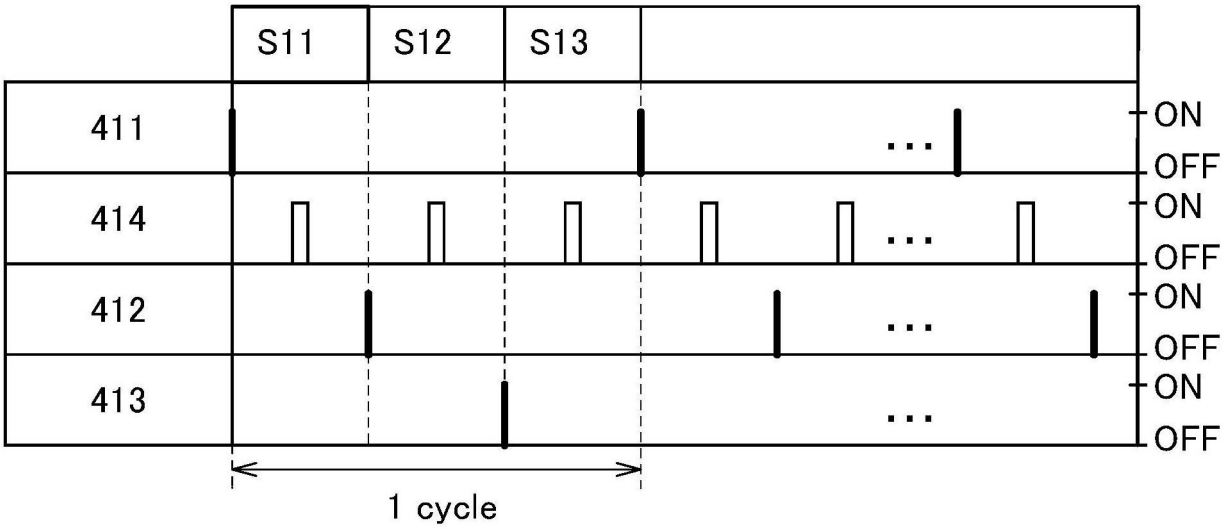

S11
S12
S13
411
414
412
413
ON
OFF
ON
OFF
ON
OFF
ON
OFF
1 cycle

图7C

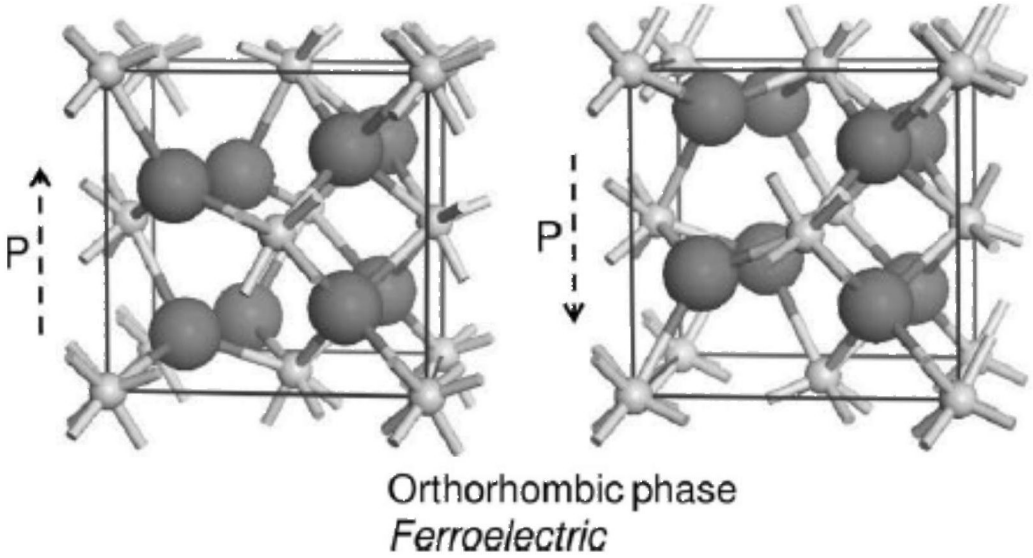

P
P
Orthorhombic phase
Ferroelectric

图8A

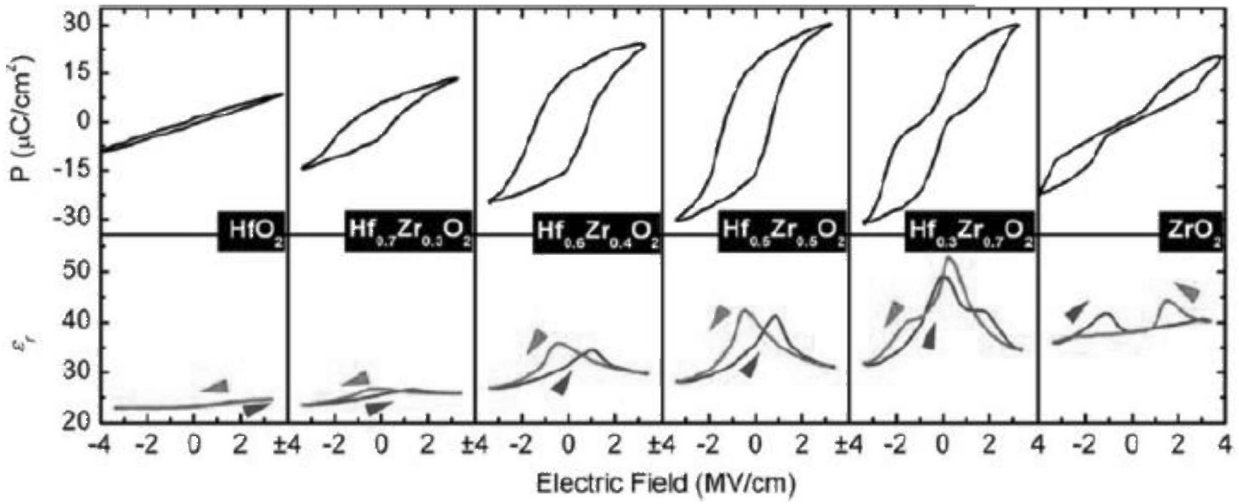

P (μC/cm²)
HfO2
Hf0.7Zr0.3O2
Hf0.6Zr0.4O2
Hf0.5Zr0.5O2
Hf0.3Zr0.7O2
ZrO2
εr
Electric Field (MV/cm)

图8B

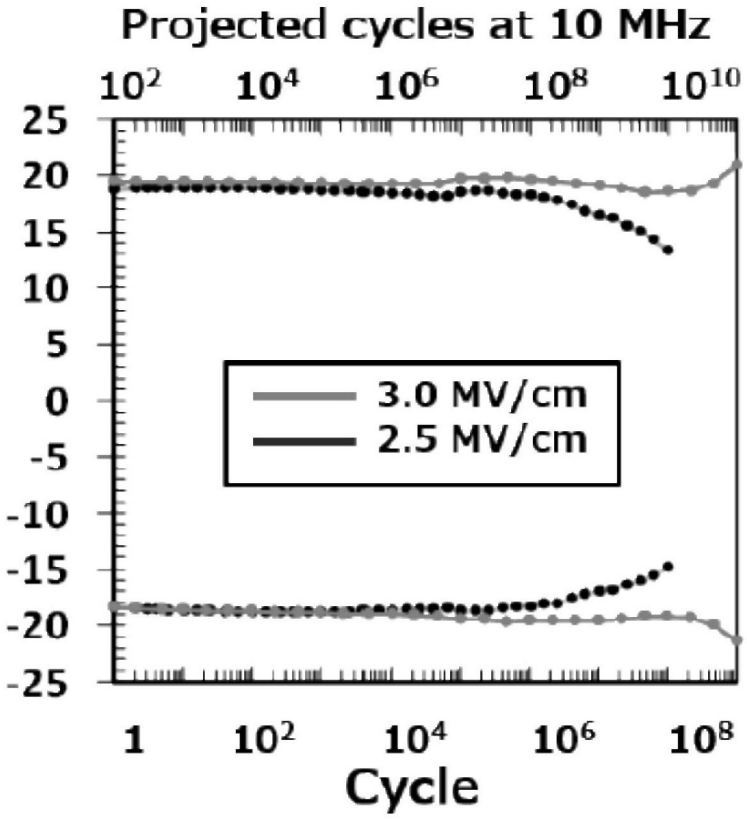

Projected cycles at 10 MHz
3.0 MV/cm
2.5 MV/cm
Cycle

图9

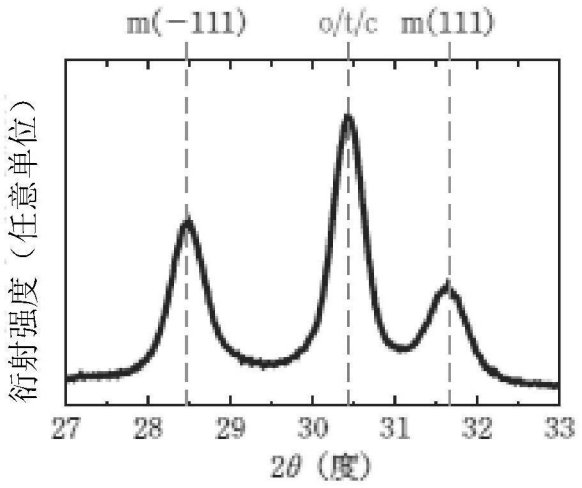

m(−111)
o/t/c
m(111)
衍射强度（任意单位）
27
28
29
30
31
32
33
2θ（度）

图10A

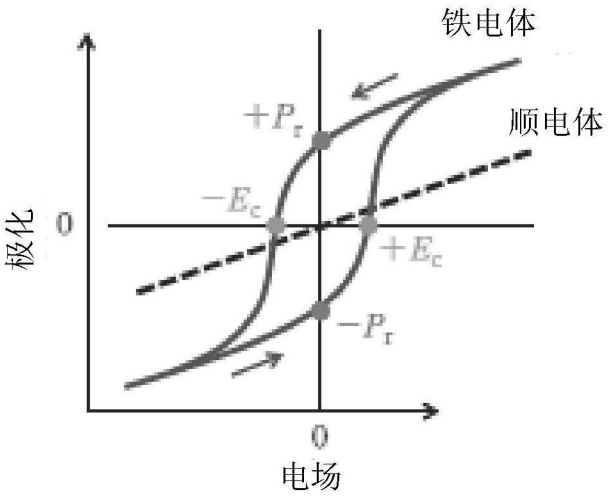

铁电体
顺电体
+Pr
−Ec
+Ec
−Pr
极化
0
0
电场

图10B

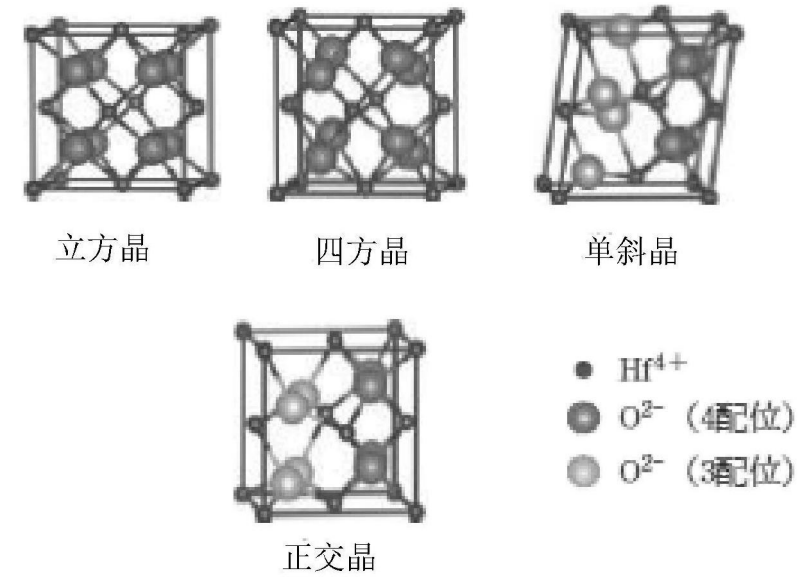

立方晶
四方晶
单斜晶
正交晶
Hf^{4+}
O^{2-}（4配位）
O^{2-}（3配位）

图10C

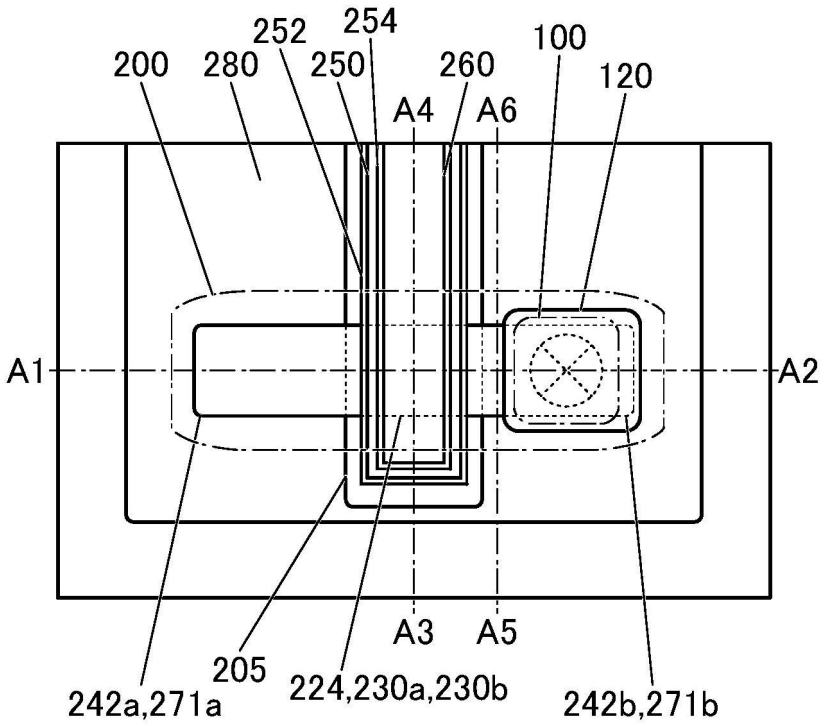

200
280
252
254
250
260
100
120
A4
A6
A1
A2
A3
A5
205
242a,271a
224,230a,230b
242b,271b

图11A

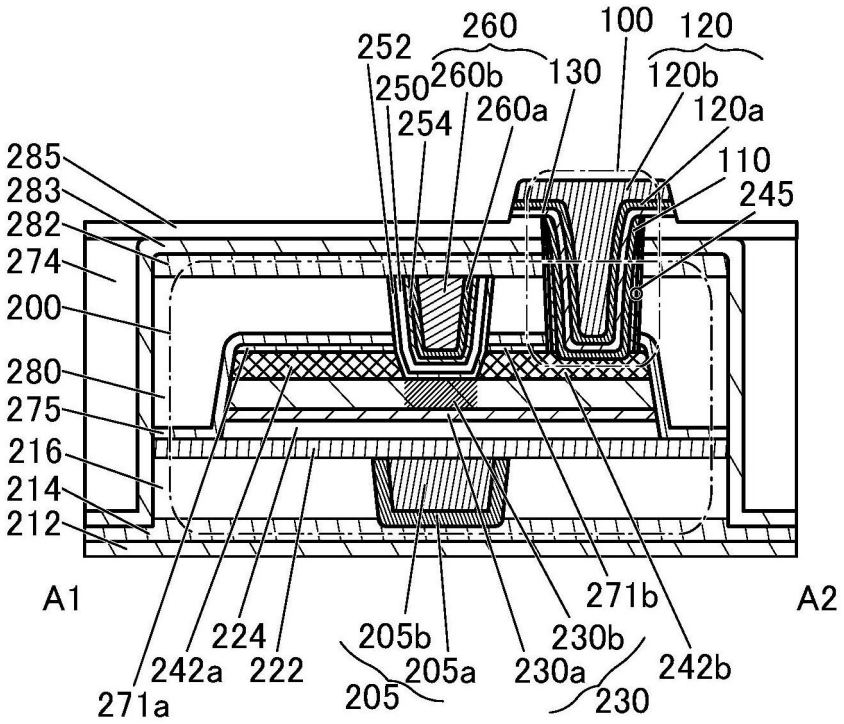

260
100
120
252
250
260b
130
120b
254
260a
120a
285
110
283
245
282
274
200
280
275
216
214
212
A1
A2
271b
224
205b
230b
242a
222
205a
230a
242b
271a
205
230

图11B

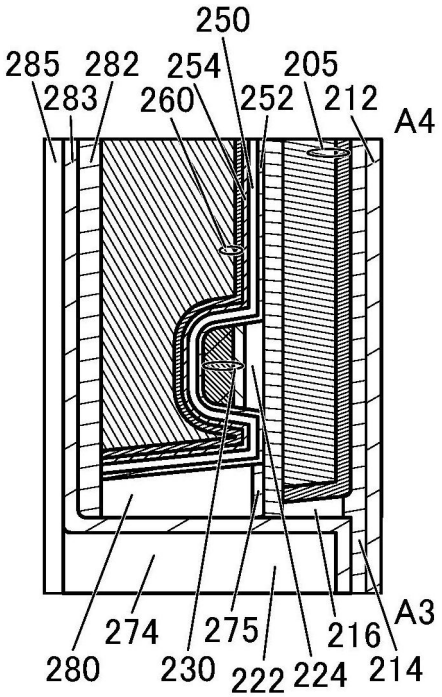

250
285
282
254
205
283
260
252
212
A4
A3
274
275
216
280
230
222
224
214

图11C

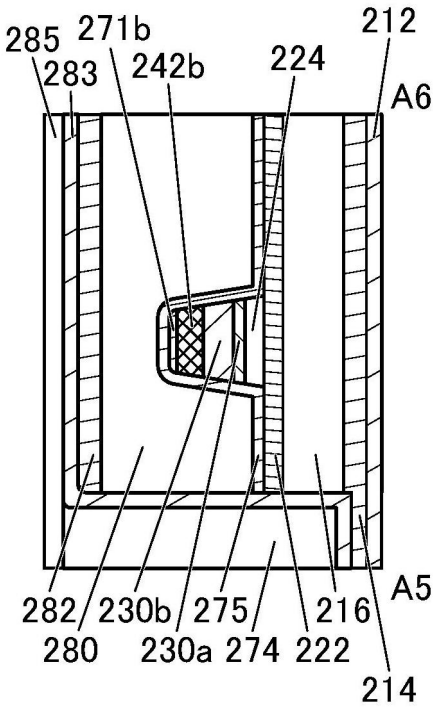

285
271b
283
242b
224
212
A6
A5
282
280
230b
230a
275
274
216
222
214

图11D

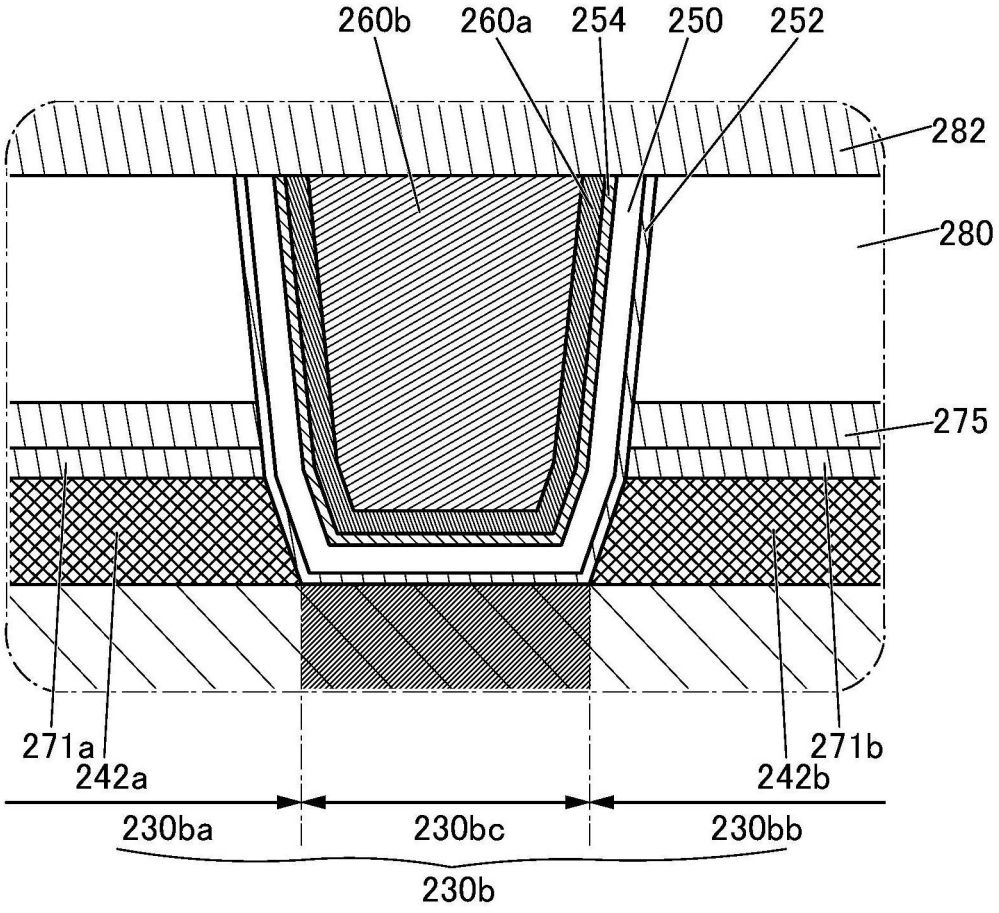

260b
260a
254
250
252
282
280
275
271a
242a
242b
271b
230ba
230bc
230bb
230b

图12A

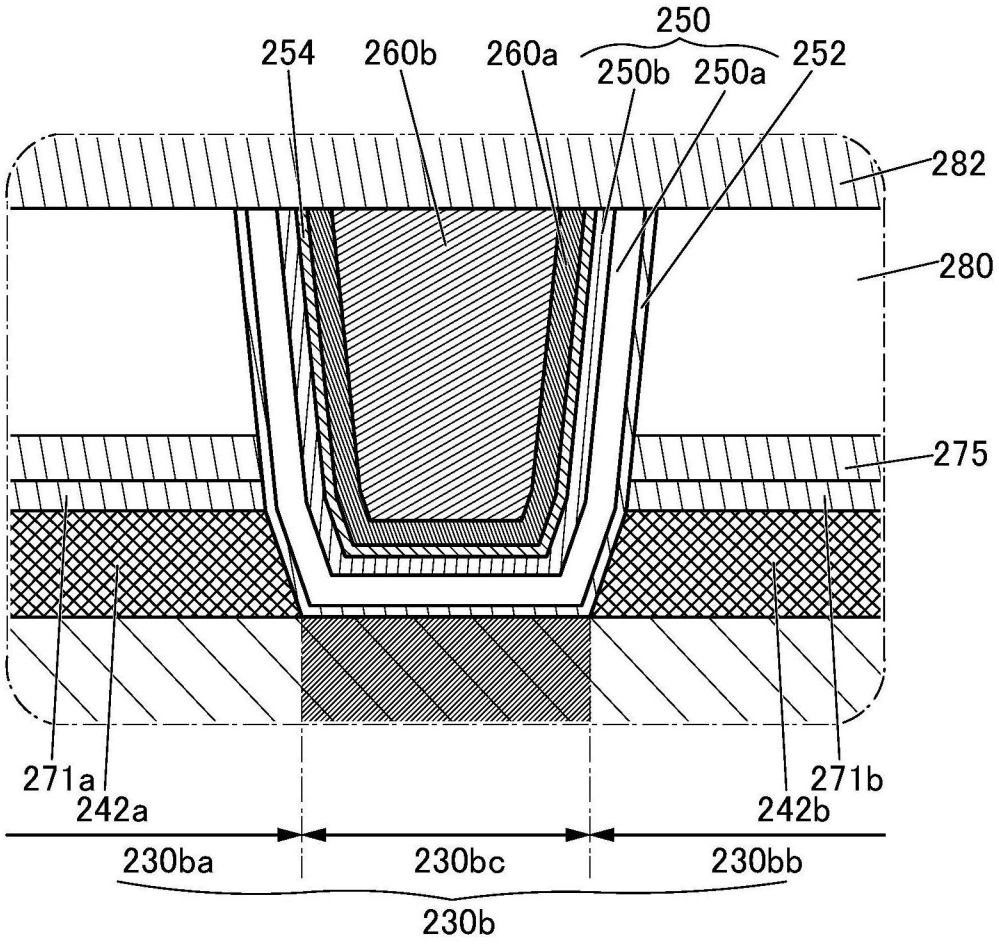


图12B

中间状态
新的边界区域

Amorphous (无定形)	Crystalline (结晶性)	Crystal (结晶)
·completely amorphous	·CAAC ·nc ·CAC excluding single crystal and poly crystal	·single crystal ·poly crystal

图13A

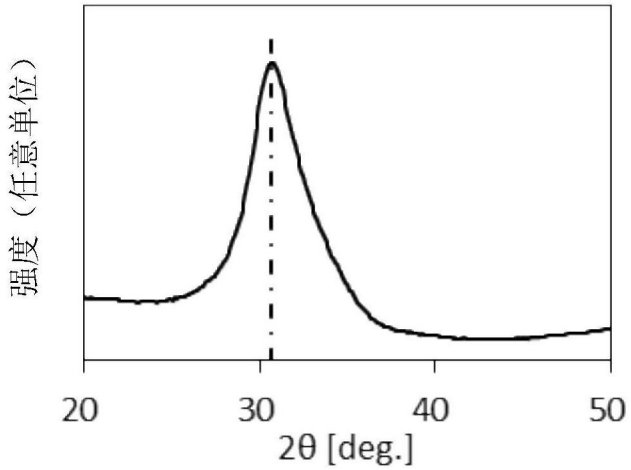


图13B

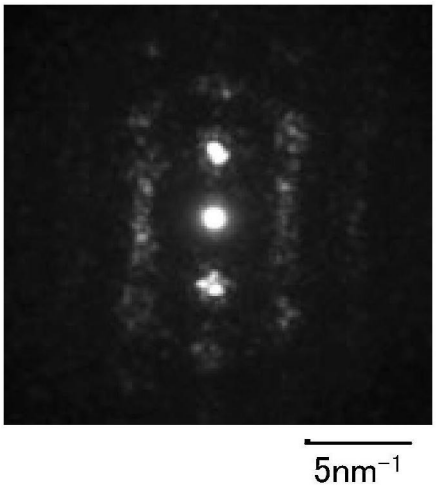


图13C

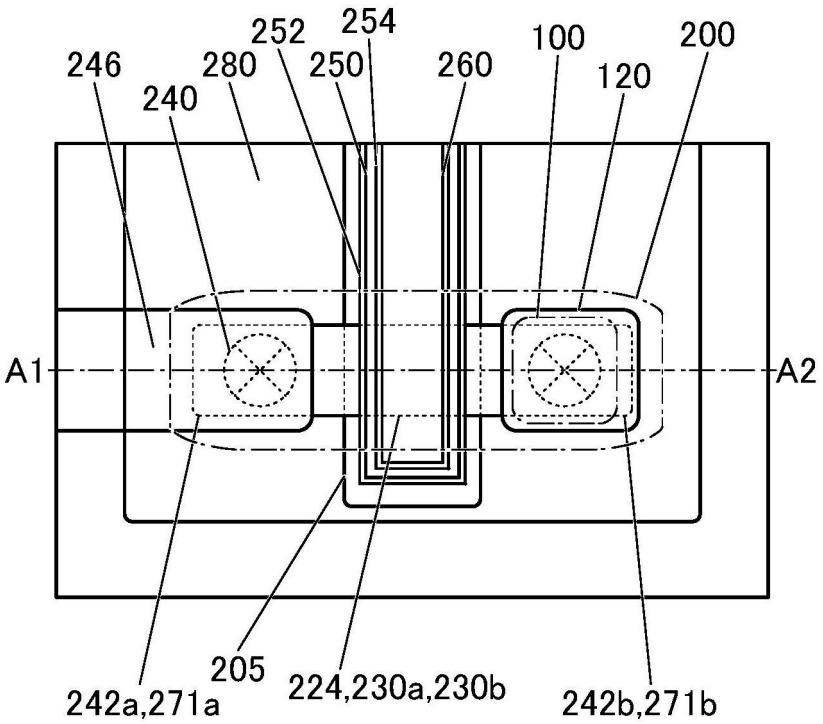

246
280
240
252
254
250
260
100
120
200
A1
A2
205
242a,271a
224,230a,230b
242b,271b

图14A

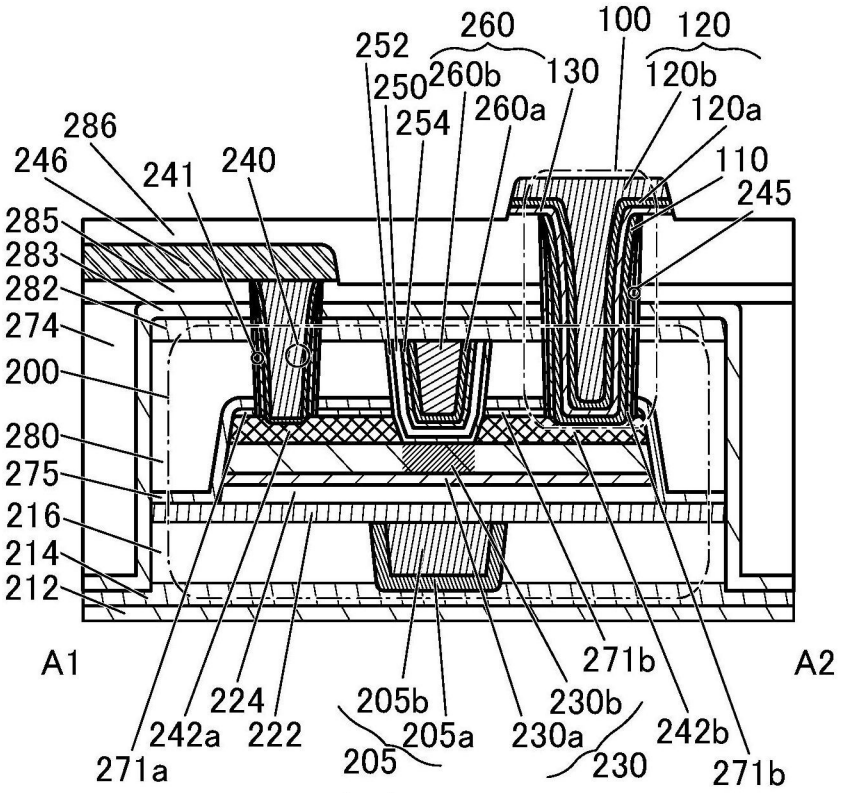

260
100
120
252
250
260b
130
120b
254
260a
120a
286
246
241
240
110
245
285
283
282
274
200
280
275
216
214
212
A1
A2
271b
224
205b
230b
242a
222
205a
230a
242b
271a
205
230
271b

图14B

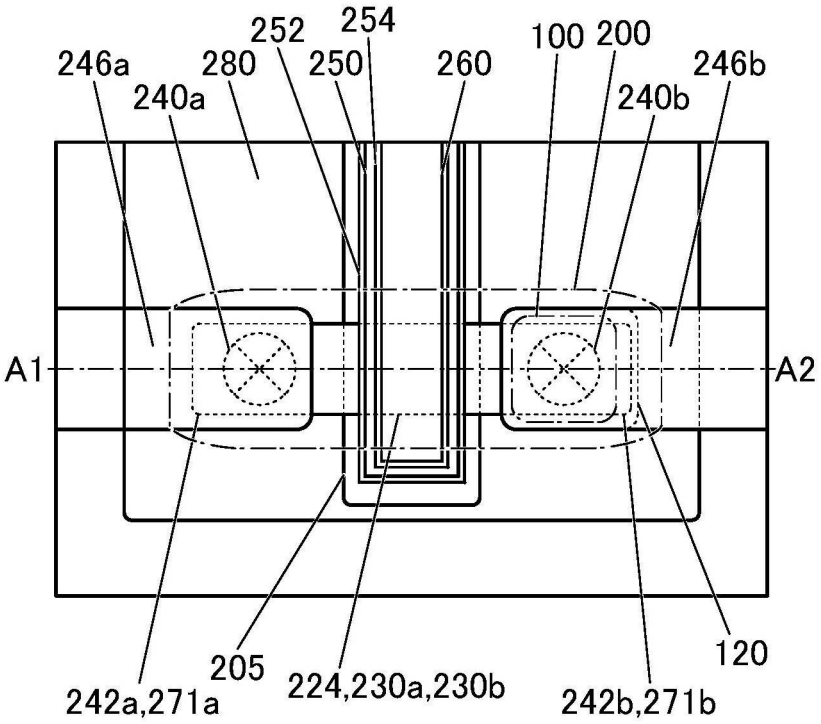

252
254
246a
280
250
260
100
200
246b
240a
240b
A1
A2
205
120
242a,271a
224,230a,230b
242b,271b

图15A

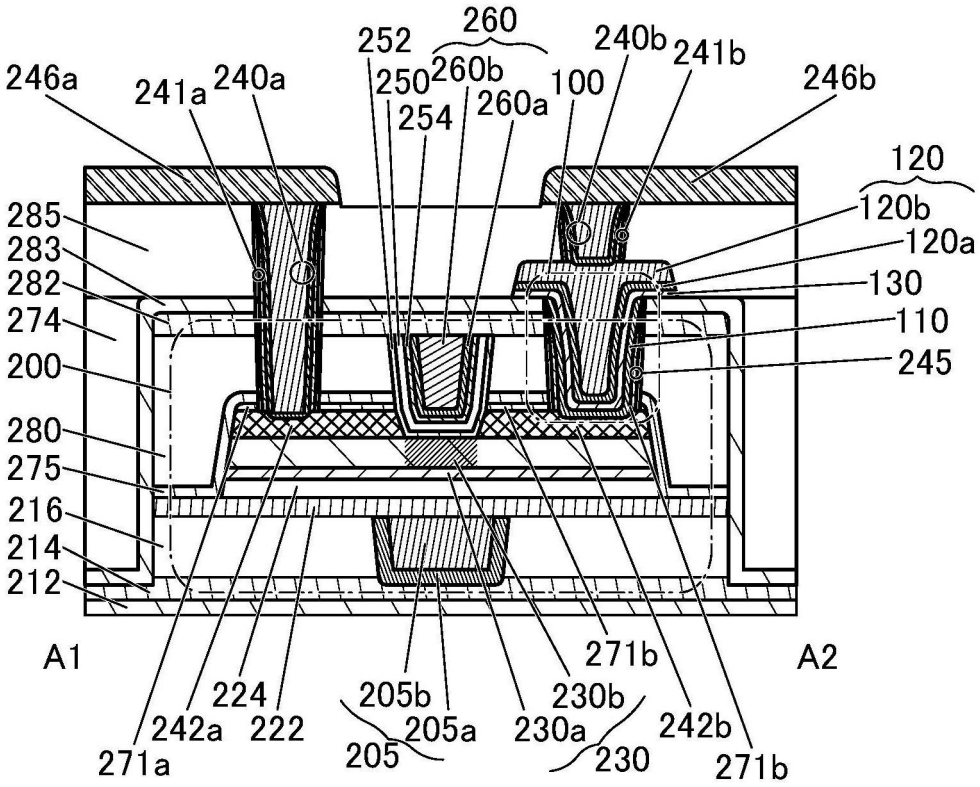

260
252
240b
241b
246a
241a
240a
250
260b
100
246b
254
260a
120
120b
285
120a
283
130
282
110
274
245
200
280
275
216
214
212
A1
271b
A2
224
205b
230b
242a
222
205a
230a
242b
271a
205
230
271b

图15B

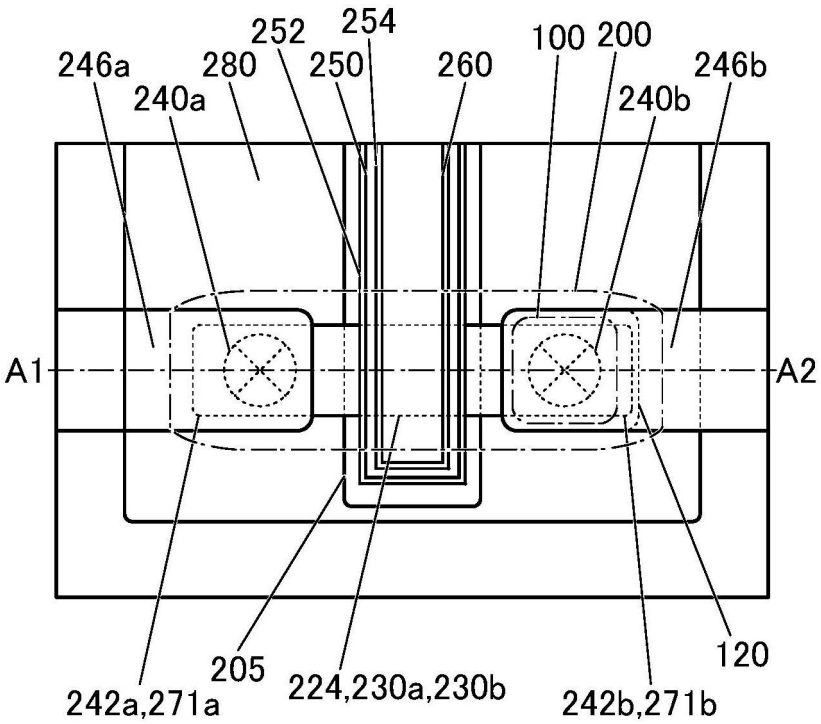

252
254
246a
280
250
260
100
200
246b
240a
240b
A1
A2
205
120
242a,271a
224,230a,230b
242b,271b

图16A

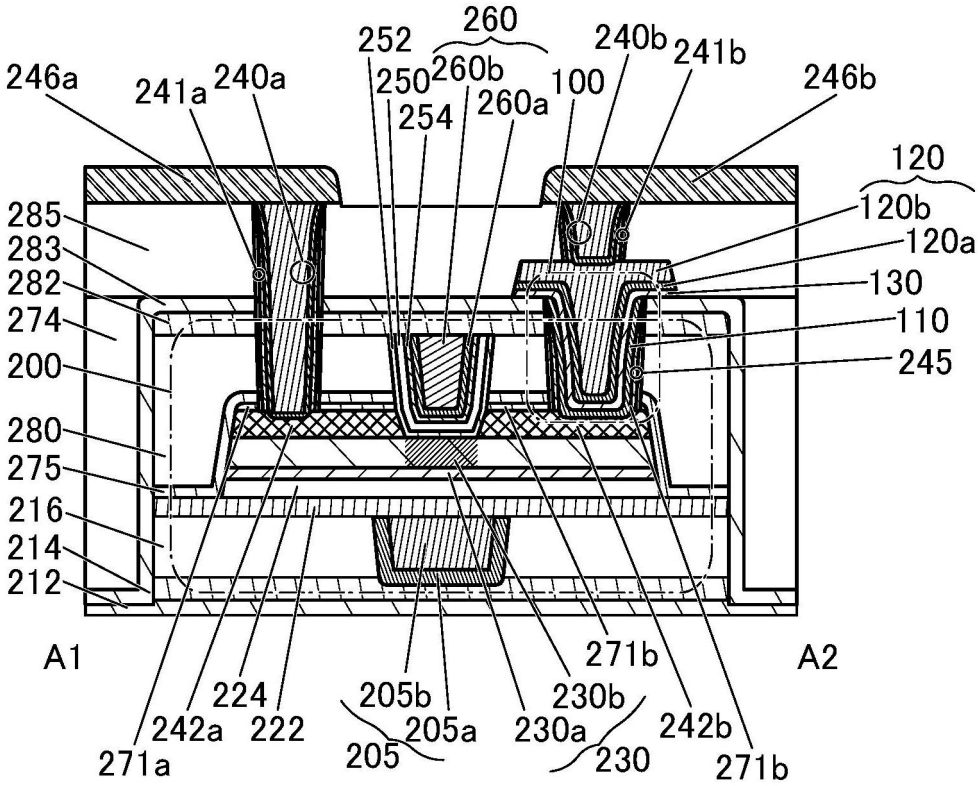

260
252
240b
241b
246a
241a
240a
250
260b
100
246b
254
260a
120
120b
285
120a
283
130
282
110
274
245
200
280
275
216
214
212
A1
271b
A2
224
205b
230b
242b
242a
222
205a
230a
271a
205
230
271b

图16B

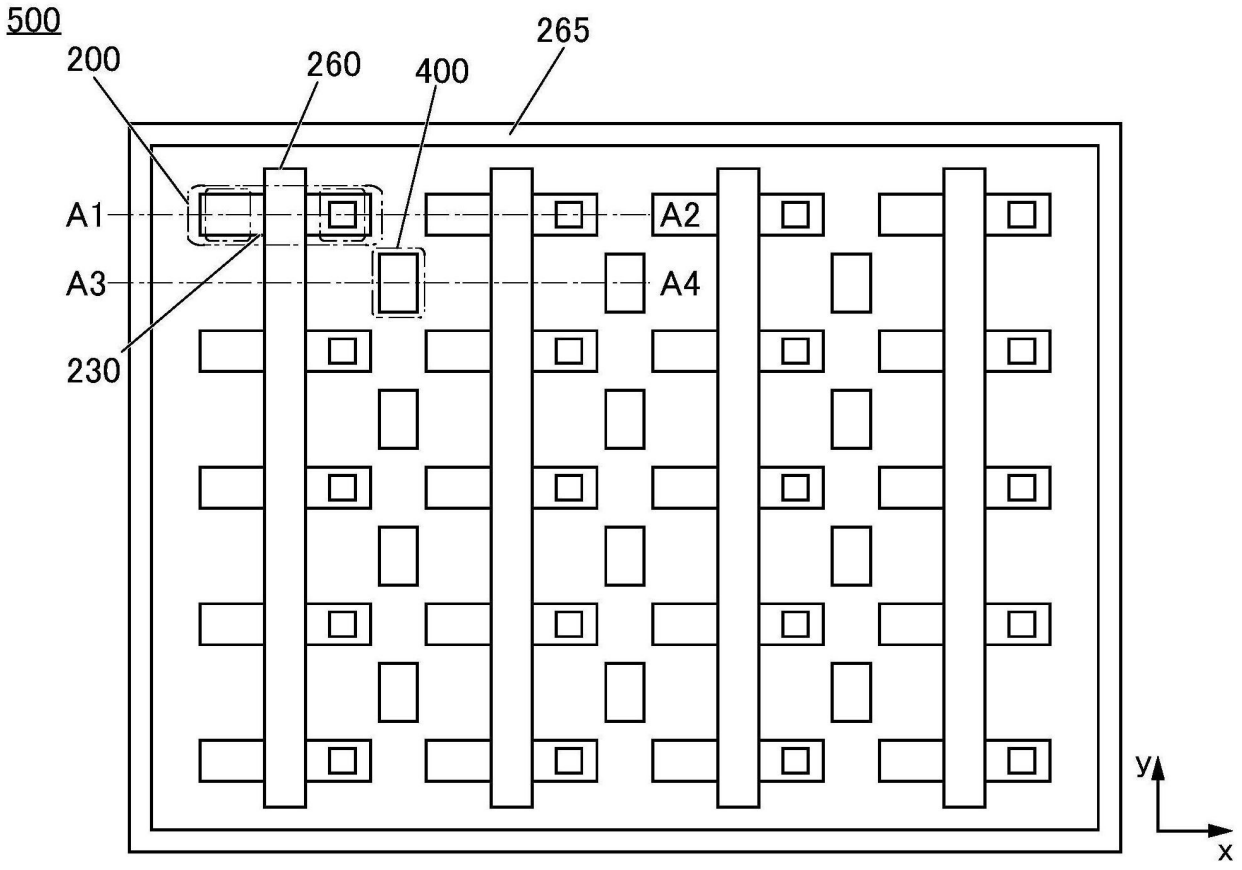

500
200
260
400
265
A1
A2
A3
A4
230
y
x

图17A

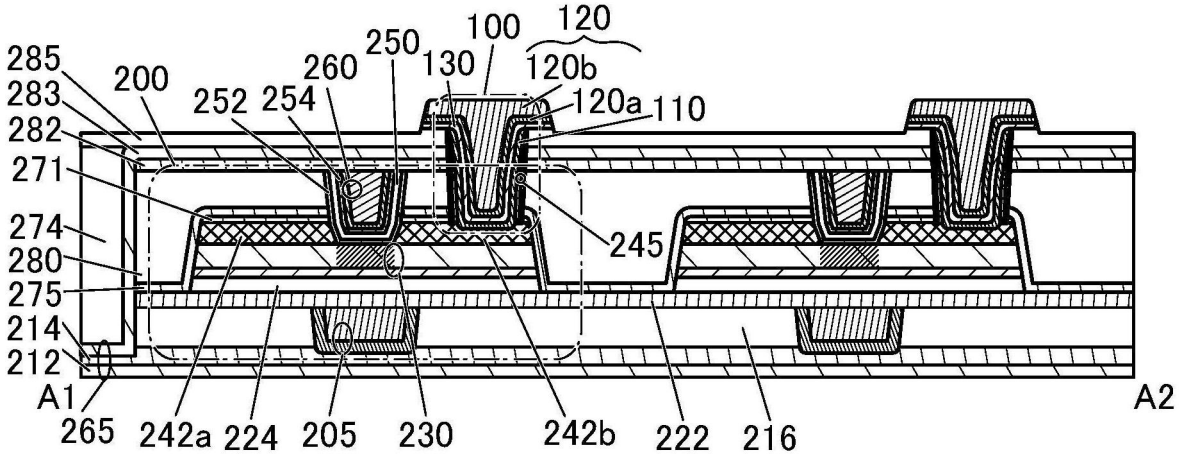

285
283
282
271
274
280
275
214
212
A1
265
200
252
254
260
250
130
100
120
120b
120a
110
245
242a
224
205
230
242b
222
216
A2

图17B

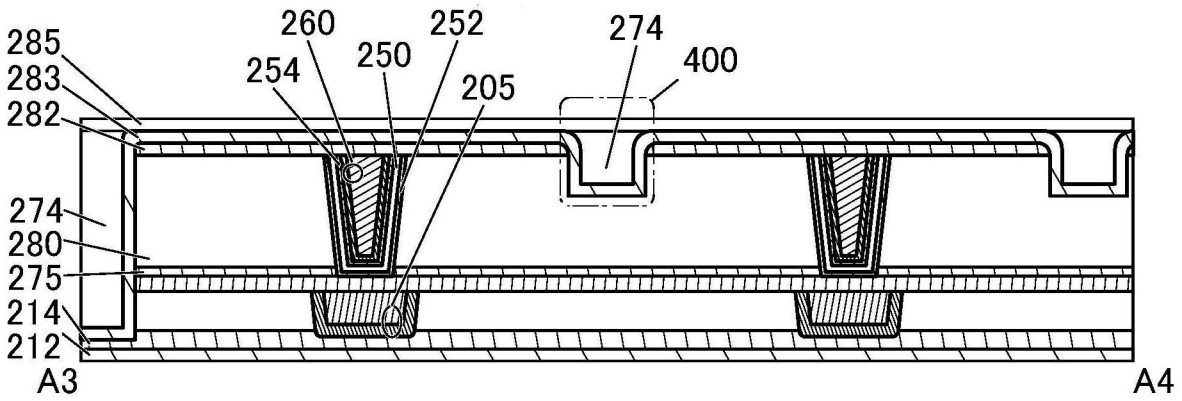


图17C

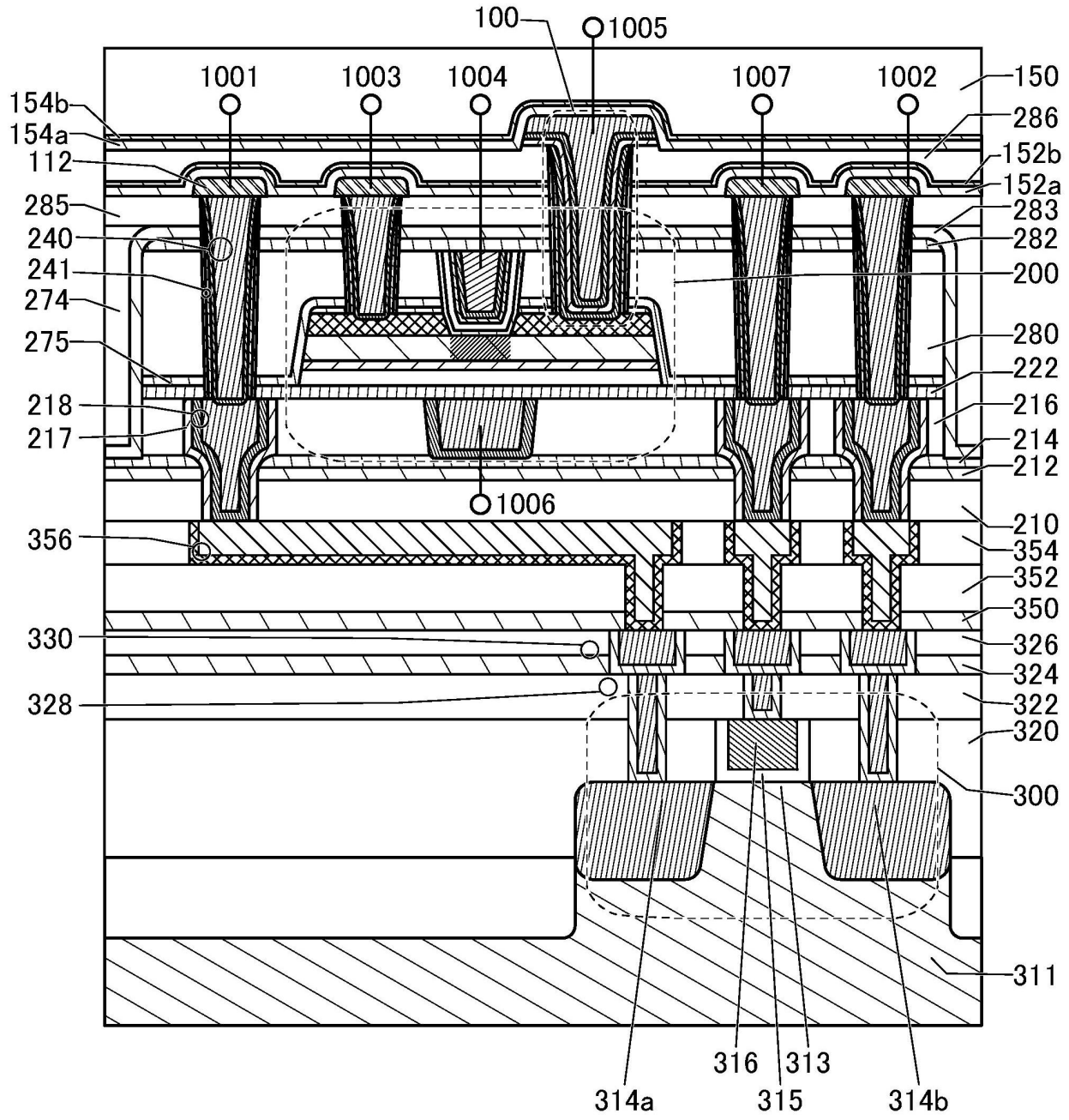

100
1005
1001
1003
1004
1007
1002
150
154b
154a
112
286
152b
152a
285
283
240
282
241
200
274
275
280
222
218
216
217
214
212
1006
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

图18

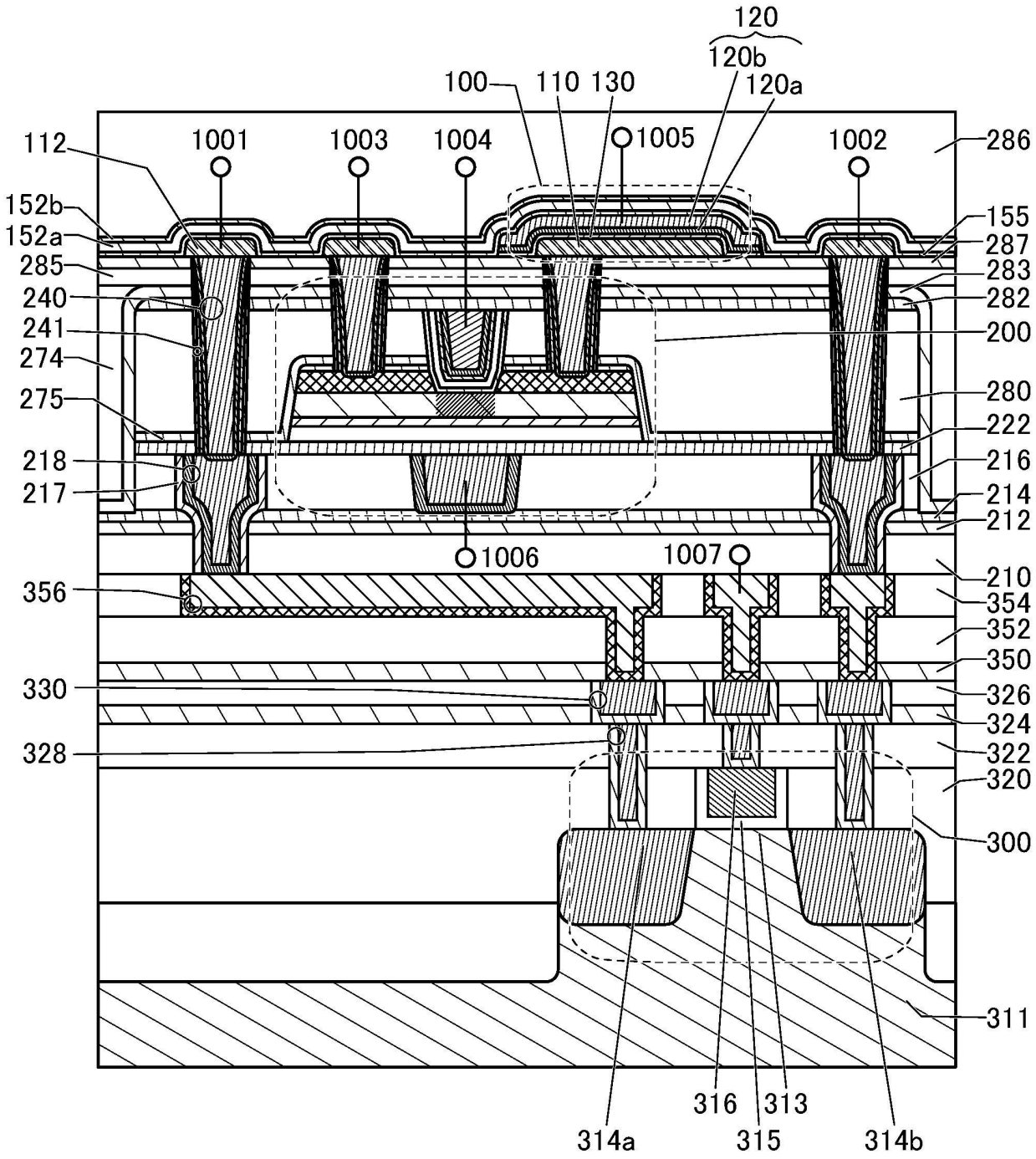

120
120b
120a
100
110
130
112
1001
1003
1004
1005
1002
286
152b
152a
155
287
285
283
240
282
241
200
274
280
275
222
218
216
217
214
212
1006
1007
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

图19

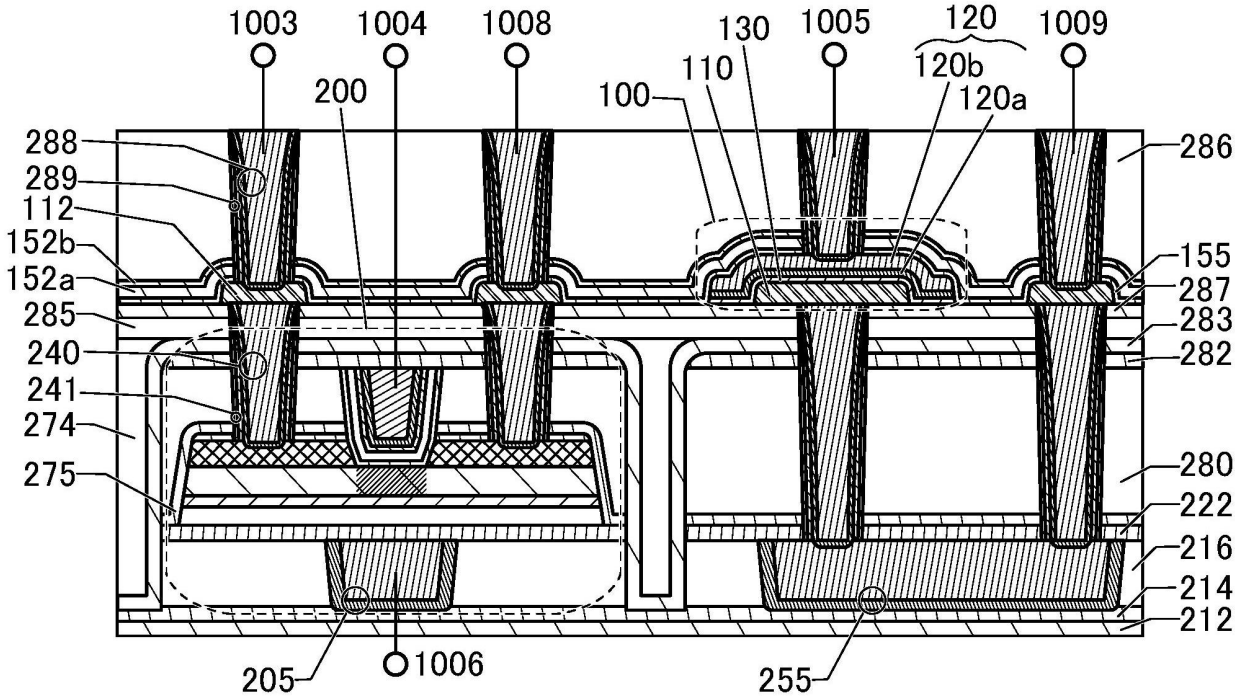

1003
1004
1008
130
1005
120
1009
110
200
100
120b
120a
288
289
112
152b
152a
285
240
241
274
275
286
155
287
283
282
280
222
216
214
212
205
1006
255

图20A

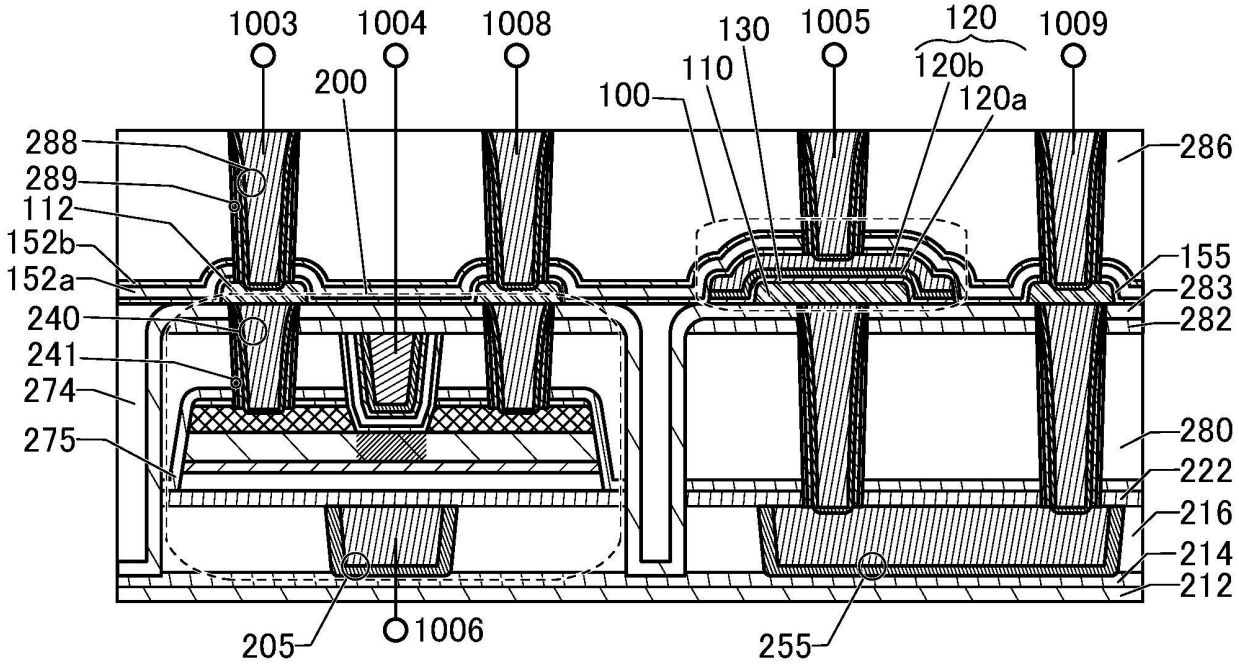

1003
1004
1008
130
1005
120
1009
110
200
100
120b
120a
288
289
112
152b
152a
240
241
274
275
286
155
283
282
280
222
216
214
212
205
1006
255

图20B

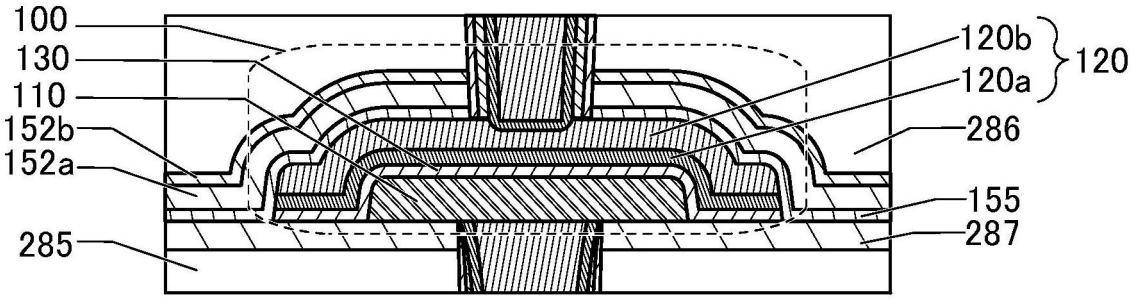


图21A

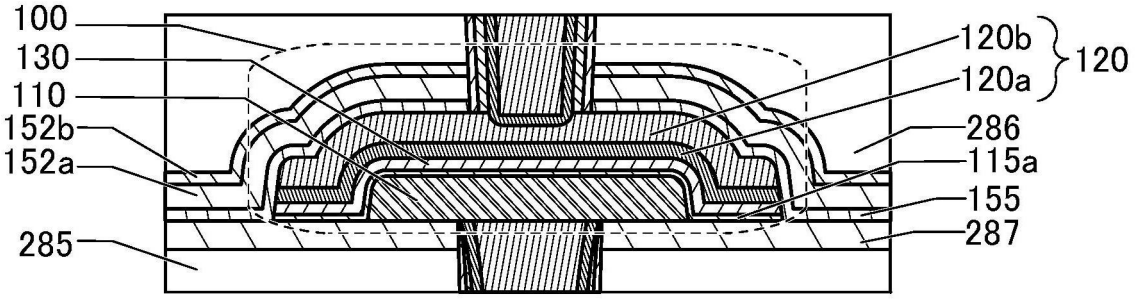


图21B

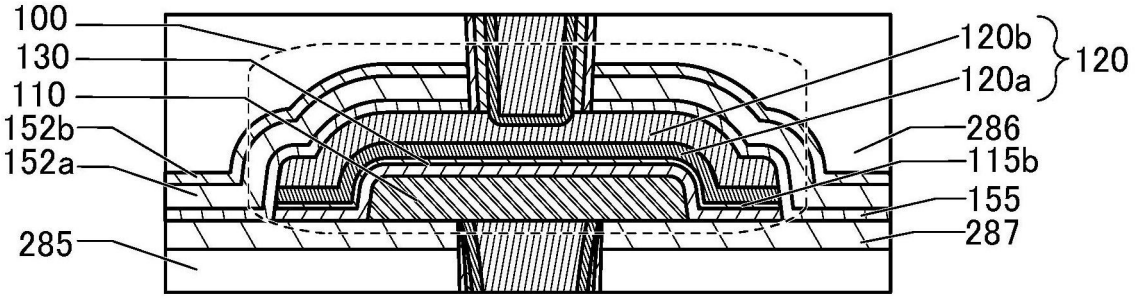


图21C

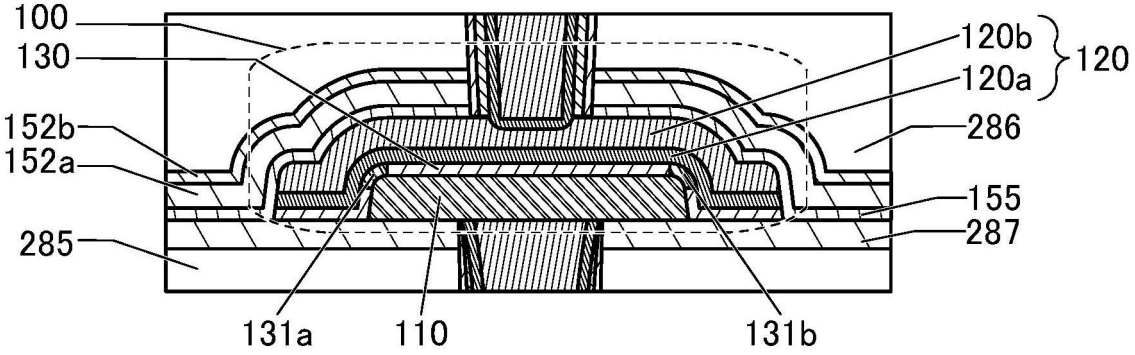


图22A

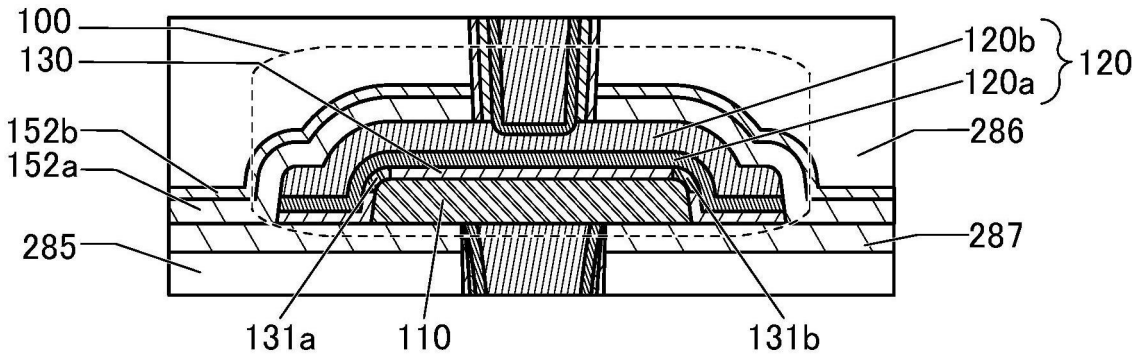


图22B

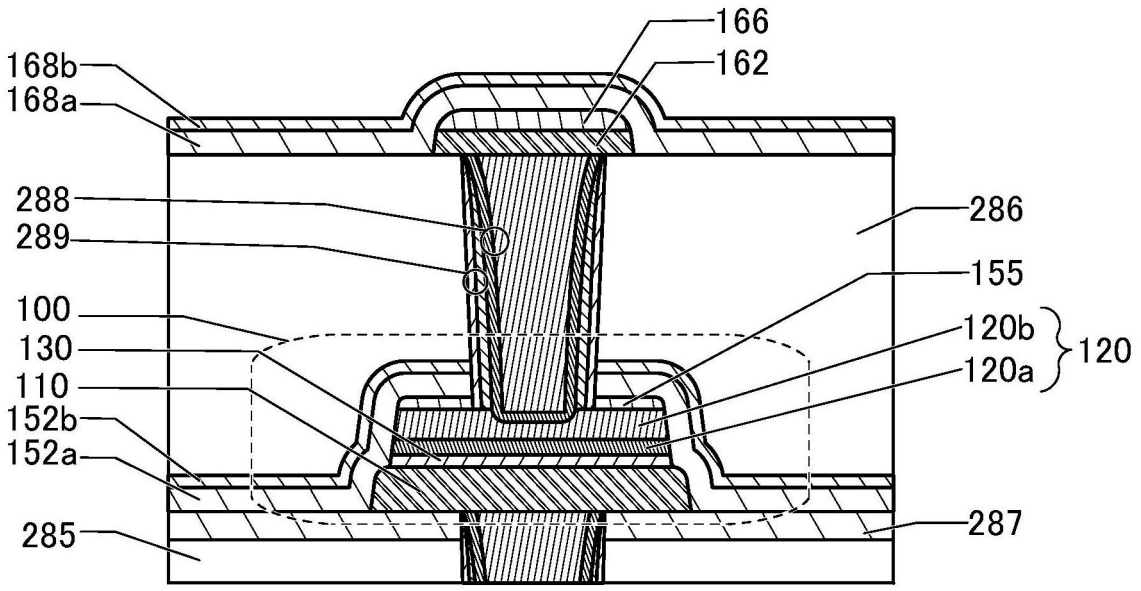


图22C

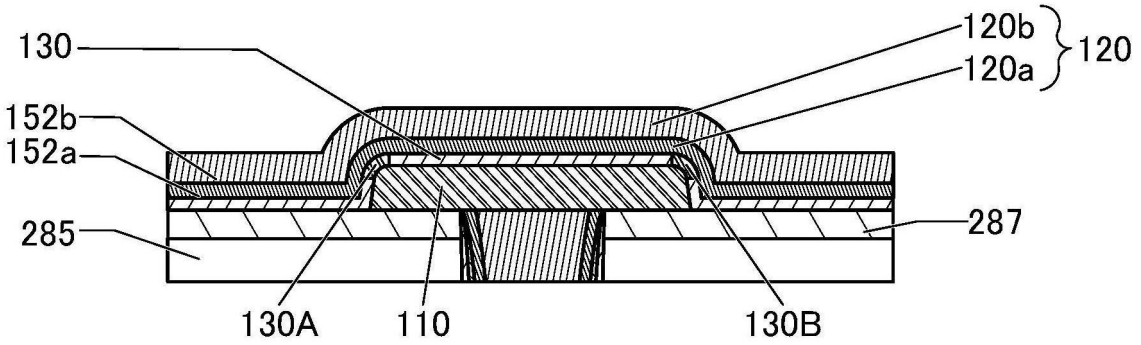


图23A

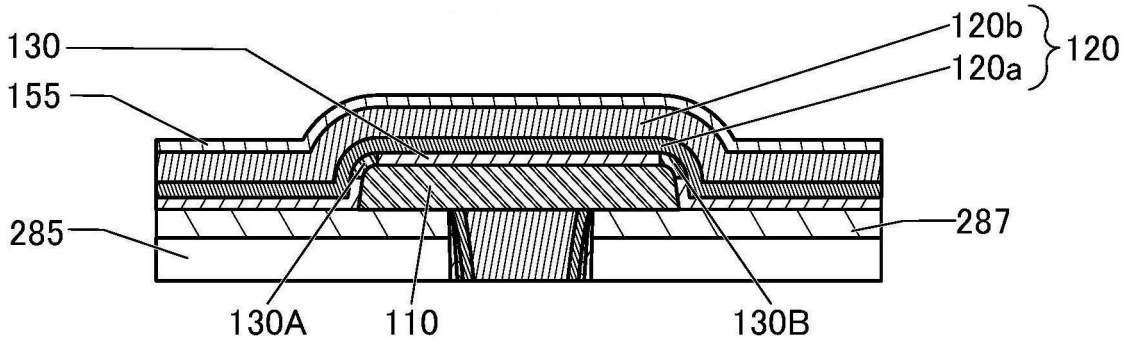


图23B

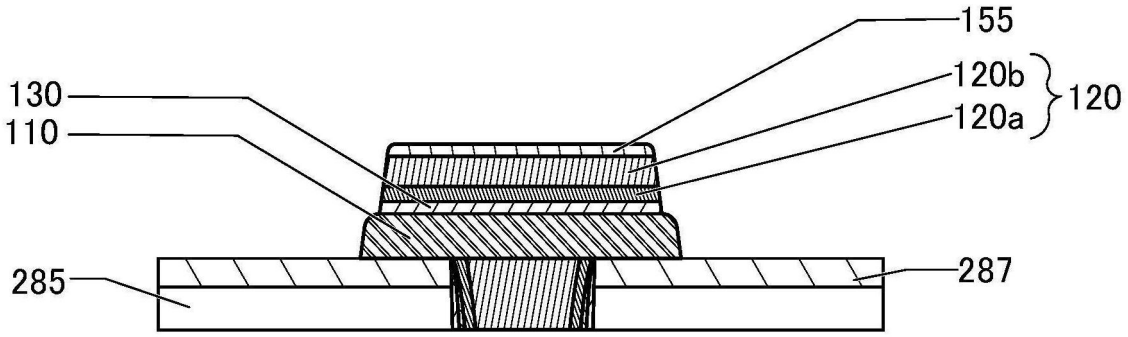


图23C

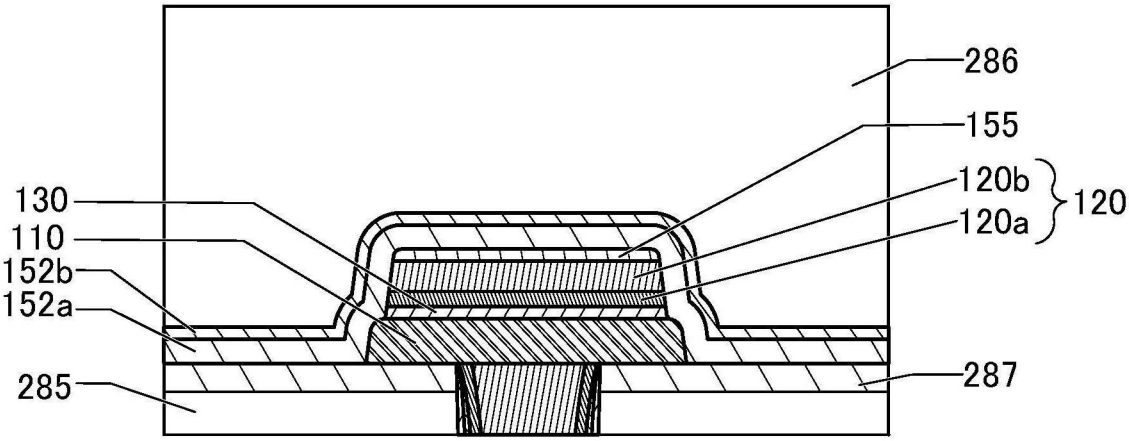


图23D

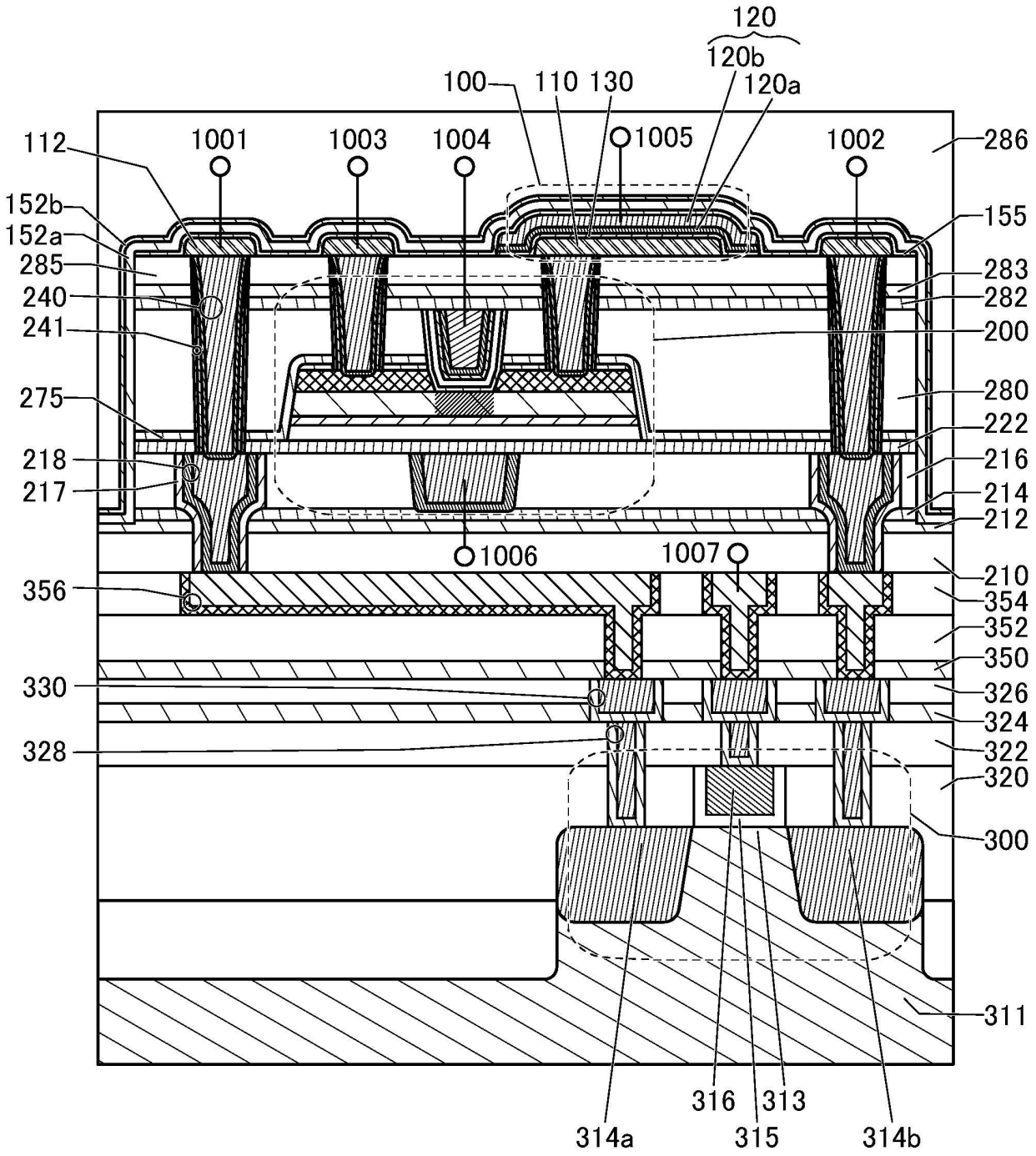

120
120b
120a
100
110
130
112
1001
1003
1004
1005
1002
286
152b
152a
285
240
241
275
218
217
155
283
282
200
280
222
216
214
212
1006
1007
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

图24

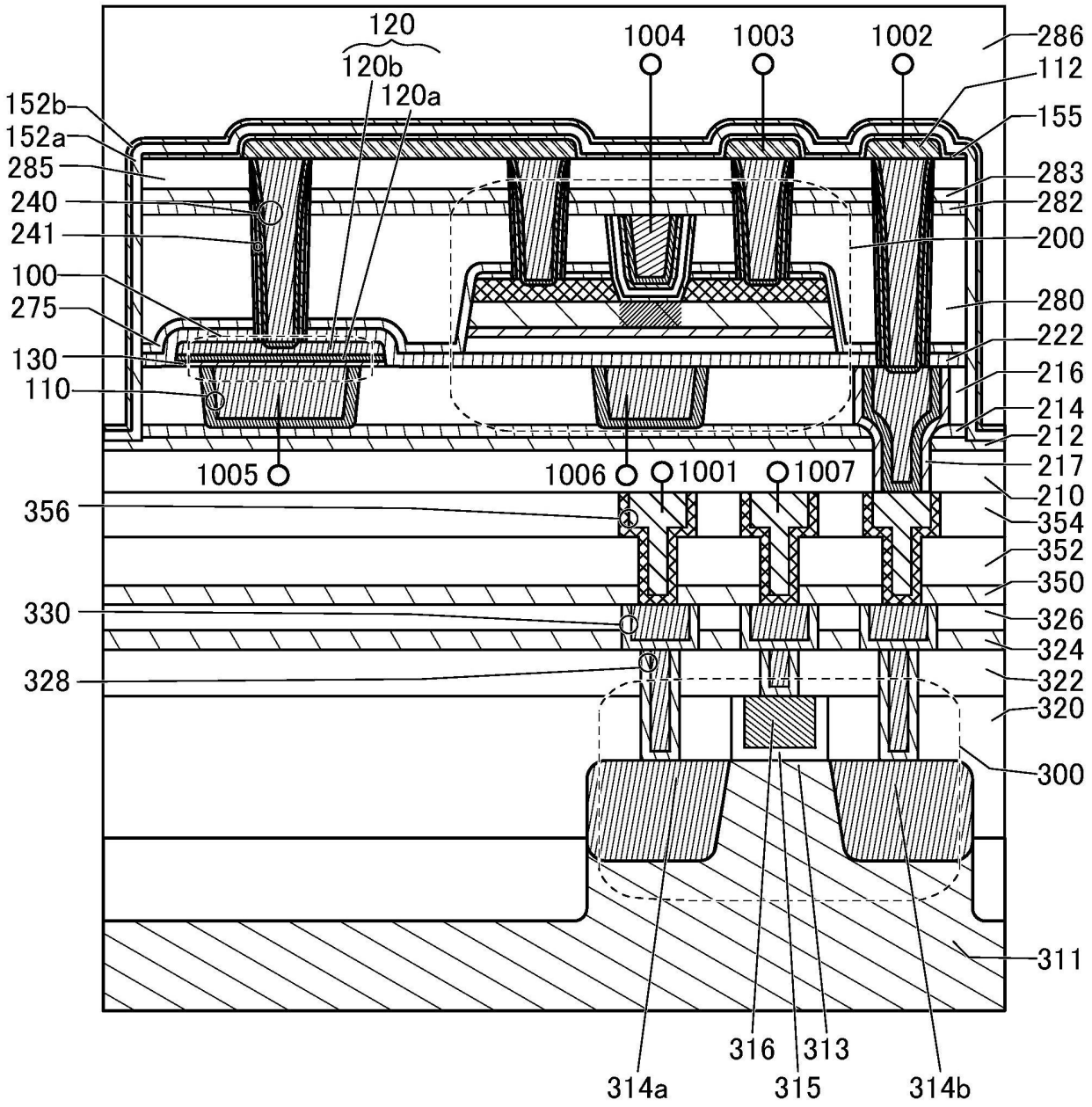

120
120b
120a
1004
1003
1002
286
112
155
152b
152a
285
240
241
100
275
130
110
283
282
200
280
222
216
214
212
217
210
354
352
350
326
324
322
320
300
311
1005
1006
1001
1007
356
330
328
316
313
315
314a
314b

图25

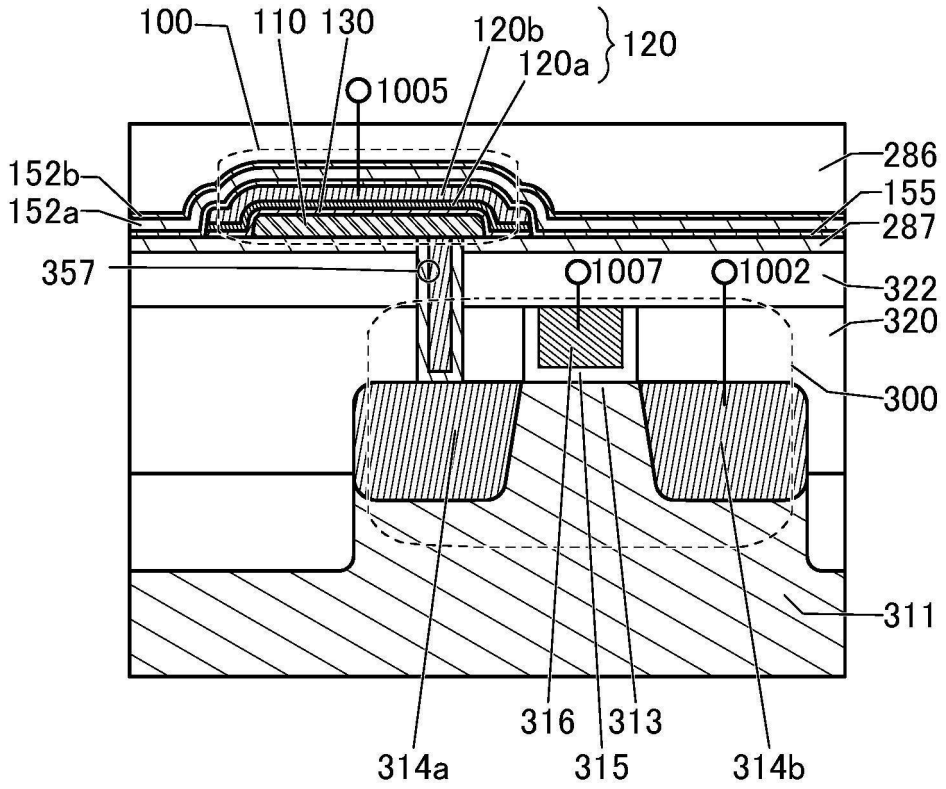

100
110
130
120b
120a
120
1005
152b
152a
286
155
287
357
1007
1002
322
320
300
311
316
313
314a
315
314b

图26A

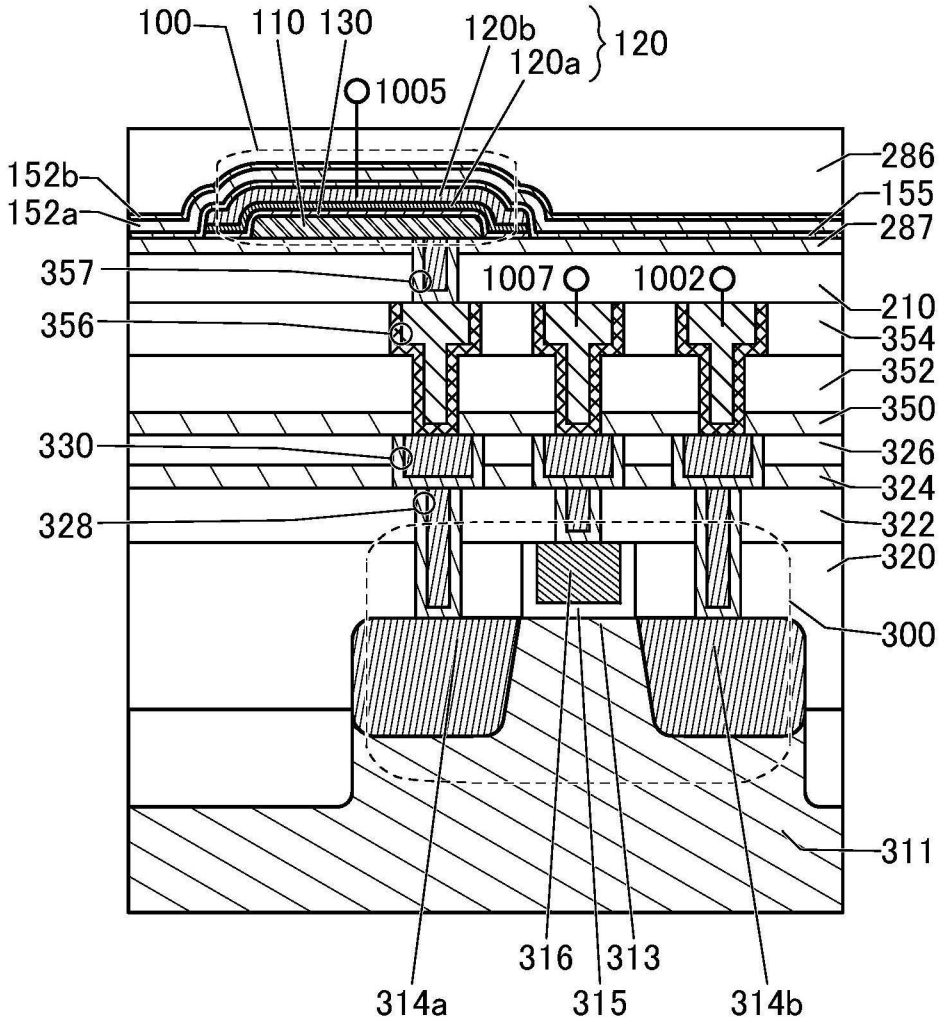

100
110 130
120b
120a
120
1005
152b
152a
286
155
287
357
1007
1002
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

图26B

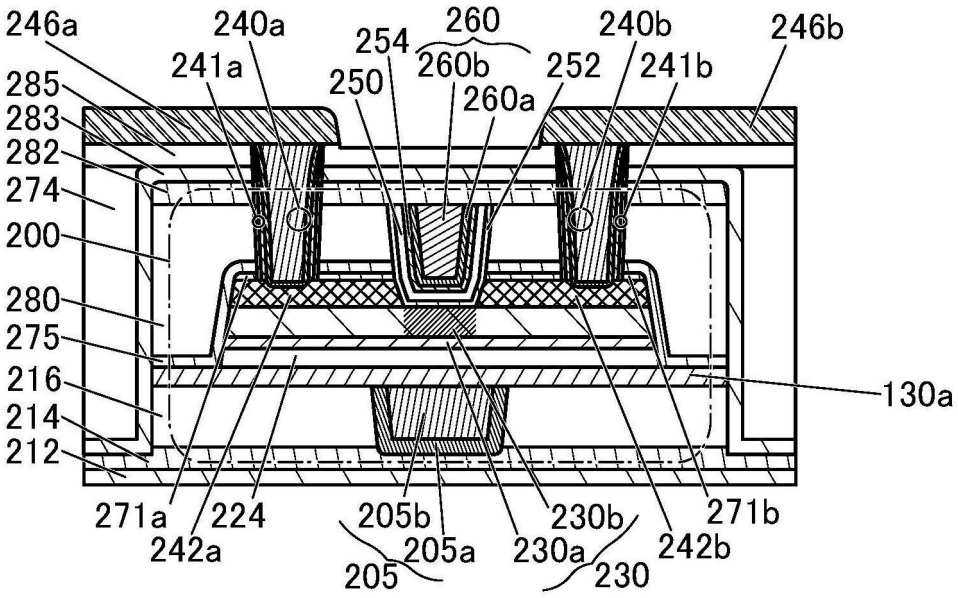

246a
240a
254
260
240b
246b
241a
250
260b
252
241b
285
260a
283
282
274
200
280
275
216
130a
214
212
271a
224
205b
230b
271b
242a
205a
230a
242b
205
230

图27A

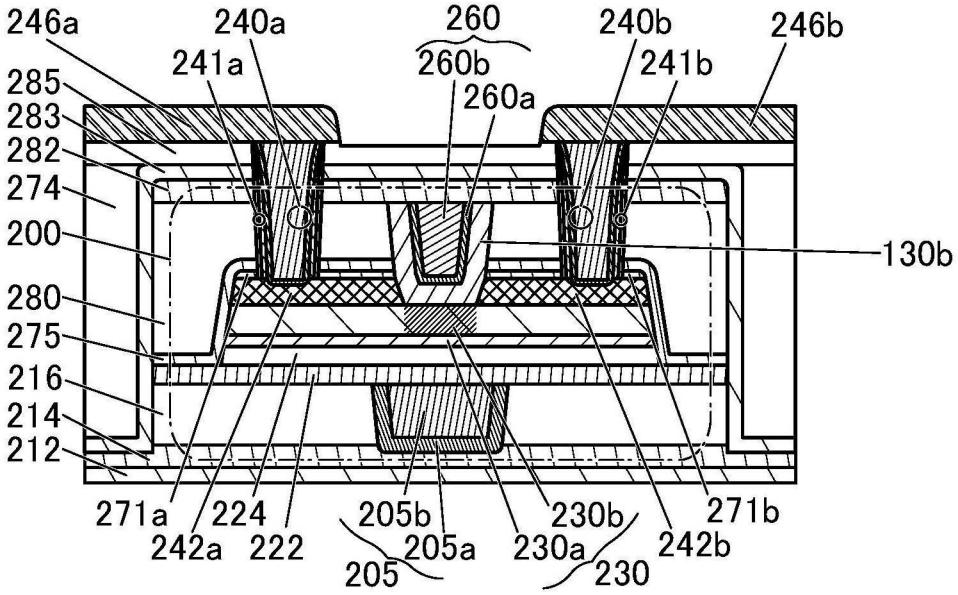

246a
240a
260
240b
246b
241a
260b
241b
285
260a
283
282
274
200
130b
280
275
216
214
212
271a
224
205b
230b
271b
242a
222
205a
230a
242b
205
230

图27B

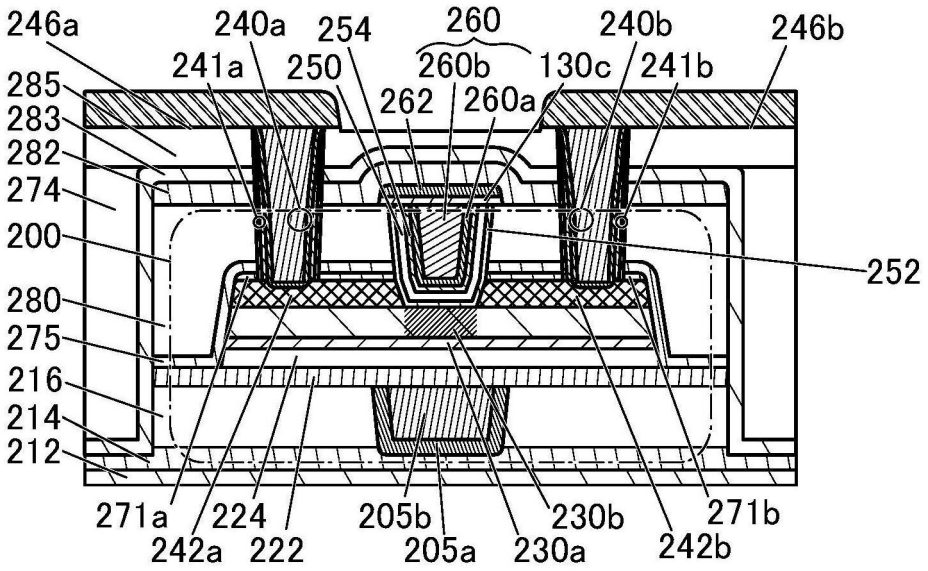

246a
240a
254
260
240b
246b
241a
250
260b
130c
241b
285
262
260a
283
282
274
200
252
280
275
216
214
212
271a
224
205b
230b
271b
242a
222
205a
230a
242b

图27C

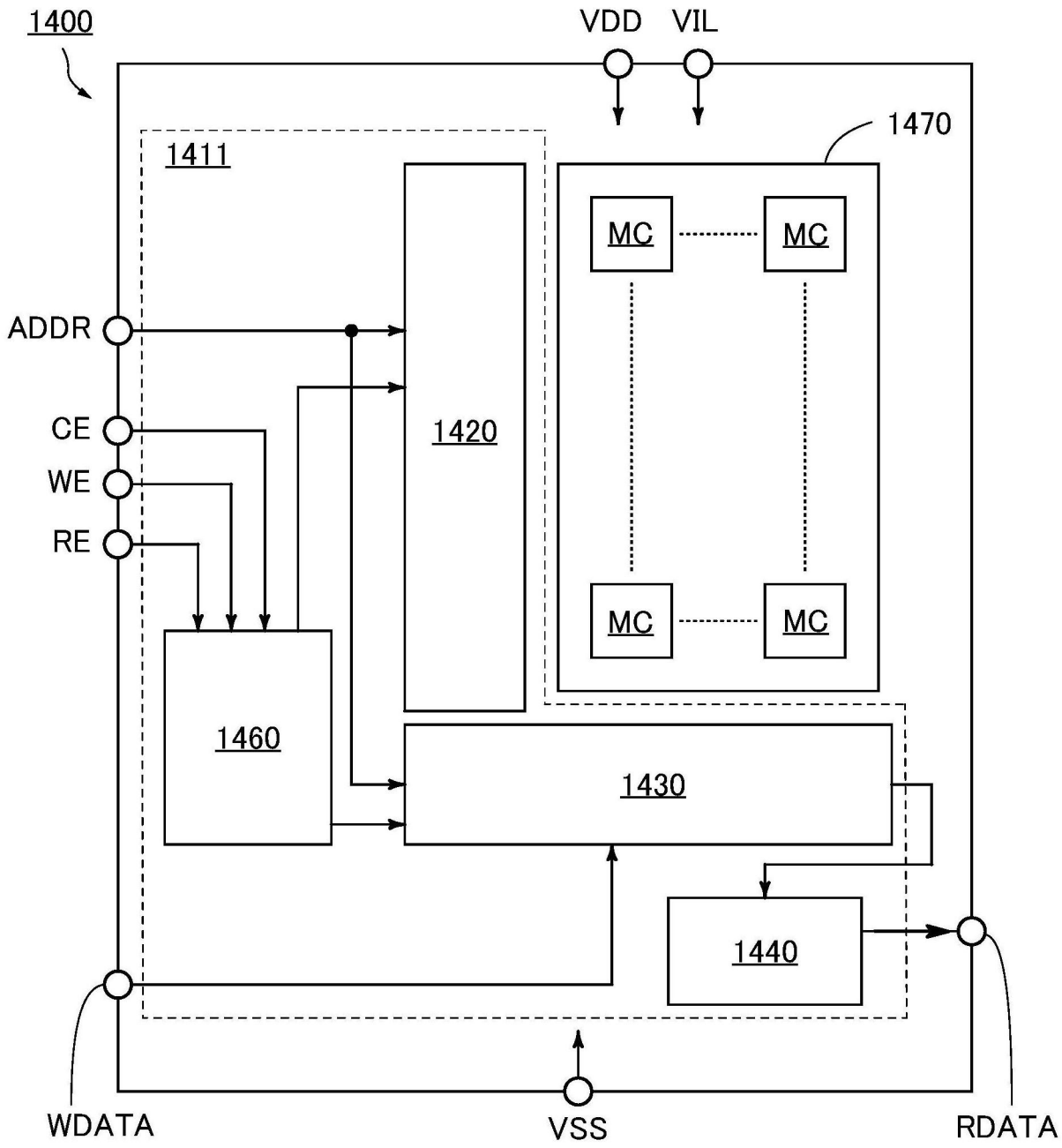

1400
VDD
VIL
1470
1411
MC
MC
MC
MC
ADDR
CE
WE
RE
1420
1460
1430
1440
WDATA
VSS
RDATA

图28A

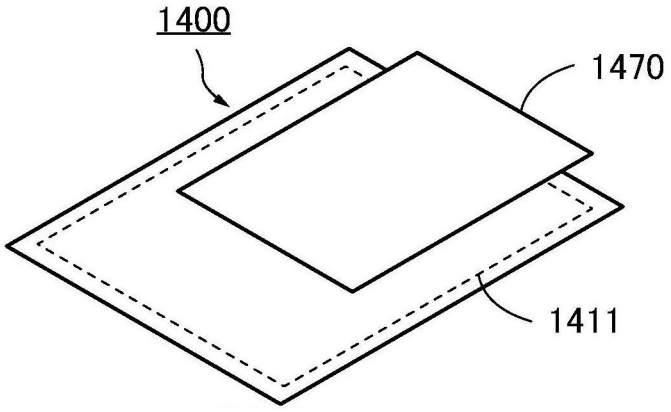


图28B

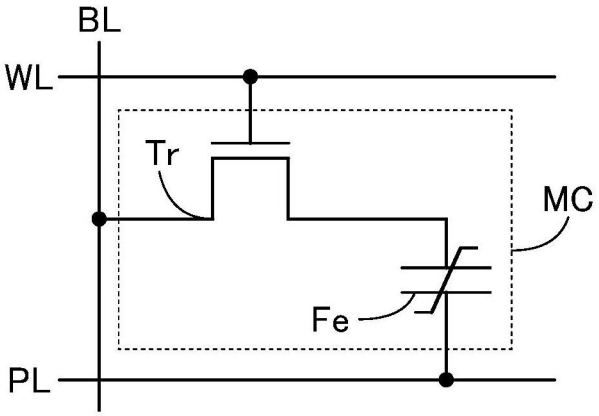


图29A

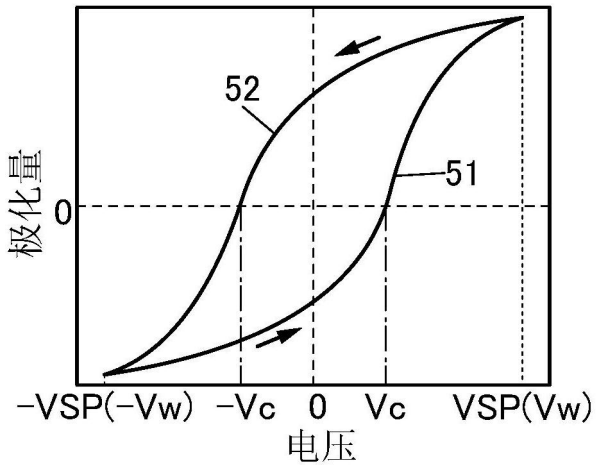


图29B1

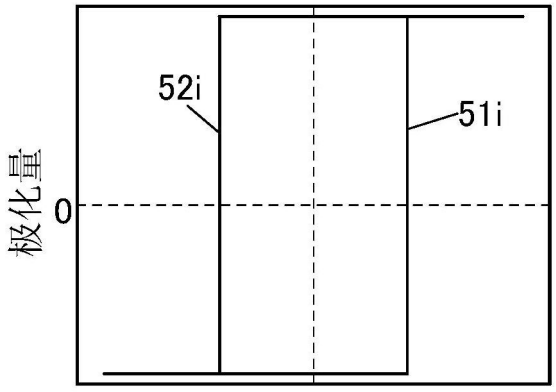


图29B2

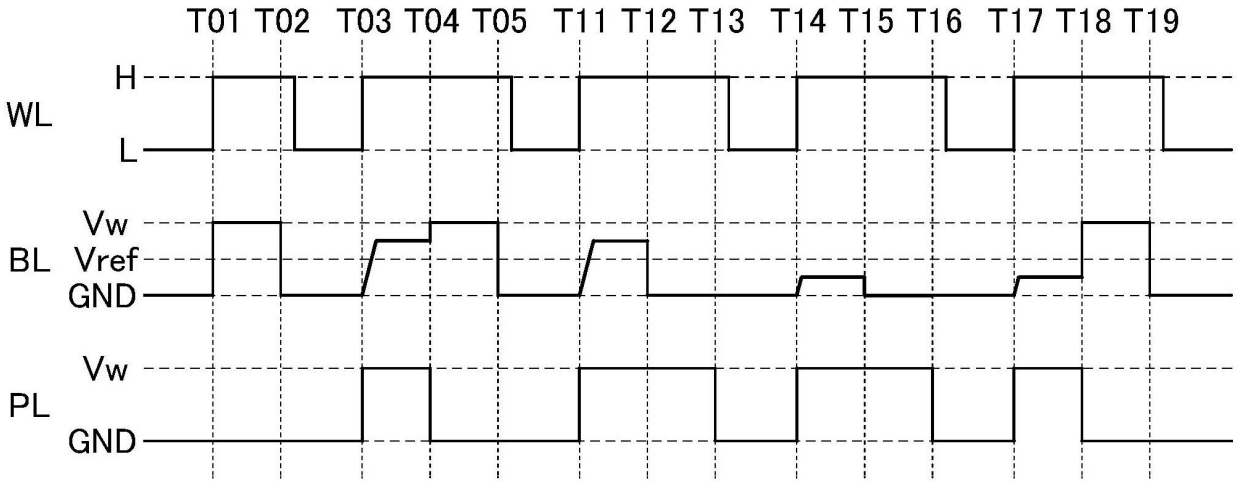


图29C

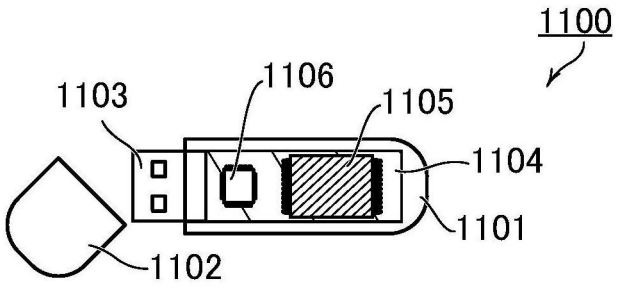


图30A

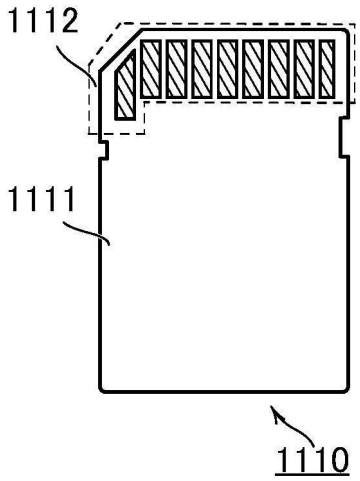


图30B

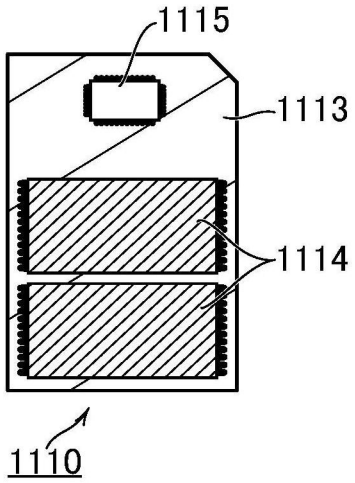


图30C

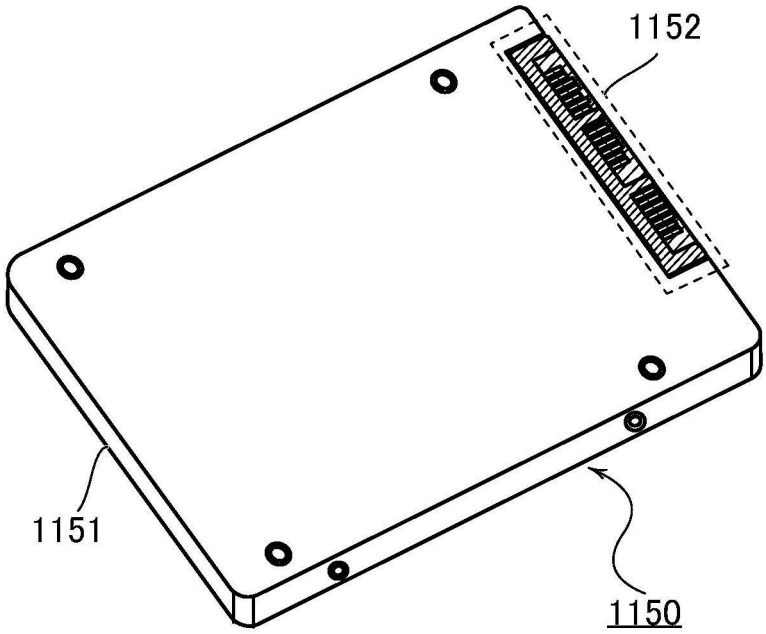


图30D

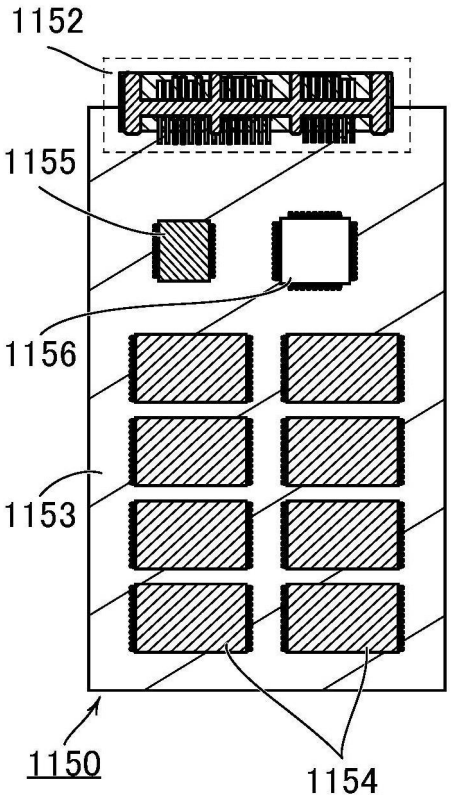


图30E

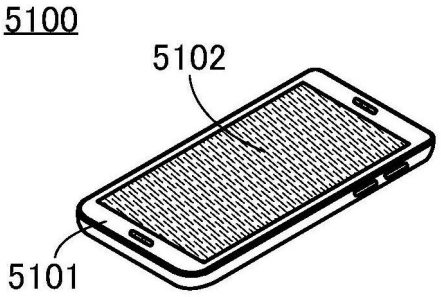


图31A

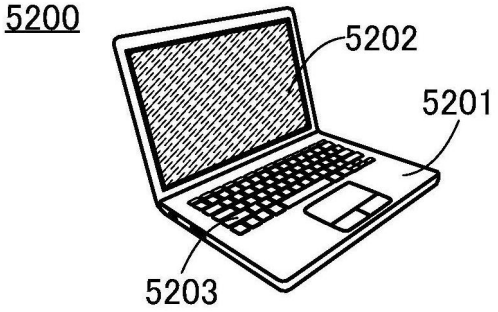


图31B

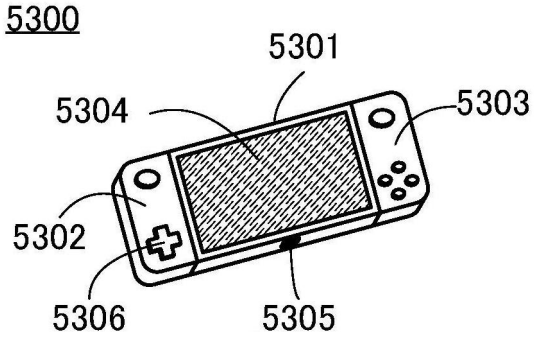


图31C

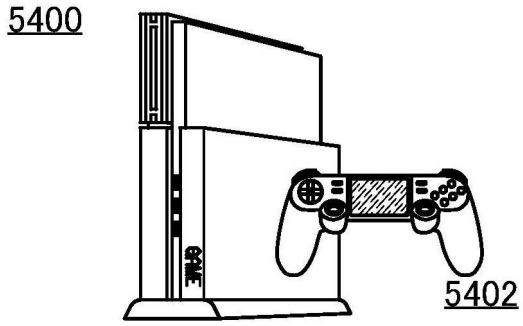


图31D

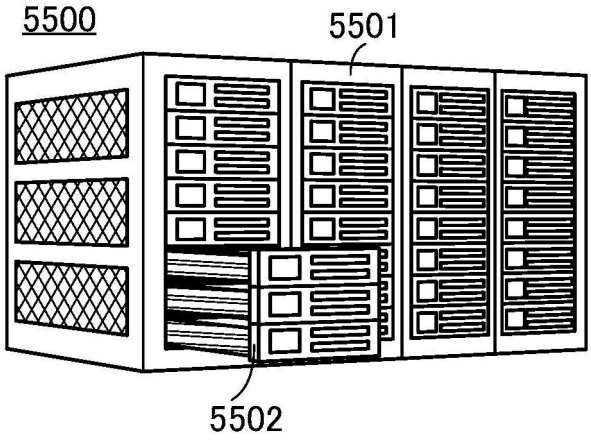


图31E

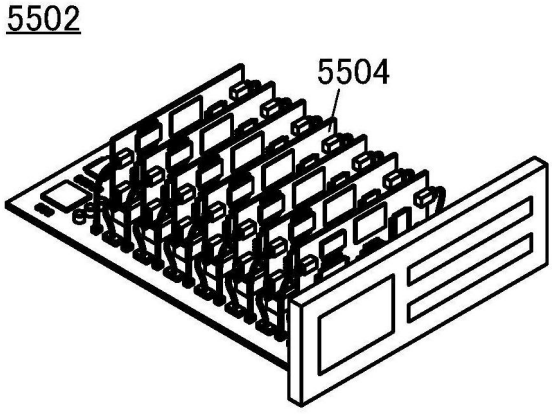


图31F

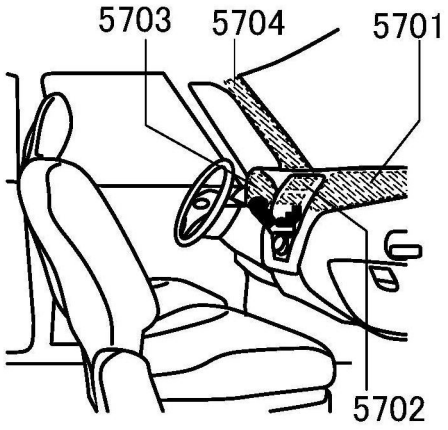


图31G

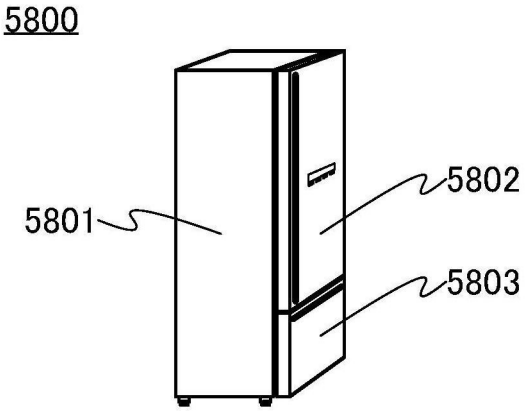


图31H

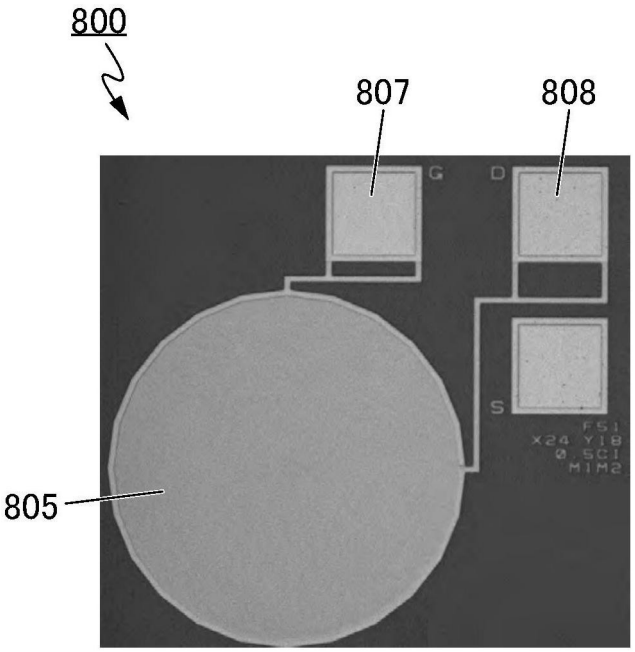

800
807
808
805
G
D
S

图32A

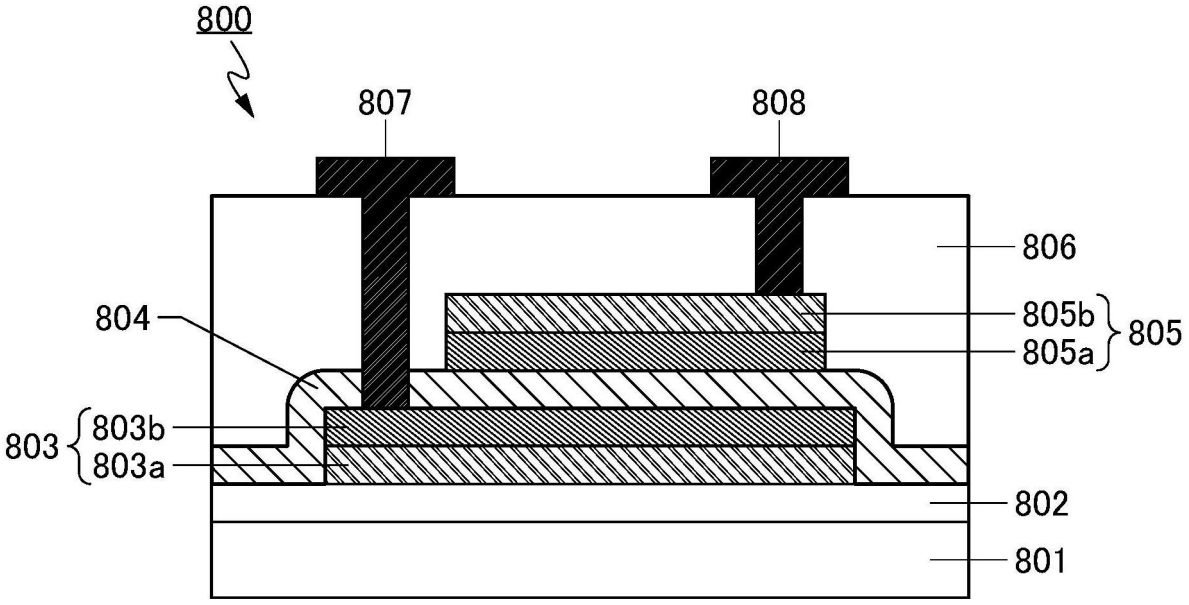

800
807
808
806
804
805b
805a
805
803
803b
803a
802
801

图32B

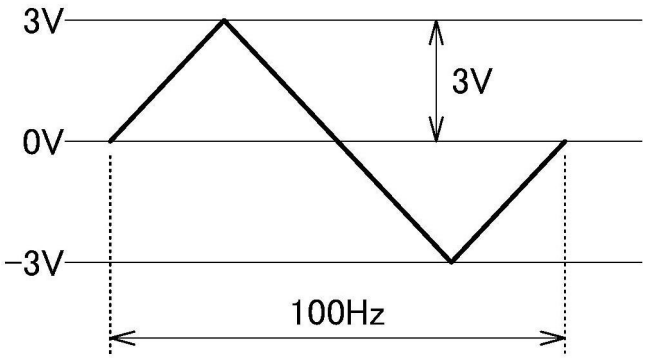


图32C

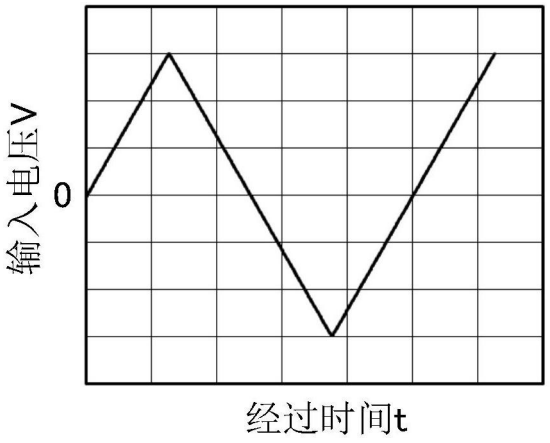


图33A

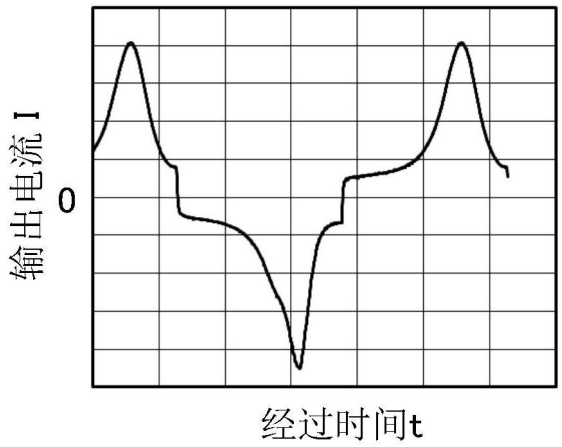


图33B

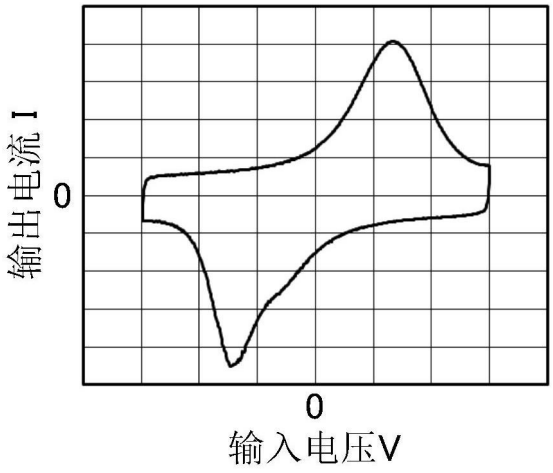


图33C

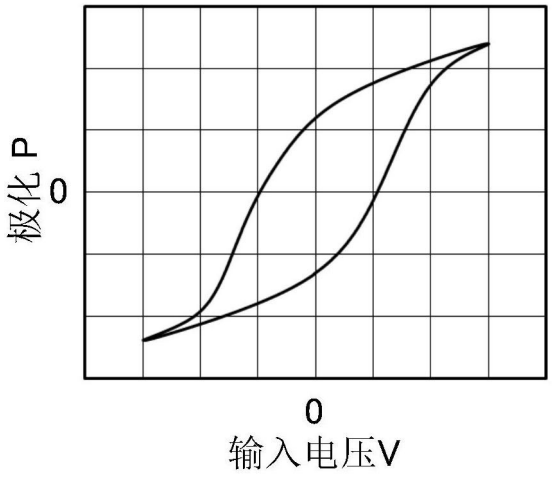


图33D

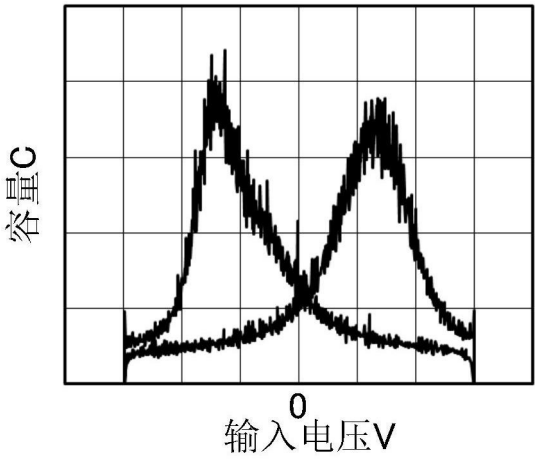


图33E

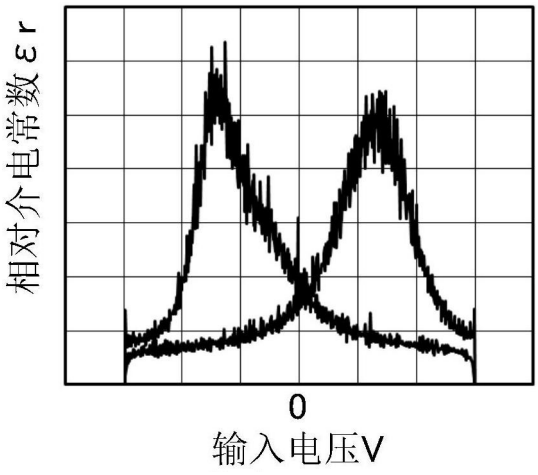


图33F

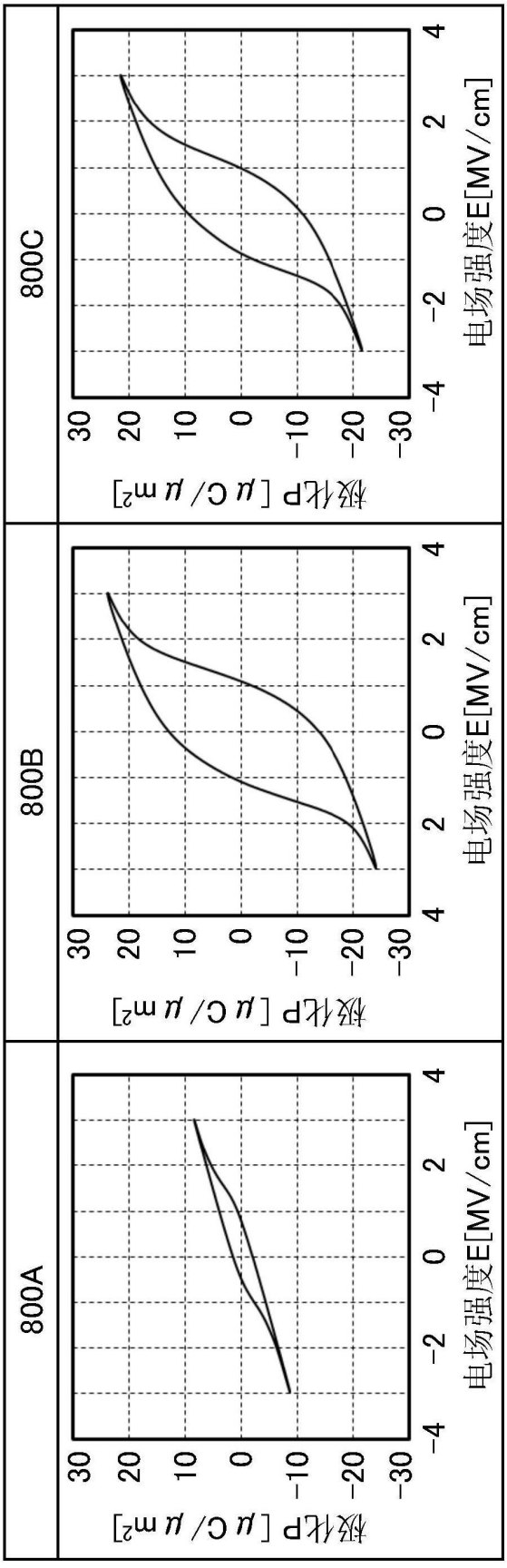


图34A

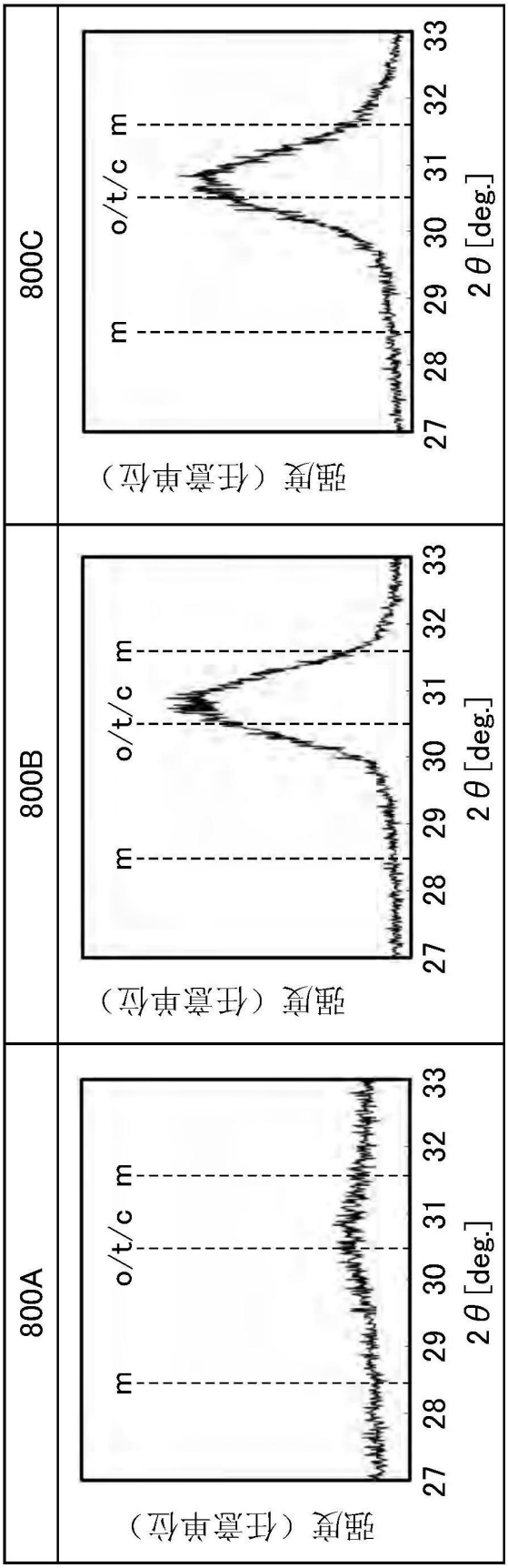


图34B

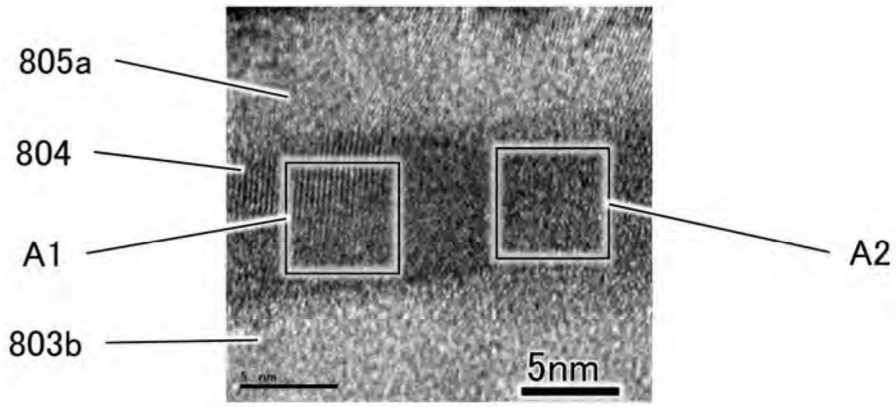


图35A

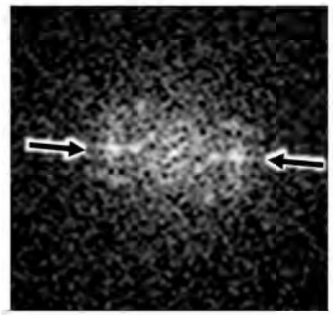


图35B

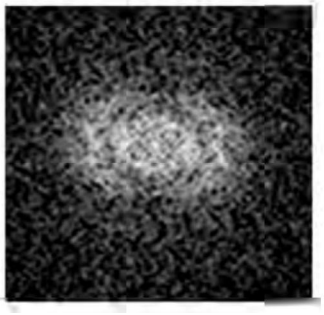


图35C

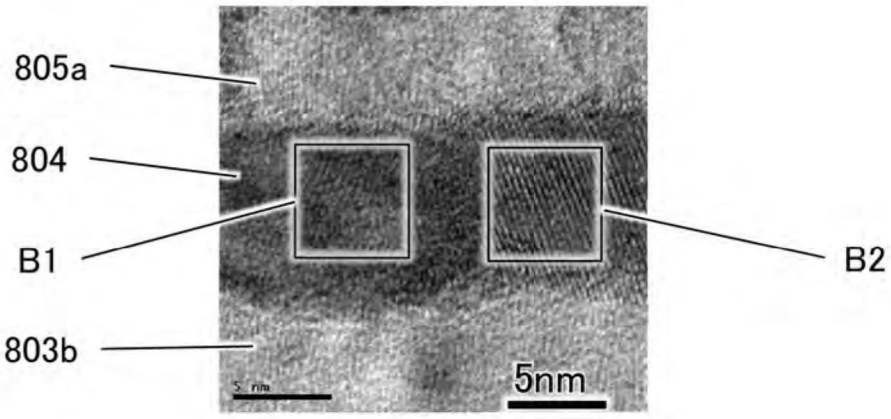


图36A

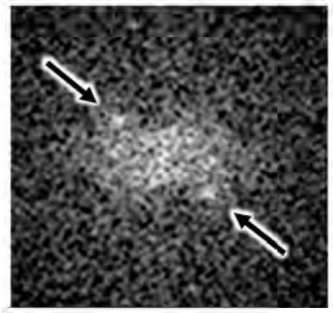


图36B

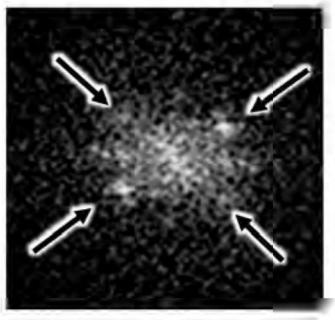


图36C

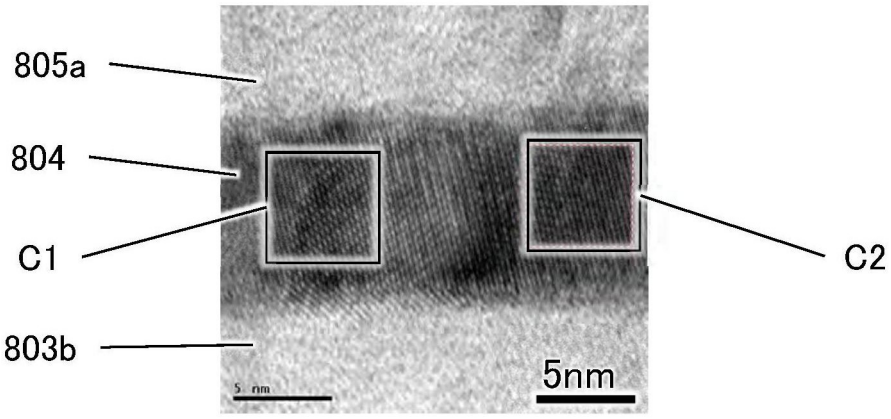


图37A

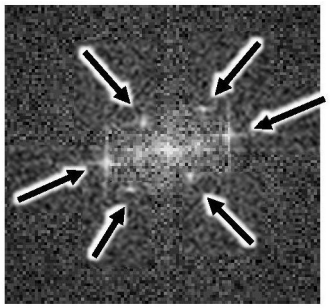


图37B

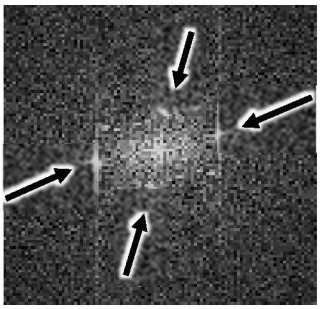


图37C

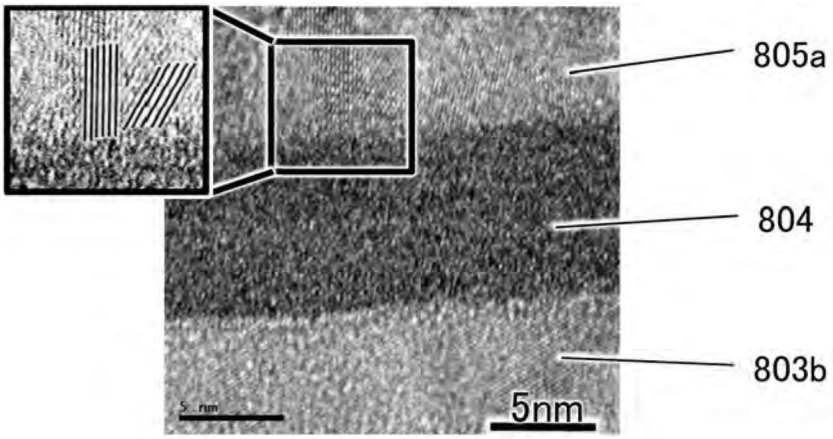


图38A

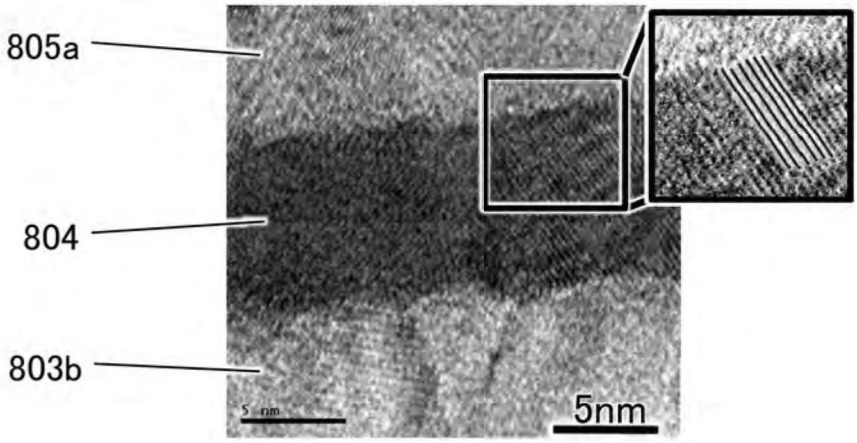


图38B

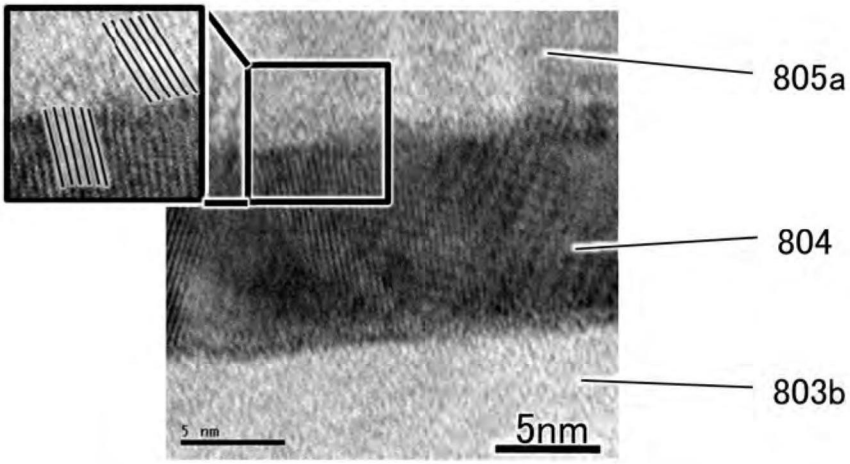


图38C

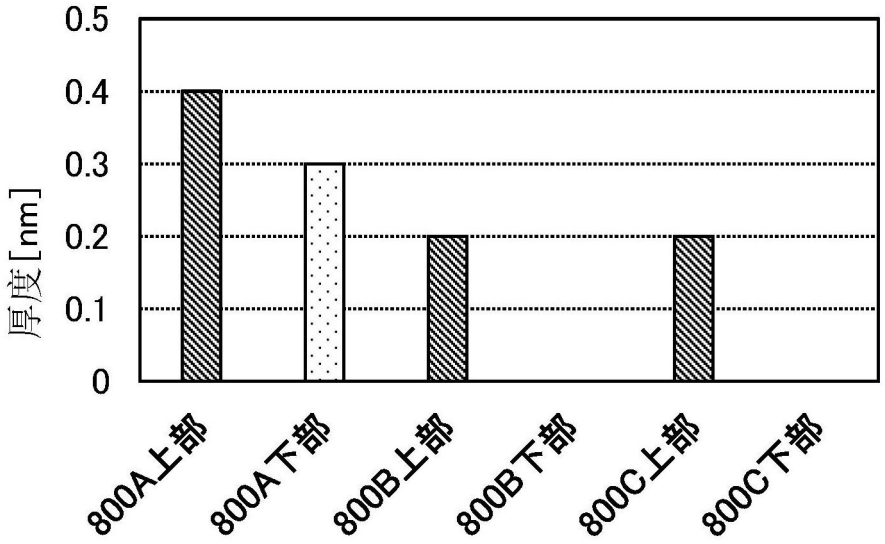

0.5
0.4
0.3
0.2
0.1
0
厚度[nm]
800A上部
800A下部
800B上部
800B下部
800C上部
800C下部

图39

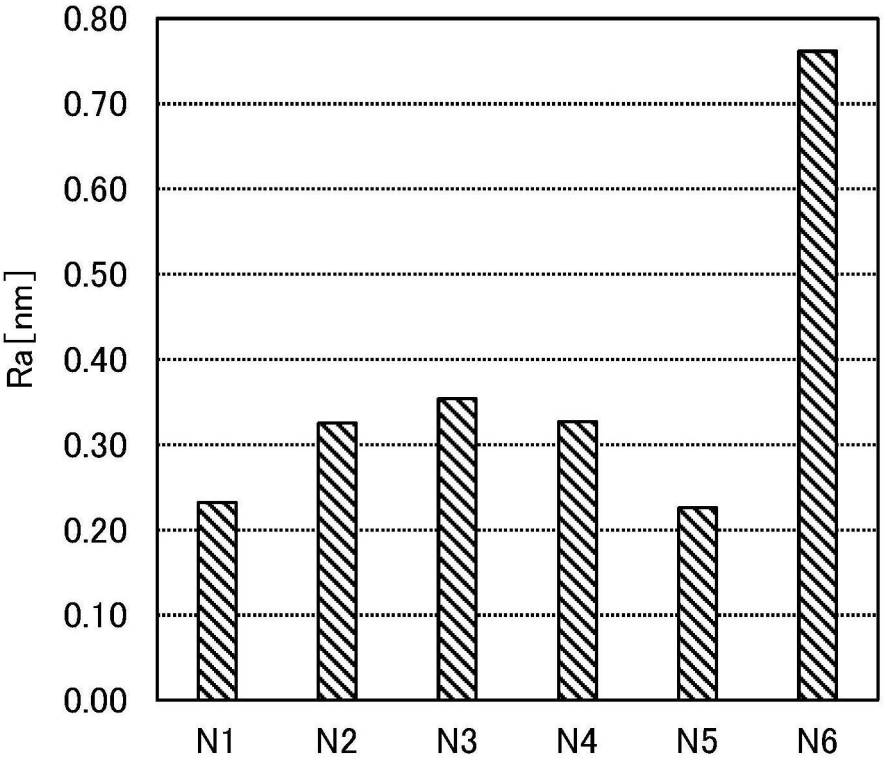

0.80
0.70
0.60
0.50
0.40
0.30
0.20
0.10
0.00
Ra[nm]
N1
N2
N3
N4
N5
N6

图40A

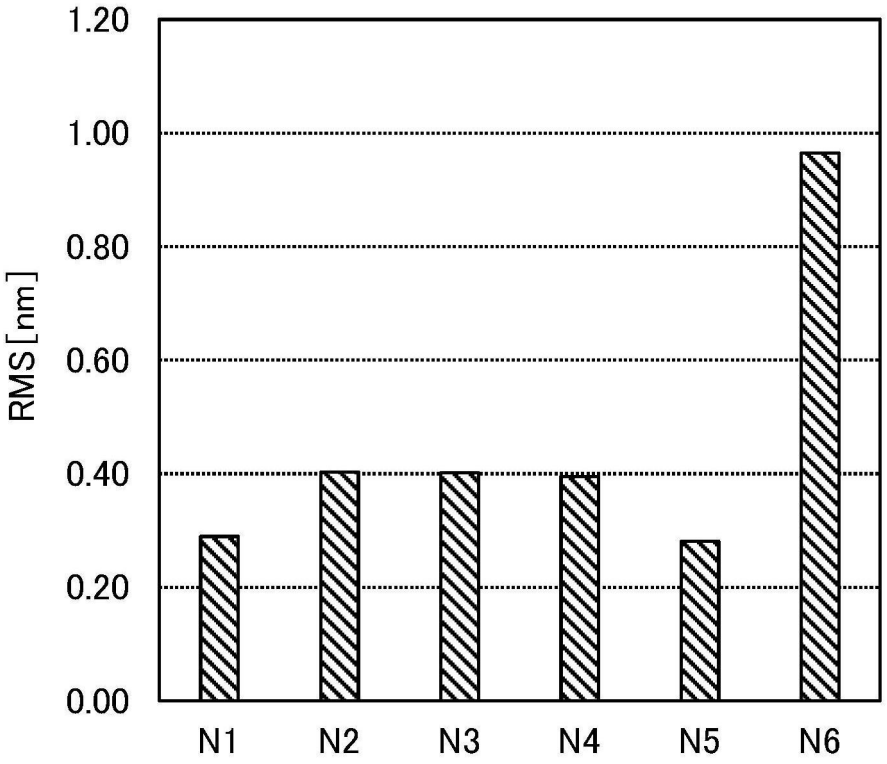


图40B

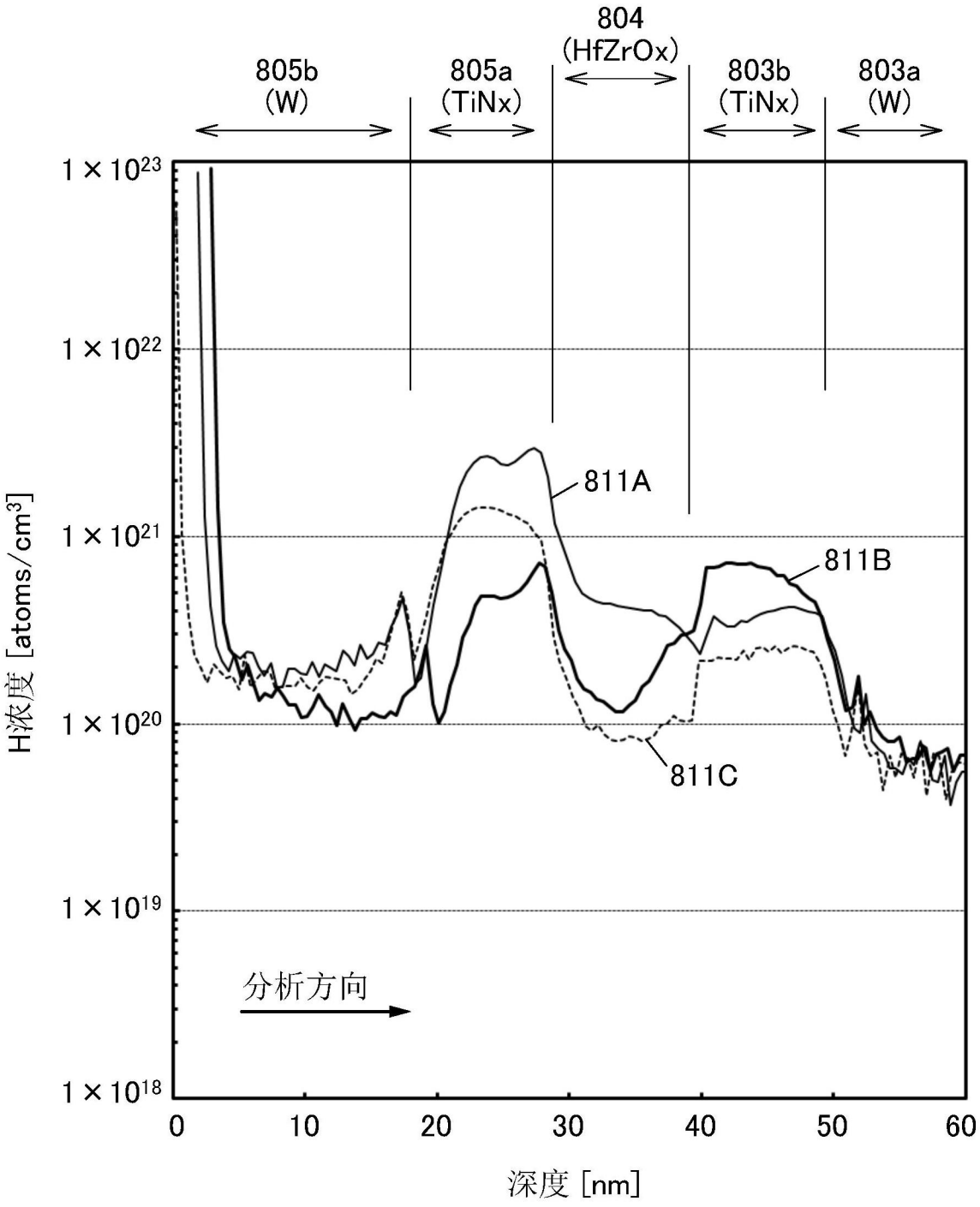

804
(HfZrOx)
805b
(W)
805a
(TiNx)
803b
(TiNx)
803a
(W)
1×10^23
1×10^22
1×10^21
1×10^20
1×10^19
1×10^18
H浓度 [atoms/cm^3]
811A
811B
811C
分析方向
0
10
20
30
40
50
60
深度 [nm]

图41

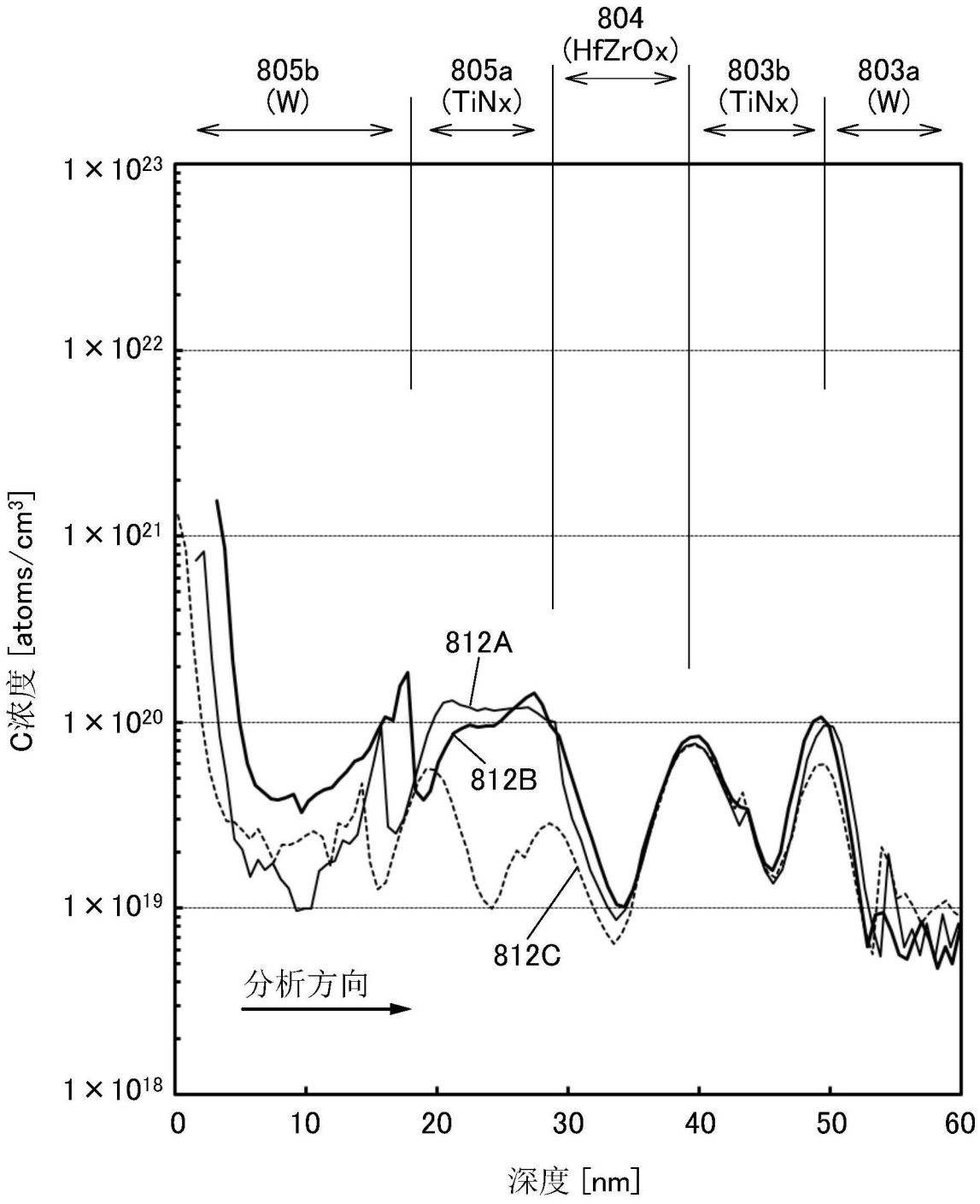

804
(HfZrOx)
805b
(W)
805a
(TiNx)
803b
(TiNx)
803a
(W)
1×10^23
1×10^22
1×10^21
1×10^20
1×10^19
1×10^18
C浓度 [atoms/cm^3]
812A
812B
812C
分析方向
0
10
20
30
40
50
60
深度 [nm]

图42

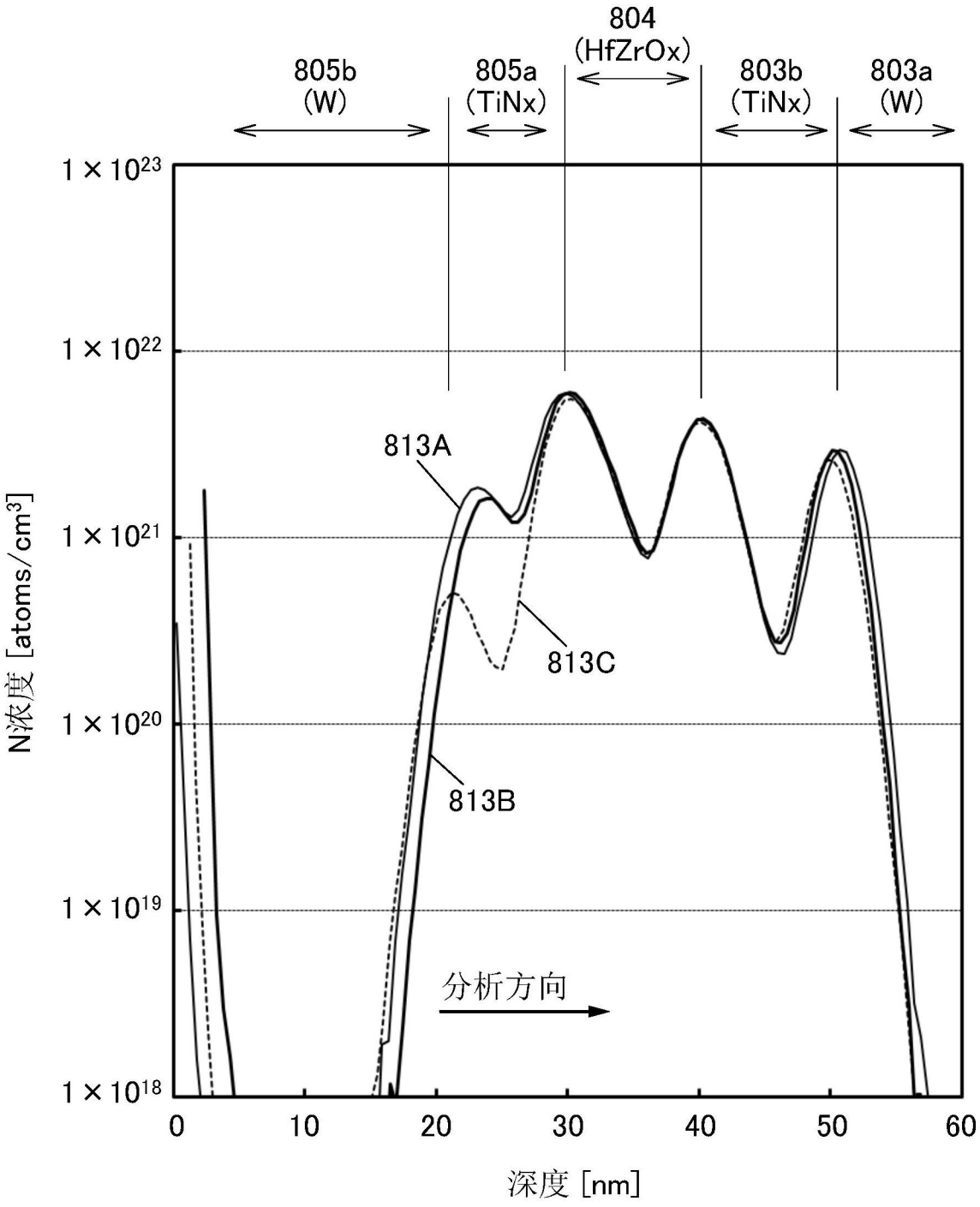

804
(HfZrOx)
805b
(W)
805a
(TiNx)
803b
(TiNx)
803a
(W)
1×10^23
1×10^22
1×10^21
1×10^20
1×10^19
1×10^18
N浓度 [atoms/cm^3]
813A
813C
813B
分析方向
0
10
20
30
40
50
60
深度 [nm]

图43

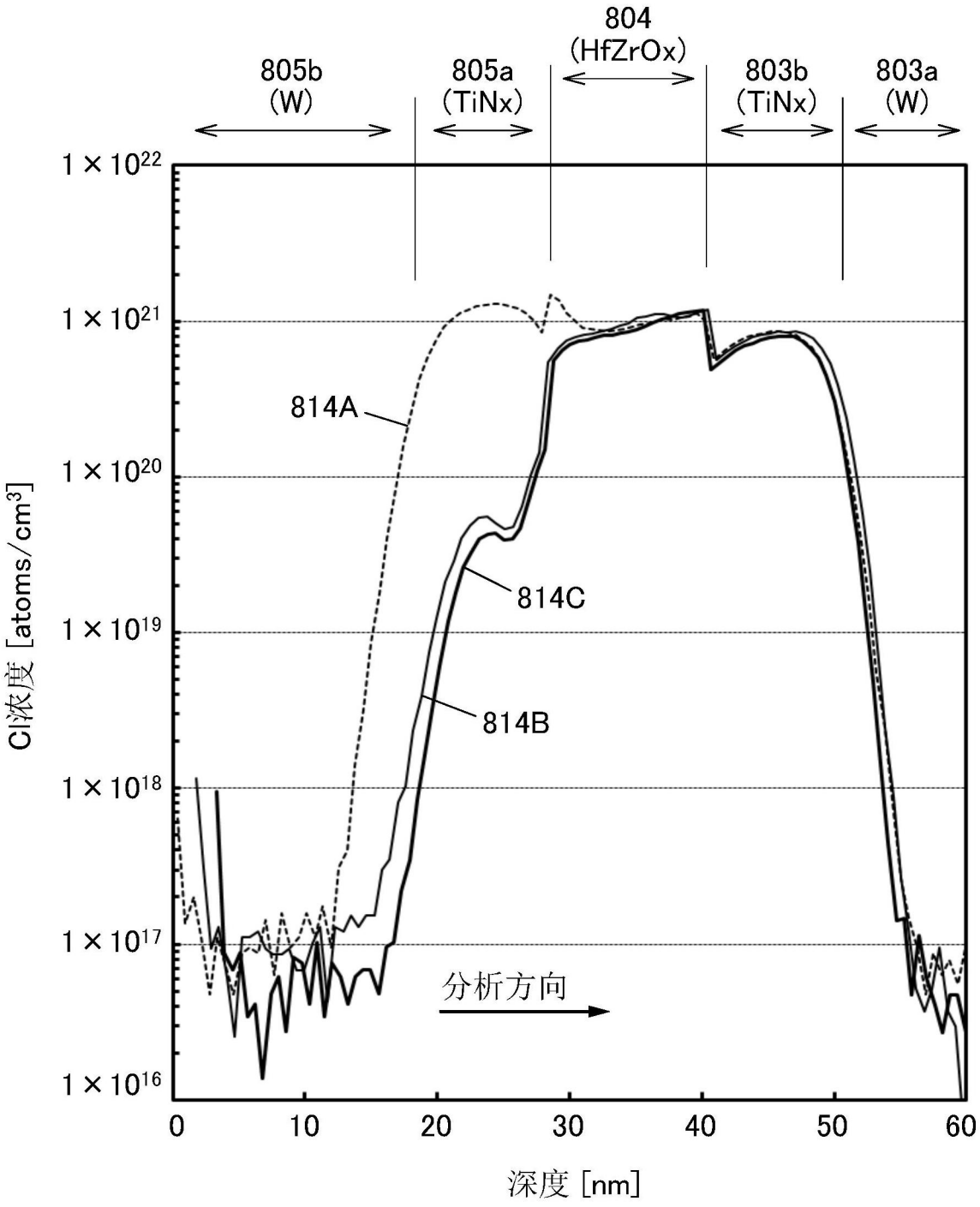

804
(HfZrOx)
805b
(W)
805a
(TiNx)
803b
(TiNx)
803a
(W)
1×10^22
1×10^21
1×10^20
1×10^19
1×10^18
1×10^17
1×10^16
Cl浓度 [atoms/cm^3]
814A
814C
814B
分析方向
0
10
20
30
40
50
60
深度 [nm]

图44

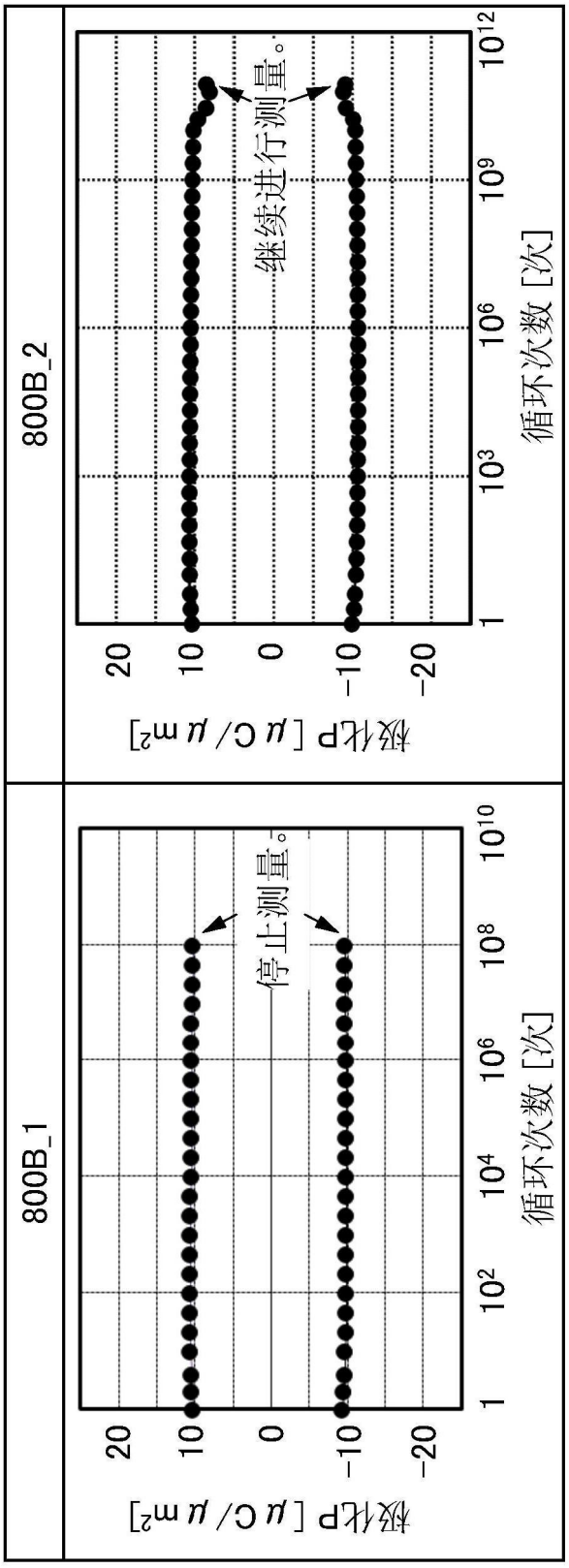

800B_1
800B_2
极化P [μC/μm²]
循环次数 [次]
停止测量。
继续进行测量。
20
10
0
−10
−20
1
10²
10⁴
10⁶
10⁸
10¹⁰
10³
10⁹
10¹²

图45A

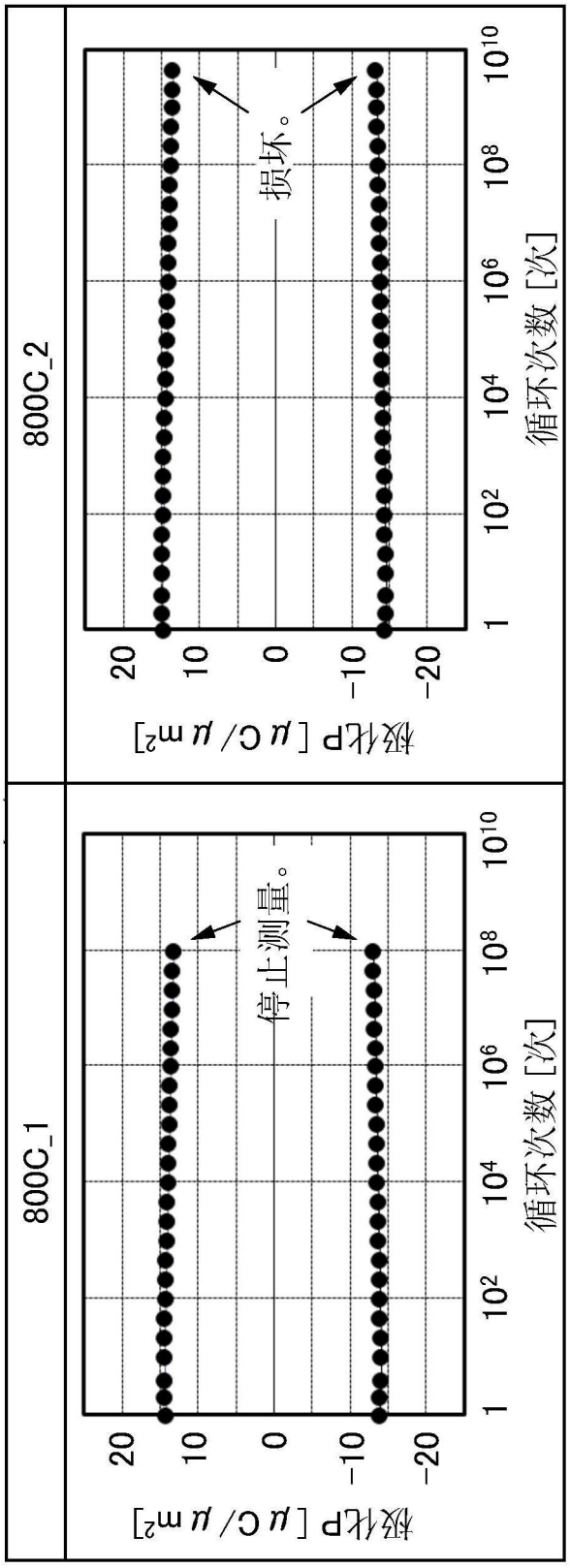

800C_2
极化P [μC/μm²]
20
10
0
-10
-20
1
10²
10⁴
10⁶
10⁸
10¹⁰
循环次数 [次]
损坏。
800C_1
极化P [μC/μm²]
20
10
0
-10
-20
1
10²
10⁴
10⁶
10⁸
10¹⁰
循环次数 [次]
停止测量。

图45B

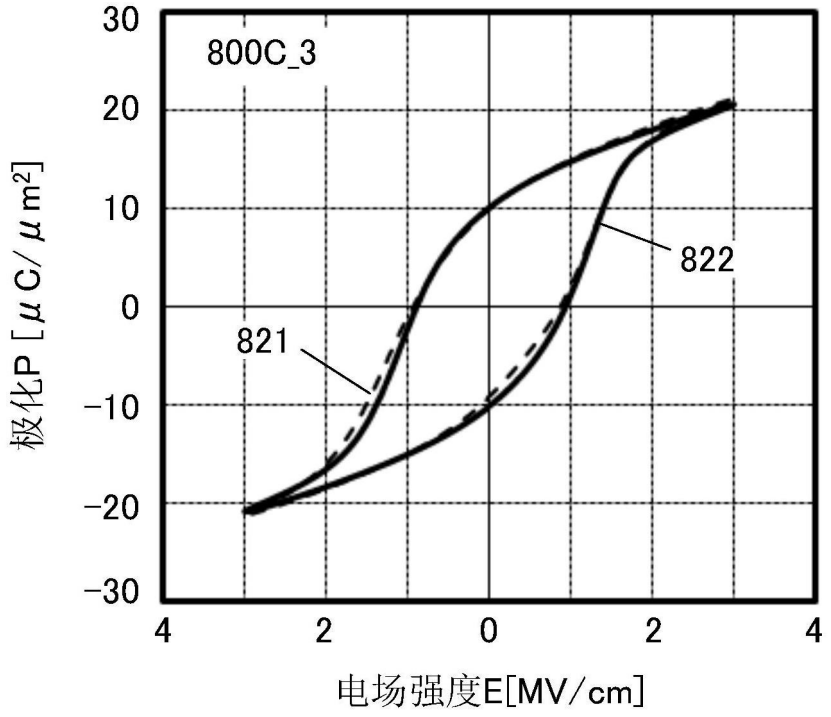

800C_3
822
821
极化P [μC/μm²]
电场强度E[MV/cm]
30
20
10
0
-10
-20
-30
4
2
0
2
4

图46A

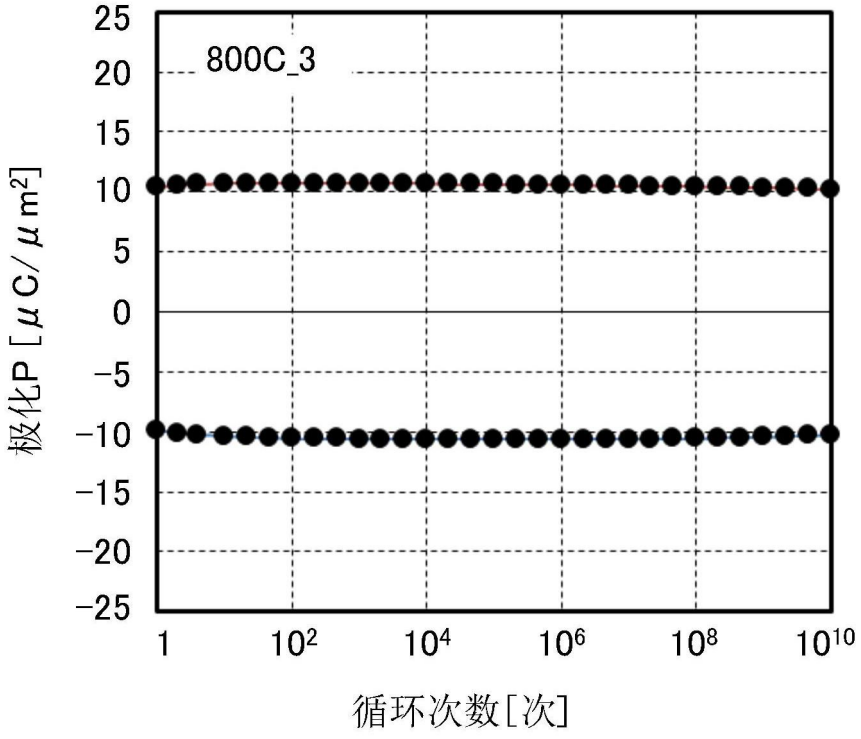

800C_3
极化P [μC/μm²]
循环次数[次]
25
20
15
10
5
0
-5
-10
-15
-20
-25
1
10²
10⁴
10⁶
10⁸
10¹⁰

图46B

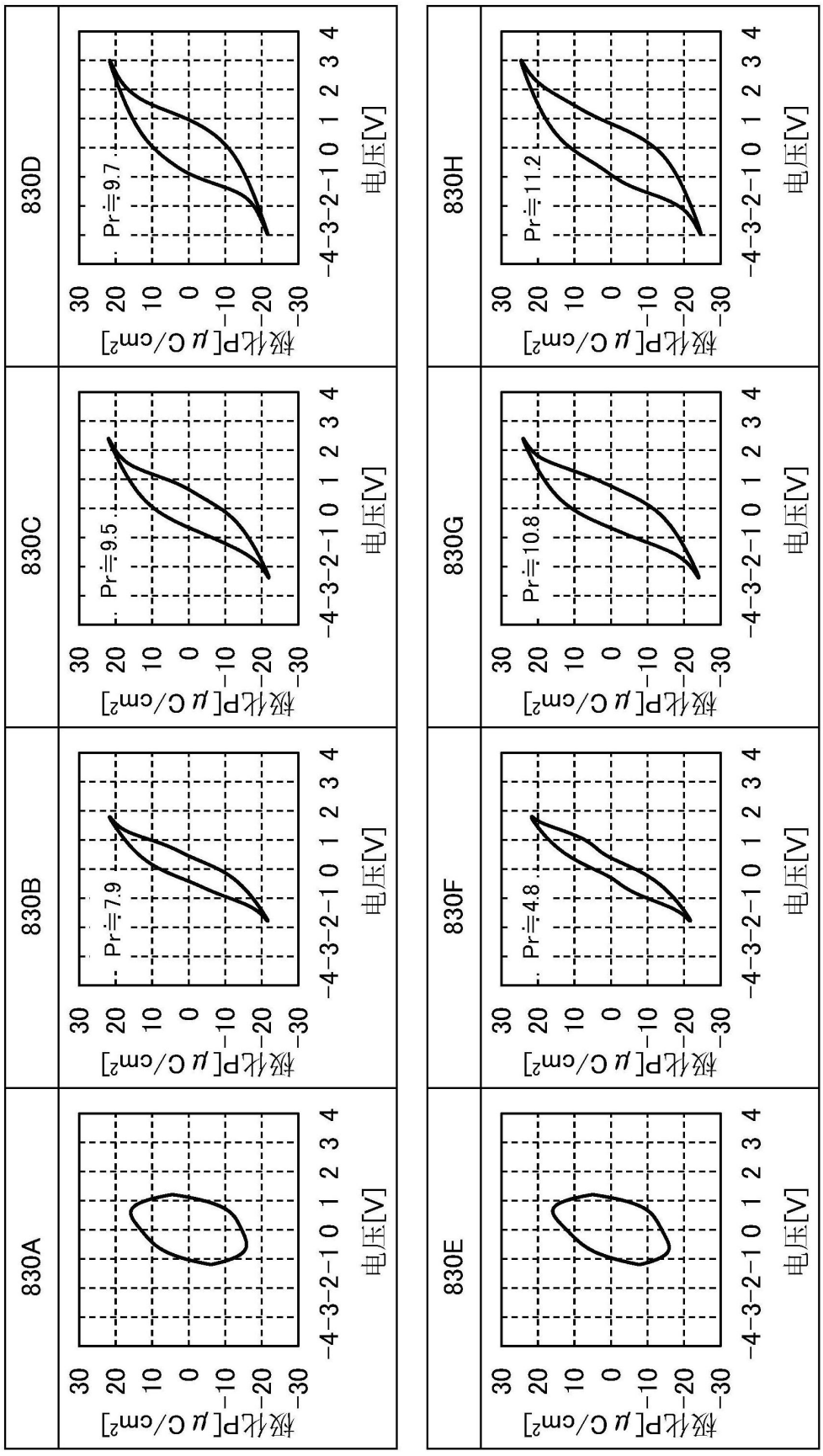

830A
830B
830C
830D
830E
830F
830G
830H
极化P[μC/cm²]
电压[V]
Pr≒7.9
Pr≒9.5
Pr≒9.7
Pr≒4.8
Pr≒10.8
Pr≒11.2

图47

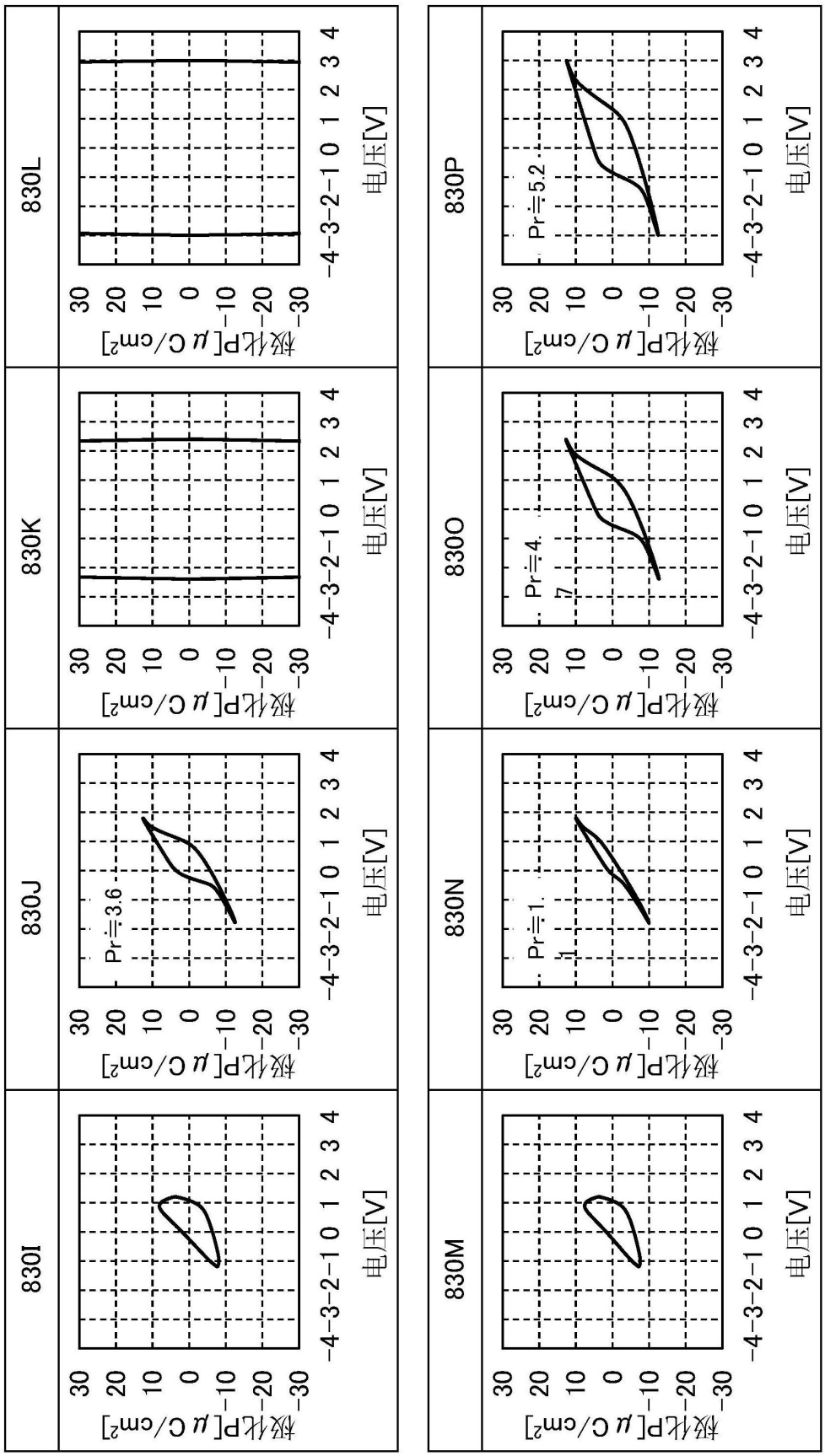

830I
830J
830K
830L
830M
830N
830O
830P
极化P[μC/cm²]
电压[V]
Pr≒3.6
Pr≒1.1
Pr≒4.7
Pr≒5.2

图48

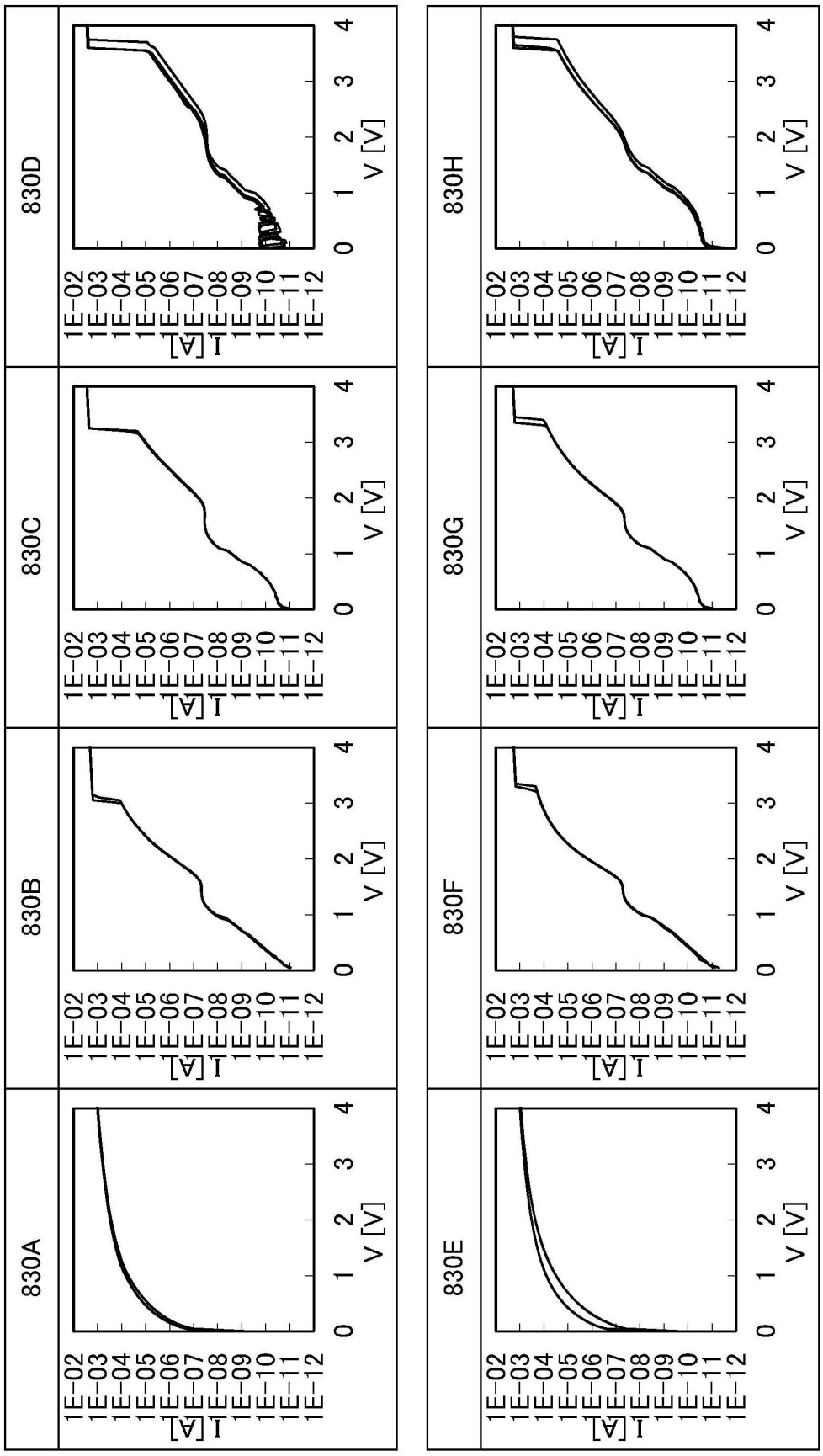

830A
830B
830C
830D
830E
830F
830G
830H
I [A]
V [V]
1E−02
1E−03
1E−04
1E−05
1E−06
1E−07
1E−08
1E−09
1E−10
1E−11
1E−12
0
1
2
3
4

图49

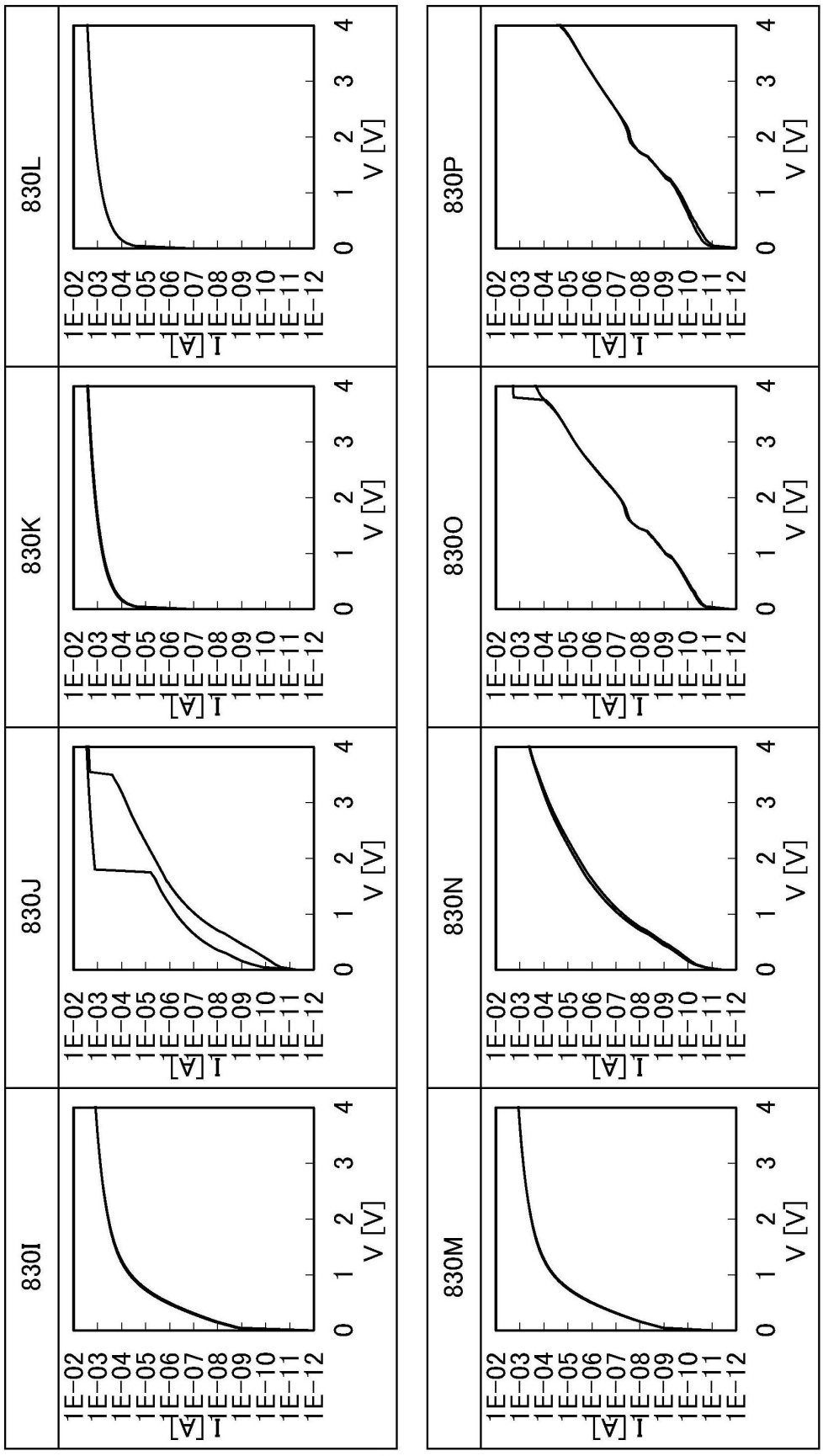

830I
830J
830K
830L
830M
830N
830O
830P
I [A]
V [V]
1E−02
1E−03
1E−04
1E−05
1E−06
1E−07
1E−08
1E−09
1E−10
1E−11
1E−12
0
1
2
3
4

图50

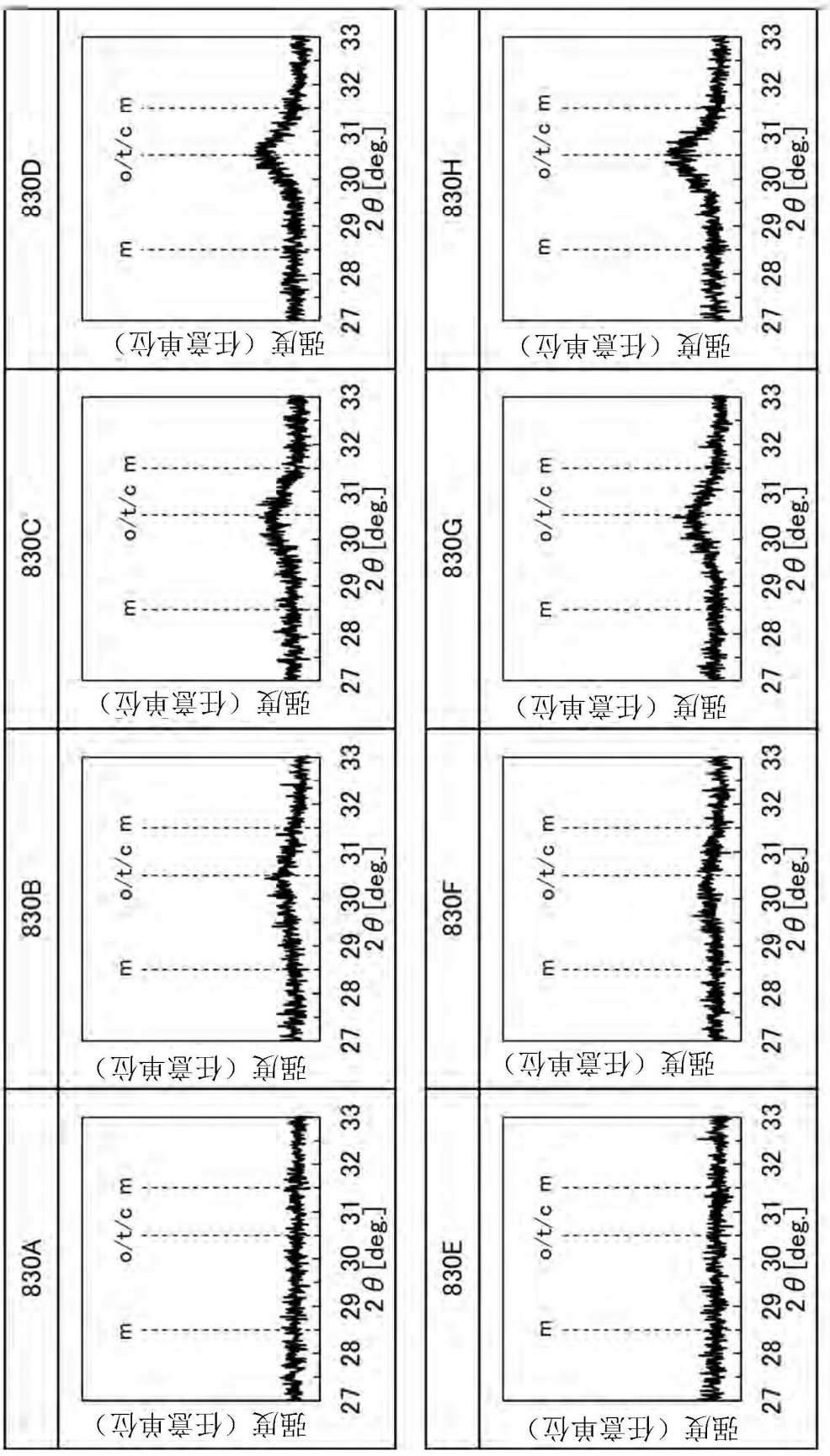

830A
830B
830C
830D
830E
830F
830G
830H
强度（任意单位）
27 28 29 30 31 32 33
2θ [deg.]
m
o/t/c
m

图51

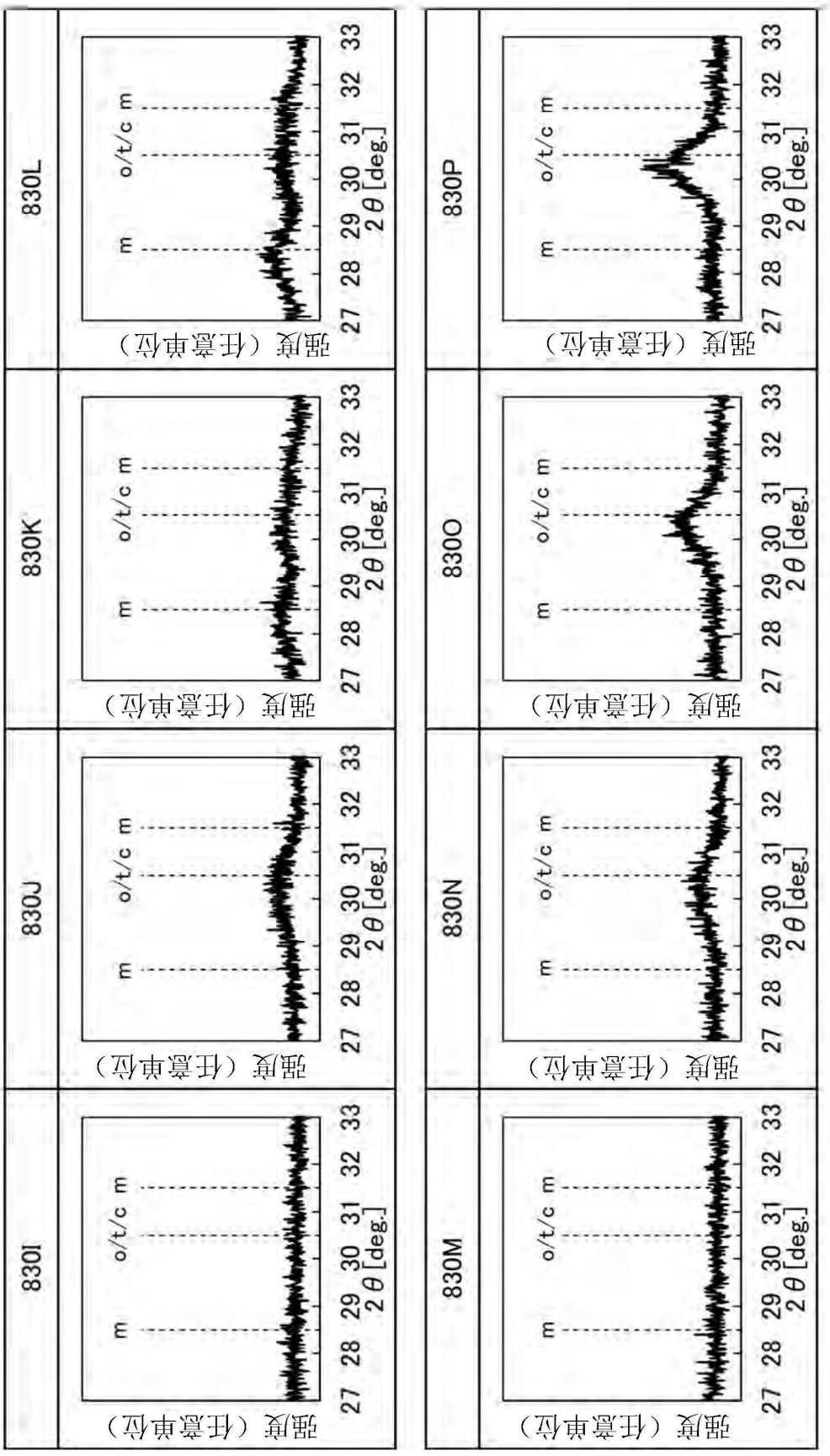

830I
830J
830K
830L
830M
830N
830O
830P
强度（任意单位）
27 28 29 30 31 32 33
2θ [deg.]
m
o/t/c m

图52

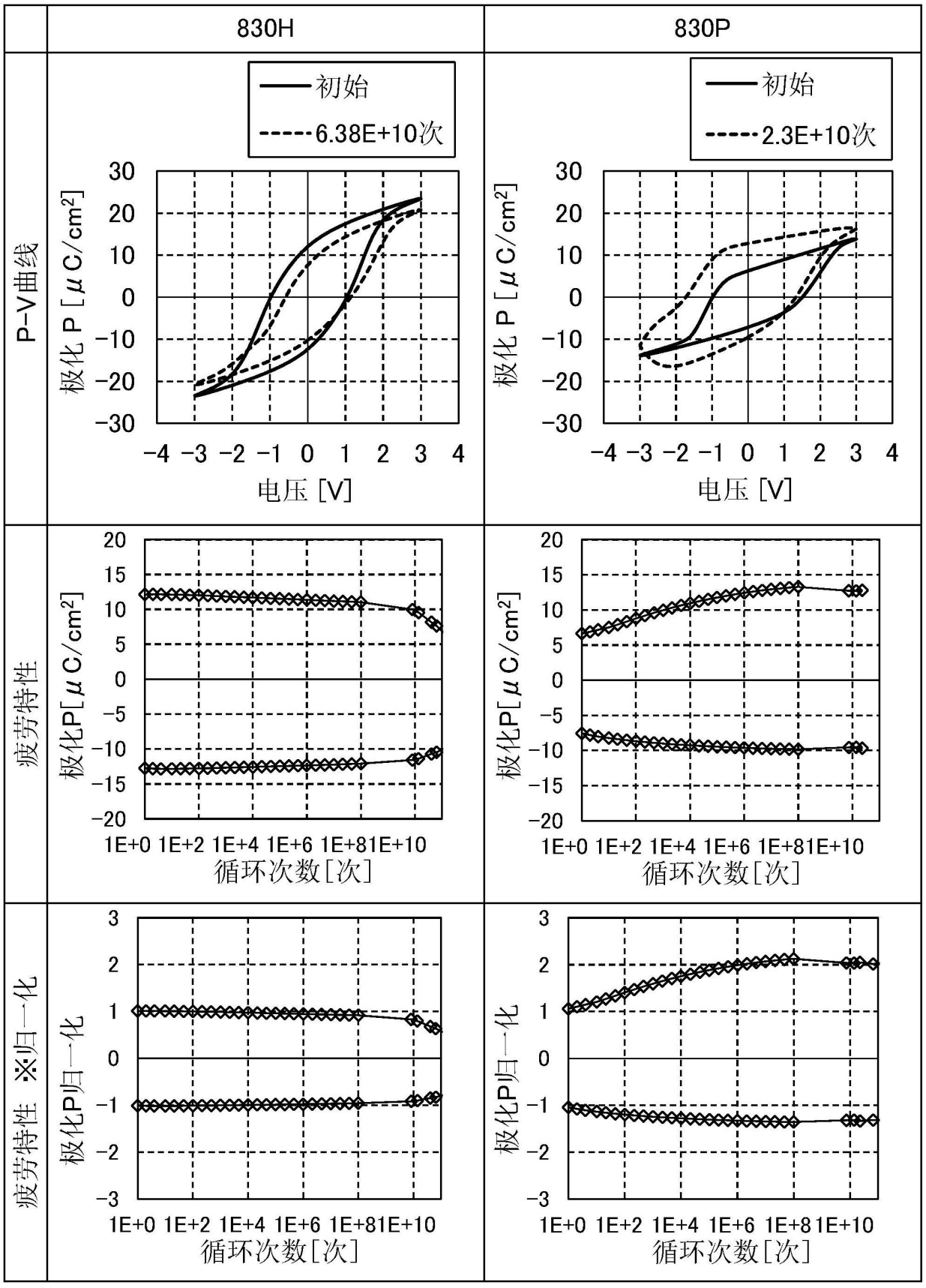

830H
830P
P-V曲线
初始
6.38E+10次
2.3E+10次
极化 P [μC/cm²]
电压 [V]
疲劳特性
极化P[μC/cm²]
循环次数[次]
疲劳特性 ※归一化
极化P归一化
1E+0 1E+2 1E+4 1E+6 1E+8 1E+10

图53

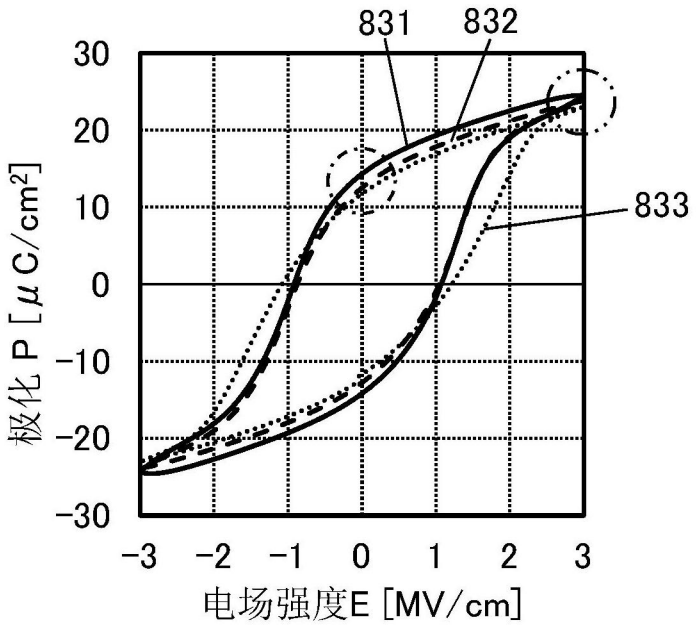

831
832
833
30
20
10
0
-10
-20
-30
-3
-2
-1
0
1
2
3
极化 P [μC/cm²]
电场强度E [MV/cm]

图54

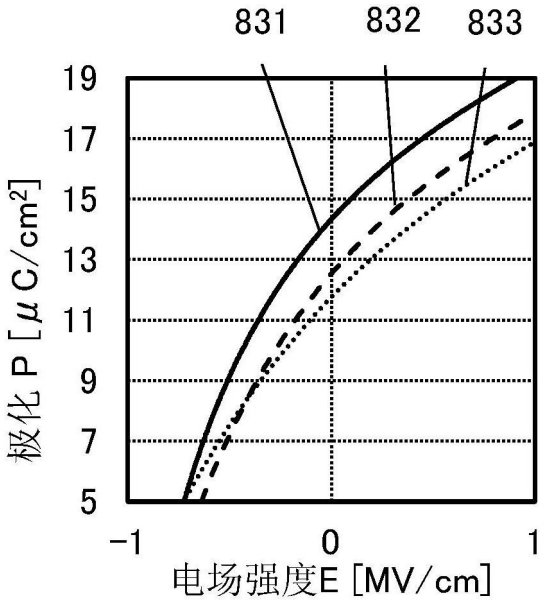

831
832
833
19
17
15
13
11
9
7
5
-1
0
1
极化 P [μC/cm²]
电场强度E [MV/cm]

图55A

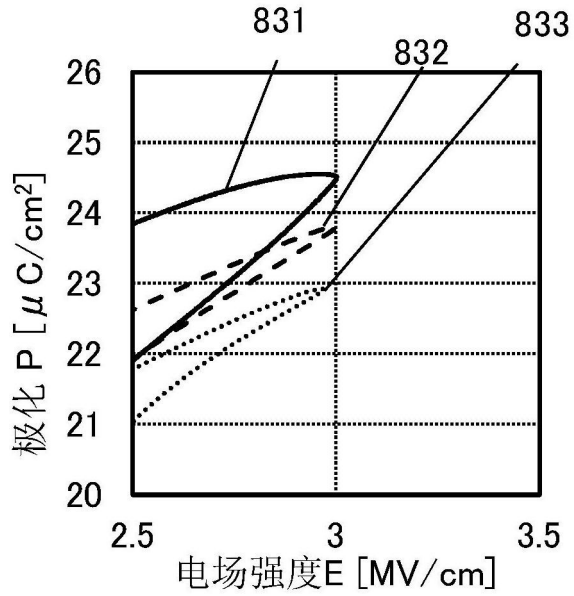

831
832
833
26
25
24
23
22
21
20
极化 P [μC/cm²]
2.5
3
3.5
电场强度E [MV/cm]

图55B

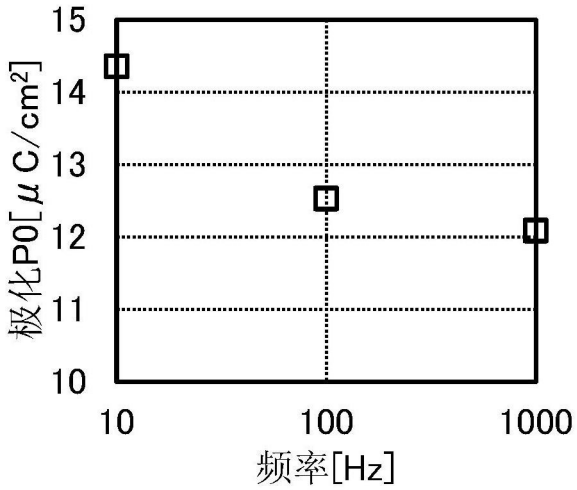

15
14
13
12
11
10
极化P0[μC/cm²]
10
100
1000
频率[Hz]

图55C

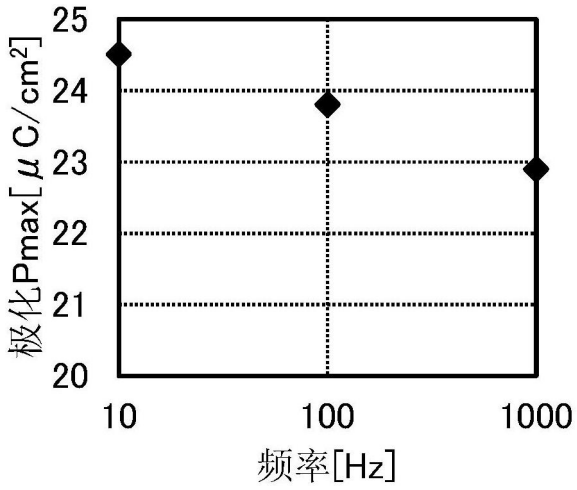


图55D

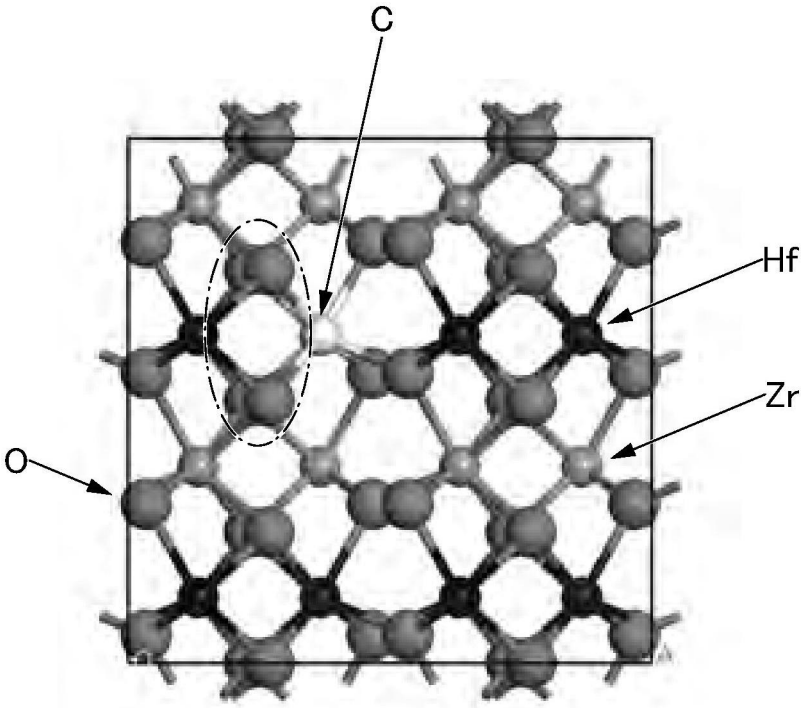


图56A

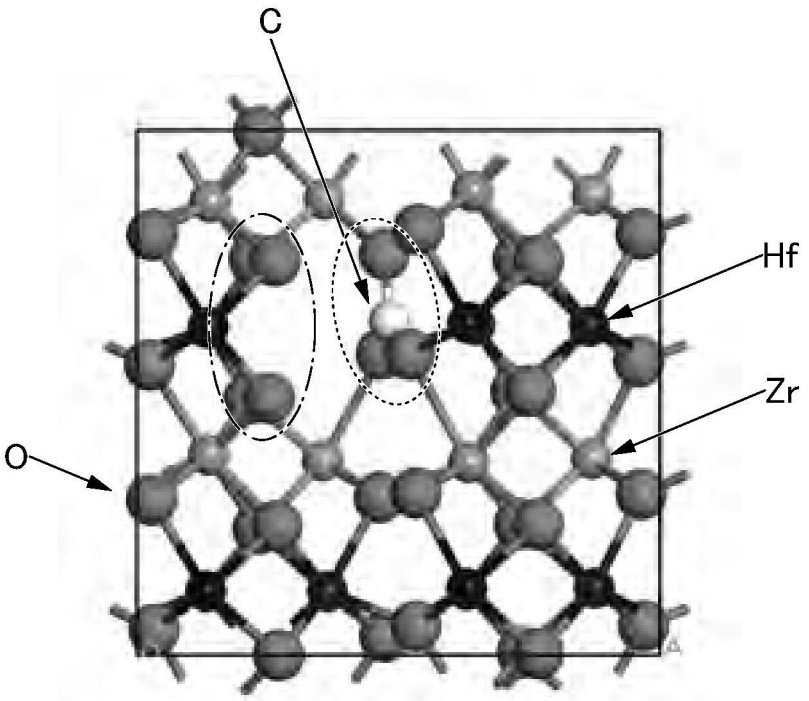


图56B

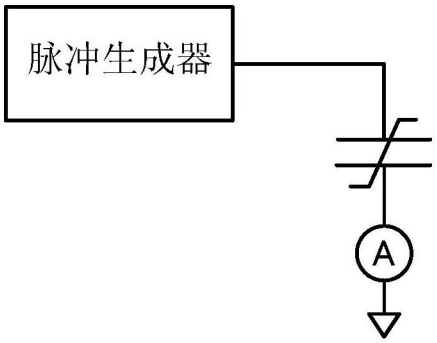


图57A

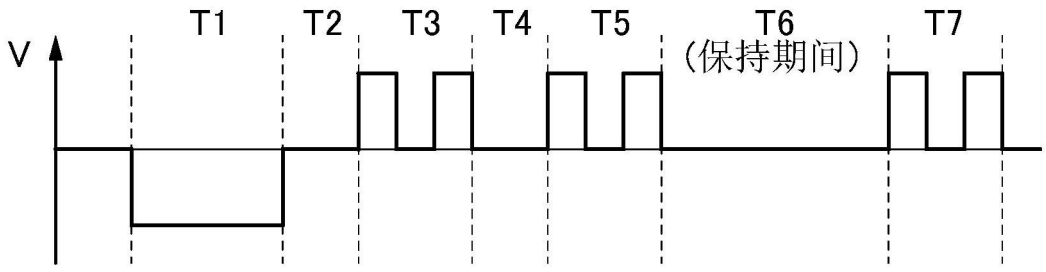


图57B

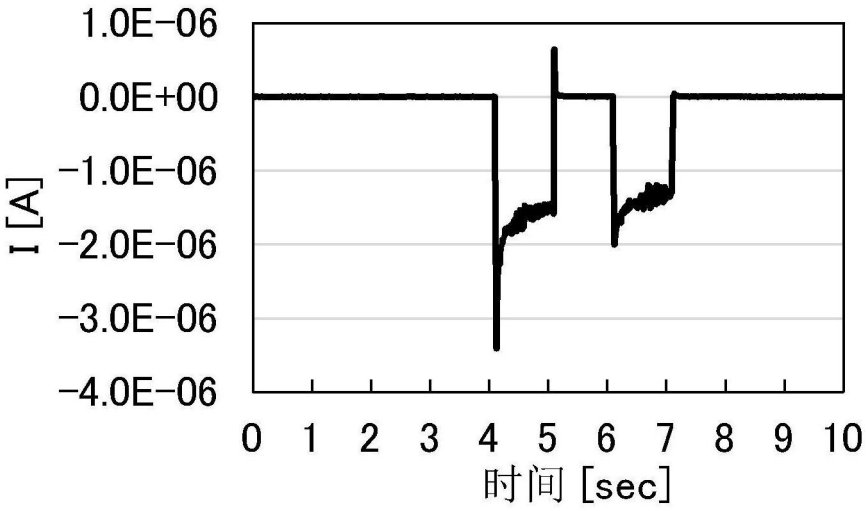

1.0E-06
0.0E+00
-1.0E-06
-2.0E-06
-3.0E-06
-4.0E-06
I [A]
0 1 2 3 4 5 6 7 8 9 10
时间 [sec]

图58A

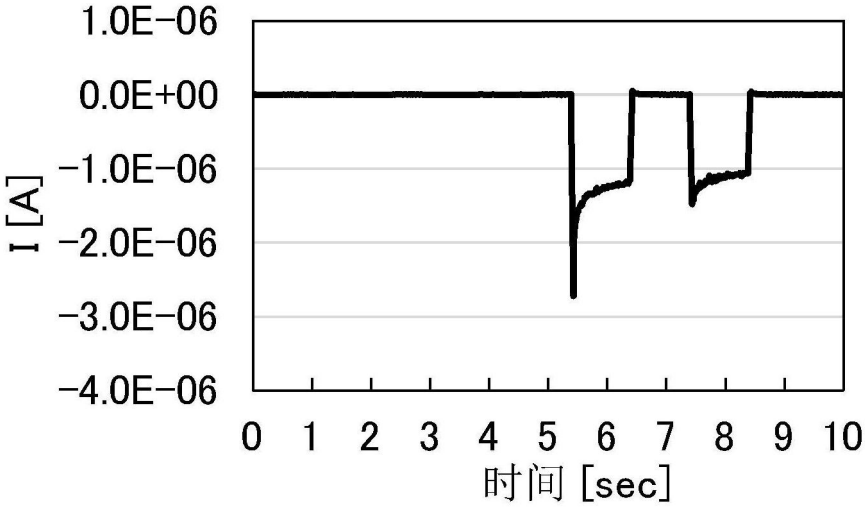

1.0E-06
0.0E+00
-1.0E-06
-2.0E-06
-3.0E-06
-4.0E-06
I [A]
0 1 2 3 4 5 6 7 8 9 10
时间 [sec]

图58B

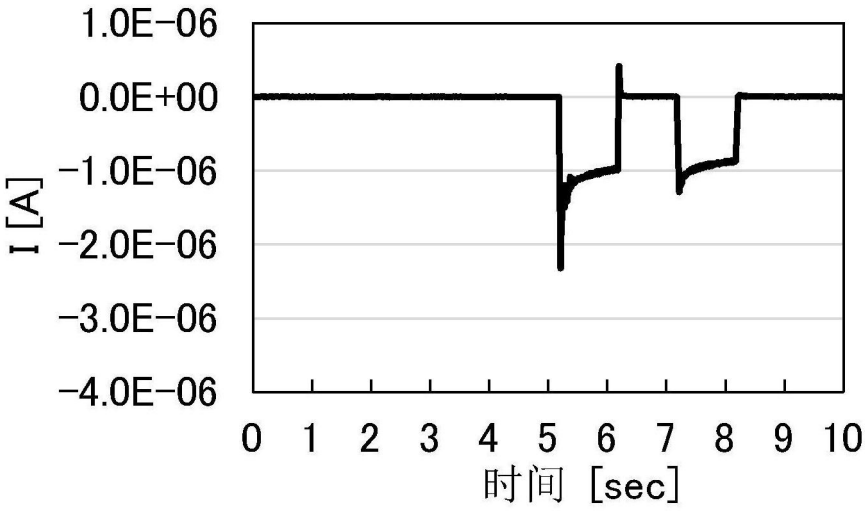


图58C

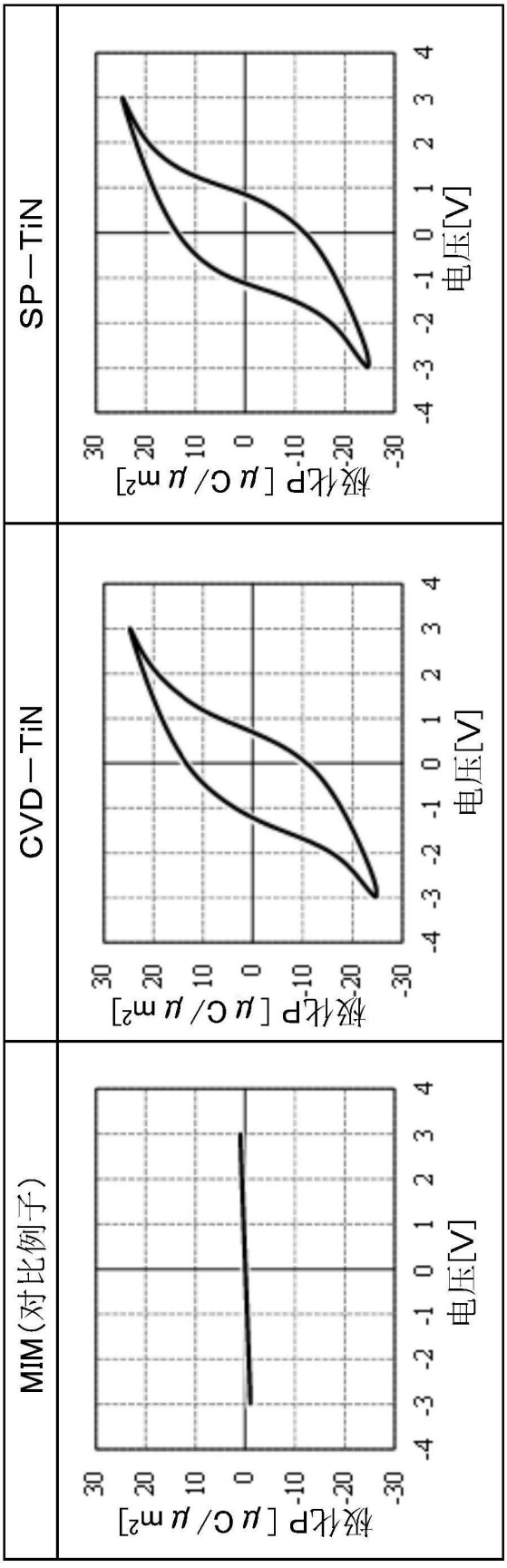

MIM(对比例子)
CVD—TiN
SP—TiN
极化P [μC/μm²]
电压[V]
30
20
10
0
-10
-20
-30
-4
-3
-2
-1
0
1
2
3
4

图59A

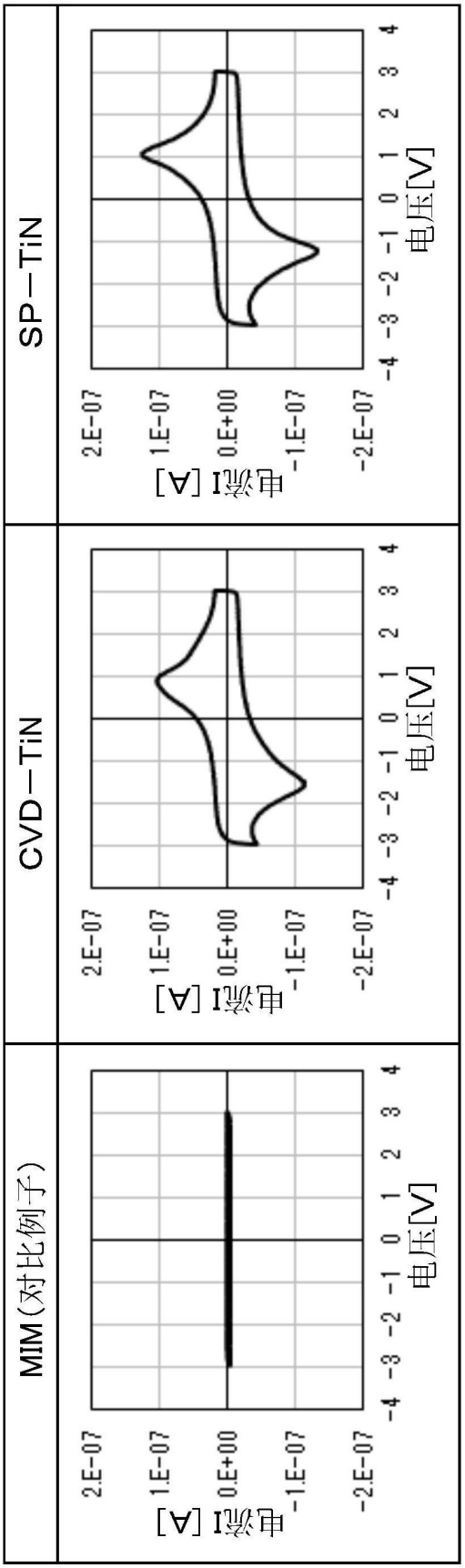

MIM(对比例子)
CVD—TiN
SP—TiN
电流I [A]
2.E-07
1.E-07
0.E+00
-1.E-07
-2.E-07
-4 -3 -2 -1 0 1 2 3 4
电压[V]

图59B

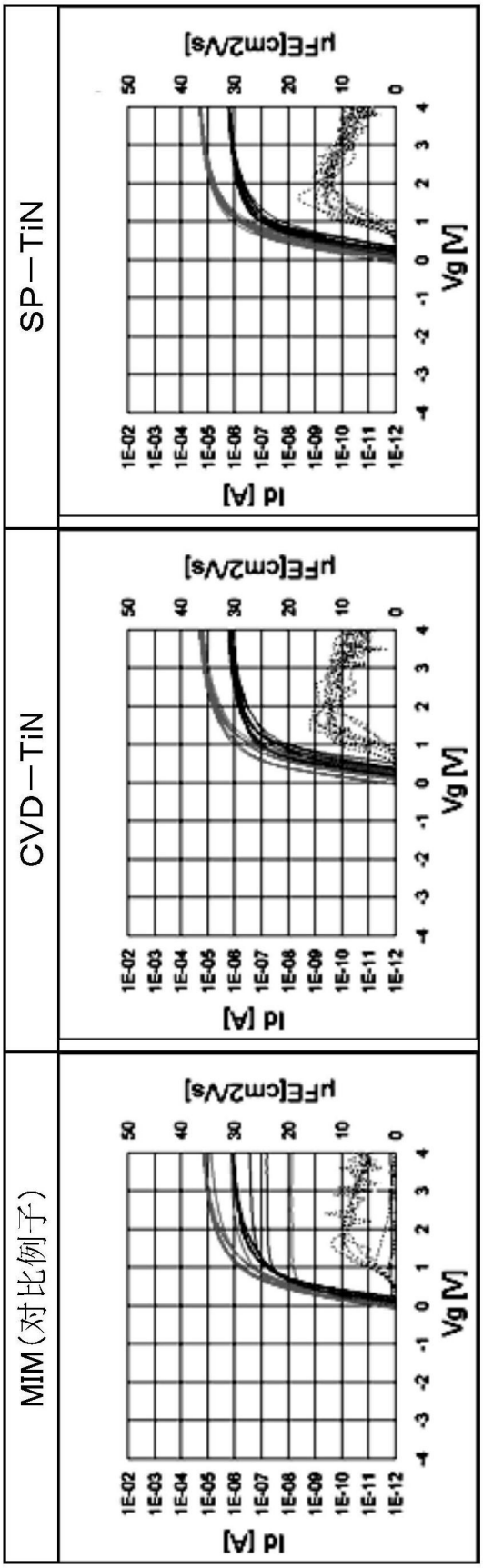


图60A

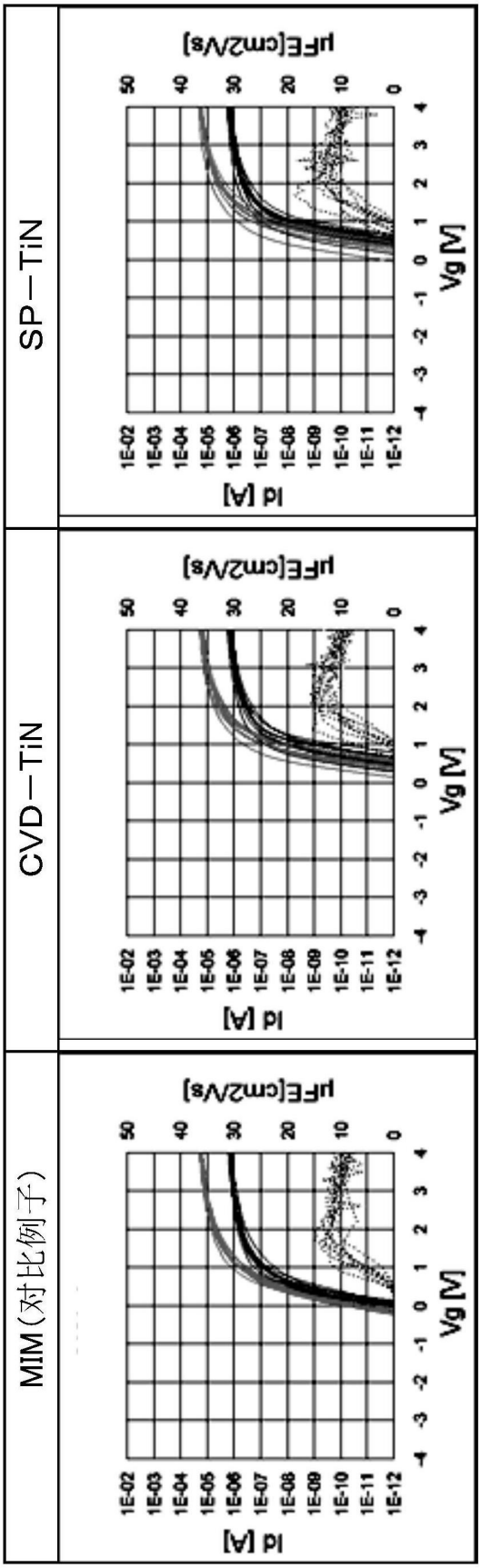


图60B

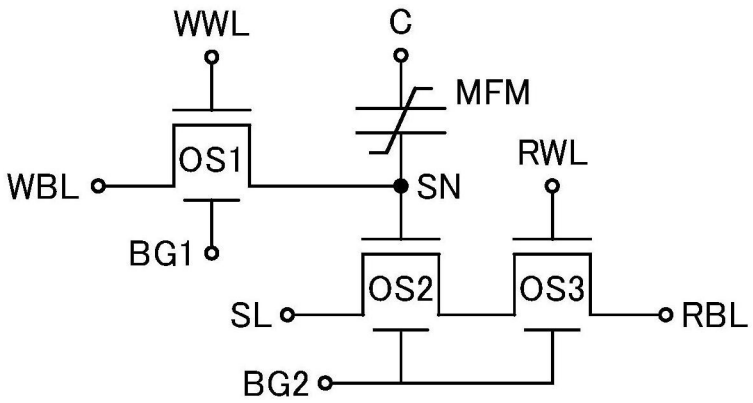

WWL
C
MFM
OS1
RWL
WBL
SN
BG1
OS2
OS3
SL
RBL
BG2

图61A

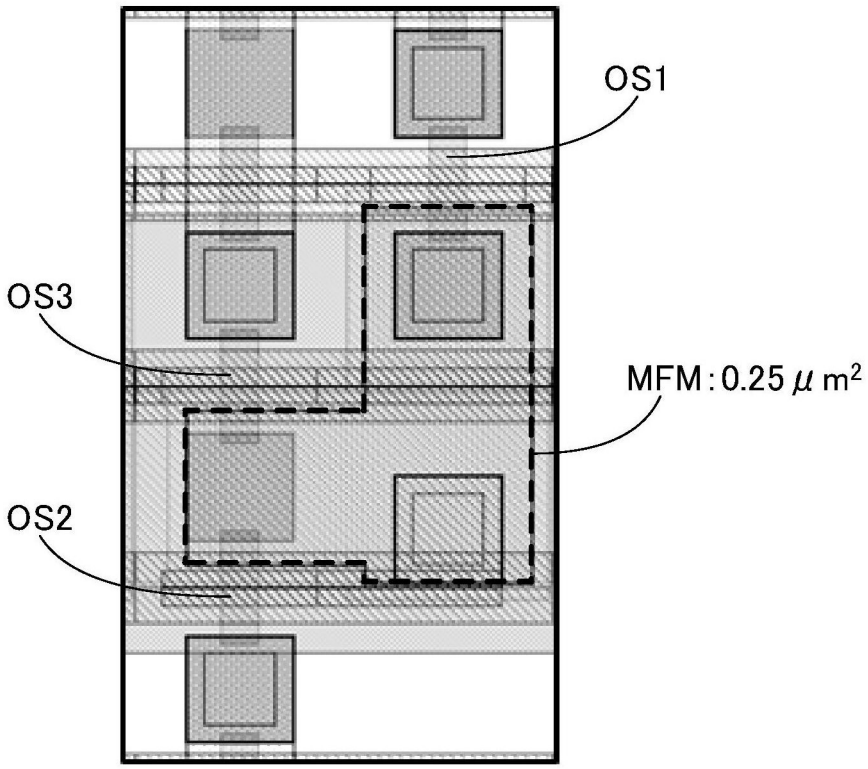

OS1
OS3
MFM:0.25 μm²
OS2

图61B

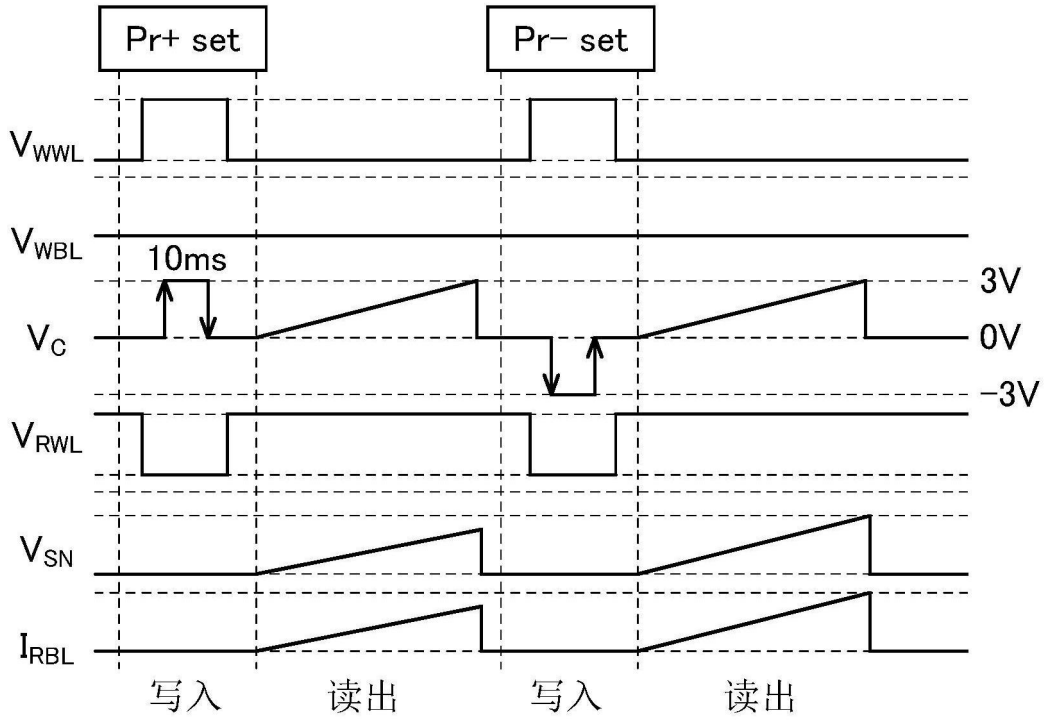

Pr+ set
Pr- set
V_{WWL}
V_{WBL}
10ms
V_C
3V
0V
-3V
V_{RWL}
V_{SN}
I_{RBL}
写入
读出
写入
读出

图62A

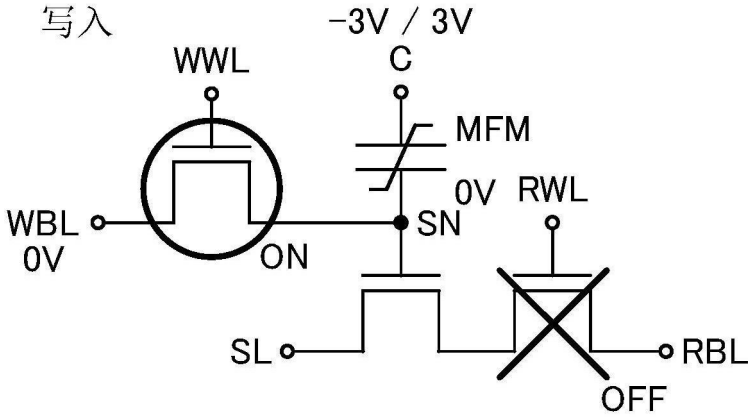

写入
-3V / 3V
WWL
C
MFM
0V
RWL
WBL
0V
SN
ON
SL
RBL
OFF

图62B1

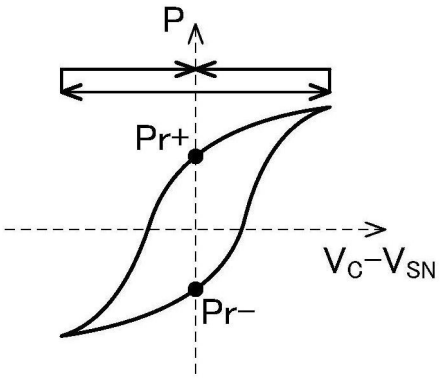


图62B2

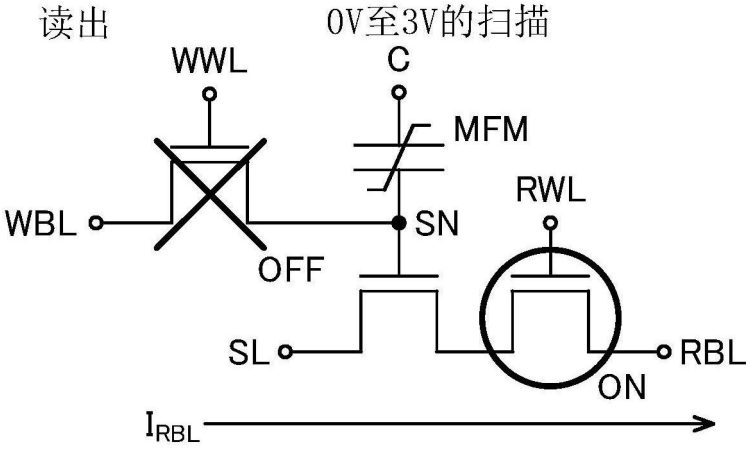


图62C1

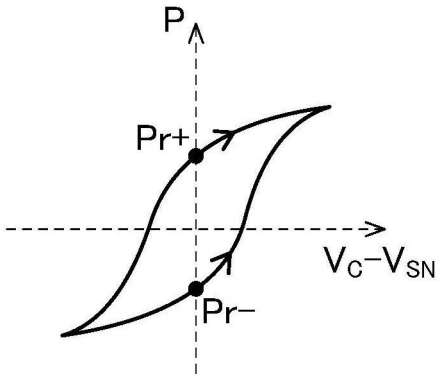


图62C2

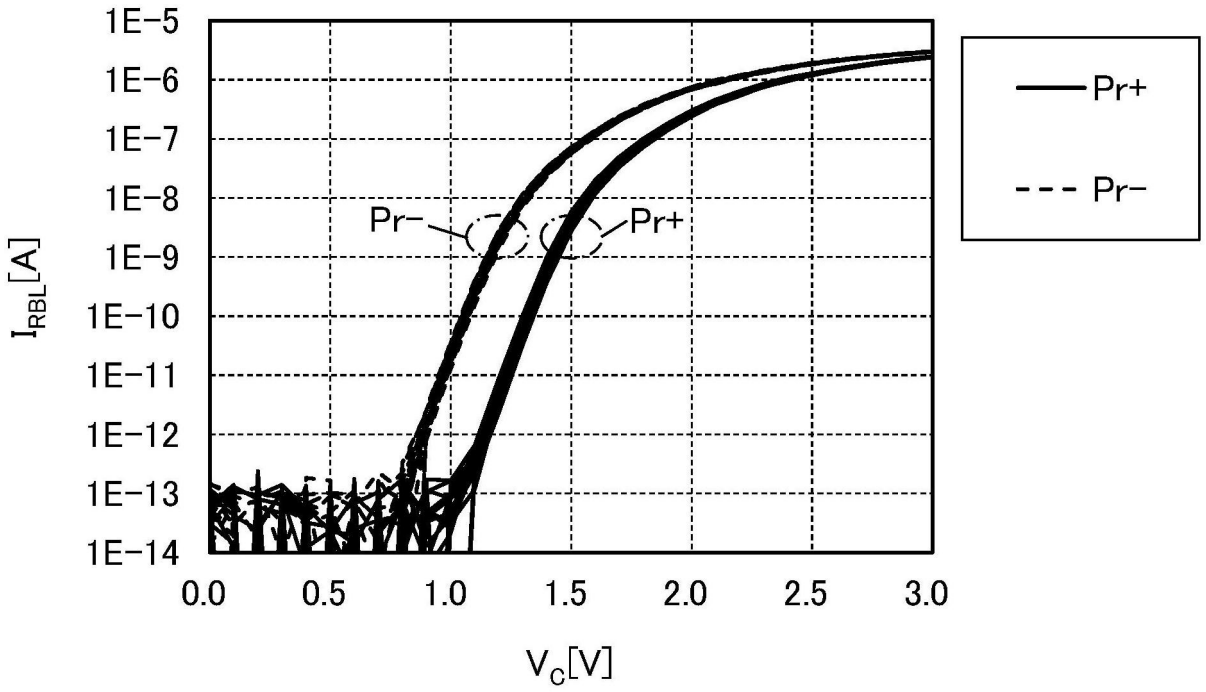

1E-5
1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
1E-13
1E-14
I_{RBL}[A]
0.0
0.5
1.0
1.5
2.0
2.5
3.0
V_C[V]
Pr−
Pr+
Pr+
Pr−

图63A

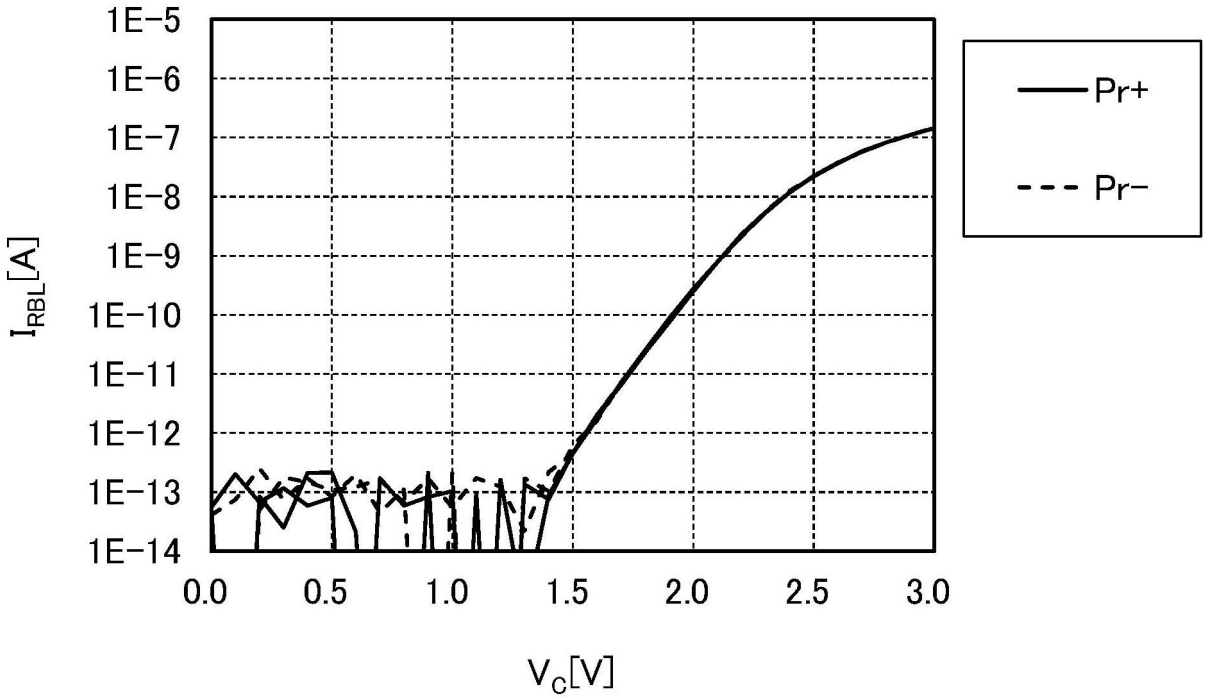

1E-5
1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
1E-13
1E-14
I_{RBL}[A]
0.0
0.5
1.0
1.5
2.0
2.5
3.0
V_C[V]
Pr+
Pr−

图63B

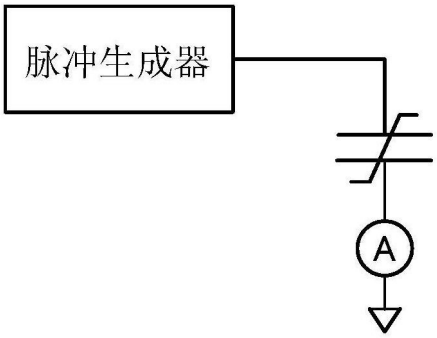

脉冲生成器
A

图64A

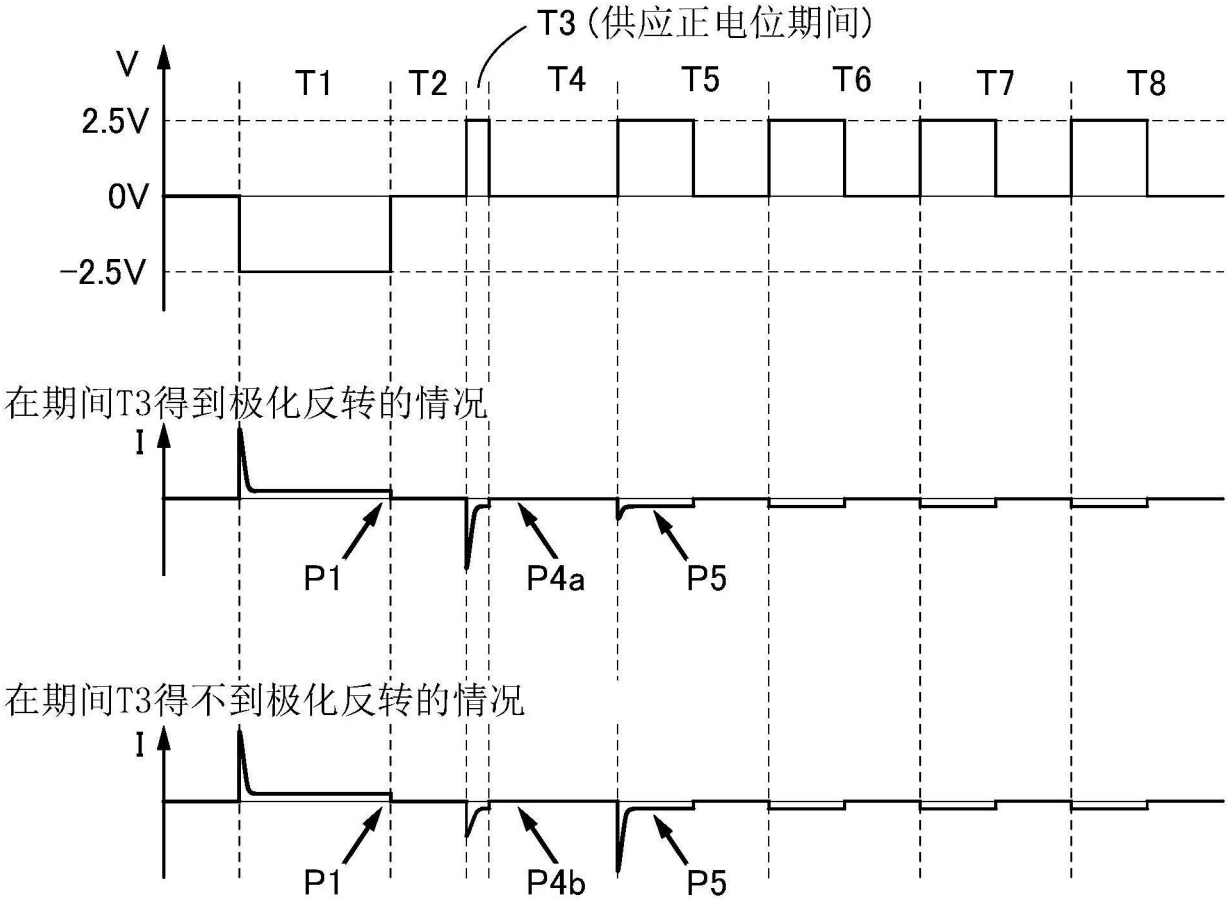

T3(供应正电位期间)
V
T1
T2
T4
T5
T6
T7
T8
2.5V
0V
-2.5V
在期间T3得到极化反转的情况
I
P1
P4a
P5
在期间T3得不到极化反转的情况
I
P1
P4b
P5

图64B

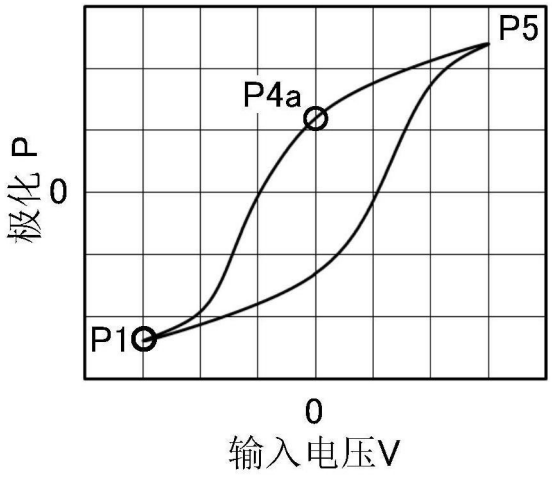


图64C

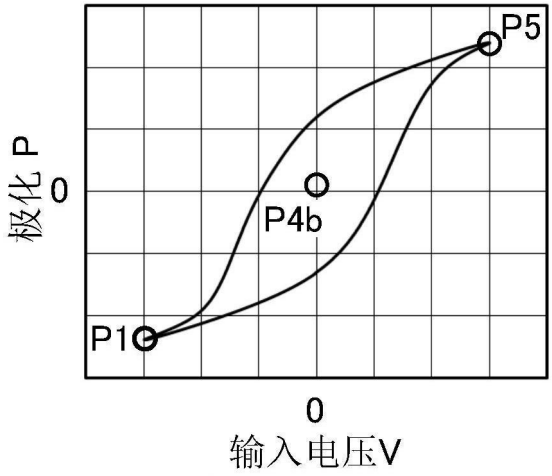


图64D

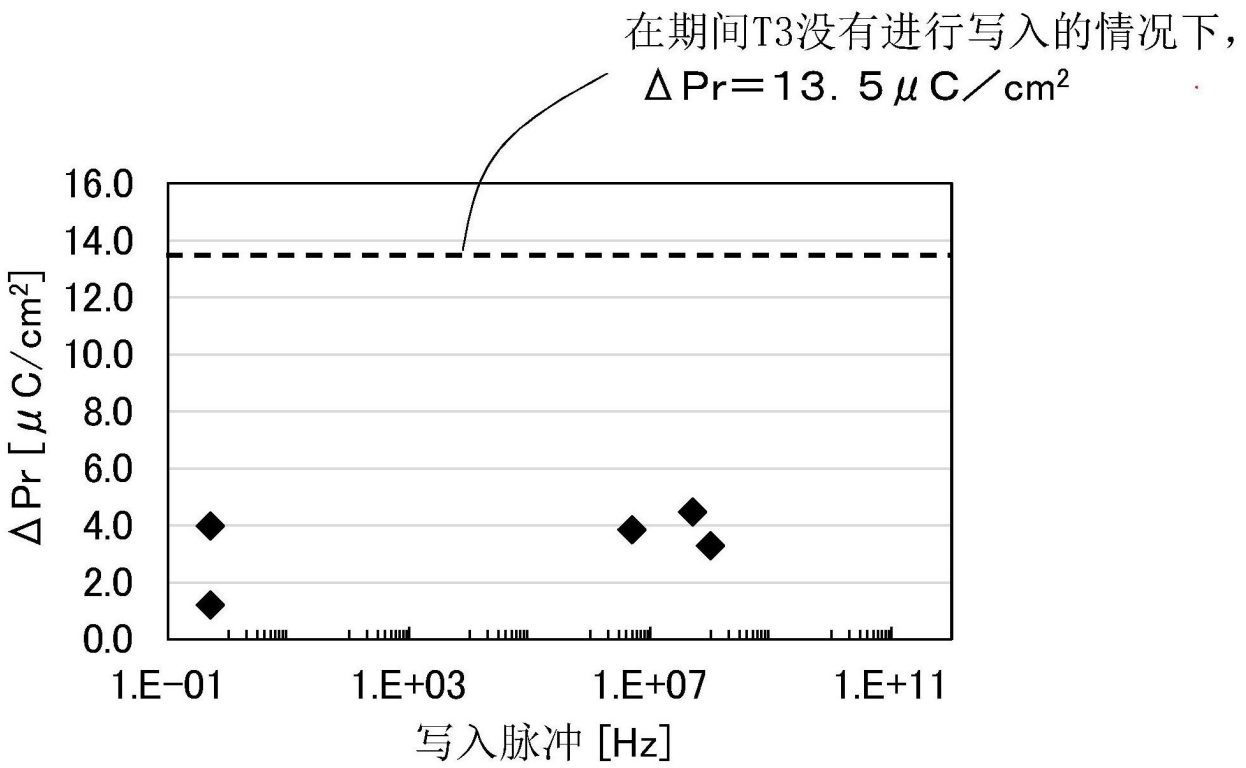

在期间T3没有进行写入的情况下，
ΔPr＝13.5μC／cm²
16.0
14.0
12.0
10.0
8.0
6.0
4.0
2.0
0.0
ΔPr [μC/cm²]
1.E-01
1.E+03
1.E+07
1.E+11
写入脉冲 [Hz]

图65

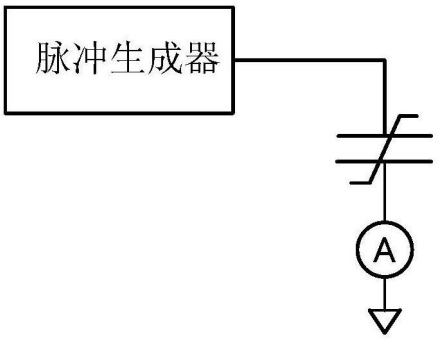

脉冲生成器
A

图66A

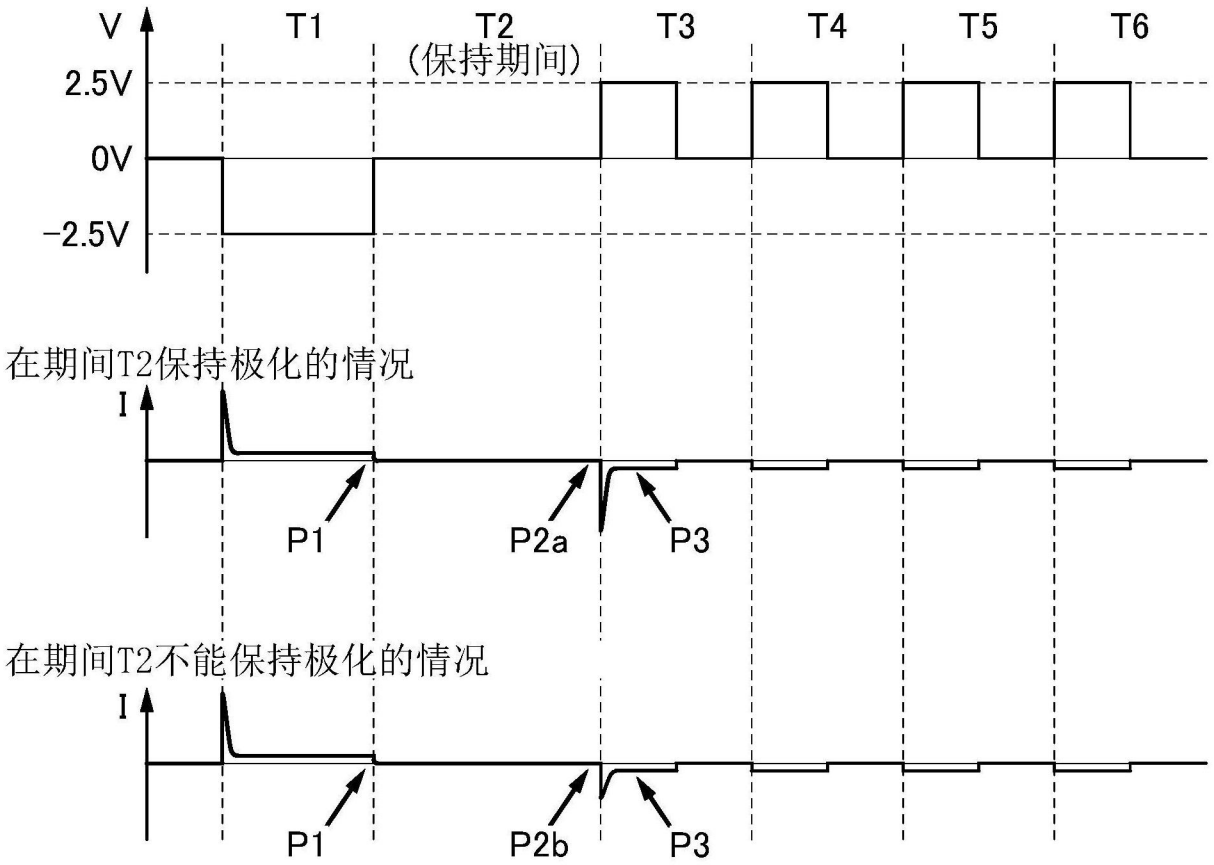

V
T1
T2
(保持期间)
T3
T4
T5
T6
2.5V
0V
-2.5V
在期间T2保持极化的情况
I
P1
P2a
P3
在期间T2不能保持极化的情况
I
P1
P2b
P3

图66B

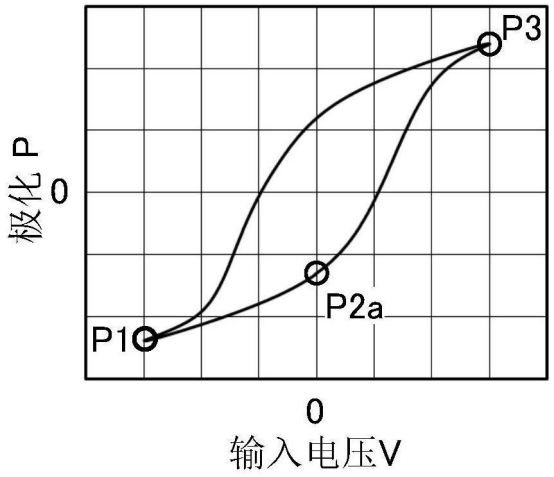

P3
极化 P
0
P2a
P1
0
输入电压V

图66C

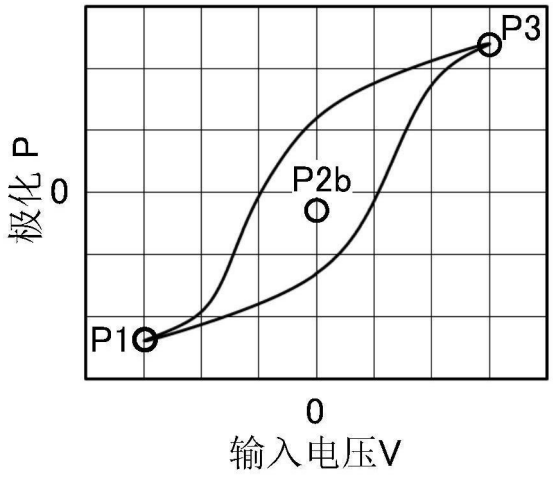

P3
P2b
P1
极化 P
0
0
输入电压V

图66D

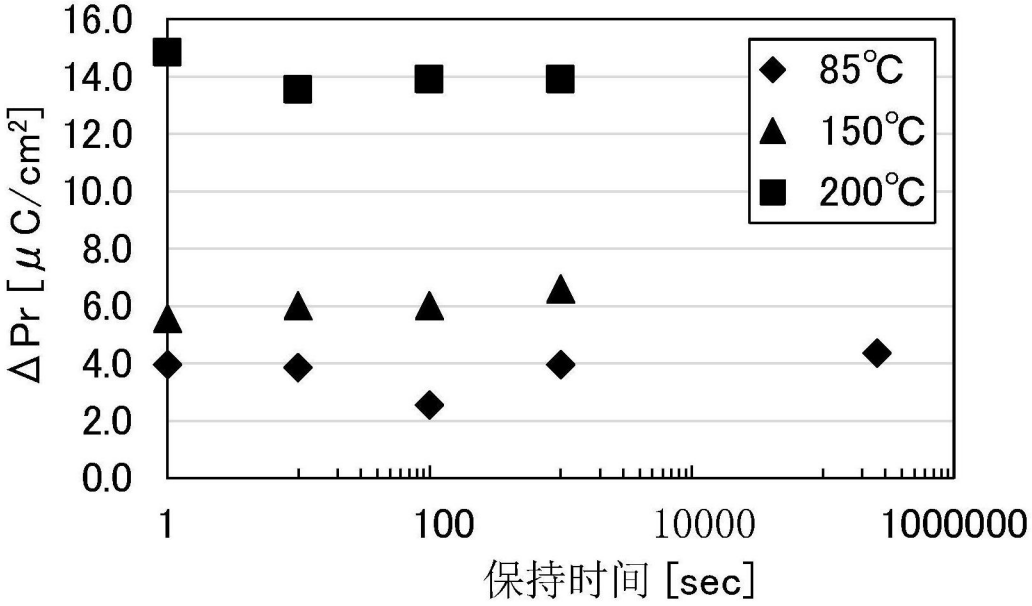

16.0
14.0
12.0
10.0
8.0
6.0
4.0
2.0
0.0
ΔPr [μC/cm²]
85°C
150°C
200°C
1
100
10000
1000000
保持时间 [sec]

图67