

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4845285号
(P4845285)

(45) 発行日 平成23年12月28日 (2011.12.28)

(24) 登録日 平成23年10月21日 (2011.10.21)

(51) Int. Cl.	F I
H02M 7/21 (2006.01)	H02M 7/21 A
H02M 3/28 (2006.01)	H02M 3/28 F

請求項の数 5 (全 8 頁)

(21) 出願番号	特願2001-136998 (P2001-136998)	(73) 特許権者	000002037
(22) 出願日	平成13年5月8日 (2001.5.8)		新電元工業株式会社
(65) 公開番号	特開2002-330590 (P2002-330590A)		東京都千代田区大手町2丁目2番1号
(43) 公開日	平成14年11月15日 (2002.11.15)	(72) 発明者	小林 公禎
審査請求日	平成20年1月28日 (2008.1.28)		埼玉県飯能市南町10番13号新電元工業株式会社工場内
		(72) 発明者	関根 豊
			埼玉県飯能市南町10番13号新電元工業株式会社工場内
		審査官	三島木 英宏

最終頁に続く

(54) 【発明の名称】 MOS F E T 駆動回路

(57) 【特許請求の範囲】

【請求項1】

一次-二次間が絶縁されたトランスの一次巻線、二次巻線及び三次巻線からなる同期整流回路において、前記二次巻線の一端を転流MOS F E Tのドレインに接続し、前記二次巻線の他端を整流MOS F E Tのドレインに接続し、前記転流MOS F E Tのソースを前記整流MOS F E Tのソースに接続し、さらに、前記三次巻線の一端を前記転流MOS F E Tのゲートに接続し、前記三次巻線の他端をダイオードのカソードに接続し、前記ダイオードのアノードを前記転流MOS F E Tのソースと前記整流MOS F E Tのソースとの間に接続し、前記転流MOS F E Tのゲート・ソース間に転流側制御MOS F E Tのドレイン・ソースを接続し、この転流側制御MOS F E Tのゲート・ソース間に前記トランスの四次巻線を接続し、前記トランスの一次巻線に主スイッチMOS F E Tを接続し、この主スイッチMOS F E Tのゲートに、インダクタとコンデンサとダイオードとをそれぞれ並列に接続して構成してある主スイッチ駆動回路を接続し、この主スイッチ駆動回路と前記主スイッチMOS F E Tのソースの間に、パルス発振回路を接続してあることを特徴とするMOS F E T 駆動回路。

【請求項2】

前記請求項1記載のMOS F E T 駆動回路において、前記パルス発振回路を集積回路で構成してあることを特徴とするMOS F E T 駆動回路。

【請求項3】

前記請求項1又は2記載のMOS F E T 駆動回路において、前記トランスとは別にパル

ストランスを設け、このパルストランスの一次巻線と並列にダイオードを設け、このダイオードのカソードにコンデンサの一端を接続し、このコンデンサの他端を前記主スイッチ駆動回路と前記パルス発振回路との間に接続するとともに、前記転流側制御MOSFETのゲートと前記転流MOSFETのソースの間に前記パルストランスの二次巻線を接続して構成してある事前パルス送出回路を設けてあることを特徴とするMOSFET駆動回路。

【請求項4】

前記請求項1又は2記載のMOSFET駆動回路において、前記トランスとは別にパルストランスを設け、このパルストランスの一次巻線と前記主スイッチ駆動回路との間にコンデンサを接続し、このコンデンサと前記パルストランスの一次巻線を前記パルス発振回路と並列に接続するとともに、前記転流側制御MOSFETのゲートと前記転流MOSFETのソースの間に前記パルストランスの二次巻線を接続し、この二次巻線と並列にダイオードを設け、カソードが前記転流側制御MOSFETのゲートに接続される向きに、このダイオードを接続して構成してある事前パルス送出回路を設けてあることを特徴とするMOSFET駆動回路。

【請求項5】

前記請求項3又は4記載のMOSFET駆動回路において、前記主トランス駆動回路のインダクタを、前記パルストランスの巻線にし、前記主トランス駆動回路と前記事前パルス送出回路とを一体化してあることを特徴とするMOSFET駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は同期整流方式のDC/DCコンバータのMOSFET駆動回路に関するものである。

【0002】

【従来の技術】

図6に従来のMOSFET駆動回路を示し、このMOSFET駆動回路の動作波形図を図5に破線で示す。

7はトランス、8は主スイッチMOSFET、3はパルス発振回路、9は二次の整流MOSFET、10は二次の転流MOSFET、11は出力チョーク、12は平滑コンデンサ、18は転流側制御MOSFET、13は二次のダイオード、14は二次の抵抗である。

【0003】

従来のMOSFET駆動回路は、一次-二次間が絶縁されたトランス7の一次巻線、二次巻線及び三次巻線からなる同期整流回路であり、転流MOSFET10のゲート・ソース間に転流側制御MOSFET18のドレイン・ソースを接続してある。また、トランス7の一次巻線に主スイッチMOSFET8を接続し、主スイッチMOSFET8のゲート・ソース間に、主スイッチMOSFET8を駆動させるパルス発振回路3を接続してある。

【0004】

出力チョーク11と平滑コンデンサ12との直列回路に転流MOSFET10を並列に接続し、この転流MOSFET10の一端をトランス7の二次巻線の一方側に直列に接続し、その他端を、整流MOSFET9を介して二次巻線の他方側に接続してある。また、整流MOSFET9のゲートをトランス7の二次巻線と出力チョーク11との間に設けた接続部に接続してある。さらに、転流MOSFET10のゲートをトランス7の三次巻線の一方側に接続し、この三次巻線の他方側にダイオード13と抵抗14とを並列に接続した回路を接続し、この回路を転流側のMOSFET10、18のソース側に接続してある。なお、ダイオード13のカソードとトランス7の三次巻線とが接続してある。転流側制御MOSFET18のゲート・ソース間にトランス7の四次巻線を接続してある。

【0005】

以上のように構成してあるMOSFET駆動回路は、以下のように動作する。パルス発振回路3から出力される矩形波パルスにより主スイッチMOSFET8がオンする時、二次

側は、転流MOSFET10がオン、整流MOSFET9がオフ状態である。主スイッチMOSFET8のオンにより転流MOSFET10がオフ、整流MOSFET9がオンするが、この時、主スイッチMOSFET8と転流MOSFET10のオン期間がごく短期間動作遅れにより重なるため、この期間、トランス7を介して二次側に転流MOSFET10ー整流MOSFET9のルートで二次側貫通電流が流れる。その直後に転流MOSFET10がオフすると、短絡状態は解除され、整流MOSFET9ー転流MOSFET10のルートの貫通電流は出力チョーク11及び平滑コンデンサ12に流れる。

【0006】

【発明が解決しようとする課題】

従来のMOSFET駆動回路は、パルス発生回路3から出力される駆動用の矩形波パルスを直接主スイッチMOSFET8のゲートへ入力してある。そのため、充電時定数が小さく、主スイッチMOSFET8は極めて短い遅れ時間でON状態になり、高効率化のために二次側に同期整流回路を採用している場合などには、二次側整流回路の低いインピーダンスのみによって制御される貫通電流が発生するという課題が生じた。また、貫通電流により、同期整流用素子に印加するサージ電圧も増加するため、耐圧オーバーを引き起こすおそれもあった。

【0007】

本発明は、上記課題に鑑みてなされたものであり、貫通電流を抑制し、整流素子に印加するサージ電圧を低減するMOSFET駆動回路を提供するものである。

【0008】

【課題を解決するための手段】

請求項1の発明は、主スイッチ駆動回路を設けたことにより、主スイッチを駆動する際、主スイッチのMOSFETの非飽和領域を利用し、一次側のスイッチで電圧を持たせながらONさせることで、貫通電流を抑制し、さらに、整流素子に印加するサージ電圧を低減させることを可能にした。

【0009】

請求項3、4又は5の発明は、主スイッチ駆動回路と事前パルス回路とを設けたことにより、電力効率向上を可能にした。

【0010】

【発明の実施の形態】

以下、本発明に係るMOSFET駆動回路の好ましい実施の形態を図面に基づいて説明する。

図1は本発明に係るMOSFET駆動回路の好ましい実施の形態を示す回路図である。

【0011】

本実施例のMOSFET駆動回路は、上記従来例と同様に、一次ー二次間が絶縁されたトランス7の一次巻線、二次巻線及び三次巻線からなる同期整流回路であり、転流MOSFET10のゲート・ソース間に転流側制御MOSFET18のドレイン・ソースを接続してある。

【0012】

出力チョーク11と平滑コンデンサ12との直列回路に転流MOSFET10を並列に接続し、この転流MOSFET10の一端をトランス7の二次巻線の一方側に直列に接続し、その他端を、整流MOSFET9を介して二次巻線の他方側に接続してある。また、整流MOSFET9のゲートをトランス7の二次巻線と出力チョーク11との間に設けた接続部に接続してある。さらに、転流MOSFET10のゲートをトランス7の三次巻線の一方側に接続し、この三次巻線の他方側にダイオード13と抵抗14とを並列に接続した回路を接続し、この回路を転流側のMOSFET10、18のソース側に接続してある。なお、ダイオード13のカソードとトランス7の三次巻線とが接続してある。転流側制御MOSFET18のゲート・ソース間にトランス7の四次巻線を接続してある。

【0013】

本実施例は、一次側に主スイッチ駆動回路1を設けてあることに特徴を有する。主スイッ

10

20

30

40

50

チ駆動回路 1 はトランス 7 の一次巻線に接続した主スイッチ MOS F E T 8 のゲートに接続してあり、この主スイッチ駆動回路 1 は、インダクタ 4 とコンデンサ 5 とダイオード 6 とをそれぞれ並列に接続し、このダイオード 6 はアノードが主スイッチ MOS F E T 8 のゲートに接続される向きに接続してある。また、主スイッチ駆動回路 1 と主スイッチ MOS F E T 8 のソースの間にパルス発振回路 3 を接続してある。なお、本実施例のパルス発振回路 3 を集積回路で構成してある（以下「集積回路 3」という。）。

【0014】

本実施例は以上のように構成し、以下のような作用をする。

まず、主スイッチ MOS F E T 8 がオンすると、集積回路 3 から矩形波パルスが出力される。そして、このパルス電圧は主スイッチ駆動回路 1 のコンデンサ 5 と主スイッチ MOS F E T 8 の内部コンデンサで分圧され、主スイッチ MOS F E T 8 のゲートに印加される。この時、コンデンサ 5 を主スイッチ MOS F E T 8 のゲート閾値電圧 V_{th} になるように容量選定すれば、非飽和領域による貫通電流抑制効果が得られる。その後、主スイッチ MOS F E T 8 のゲート閾値電圧 V_{th} から主スイッチ駆動回路 1 のインダクタ 4 とコンデンサ 5 及び主スイッチ MOS F E T 8 の内部コンデンサの共振作用でゲート電圧は上昇し、パルス電圧の波高値まで上昇する。その際の時間は、インダクタ 4 の値の選択で制御でき、大きくする程共振周波数が低くなるため緩やかに上昇する。

【0015】

この際二次側は、整流 MOS F E T 9 がオンし、転流 MOS F E T 10 がオフするが、主スイッチ MOS F E T 8 と転流 MOS F E T 10 のオン期間がごく短期間動作遅れにより重なるため、この期間、前述のようにトランス 7 を介して二次側に転流 MOS F E T 10 - 整流 MOS F E T 9 のルートで二次側貫通電流が流れようとする。

しかし、本実施例においては、主スイッチ駆動に非飽和領域による貫通電流抑制効果があるため、二次側貫通電流は制限される。従って、転流 MOS F E T 10 がオフし短絡状態は解除されても、二次側の電圧が急激に上昇せずに抑制され、転流 MOS F E T 10 の耐圧オーバーは発生しない。

【0016】

図 2 は、図 1 とは別の MOS F E T 駆動回路の実施形態を示す回路図であり、この実施例の方式による動作波形図を図 5 に実線で示してある。この実施例は前記実施例と略同様であるが、事前パルス送出回路 2 を設けてあることに特徴を有する。本実施例の MOS F E T 駆動回路にトランス 7 とは別にパルストランス 15 を設け、このパルストランス 15 の一次巻線と並列にダイオード 17 を設け、このダイオード 17 のカソードをコンデンサ 16 の一端に接続し、このコンデンサ 16 の他端を主スイッチ駆動回路 1 とパルス発振回路 3 との間に接続してある。このように構成した回路に直列に且つダイオード 17 のカソードと接続する向きにコンデンサ 16 を接続し、これらを集積回路 3 と並列に接続するとともに、転流側制御 MOS F E T 18 のゲートと転流 MOS F E T 10 のソースの間にパルストランス 15 の二次巻線を接続してある。

【0017】

本実施例は以上のように構成し、以下のような作用をする。

まず、主スイッチ MOS F E T 8 がオンすると、集積回路 3 から矩形波パルスが出力される。そして、このパルス電圧は主スイッチ駆動回路 1 のコンデンサ 5 と主スイッチ MOS F E T 8 の内部コンデンサで分圧され、主スイッチ MOS F E T 8 のゲートに印加される。この時、コンデンサ 5 を主スイッチ MOS F E T 8 のゲート閾値電圧 V_{th} になるように容量選定すれば、非飽和領域による貫通電流抑制効果が得られる。その後、主スイッチ MOS F E T 8 のゲート閾値電圧 V_{th} から主スイッチ駆動回路 1 のインダクタ 4 とコンデンサ 5 及び主スイッチ MOS F E T 8 の内部コンデンサの共振作用でゲート電圧は上昇し、パルス電圧の波高値まで上昇する。その際の時間は、インダクタ 4 の値の選択で制御でき、大きくする程共振周波数が低くなるため緩やかに上昇する。

【0018】

集積回路 3 から矩形波パルスが出力されると、事前パルス送出回路 2 を構成するパルス

ランス15に電流が流れ、転流側制御MOSFET18がオンする。これに伴い転流MOSFET10はオフする。また、主スイッチMOSFET8がオンすることにより、整流MOSFET9がオンする。転流MOSFET10は前述したように事前パルス送出回路2の作用によりオフする。即ち、本実施例により、主スイッチMOSFET8に非飽和領域を持たせることにより、転流MOSFET10の電圧を抑制することができるとともに、事前パルス送出回路2の作用により、主スイッチMOSFET8、整流MOSFET9及び転流MOSFET10のON/OFF切り替えをスムーズに行うことができ、選り二次側貫通電流を低減可能とし電力効率を向上させることができる。

【0019】

図3は、前記実施例とは別のMOSFET駆動回路の実施形態を示す回路図である。この実施例は前記実施例と略同様であるが、図2図示実施例とは異なる構成の事前パルス送出回路2を設けてあることに特徴を有する。本実施例のMOSFET駆動回路にパルストランス15を設け、このパルストランス15の一次巻線と主スイッチ駆動回路1との間にコンデンサ16を接続し、このコンデンサ16とパルストランス15の一次巻線をパルス発振回路3と並列に接続してある。また、転流側制御MOSFET18のゲートと転流MOSFET10のソースの間にパルストランス15の二次巻線を接続し、この二次巻線と並列にダイオード19を設け、カソードが転流側制御MOSFET18のゲートに接続される向きに、このダイオード19を接続してある。なお、作用については、図3図示実施例と略同様である。

【0020】

図4は、前記実施例とは別のMOSFET駆動回路の実施形態を示す回路図である。この実施例は図2図示実施例と略同様に構成してあり、主トランス駆動回路1のインダクタ4を、パルストランス15の巻線にし、主トランス駆動回路1と事前パルス送出回路2とを一体化してあることを特徴とする。なお、作用については、図2及び図3図示実施例と略同様である。なお、図4図示実施例と略同様に構成し、主トランス駆動回路1のインダクタ4を、パルストランス15の巻線にすることも可能である。

【0021】

【発明の効果】

本発明の効果としては、

請求項1の発明により、主スイッチ駆動回路を設けたことにより、主スイッチを駆動する際、主スイッチのMOSFETの非飽和領域を利用し、一次側のスイッチで電圧を持たせながらONさせることで、貫通電流を抑制し、さらに、二次側整流素子に印加するサージ電圧を低減させることを可能にした。加えて、主スイッチ駆動回路のコンデンサ及び主スイッチMOSFETの内部コンデンサの電圧を制御することができ、主スイッチ駆動回路のコンデンサを主スイッチMOSFETのゲート閾値電圧になるように容量選定することにより非飽和領域による貫通電流抑制効果を得ることを可能にした。

【0022】

請求項3、4又は5の発明は、主スイッチ駆動回路と事前パルス回路とを設けたことにより、電力効率向上を可能にした。

【図面の簡単な説明】

【図1】本発明に係るMOSFET駆動回路の好ましい実施の形態を示す回路図である。

【図2】図1図示実施例とは別のMOSFET駆動回路の回路図である。

【図3】前記実施例とは別のMOSFET駆動回路の回路図である。

【図4】前記実施例とは別のMOSFET駆動回路の回路図である。

【図5】本発明の方式及び従来の方式による動作波形図である。

【図6】従来のMOSFET駆動回路の回路図である。

【符号の説明】

- 1 主スイッチ駆動回路
- 2 事前パルス送出回路
- 3 パルス発振回路

10

20

30

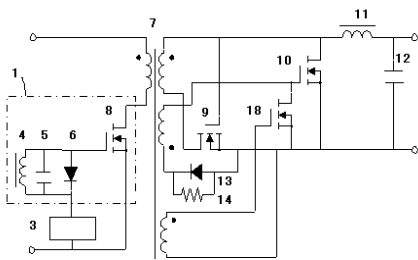
40

50

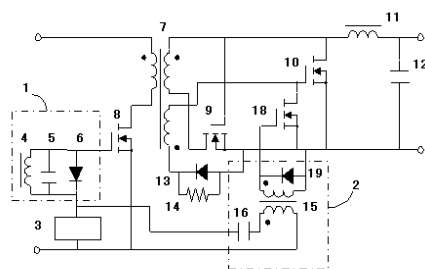
- 4 インダクタ
- 5 コンデンサ
- 6 ダイオード
- 7 トランス
- 8 主スイッチMOSFET
- 9 整流MOSFET
- 10 転流MOSFET
- 11 出力チョーク
- 12 平滑コンデンサ
- 13 ダイオード
- 14 抵抗
- 15 パルストランス
- 16 コンデンサ
- 17 ダイオード
- 18 転流側制御MOSFET
- 19 ダイオード
- 20 主スイッチ駆動回路1と事前パルス送出回路2とを一体化した回路

10

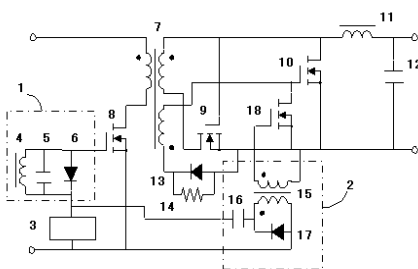
【図1】



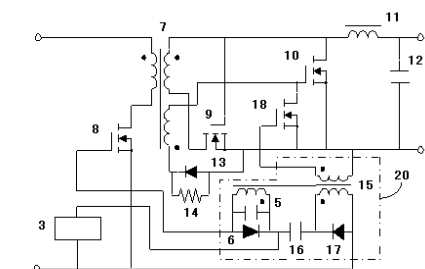
【図3】



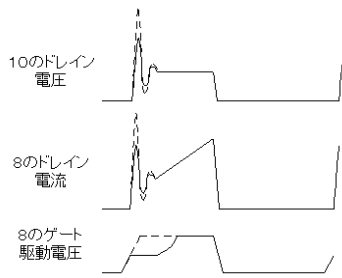
【図2】



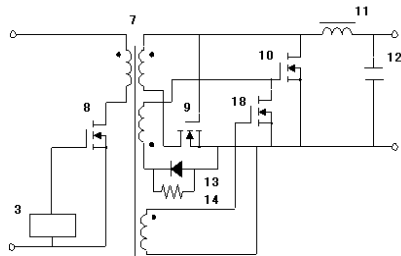
【図4】



【図 5】



【図 6】



フロントページの続き

- (56)参考文献 特開2000-262051 (JP, A)
特開2000-350446 (JP, A)
特開平02-036764 (JP, A)
実開平06-084793 (JP, U)
特開昭62-104477 (JP, A)
実開平07-016592 (JP, U)
特開平03-060360 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/21

H02M 3/28