

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
8. Dezember 2005 (08.12.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/117133 A2

(51) Internationale Patentklassifikation⁷: **H01L 29/861**,
27/02

(21) Internationales Aktenzeichen: PCT/DE2005/000896

(22) Internationales Anmeldedatum:
17. Mai 2005 (17.05.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 026 100.8 25. Mai 2004 (25.05.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **RUNDE, Michael**
[DE/DE]; Engadiner Strasse 28, 81475 München (DE).
LANGGUTH, Gernot [DE/DE]; Einsteinstrasse 135,
81675 München (DE). **ROESCHLAU, Klaus** [DE/DE];
Marienstrasse 3c, 85567 Grafing (DE). **MUELLER,**
Karlheinz [DE/DE]; Finkenweg 11, 84149 Velden (DE).

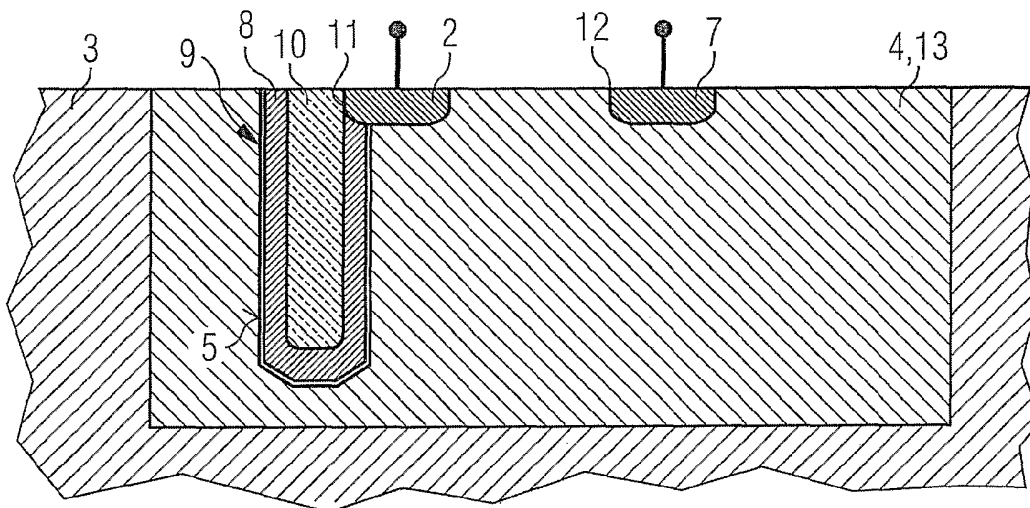
(74) Anwalt: **HUDLER, Frank**; LIPPERT, STACHOW &
PARTNER, Krenkelstr. 3, 01309 Dresden (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA,
MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ,
OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL,

[Fortsetzung auf der nächsten Seite]

(54) Title: ESD-PROTECTION STRUCTURES FOR SEMICONDUCTOR COMPONENTS

(54) Bezeichnung: ESD-SCHUTZSTRUKTUREN FÜR HALBLEITERBAUELEMENTE



(57) Abstract: The invention relates to an ESD-protection structure for semiconductor elements, consisting of at least one semiconductor diode, whose p- and n-conductive zones are in electric contact with respective regions of the same charge carrier type of the element to be protected of the semiconductor component at a first and second contact point. The aim of the invention is to provide ESD-protection structures that are cost-effective to produce and that permit higher current carrying capacities with at least a comparable space requirement or at least comparable current carrying capacities with a reduced space requirement. To achieve this: a first zone of one charge carrier type of the semiconductor diode covers at least some sections of the inner surface of a channel that is configured in the semiconductor substrate of the semiconductor element and a second zone of the other charge carrier type adjoins the first zone in the vicinity of said channel; the first zone is configured from a polysilicon that has an appropriate conductive doping; and the channel area that is not filled by the polysilicon is filled with a dielectric.

[Fortsetzung auf der nächsten Seite]

WO 2005/117133 A2



SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) **Zusammenfassung:** Die Erfindung betrifft eine ESD-Schutzstruktur für Halbleiterbauelemente, bestehend aus zumindest einer Halbleiterdiode, deren p- und n-leitenden Zonen elektrisch mit jeweils einem Gebiet des gleichen Ladungsträgertyps des zu schützenden Bauteils des Halbleiterbauelements an einer ersten und zweiten Kontaktstelle kontaktiert ist. Ihr liegt die Aufgabe zugrunde, kostengünstig herstellbare ESD-Schutzstrukturen darzustellen, mit denen höhere Stromtragfähigkeiten bei zumindest vergleichbarem Platzbedarf oder zumindest vergleichbare Stromtragfähigkeit mit geringerem Platzbedarf zu erzielen sind. Erfindungsgemäß wird die Aufgabe dadurch gelöst, dass eine erste Zone des einen Ladungsträgertyps der Halbleiterdiode die Innenfläche eines im Halbleitersubstrat des Halbleiterbauelements ausgebildeten Kanals zumindest abschnittsweise bedeckt und in der Kanalumgebung eine zweite Zone des anderen Ladungsträgertyps an die erste Zone angrenzend ausgebildet ist, dass die erste Zone durch ein entsprechend leitend dotiertes Polysilizium gebildet ist und dass der von dem Polysilizium nicht ausgefüllte, freie Kanalbereich mit einem Dielektrikum ausgefüllt ist.

5 **ESD-Schutzstrukturen für Halbleiterbauelemente**

Die Erfindung betrifft eine ESD-Schutzstruktur für Halbleiterbauelemente, bestehend aus zumindest einer Halbleiterdiode, deren p- und n-leitenden Zonen elektrisch mit jeweils einem Gebiet des gleichen Ladungsträgertyps des zu schützenden Bauteils des Halbleiterbauelements an einer ersten und
10 zweiten Kontaktstelle kontaktiert ist.

Derartige Strukturen dienen dem Schutz der Halbleiterbauelemente vor Beschädigung oder Zerstörung durch unkontrollierte elektrostatische Entladungen (ESD = Electro Static Discharge), indem die durch elektrostatische Aufladung angesammelten parasitäre Ladungen gezielt über die Schutzstrukturen und somit niederohmig an eine der Versorgungsleitungen abgeleitet werden. Dadurch wird verhindert, dass der Entladestrom, welcher einige Ampere betragen kann, zum Lawinen-
15 durchbruch des Bauelements und somit zu dessen Zerstörung führt. Die ESD-Schutzstrukturen sind dafür so dimensioniert, dass sie dem Halbleiterbauelement die erforderliche Stromfestigkeit verleihen, ohne selbst zerstört zu werden.

Die mit der Zunahme der Integrationsdichte immer kleiner werdenden Halbleiterstrukturen erhöhen die Empfindlichkeit der Bauelemente gegenüber elektrostatischer Aufladung. Insbesondere die mit der Verkleinerung einhergehende Abnahme der Dicke des Gateoxids in MOS-Bauelementen führt zur Erhöhung der Anfälligkeit der Signalein- und Signalausgänge der
25 Halbleiterbauelemente, da ein Durchbruch beispielsweise im Gateoxidbereich mit einer Elektroneninjektion in das Gateoxid und einer Ladungsträgerbeschleunigung im Kanal verbunden ist, was bei den genannten Entladungsströmen unweigerlich eine Schädigung des Bauelements bewirkt.

Eine bekannte Ausführung derartiger, den Schutz des Bauelements durch gezielte Nebenleitung der Ladung bewirkender ESD-Schutzstrukturen ist die Realisierung einer Diode in der Halbleiterstruktur. Diese ist dabei so abgestimmt, dass ihre Durchbruchsspannung unter denen der zu schützenden Bauteile des Halbleiterbauelements liegt. Die Diode wird durch dementsprechend dotierte p- und n-leitende Gebiete im oberflächennahen Bereich des Substrats gebildet. Der Durchbruch erfolgt über die Flächen der vertikal oder lateral aneinandergrenzenden Gebiete. Hierbei ist der Innenwiderstand der ESD-Schutzstruktur ein wesentlicher Faktor. Solche Dioden weisen in der Regel einen erheblichen parasitären Reihenwiderstand auf, der die nebenschließbare Strommenge erheblich begrenzt. Eine Verringerung des Innenwiderstandes dieser Dioden ist durch die Vergrößerung der Flächen der aktiven pn-Übergänge möglich, beispielsweise in Großflächendioden, was jedoch neben der Erhöhung der Kapazität der Eingangsschaltung und der Verringerung der Chipdichte der Bauelemente die Kosten des gesamten Halbleiterbauelements erhöht.

Ferner führen bei der Realisierung von ESD-Schutzstrukturen durch Implantationen im oberflächennahen Bereich die im Falle eines ESD-Ereignisses nahe der Siliziumoberfläche abfließenden Ströme zu einer lokalen Temperaturerhöhung, welche die Stromführungskapazität noch weiter verringern, und bei lokal sehr großer Temperaturerhöhung ebenfalls zur Schädigung des Bauelements.

Der Erfindung liegt somit die Aufgabe zugrunde, kostengünstig herstellbare ESD-Schutzstrukturen darzustellen, mit denen höhere Stromtragfähigkeiten bei zumindest vergleichbarem Platzbedarf oder zumindest vergleichbare Stromtragfähigkeit mit geringerem Platzbedarf zu erzielen sind.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, dass eine erste Zone des einen Ladungsträgertyps der Halbleiterdiode die Innenfläche eines im Halbleitersubstrat des Halbleiter-

bauelements ausgebildeten Kanals zumindest abschnittsweise bedeckt und in der Kanalumgebung eine zweite Zone des anderen Ladungsträgertyps an die erste Zone angrenzend ausgebildet ist, dass die erste Zone durch ein entsprechend leitend
5 dotiertes Polysilizium gebildet ist und dass der von dem Polysilizium nicht ausgefüllte, freie Kanalbereich mit einem Dielektrikum ausgefüllt ist.

Die kanalförmige Ausführung der ESD-Schutzstruktur ermöglicht es, dass die Zone des ersten Ladungsträgertyps gewissermaßen in die Zone des zweiten Ladungsträgertyps, zumindest abschnittsweise eintaucht, wodurch die Fläche des aktiven pn-Überganges relativ zur benötigten Chipfläche deutlich vergrößert und somit die Stromtragfähigkeit der ESD-Schutzstruktur im gleichen Maße erhöht wird. Die Größe der
10 Fläche des aktiven pn-Überganges ist dabei für die verschiedenen ESD-Schutzstrukturen sehr flexibel einstellbar, maximal bis zur Größe der gesamten Mantelfläche des Kanals.

Das Verhältnis zwischen der für die ESD-Schutzstruktur benötigten Chipfläche zur Fläche des aktiven pn-Überganges ist
20 ausnehmend günstig und somit eine ESD-Schutzstruktur mit hoher Stromtragfähigkeit sehr effektiv realisierbar, wenn die Kanaltiefe größer ist als die Kanalbreite, wie es in einer besonders vorteilhaften Ausführungsform vorgesehen ist. Mit pn-Übergang soll dabei sowohl der pn-Übergang als auch der
25 np-Übergang, je nach Ausgestaltung der ESD-Schutzstruktur bezeichnet sein.

Die Ausführung der ESD-Schutzstruktur als Halbleiterdiode in einem Kanal mit dem erprobten, so genannte Trench-Prozessmodul ermöglicht die gezielte Herstellung der die Innenfläche des Kanals zumindest teilweise bedeckenden ersten
30 Zone. Diese kann je nach der Art des zu schützenden Halbleiterbauelements p- oder n-leitend sein. Die Ausbildung der ersten Zone als p-leitend wird die regelmäßige Ausführungsform sein und die Ausbildung als n-leitend beispielsweise

zum Schutz verschiedener Bauelemente des CMOS-Typs in Frage kommen.

Die Innenfläche des Kanals ist erfindungsgemäß zumindest abschnittsweise von der ersten Zone bedeckt, was grundsätzlich auch die teilweise Auffüllung des Kanals mit einem anderen Material einschließt, solange der elektrische Kontakt der ersten Zone zu einem Gebiet des gleichen Ladungsträgertyps des zu schützenden Bauteil des Halbleiterbauelements, im Folgenden erste Kontaktstelle benannt, realisiert ist, um über diese erste Kontaktstelle die Nebenleitung der Ladung im ESD-Fall zu gewährleisten. Im Regelfall jedoch wird die gesamte Innenfläche des Kanals mit der ersten Zone bedeckt sein.

Die pn- oder np-Halbleiterdiode wird aufgrund der Dotierungen der ersten und der zweiten Zone gebildet, wobei die zweite Zone insbesondere durch die Wanne des zu schützenden Halbleiterbauelements gebildet sein kann und sich die Dotierung der zweiten Zone deshalb danach bestimmt. Die zweite Zone, in welcher der Kanal ausgebildet ist, kann beispielsweise die n-Wanne des Halbleiterbauelements sein, so dass die erste Zone durch ein p-leitend dotiertes Polysilizium gebildet ist.

Ob für die zweite Zone die vorhandenen Strukturen des Halbleiterbauelements verwendet werden können oder die zweite Zone im Halbleitersubstrat explizit hergestellt wird, hängt im Einzelfall von den Strukturen des Halbleiterbauelements und der herzustellenden Stromfestigkeit ab.

Mit der Verwendung von Polysilizium für die erste Zone wird der pn-Übergang der erfindungsgemäßen ESD-Schutzstruktur sehr niederohmig angeschlossen, so dass der Serienwiderstand der ersten Zone im Kanal geringer wird als der Widerstand des pn-Überganges und infolge dessen der Diodendurchbruch gleichzeitig auf der gesamten, auch tiefer im Kanal liegen-

den Diodenfläche erfolgt. Auf diese Weise wird die Stromtragfähigkeit des zu schützenden Halbleiterbauelements tatsächlich von der gesamten aktiven Fläche des pn-Überganges bestimmt und ist über die prozesstechnische Herstellung der Fläche unmittelbar einstellbar.

Indem in einer besonders vorteilhaften Ausgestaltung der Erfindung ein Bereich der ersten Zone, welcher sich im von der p- oder n-Kontaktstelle weiter entfernten Abschnitt des Kanals befindet, eine höhere Dotierung des pn-Überganges aufweist, als die übrigen Bereiche dieser Zone, wird gezielt die Stelle des ersten Durchbruchs in den unteren Bereich des Kanals verlegt. Der Spannungsabfall über den Innenwiderstand des Kanals bewirkt, dass anschließend der Durchbruch auch in höher gelegenen Bereichen des Kanals erfolgt.

Regelmäßig wird der vom Polysilizium nicht ausgefüllte Bereich des Kanals mit einem Dielektrikum, beispielsweise Siliziumoxid ausgefüllt und die erste Kontaktstelle wird dadurch gebildet, dass sich das Gebiet des gleichen Ladungsträgertyps des zu schützenden Bauteil des Halbleiterbauelements, bei beispielsweise p-leitender erster Zone das p-leitende Gebiet, mit der ersten Zone teilweise überlappt und die Ableitung der parasitären Ladung über so die entstandene Grenzfläche erfolgt.

Sofern in einer alternativen, erfindungsgemäßen Ausgestaltung der gesamte Kanal durch Polysilizium ausgefüllt ist, ist die erste Kontaktstelle flexibler auszugestalten und bei vollständiger Überlappung die Grenzfläche zu maximieren. Diese Ausgestaltung wird entsprechend der zu erwartenden abzuleitenden Ströme und der Möglichkeiten zur Herstellung der ersten Kontaktstelle entsprechend der Struktur des Halbleiterbauelements verwendet.

Wie oben dargelegt ist die Fläche des aktiven pn-Übergangs grundsätzlich über die Füllung des Kanals mit dem Polysili-

zium der ersten Zone möglich, jedoch kostengünstiger über die Ausbildung der Form und Größe der zweiten Zone, welche an die erste Zone anschließt.

5 So kann entsprechend der erforderlichen Stromtragfähigkeit in weiteren Ausgestaltungen der Erfindung die zweite Zone als vergrabener Layer (Buried-Layer) ausgebildet sein, sofern die erste Zone die Innenfläche des Kanals zumindest in diesem unteren Bereich bedeckt. Sofern der Buried-Layer keinen elektrischen Kontakt zu dem Gebiet des gleichen Ladungsträgertyps des zu schützenden Bauteils des Halbleiterbauelements hat, ist in diesem Fall die zweite Kontaktstelle durch eine dritte Zone ausgeführt, deren Ladungsträgertyp dem der zweiten Zone entspricht und die an die zweite Zone elektrisch leitend angrenzt.

15 Dieser Buried-Layer kann wiederum ein Layer des Halbleiterbauelements sein, der für die ESD-Schutzstrukturen verwendet wird. Es ist aber ebenso möglich, dass die zweite Zone durch ein eigens für die ESD-Schutzstrukturen implantierte Wanne gebildet ist. Dies hat den Vorteil, dass der Durchbruch der Halbleiterdiode gezielt durch die Dotierung des pn-Überganges einstellbar ist.

Alternativ kann vorgesehen sein, dass die erste Zone die gesamte Innenfläche des Kanals bedeckt, dass die zweite Zone an den unteren Bereich des Kanals angrenzend als Buried-Layer ausgebildet ist und dass über dem Buried-Layer und zu diesem elektrisch isoliert ein weiterer Layer als dritte Zone angeordnet ist, welcher den gleichen Ladungsträgertyp aufweist, wie die zweite Zone, und die zweite p- oder n-Kontaktstelle bildet. Diese besondere Ausgestaltung kommt für ESD-Schutzstrukturen in BiCMOS-Bauelementen in Betracht, indem die dort vorhandenen Strukturen des Bauelements genutzt werden.

Zur gezielten Einstellung der Ladungsableitung und der Do-

tierung des pn-Überganges ist es darüber hinaus möglich, dass sich die Höhe der Dotierung der dritten Zone von der Höhe der Dotierung der zweiten Zone unterscheidet.

Da wie eingangs dargelegt der Innenwiderstand der Halbleiterdioden durch die Vergrößerung der Flächen der aktiven pn-Übergänge zu verringern und somit die Stromtragfähigkeit der ESD-Schutzstrukturen zu erhöhen ist, sehen besonders vorteilhafte Ausgestaltungen der Erfindung vor, dass der Kanal eine ausgedehnte geometrische Erstreckung, insbesondere in Form von Streifen, Mäandern oder Ringen aufweist.

Da mit der Herstellung der Kanalform die Form der Halbleiterdiode und somit die Durchbruchfläche definiert wird, kann je nach dem zur Verfügung stehenden Platz zur Ausbildung der ESD-Schutzstrukturen die Form des Kanals so festgelegt werden, dass eine optimale Übergangsfläche gebildet ist. Auch kann zu diesem Zweck die ESD-Schutzstruktur aus zwei oder mehreren Halbleiterdioden bestehen.

Sollten zum Beispiel die zu schützenden Bauteile des Halbleiterbauelements dessen I/O-Pads sein, ist die Anordnung der Halbleiterdioden unter den Pads beispielsweise in Form von parallelen Streifen oder Mäandern oder um die Pads herum sehr effektiv möglich.

Ebenso ist es in diesem Fall vorteilhaft, dass das Polysilizium der ersten Zone elektrisch leitend direkt an die Pad-Metallisierung angrenzt.

Die Erfindung soll nachfolgend anhand eines Ausführungsbeispiels näher erläutert werden. Die zugehörige Zeichnung zeigt in

Fig. 1a und b eine schematische Darstellung von ESD-Schutzdioden nach dem Stand der Technik,
Fig. 2 eine schematische Darstellung einer erfindungsgemäßen ESD-Schutzstruktur

- Fig. 3 eine schematische Darstellung einer Ausführungsform der ESD-Schutzstruktur mit Buried-Layer,
Fig. 4 eine schematische Darstellung einer ESD-Schutzstruktur eines BiCMOS und
5 Fig. 5a und b die Darstellung verschiedener Ausführungsformen der geometrischen Anordnung der ESD-Schutzstrukturen.

Die in Fig. 1a und 1b dargestellten ESD-Schutzdioden nach dem Stand der Technik sind in die I/O-Pads eines nicht näher
10 dargestellten Halbleiterbauelements integriert. Sie bestehen in beiden Figuren aus einer p-leitend dotierten Wanne (p-Wanne) 1, welche im elektrisch leitenden Kontakt zum p-Gebiet des ersten Anschluss-Pads 2 steht und an die sich im tiefer gelegenen Bereich des Halbleitersubstrats 3 eine n-
15 leitend dotierte Wanne (n-Wanne) 4 anschließt. Die Berührungsflächen zwischen der p- und der n-Wanne 1, 4 bilden die Flächen der aktiven pn-Übergänge 5 und sind in ihrer Größe direkt durch die horizontale oder vertikale Ausdehnung der Wannen bestimmt. In Fig. 1a hat der pn-Übergang 5 eine hori-
20 zontale und in Fig. 1b eine vertikale Erstreckung, so dass der Durchbruch der durch die p- und die n-Wannen 1, 4 gebildeten Dioden in vertikaler Richtung (Fig. 1a) und lateraler Richtung (Fig. 1b) erfolgt.

Über eine weitere n-Wanne 6, die mit der n-Wanne 4 der Diode
25 und dem n-Gebiet des zweiten Anschluss-Pads 7 im elektrischen Kontakt steht, erfolgt die Ableitung der angesammelten überschüssigen Ladungen im Fall eines ESD-Ereignisses niederohmig an eine Versorgungsleitung.

Bei der in Fig. 2 dargestellte erfindungsgemäße ESD-
30 Schutzstruktur handelt es sich ebenfalls um eine Halbleiterdiode. Sie wird gebildet aus der p-leitenden ersten Zone 8, welche die Innenfläche eines in eine n-Wanne 4 eingebrachten Kanals 9 vollständig bedeckt und die Bedeckung eine Dicke, geringer als die Hälfte der Kanalbreite, aufweist. Der in-

folge dessen nicht ausgefüllte Kanal 9 ist in dem frei bleibenden Bereich mit dem Dielektrikum 10 Siliziumdioxid gefüllt.

Die erste Zone 8 steht wiederum mit dem p-Gebiet des ersten Anschluss-Pads 2 an der ersten Kontaktstelle 11 im elektrischen Kontakt. Die den Kanal 9 vollständig umgebende n-Wanne 4 des Halbleitersubstrats 3 bildet die zweite Zone 13, die gleichzeitig das n-Gebiet des zweiten Anschluss-Pads 7 vollständig umschließt (zweite Kontaktstelle 12). Die Fläche des aktiven pn-Überganges 5 wird durch die Außenfläche des Kanals 9 gebildet, die der Innenfläche entspricht und durch die Grenzfläche zwischen der ersten 8 und der zweiten Zone 13 gebildet ist. Die Ableitung der überschüssigen Ladung erfolgt bei einem ESD-Ereignis in der bekannten Weise über eine Versorgungsleitung.

Zur Herstellung einer solchen Halbleiterdiode wird deren Struktur parallel zur Herstellung der Struktur des Halbleiterelements gebildet, hier soll jedoch nur auf die Herstellung der ESD-Schutzstruktur verwiesen werden. In das Ausgangsmaterial einer ausreichend dicken n-dotierten Schicht wird insbesondere durch anisotropes Ätzen der Kanal 9 in seiner geometrischen Ausdehnung oder alternativ mehrere Kanäle 9 eingebracht. Durch Abscheidung des p-dotierten Polysiliziums im Kanal 9 wird die erste Zone 8 in der vorgesehenen Dicke und nachfolgend die den Kanal 9 ausfüllende Oxidschicht 10 realisiert. Im Zuge der Herstellung des Halbleiterbauelements sind in der n-Wanne 4 des Ausgangsmaterials die p- und n-Gebiete der Anschluss-Pads 2, 7 hergestellt.

Die ESD-Schutzstruktur nach Fig. 3 hat ebenfalls den Aufbau einer Halbleiterdiode und ist in den wesentlichen Komponenten mit der Halbleiterdiode nach Fig. 2 vergleichbar. In dieser Ausführungsform wird die zweite Zone 13 durch einen durch Implantation herstellbaren Buried-Layer 16 ausgebildet, der den Kanal 9 in seiner unteren Hälfte umgibt. Somit

dient nur dieser untere Abschnitt der Außenfläche des Kanals 9 als pn-Übergang 5 zwischen der ersten Zone 8 im unteren Bereich des Kanals 9 und der zweiten Zone 13 im Buried-Layer 16.

- 5 Die elektrische Kontaktierung der zweiten Zone 13 zum n-Gebiet des zweiten Anschluss-Pads 7, zwecks Ableitung der überschüssigen Ladung an die Versorgungsleitung, wird mittels einer Dritten Zone 14 realisiert, die als n-Wanne 4 ausgebildet ist. Die zweite Kontaktstelle 12 wird somit
10 durch diese dritte Zone 14 und das n-Gebiet des zweiten Anschluss-Pads 7 verwirklicht.

Die erfindungsgemäße ESD-Schutzstruktur entsprechend Fig. 4 nutzt die vorhandenen Strukturen des zu schützenden BiCMOS-Bauelements aus, ein p-leitendes Trägersubstrat 15, einen
15 darüber angeordneten p-leitenden Buried-Layer 16 und eine darüber als Layer ausgeführte p-Wanne 1. Der Kanal 9 wird in dieser Ausführungsform bis auf das Trägersubstrat 15 ausgedehnt, so dass er sich sowohl durch die p-Wanne 1 als auch durch den Buried-Layer 16 erstreckt und sich die zweite Zone
20 13 somit auf diese beiden Layer aufteilt. Da die zweite Zone 13 als p-dotierte Layer vorhanden sind, weist die erste Zone 8 im Kanal 9 n-dotiertes Polysilizium auf und ist mit dem n-Gebiet des zweiten Anschluss-Pads 7 kontaktiert.

Die Ausführungsbeispiele gemäß Fig. 5a und 5b stellen mögliche geometrische Erstreckungen der erfindungsgemäßen ESD-Schutzstrukturen dar, wobei die Strukturen in Fig. 5a durch
25 mehrere streifenförmige und parallele Halbleiterdioden und in Fig. 5b durch eine ringförmige Halbleiterdiode gebildet wird. Die hier dargestellten Halbleiterdioden haben eine der
30 soeben beschriebenen möglichen Strukturen. Jedoch sind diese ESD-Schutzstrukturen nicht durch jede, diese Struktur umfassenden Halbleiterdiode mit den n- und p-Gebiete der Anschluss-Pads 2, 7 sondern direkt mit der Metallisierung der Anschluss-Pads 17 verbunden.

5

Bezugzeichenliste

	1	p-Wanne
10	2	p-Gebiet des ersten Anschluss-Pads
	3	Halbleitersubstrat
	4	n-Wanne
	5	pn-Übergang
	6	weitere n-Wanne
15	7	n-Gebiet des zweiten Anschluss-Pads
	8	erste Zone
	9	Kanal
	10	Dielektrikum
	11	erste Kontaktstelle
20	12	zweite Kontaktstelle
	13	zweite Zone
	14	dritte Zone
	15	Trägersubstrat
	16	Buried-Layer
25	17	Metallisierung der Anschluss-Pads

5

Patentansprüche

1. ESD-Schutzstruktur für Halbleiterbauelemente, bestehend aus zumindest einer Halbleiterdiode, deren p- und n-
10 leitenden Zonen elektrisch mit jeweils einem Gebiet des gleichen Ladungsträgertyps des zu schützenden Bauteils des Halbleiterbauelements an einer ersten und zweiten Kontaktstelle kontaktiert ist, d a d u r c h g e k e n n z e i c h -
n e t , dass eine erste Zone (8) des einen Ladungsträgertyps
15 der Halbleiterdiode die Innenfläche eines im Halbleitersubstrat (3) des Halbleiterbauelements ausgebildeten Kanals (9) zumindest abschnittsweise bedeckt und in der Kanalumgebung eine zweite Zone (13) des anderen Ladungsträgertyps an die erste Zone (8) angrenzend ausgebildet ist, dass die
20 erste Zone (8) durch ein entsprechend leitend dotiertes Polysilizium gebildet ist und dass der von dem Polysilizium nicht ausgefüllte, freie Kanalbereich mit einem Dielektrikum (10) ausgefüllt ist.

2. ESD-Schutzstruktur für Halbleiterbauelemente nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t , dass das
25 Verhältnis der Kanaltiefe zur Kanalbreite größer als Eins ist.

3. ESD-Schutzstruktur für Halbleiterbauelemente nach Anspruch 1 oder 2, d a d u r c h g e k e n n z e i c h n e t , dass
30 ein Bereich der ersten Zone (8), welcher sich im von der ersten p- oder n-Kontaktstelle (11) weiter entfernten Abschnitt des Kanals (9) befindet, eine höhere Dotierung des pn-Übergangs (5) aufweist, als die übrigen Bereiche dieser Zone.

4. ESD-Schutzstruktur für Halbleiterbauelemente nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass der gesamte Kanal (9) durch Polysilizium ausgefüllt ist.

5 5. ESD-Schutzstruktur für Halbleiterbauelemente nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die erste Zone (8) die Innenfläche des Kanals (9) zumindest in seinem unteren Bereich bedeckt, dass die zweite Zone (13) daran angrenzend als vergrabener Layer
10 (16) (Buried-Layer) ausgebildet ist.

6. ESD-Schutzstruktur für Halbleiterbauelemente nach Anspruch 5, dadurch gekennzeichnet, dass die zweite Kontaktstelle (12) durch eine dritte Zone (14) ausgeführt ist, deren Ladungsträgertyp dem der zweiten Zone
15 (13) entspricht und die sowohl an die zweite Zone (13) als auch an das Gebiet gleichen Ladungsträgertyps des zu schützenden Bauteil des Halbleiterbauelements elektrisch leitend angrenzt.

7. ESD-Schutzstruktur für Halbleiterbauelemente nach einem
20 der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die erste Zone (8) die gesamte Innenfläche des Kanals (9) bedeckt, dass die zweite Zone (13) an den unteren Bereich des Kanals (9) angrenzend als Buried-Layer (16) ausgebildet ist und dass über dem Buried-Layer (16) und zu
25 diesem elektrisch isoliert ein weiterer Layer als dritte Zone (14) angeordnet ist, welcher den gleichen Ladungsträgertyp aufweist, wie die zweite Zone (13), und die zweite p- oder n-Kontaktstelle (12) bildet.

8. ESD-Schutzstruktur für Halbleiterbauelemente nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass
30 sich die Höhe der Dotierung der dritten Zone (14) von der Höhe der Dotierung der zweiten Zone (13) unterscheidet.

9. ESD-Schutzstruktur für Halbleiterbauelemente nach einem

der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass der Kanal (9) eine ausgedehnte geometrische Erstreckung, insbesondere in Form von Streifen, Mäandern oder Ringen aufweist.

- 5 10. ESD-Schutzstruktur für Halbleiterbauelemente nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass die ESD-Schutzstruktur aus zumindest zwei Halbleiterdioden gebildet aus.

- 10 11. ESD-Schutzstruktur für Halbleiterbauelemente nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass die zu schützenden Bauteile des Halbleiterbauelements dessen I/O-Pads sind.

- 15 12. ESD-Schutzstruktur für Halbleiterbauelemente nach Anspruch 11, dadurch gekennzeichnet, dass das Polysilizium der ersten Zone (8) elektrisch leitend direkt an die Metallisierung der Anschluss-Pads (17) angrenzt.

FIG 1A Stand der Technik

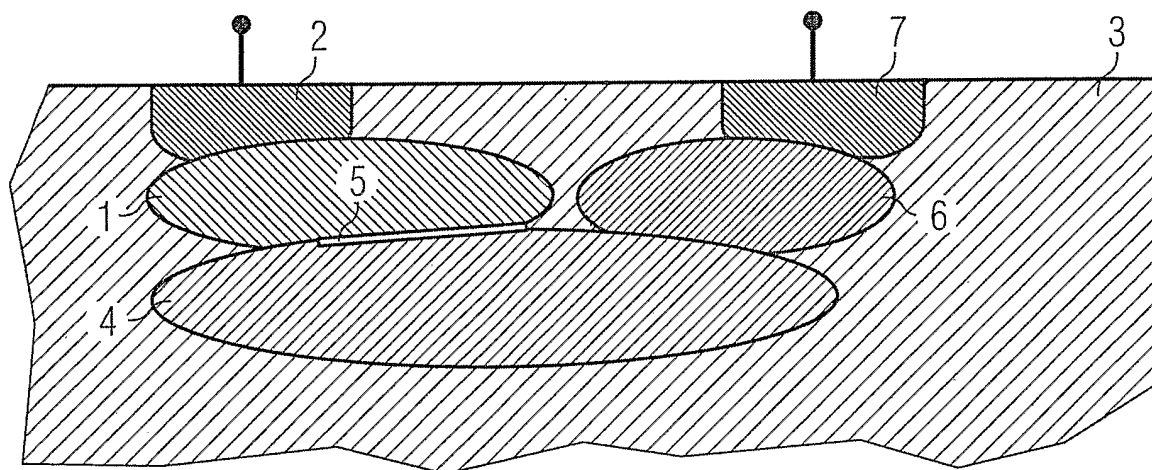


FIG 1B Stand der Technik

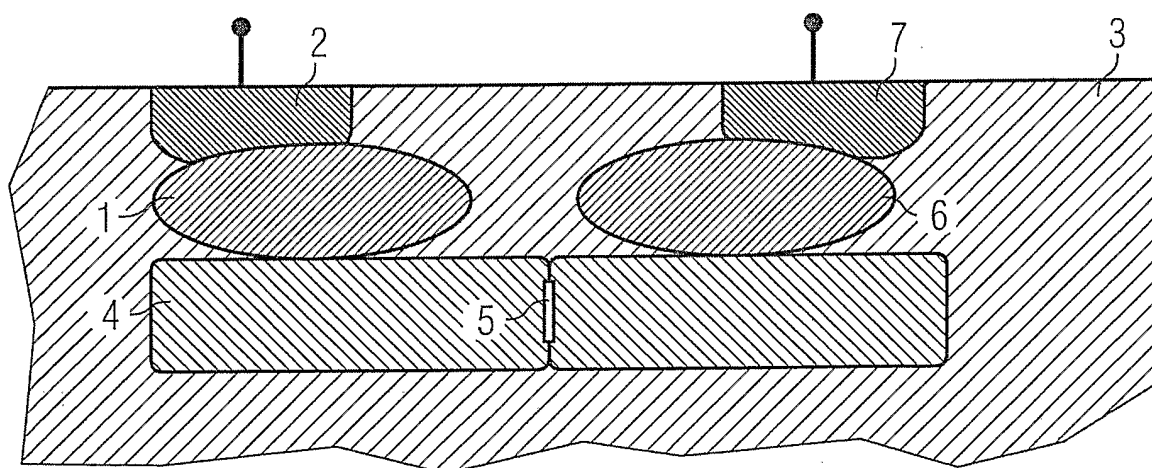


FIG 2

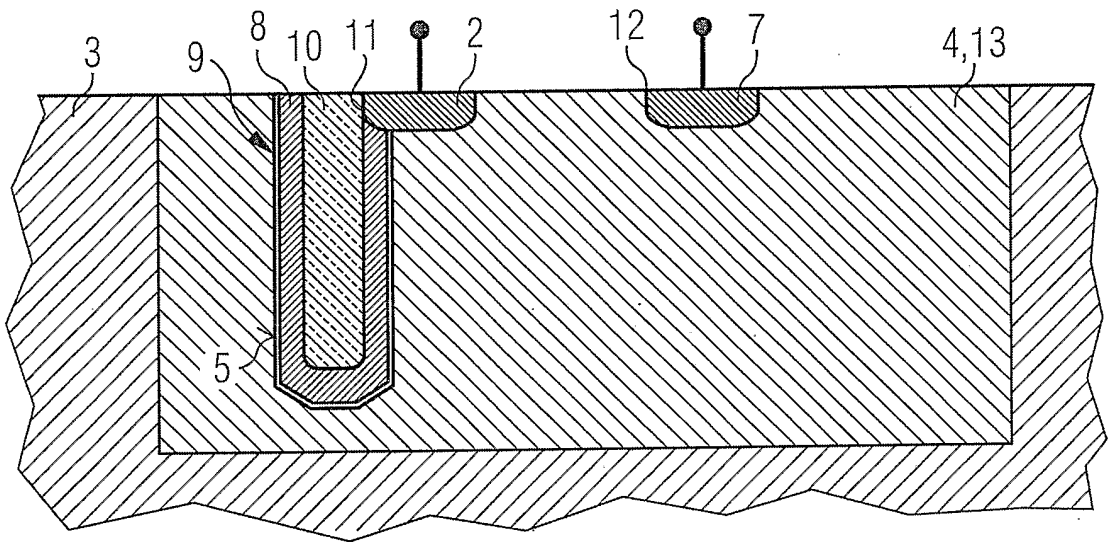


FIG 3

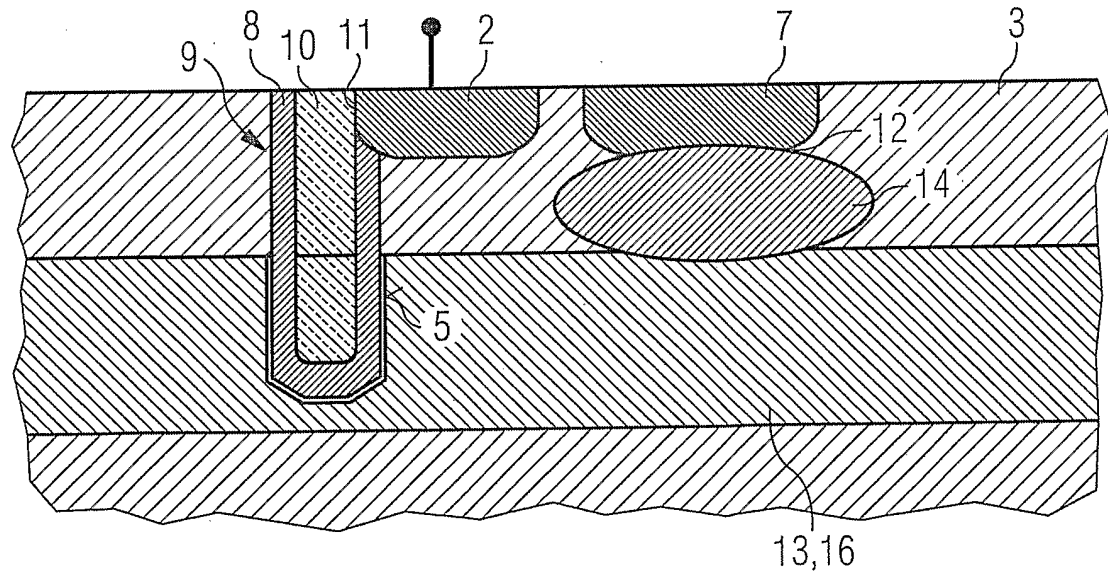


FIG 4

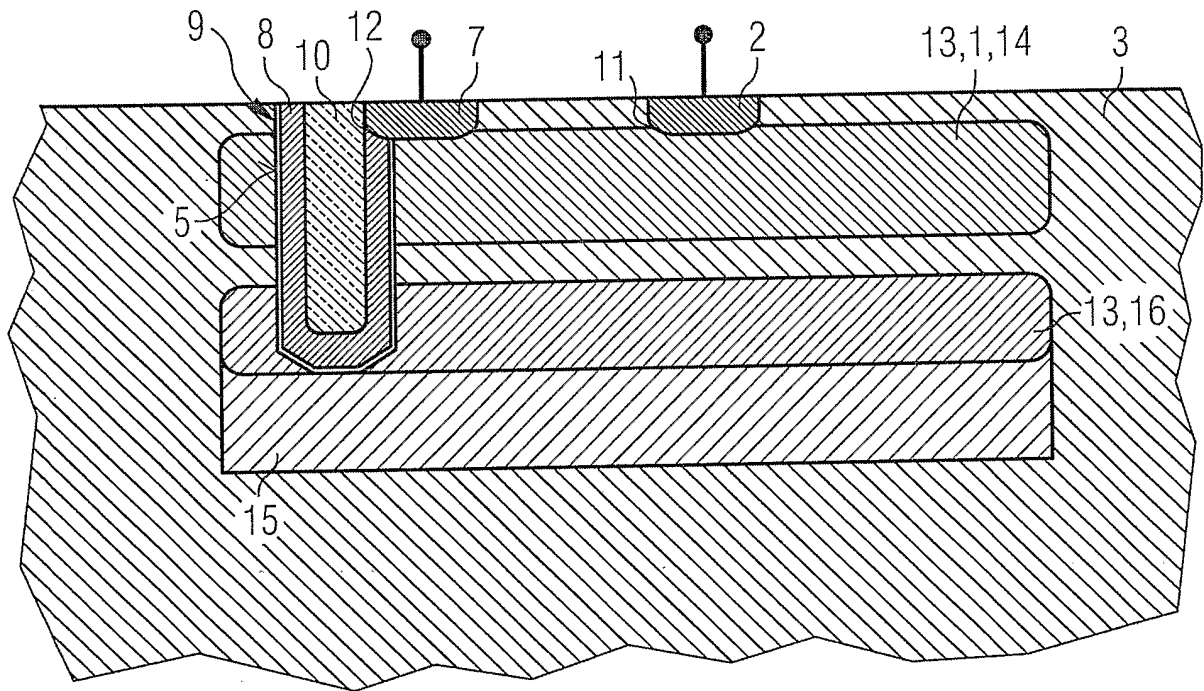


FIG 5A

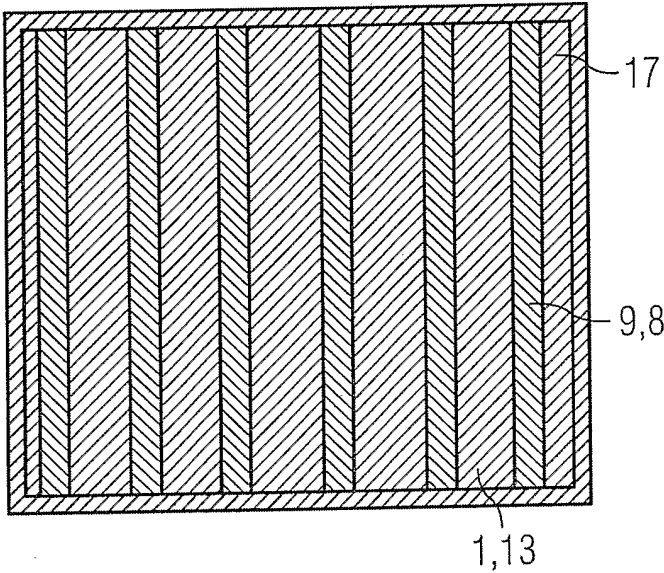


FIG 5B

