

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成28年12月28日(2016.12.28)

【公表番号】特表2016-512646(P2016-512646A)

【公表日】平成28年4月28日(2016.4.28)

【年通号数】公開・登録公報2016-026

【出願番号】特願2015-543123(P2015-543123)

【国際特許分類】

G 11 C 29/00 (2006.01)

【F I】

G 11 C 29/00 603 J

【手続補正書】

【提出日】平成28年11月4日(2016.11.4)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のワードライン、

複数のビットラインであって、ワードラインとビットラインの選択がメモリセルのアドレスを画定する、複数のビットライン、および

セルアレイについての構成情報を含むための前記セルアレイ内に物理的に予約された不揮発性予備ワードライン

を含む、前記セルアレイと、

前記セルアレイに結合された揮発性ストレージデバイスと、

前記セルアレイに結合された制御回路であって、

電源投入イベント時または転送コマンド時に、前記不揮発性予備ワードラインから前記構成情報を読み取ることと、

前記揮発性ストレージデバイスの中に前記構成情報を記憶することと、

前記構成情報を使用して前記セルアレイへのアクセスを構成することと

を行うように適合された、制御回路と、

を備える、メモリデバイス。

【請求項2】

前記セルアレイが、前記複数のワードラインから故障したワードラインを交換するためマッピングされる冗長ワードラインをさらに含む、請求項1に記載のメモリデバイス。

【請求項3】

前記構成情報は、

前記複数のワードラインからの故障したワードラインのアドレス、

前記複数のワードラインとビットラインからの故障したメモリセルのアドレス、ならびに/または

前記複数のワードラインからの故障したワードラインと前記セルアレイ内の冗長ワードラインとの間のマッピングもしくはリダイレクション

のうちの少なくとも1つに関係する情報を記憶する、請求項1に記載のメモリデバイス。

【請求項4】

前記セルアレイについての前記構成情報が、

前記セルアレイ用のチップ識別子、

前記セルアレイについてのタイミングトリミング情報、および

前記セルアレイについての電圧トリミング情報

のうちの少なくとも1つを含む、請求項1に記載のメモリデバイス。

【請求項5】

前記不揮発性予備ワードラインが、読み取り専用不揮発性ストレージを実現する、請求項1に記載のメモリデバイス。

【請求項6】

i) 前記不揮発性予備ワードラインが、ワンタイムプログラマブルストレージを実現すること、

ii) 前記セルアレイが不揮発性ストレージデバイスであること、

iii) 前記複数のワードラインが不揮発性ストレージであること、

iv) 前記不揮発性予備ワードラインが、前記複数のワードラインから別々にアクセス可能な、前記セルアレイ内の予備セクタの一部であること、

v) 前記揮発性ストレージデバイスが、1つまたは複数の揮発性フリップフロップを含むこと、

vi) 前記揮発性ストレージデバイスが、前記セルアレイの一部として統合されること、

vii) 前記セルアレイおよび揮発性ストレージデバイスが、同じ半導体ダイまたは半導体パッケージ上にあること、

viii) 前記セルアレイに結合された制御回路をさらに備え、前記制御回路が、

電源投入イベント時または転送コマンド時に、前記不揮発性予備ワードラインから前記構成情報を読み取ることと、

前記揮発性ストレージデバイスの中に前記構成情報を記憶することと、

前記構成情報を使用して前記セルアレイへのアクセスを構成することと

を行うように適合されること、

のうち1つまたは複数を含む、請求項1乃至5の何れか1項に記載のメモリデバイス。

【請求項7】

メモリセルアレイの予備セクタ内に前記メモリセルアレイについての構成情報を記憶するための方法であって、

複数のワードライン、

複数のビットラインであって、ワードラインとビットラインの選択がメモリセルのアドレスを画定する、複数のビットライン、および

前記セルアレイについての構成情報を記憶するために前記セルアレイに物理的に予約された不揮発性予備ワードライン

を含むセルアレイを形成するステップと、

前記不揮発性予備ワードラインに前記セルアレイについての構成情報を記憶するステップと、

前記セルアレイに結合された揮発性ストレージデバイスを形成するステップと、

を含む、方法。

【請求項8】

製造段階の間に前記複数のワードラインをテストして、前記ワードライン内の1つまたは複数の故障したアドレスを確認するステップと、

前記不揮発性予備ワードライン内の前記構成情報の一部として、故障したアドレスを記憶するステップと

をさらに含む、請求項7に記載の方法。

【請求項9】

i) 前記不揮発性予備ワードラインからの前記構成情報が、メモリデバイスの電源投入時または初期化時に前記揮発性ストレージデバイスにコピーされること、

ii) 前記セルアレイの一部として冗長ワードラインを形成するステップであって、前記冗長ワードラインが、前記複数のワードラインから故障したワードラインを交換するためマッピングされるステップをさらに含むこと、

iii) 前記不揮発性予備ワードラインが、

前記複数のワードラインからの故障したワードラインのアドレス、

前記複数のワードラインとビットラインからの故障したメモリセルのアドレス、ならびに/または

前記複数のワードラインからの故障したワードラインと前記セルアレイ内の冗長ワードラインとの間のマッピングもしくはリダイレクション

のうちの少なくとも1つに関係する情報を記憶すること、

iv) 前記セルアレイについての前記構成情報が、

前記セルアレイ用のチップ識別子、

前記セルアレイについてのタイミングトリミング情報、および

前記セルアレイについての電圧トリミング情報

のうちの少なくとも1つを含むこと、

v) 前記不揮発性予備ワードラインが、読み取り専用不揮発性ストレージまたはワンタイムプログラマブルストレージを実現すること、

vi) 前記複数のワードラインが不揮発性ストレージであること、

vii) 前記不揮発性予備ワードラインが、前記複数のワードラインから別々にアクセス可能な、前記セルアレイ内の予備セクタの一部であること、または、

viii) 前記揮発性ストレージデバイスが、1つまたは複数の揮発性フリップフロップを含むこと、

のうち1つまたは複数を含む、請求項7または8に記載の方法。

【請求項10】

メモリセルアレイの予備セクタ内のメモリセルアレイについての構成情報を使用するための方法であって、

電源投入イベント時または転送コマンド時に、前記メモリセルアレイ内の不揮発性予備ワードラインから構成情報を読み取るステップであって、前記不揮発性予備ワードラインは、前記構成情報を記憶するために前記メモリセルアレイに物理的に予約される、ステップと、

揮発性ストレージデバイスに前記構成情報を記憶するステップと、

前記構成情報を使用して前記メモリセルアレイへのアクセスを構成するステップとを含む、方法。

【請求項11】

i) 前記不揮発性予備ワードラインが、

複数のワードラインからの故障したワードラインのアドレス、

前記複数のワードラインとビットラインからの故障したメモリセルのアドレス、ならびに/または

前記複数のワードラインからの故障したワードラインと前記セルアレイ内の冗長ワードラインとの間のマッピングもしくはリダイレクション

のうちの少なくとも1つに関係する情報を記憶すること、

ii) 前記構成情報を使用して前記メモリセルアレイへのアクセスを構成するステップが

前記セルアレイに対する読み取りまたは書き込みの動作用の入力アドレスを受信するステップと、

前記入力アドレスが故障したワードラインまたは故障したメモリセルに対応するかどうかを判定するステップと、

前記入力アドレスが故障したワードラインまたは故障したメモリセルに対応する場合、前記メモリセルアレイ内の冗長ワードラインに前記読み取りまたは書き込みの動作をリダイレクトするステップと

を含むこと、または、

iii) 前記セルアレイについての前記構成情報が、

前記セルアレイ用のチップ識別子、

前記セルアレイについてのタイミングトリミング情報、および

前記セルアレイについての電圧トリミング情報

のうち1つまたは複数を含む、請求項10に記載の方法。

【請求項 1 2】

メモリセルアレイを含むメモリデバイスであって、

電源投入イベント時または転送コマンド時に、前記メモリセルアレイ内の不揮発性予備ワードラインから構成情報を読み取るための手段であって、前記不揮発性予備ワードラインは、前記構成情報を記憶するために前記メモリセルアレイに物理的に予約された、手段と、

揮発性ストレージデバイスに前記構成情報を記憶するための手段と、

前記構成情報を使用して前記メモリセルアレイへのアクセスを構成するための手段とを備える、メモリデバイス。

【請求項 1 3】

i) 前記不揮発性予備ワードラインが、

複数のワードラインからの故障したワードラインのアドレス、

前記複数のワードラインとビットラインからの故障したメモリセルのアドレス、ならびに/または

前記複数のワードラインからの故障したワードラインと前記セルアレイ内の冗長ワードラインとの間のマッピングもしくはリダイレクション

のうちの少なくとも1つに関係する情報を記憶すること、または

ii) 前記構成情報を使用して前記メモリセルアレイへのアクセスを構成することが、

前記セルアレイに対する読み取りまたは書き込みの動作用の入力アドレスを受信するための手段と、

前記入力アドレスが故障したワードラインまたは故障したメモリセルに対応するかどうかを判定するための手段と、

前記入力アドレスが故障したワードラインまたは故障したメモリセルに対応する場合、前記メモリセルアレイ内の冗長ワードラインに前記読み取りまたは書き込みの動作をリダイレクトするための手段と

を含むこと、

のうち1つまたは複数を含む、請求項12に記載のメモリデバイス。

【請求項 1 4】

1つまたは複数のプロセッサによって実行されるとき、前記1つまたは複数のプロセッサに、

電源投入イベント時または転送コマンド時に、メモリセルアレイ内の不揮発性予備ワードラインから構成情報を読み取ることであって、前記揮発性予備ワードラインは、前記構成情報を格納するために前記メモリセルアレイ内に物理的に予約されることと、

揮発性ストレージデバイスに前記構成情報を記憶することと、

前記構成情報を使用して前記メモリセルアレイへのアクセスを構成することと

を行わせる、メモリデバイスを動作させるための命令を含む、機械可読記憶媒体。

【請求項 1 5】

1つまたは複数のプロセッサによって実行されるとき、前記1つまたは複数のプロセッサに、

前記セルアレイに対する読み取りまたは書き込みの動作用の入力アドレスを受信することと、

前記入力アドレスが故障したワードラインまたは故障したメモリセルに対応するかどうかを判定することと、

前記入力アドレスが故障したワードラインまたは故障したメモリセルに対応する場合、前記メモリセルアレイ内の冗長ワードラインに前記読み取りまたは書き込みの動作をリダイレクトすることと

を行わせる、メモリデバイスを動作させるための命令をさらに含む、請求項14に記載の

機械可読記憶媒体。