(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
25. März 2004 (25.03.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/025731 A2

(51) Internationale Patentklassifikation[7]: H01L 27/115, 21/8246

(21) Internationales Aktenzeichen: PCT/DE2003/002576

(22) Internationales Anmeldedatum:
31. Juli 2003 (31.07.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 40 893.9 4. September 2002 (04.09.2002) DE

(71) Anmelder *(für alle Bestimmungsstaaten mit Ausnahme von US)*: **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Str. 53, 81669 München (DE). **INFINEON TECHNOLOGIES FLASH GMBH & CO. KG** [DE/DE]; Königsbrückerstr. 180, 01099 Dresden (DE).

(72) Erfinder; und

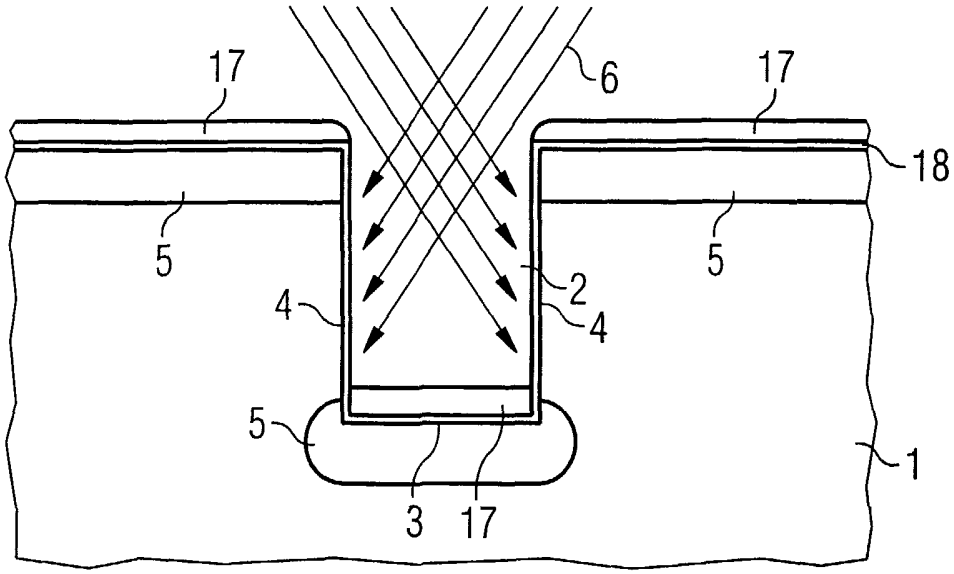
(75) Erfinder/Anmelder *(nur für US)*: **DEPPE, Joachim** [DE/DE]; Bischofsweg 62, 01099 Dresden (DE). **LUDWIG, Christoph** [DE/DE]; Bergerstrasse 15, 01465 Langebrück (DE). **KLEINT, Christoph** [DE/DE]; Bolivarstr. 11, 01129 Dresden (DE). **WILLER, Josef** [DE/DE]; Friedrich-Fröbel-Str. 62, 85521 Riemerling (DE).

(74) Anwalt: **EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Ridlerstrasse 55, 80339 München (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR THE PRODUCTION OF SONOS MEMORY CELLS, SONOS MEMORY CELL, AND MEMORY CELL FIELD

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG VON SONOS-SPEICHERZELLEN, SONOS-SPEICHERZELLE UND SPEICHERZELLENFELD



(57) Abstract: Disclosed is an Si body (1) in which a ditch (2) is created, the walls (4) of said ditch (2) being provided with a nitrogen implant (6). An oxide layer which is disposed between the source/drain areas (5) and a word line that is applied to the upper face grows thicker than a lower oxide layer of an ONO storage layer that is created on the ditch wall as a gate dielectric. A metal silicide layer can be created on the upper faces of the source/drain areas instead of the nitrogen implant in the ditch walls in order to accelerate oxide growth there.

(57) Zusammenfassung: In einem Si-Körper (1) wird ein Graben (2) hergestellt, dessen Wände (4) mit einer Stickstoffimplantierung (6) versehen werden. Eine Oxidschicht zwischen den Source-/Drain-Bereichen (5) und einer auf der Oberseite aufgebrachten Wortleitung wächst dicker auf als eine untere Oxidschicht einer als Gate-Dielektrikum an der Grabenwand hergestellte ONO-Speicherschicht. Statt der Stickstoffimplantierung in die Grabenwände kann eine Metallsilizidschicht auf den Oberseiten der Source-/Drain-Bereiche hergestellt werden, um das Oxidwachstum dort zu beschleunigen.

WO 2004/025731 A2

(81) Bestimmungsstaaten *(national)*: CN, JP, KR, US.

(84) Bestimmungsstaaten *(regional)*: europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

Veröffentlicht:

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Verfahren zur Herstellung von SONOS-Speicherzellen, SONOS-Speicherzelle und Speicherzellenfeld.

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung von SONOS-Speicherzellen, insbesondere NROM-Speicherzellen, eine nach diesem Verfahren herstellbare Speicherzelle und einen aus derartigen Speicherzellen gebildeten Halbleiterspeicher.

Speicherzellenfelder aus NROM-Speicherzellen (durch Channel-hot-Electrons programmierbare und mit Hot-Holes löschbare planare SONOS-Speicherzellen, US 5,768,192, US 6,011,725, WO 99/60631) lassen sich weitergehend miniaturisieren, indem die Speicherzellen nicht in einer Ebene nebeneinander angeordnet werden, sondern an den Wänden von Gräben, die an der Oberseite eines Halbleiterkörpers ausgeätzt werden. Eine Vielzahl solcher Gräben verläuft im Abstand parallel zueinander und bildet so eine Art Kammstruktur an der Oberfläche des Halbleiterkörpers.

Die Kanäle der Speichertransistoren sind vertikal an den Grabenwänden angeordnet. Die Source- und Drain-Bereiche sind an der Oberseite des Halbleiterkörpers angrenzend an die Gräben und in den Grabenböden angeordnet. Die Source-/Drain-Bereiche sind mit Bitleitungen verbunden. Die Gate-Elektroden der Speichertransistoren sind in den Gräben angeordnet und mit quer zu den Bitleitungen auf der Oberseite des Speicherzellenfeldes angeordneten Wortleitungen verbunden.

Die Wortleitungen verlaufen quer zu der Richtung der Gräben und müssen daher von den Source- und Drain-Bereichen in dem Halbleitermaterial elektrisch isoliert werden. Ein dünnes Gate-Dielektrikum muss an den Grabenwänden angebracht werden, während auf der Oberseite der Source- und Drain-Bereiche eine dickere elektrisch isolierende Schicht vorgesehen werden

muss, um eine ausreichende elektrische Isolation zwischen den Wortleitungen und den Source- und Drain-Bereichen bei geringer kapazitiver Kopplung zu erreichen.

Das Gate-Dielektrikum wird an den Wänden der Gräben durch eine Speicherschichtfolge gebildet, für die üblicherweise eine Oxid-Nitrid-Oxid-Schichtfolge verwendet wird. Die Nitridschicht ist dabei als eigentliche Speicherschicht vorgesehen, in der beim Programmieren der Zelle Elektronen zwischen den Begrenzungsschichten aus Oxid eingefangen werden (trapping).

Bisher stellt sich das Problem, dass bei einer gleichzeitigen Herstellung der unteren Begrenzungsschicht aus Oxid und der vorzugsweise ebenfalls aus Oxid ausgebildeten elektrisch isolierenden Schicht auf den Oberseiten der Source- und Drain-Bereiche ein gleichmäßig dickes Oxidwachstum entweder eine zu dicke Gate-Dielektrikumschicht oder eine zu dünne Isolationsschicht ausbildet. Eine optimale Tunneloxiddicke liegt bei etwa 6 nm, was für die Isolationsschicht auf den Source-und Drain-Bereichen zu wenig ist. Ein abgeschiedenes Oxid ist aus Qualitätsgründen nur eingeschränkt als untere Begrenzungsschicht (Tunneloxid) der Speicherschichtfolge geeignet.

Aufgabe der vorliegenden Erfindung ist es, eine SONOS-Speicherzelle, insbesondere eine NROM-Speicherzelle, und ein Verfahren zur Herstellung dieser Speicherzelle anzugeben, bei der das auf das Halbleitermaterial aufgebrachte untere Oxid der das Gate-Dielektrikum bildenden Speicherschichtfolge eine bevorzugte Dicke aufweist und gleichzeitig eine ausreichende elektrische Isolierung der Wortleitungen von den Source- und Drain-Bereichen erreicht ist.

Diese Aufgabe wird mit dem Verfahren mit den Merkmalen des Anspruches 1 bzw. mit der Speicherzelle mit den Merkmalen des Anspruches 6 gelöst. Anspruch 10 ist auf ein mit derartigen Speicherzellen ausgebildetes Speicherzellenfeld gerichtet.

Als Halbleitermaterial wird Silizium verwendet, in dem ein Graben oder eine kammartige Grabenstruktur ausgebildet wird. Metallisierte Bitleitungen werden durch einen Salicide-Prozess (self-aligned silicide), insbesondere mit Kobaltsilizid, erzeugt. Durch eine thermische Oxidation, insbesondere eine Nassoxidation, wird eine Oxidschicht auf dem Metallsilizid erzeugt, die zur Isolation der Bitleitungen dient. Die untere Begrenzungsschicht aus Oxid (bottom oxide) in dem Gate-Dielektrikum wird dabei so erzeugt, dass die Dicken der Oxidschichten weitgehend unabhängig voneinander eingestellt werden können. Die Speicherschichtfolge wird dabei vorzugsweise als ONO-Schichtfolge (Oxid-Nitrid-Oxid) hergestellt.

Die kammartige Grabenstruktur besitzt waagrechte Oberseiten der Source-/Drain-Bereiche und senkrechte Grabenwände, in denen die Kanalbereiche vorgesehen sind. Bei einer ersten bevorzugten Variante des Herstellungsverfahrens wird zunächst mit Hilfe einer schräg gerichteten Implantation Stickstoff in die senkrechten Grabenwände implantiert. Der Stickstoff in dem Halbleitermaterial hemmt ein späteres thermisches Oxidwachstum. Durch das Stickstoffimplantat wird die Wachstumsrate des Oxids im Vergleich zu nicht mit Stickstoff implantiertem Silizium um einen Faktor von bis zu 2 reduziert.

Nach dieser Stickstoffimplantation wird eine thermische Oxidation, vorzugsweise eine Nassoxidation, derart durchgeführt, dass auf den Grabenwänden eine Oxidschicht von typisch etwa 6 nm Dicke erzeugt wird. In demselben Oxidationsprozess wird ein deutlich dickeres Oxid (SiO_2) auf der mit dem Metallsilizid versehenen Bitleitung gebildet. Das Verhältnis der gebildeten Schichtdicken kann über die Bedingungen der Stickstoffimplantation in an sich bekannter Weise eingestellt werden.

In einer alternativen zweiten bevorzugten Variante des Herstellungsverfahrens wird nach der Grabenätzung ein thermisches Oxid erzeugt, das an den Grabenwänden als untere Begrenzungsschicht (bottom oxide der herzustellenden Speicher-

schichtfolge) dient und eine entsprechende Schichtdicke von typisch etwa 6 nm aufweist. Die Grabenwände werden mit Spacern abgedeckt, was vorzugsweise mit einem Nitrid-Spacerprozess geschieht. Danach wird die Source-/Drain-Implantation durchgeführt, mit der die Source-/Drain-Bereiche an der Oberseite angrenzend an den Graben und im Grabenboden ausgebildet werden. Durch eine anisotrope Trockenätzung wird das Oxid auf den horizontalen Oberflächen entfernt.

Durch einen Salicide-Prozess mit anschließender Oxidation wird auch in dieser Variante ein Metallsilizid, vorzugsweise Kobaltsilizid, mit einer Abdeckung aus SiO_2 auf den Source-/Drain-Bereichen hergestellt. Die Spacer an den Seitenwänden der Gräben verhindern dabei eine weitere Oxidation des Tunneloxids auf den Grabenwänden, so dass auch mit dieser Variante eine Entkopplung der Oxiddicken erreicht wird. Anschließend an die Herstellung der Oxidschichten auf den Source-/Drain-Bereichen werden die Spacer an den Grabenwänden entfernt.

Im Anschluss an diese Verfahrensschritte kann bei beiden beschriebenen Varianten in gleicher Weise die Speicherschichtfolge vervollständigt werden, die Gate-Elektrode in dem Graben angeordnet sowie die Wortleitung aufgebracht und strukturiert werden. Diese Verfahrensschritte können zusammen mit der Herstellung von Ansteuerbauelementen der Peripherie in an sich bekannter Weise durchgeführt werden. Die unteren Bitleitungen der jeweils zueinander benachbarten Gräben einer mit derartigen Zellen ausgebildeten Anordnung in einem Speicherzellenfeld werden vorzugsweise durch grabenförmige Isolationsstreifen voneinander getrennt. Diese Isolationsstreifen werden vorzugsweise als STI-Gräben (shallow trench isolation) hergestellt. Ein so ausgebildetes Speicherzellenfeld benötigt nur 2 F^2 Fläche pro Bit.

Es folgt eine genauere Beschreibung von Beispielen der Speicherzelle und bevorzugter Herstellungsverfahren anhand der Figuren 1 bis 9.

Die Figuren 1 bis 4 zeigen Querschnitte durch Zwischenprodukte der Speicherzelle nach verschiedenen Schritten eines ersten Herstellungsverfahrens.

Die Figuren 5 bis 8 zeigen Querschnitte durch Zwischenprodukte der Speicherzelle nach verschiedenen Schritten eines zweiten Herstellungsverfahrens.

Die Figur 9 zeigt eine Anordnung von Speicherzellen in parallel zueinander angeordneten und durch Isolationsstreifen voneinander getrennten Gräben im Querschnitt.

Ein erstes Ausführungsbeispiel eines bevorzugten Herstellungsverfahrens wird anhand der Figuren 1 bis 4 beschrieben. Daraus ergibt sich auch ein bevorzugtes Ausführungsbeispiel der Speicherzelle. In der Figur 1 ist im Querschnitt ein Halbleiterkörper 1 aus Silizium dargestellt, in den an einer Oberseite ein Graben 2 geätzt ist. Statt eines Halbleiterkörpers kann das Halbleitermaterial auch eine Siliziumschicht auf einem Substrat sein. Der Graben besitzt einen Boden 3 und seitliche Wände 4, die in dem schematischen Querschnitt der Figur 1 eben und im rechten Winkel zueinander eingezeichnet sind, je nach dem angewendeten Ätzverfahren aber auch leicht geneigt oder gegeneinander verrundet sein können. Das Silizium ist vorzugsweise mit einer schwachen p-Grunddotierung versehen.

In die für die Source- und Drain-Bereiche vorgesehenen Bereiche an der Oberseite des Halbleiterkörpers 1 an den Graben angrenzend und an dem Boden 3 des Grabens wird ein Dotierstoff eingebracht, in dem Beispiel einer p-Grunddotierung Dotierstoff für n^+-Leitung, vorzugsweise durch eine Implantierung. Auf diese Weise werden die Source- und Drain-Bereiche 5 wie eingezeichnet ausgebildet. Es wird dann ein dünnes thermisches Oxid 18 hergestellt, das als Opferschicht, insbesondere als Blockierschicht für den nachfolgenden Salicide-

Prozess, vorgesehen ist. Unter Verwendung einer Lackmaske 17, die die waagrechten Oberflächen des Halbleitermateriales abdeckt, wird eine schräge Implantierung 6 von Stickstoff in die Wände 4 des Grabens 2 eingebracht. Anschließend wird die Lackmaske 17 entfernt.

Entsprechend dem in der Figur 2 dargestellten Querschnitt wird dann das thermische Oxid 18 auf den waagrechten Oberflächen entfernt. Das geschieht z. B. durch anisotropes reaktives Ionenätzen (RIE). Es kann dann auf den Source- und Drain-Bereichen 5 eine Metallisierung zur Ausbildung der Bitleitungen hergestellt werden. Das geschieht vorzugsweise mittels eines Salicide-Prozesses, mit dem eine dünne Metallsilizidschicht 8 auf den angegebenen Oberflächen ausgebildet wird. Bevorzugt ist hier die Herstellung einer Kobaltsilizidschicht ($CoSi_2$). Nach der Herstellung der Metallsilizidschicht 8 wird das restliche thermische Oxid 18 an den Wänden z. B. durch Eintauchen in HF entfernt.

Bei einer Oxidation, insbesondere bei einer diffusionskontrollierten nassen Oxidation, wird auf $CoSI_2$ und anderen Metallsiliziden reines SiO_2 gebildet, wobei die Silizidschicht tiefer in das Halbleitermaterial eindringt. Dabei verschlechtern sich die für die Funktion als Bitleitung vorgesehenen elektrischen Eigenschaften dieser Schicht nicht. Die Eigenschaften der darauf gebildeten Oxidschicht sind mit SiO_2-Schichten vergleichbar, die direkt auf einen Siliziumkörper aufwachsen. Die Wachstumsraten sind im Wesentlichen unabhängig von der Dicke der Metallsilizidschicht und von derselben Größenordnung wie auf einem Siliziumkörper.

In der Figur 3 ist im Querschnitt die Struktur nach der Oxidation dargestellt. Zusammen mit der Herstellung der Oxidschicht 9 wird auch eine dünne untere Begrenzungsschicht 11 auf den Wänden des Grabens hergestellt, die als untere Schicht der Speicherschichtfolge vorgesehen ist. Wegen des Stickstoffimplantates wächst das Oxid auf den Wänden des Gra-

bens 2 langsamer auf als auf nicht mit Stickstoff implantiertem Silizium. Die Kombination der Metallsilizidschicht 8 auf den Oberseiten der Source- und Drain-Bereiche 5 mit dem Stickstoffimplantat in den Seitenwänden des Grabens ermöglicht es daher, die Schichtdicken dieser gleichzeitig hergestellten Oxidschichten unterschiedlich in der vorgesehenen Weise festzulegen. Für die Oxidation kommt vorrangig eine nasse Oxidation in Frage.

Entsprechend der Darstellung von Figur 4 wird die Speicherschicht 10 anschließend vervollständigt, indem die eigentliche Speicherschicht 12 und die obere Begrenzungsschicht 13, in diesem Beispiel ganzflächig, aufgebracht werden. Die eigentliche Speicherschicht 12 ist vorzugsweise Nitrid. Die obere Begrenzungsschicht 13 ist vorzugsweise wieder Oxid. Die Speicherschicht 10 wird so in der bevorzugten Ausgestaltung als Oxid-Nitrid-Oxid-Schichtfolge ausgebildet.

Anschließend kann eine Gate-Elektrode 14 in dem Graben angeordnet werden. Das geschieht vorzugsweise dadurch, dass elektrisch leitfähiges Polysilizium in den Graben abgeschieden wird. Dieses Material wird vorzugsweise auch auf der Oberseite abgeschieden, so dass durch eine Strukturierung in an sich bekannter Weise eine Wortleitung 15 hergestellt wird. Die Oberseite dieser Wortleitung kann mit einer Metallsilizidschicht 16 oder dergleichen bedeckt werden. Diese zusätzliche Schicht ist dafür vorgesehen, den Zuleitungswiderstand der Wortleitung zu vermindern.

Bei einer Variante des bevorzugten Herstellungsverfahrens werden entsprechend dem in der Figur 5 dargestellten Querschnitt nach der Grabenätzung und der Herstellung des thermischen Oxids 18 abdeckende Spacer 7 an den Wänden des Grabens 2 hergestellt. Das geschieht vorzugsweise durch einen Nitridspacerprozess. Die Source- und Drain-Bereiche 5 werden wie oben beschrieben durch eine Implantierung von Dotierstoff ausgebildet. Das thermische Oxid 18 wird von den waagrechten

Oberflächen vorzugsweise nasschemisch entfernt; es ist auch anisotropes RIE möglich.

Gemäß dem Querschnitt der Figur 6 wird die Metallsilizidschicht 8, auch hier vorzugsweise durch einen Salicide-Prozess, auf den Source- und Drain-Bereichen 5 hergestellt. Auch hier ist $CoSi_2$ als Metallsilizid bevorzugt. Auf der Metallsilizidschicht 8 wird dann die abdeckende Oxidschicht 9 erzeugt. Dann werden die abdeckenden Spacer 7 selektiv gegenüber dem Oxid entfernt, was bei Nitridspacern z. B. mittels Phosphorsäure geschehen kann.

Das freigelegte Oxid 18 kann gemäß der Figur 7 nunmehr selbst als untere Begrenzungsschicht 11 der Speicherschicht 10 verwendet werden oder aber nasschemisch entfernt werden, wobei auch die Oxidschicht 9 gedünnt wird. In diesem Fall wird die untere Begrenzungsschicht 11 durch eine neuerliche Oxidation hergestellt. Bei dem Oxidationsprozess wird die Oxidschicht 9 weiter verstärkt. Anschließend kann die Speicherschicht wie oben beschrieben vervollständigt werden.

In der Figur 8 ist im Querschnitt die Struktur mit vollständiger Speicherschicht 10 dargestellt. Die eigentliche Speicherschicht 12, die vorzugsweise Nitrid ist, und die obere Begrenzungsschicht 13, die vorzugsweise Oxid ist, werden in diesem Beispiel ganzflächig hergestellt. In dem Graben wird die Gate-Elektrode 14 angeordnet, die auch hier leitfähig dotiertes Polysilizium sein kann. Die Wortleitung 15, die gegebenenfalls eine Metallsilizidschicht 16 umfassen kann, wird in der beschriebenen Weise aufgebracht und strukturiert.

In der Figur 9 ist ein Querschnitt durch eine Anordnung mehrerer im Abstand parallel zueinander angeordneter Gräben mit Speicherzellen dargestellt. In der dargestellten Weise kann eine rasterförmige Anordnung von Speicherzellen, insbesondere von NROM-Speicherzellen, in einem Speicherzellenfeld ausgebildet sein. Die unteren Source- und Drain-Bereiche 5 an den

Böden 3 der Gräben können voneinander jeweils durch einen grabenartigen Isolationsstreifen 19 isoliert sein, der jeweils parallel zu den Gräben zwischen zwei zueinander benachbarten Gräben angeordnet ist, mindestens die Tiefe der an den Böden 3 der Gräben angeordneten Source-/Drain-Bereiche 5 erreicht und vorzugsweise jeweils nach Art einer STI-Struktur als oxidgefüllter Graben hergestellt wird.

Bezugszeichenliste

1 Halbleiterkörper
2 Graben
3 Boden des Grabens
4 Wand des Grabens
5 Source-/Drain-Bereich
6 Implantation
7 Spacer
8 Metallsilizidschicht
9 Oxidschicht
10 Speicherschicht
11 untere Begrenzungsschicht
12 eigentliche Speicherschicht
13 obere Begrenzungsschicht
14 Gate-Elektrode
15 Wortleitung
16 Metallsilizidschicht der Wortleitung
17 Lackmaske
18 thermisches Oxid
19 Isolationsstreifen

Patentansprüche

1. Verfahren zur Herstellung von Speicherzellen, bei dem
an einer Oberseite eines Halbleiterkörpers (1) oder einer Halbleiterschicht aus Silizium ein Graben (2) geätzt wird, der einen Boden (3) und seitliche Wände (4) aufweist,
Dotierstoff zur Ausbildung von Source- und Drain-Bereichen (5) in das Halbleitermaterial an der Oberseite des Halbleiterkörpers (1) bzw. der Halbleiterschicht an den Graben angrenzend und an dem Boden (3) des Grabens eingebracht wird,
die Oberseiten dieser Source- und Drain-Bereiche (5) mit elektrisch isolierenden Schichten versehen werden,
ein Gate-Dielektrikum an den Wänden des Grabens hergestellt wird und
eine Gate-Elektrode (14) in dem Graben angeordnet und mit einer Wortleitung (15) versehen wird,
dadurch gekennzeichnet, dass
vor dem Herstellen der elektrisch isolierenden Schichten eine Implantation (6) von Stickstoff in die Wände (4) des Grabens erfolgt oder abdeckende Spacer (7) an den Wänden (4) des Grabens hergestellt werden,
eine Metallsilizidschicht (8) an der Oberseite des Halbleiterkörpers (1) bzw. der Halbleiterschicht an den Graben (2) angrenzend und an dem Boden des Grabens hergestellt wird,
diese Metallsilizidschicht mit einer Oxidschicht (9) bedeckt wird, um so die elektrisch isolierenden Schichten auszubilden, und
das Gate-Dielektrikum als Speicherschicht (10) mit einer auf den Wänden des Grabens angeordneten unteren Begrenzungsschicht (11) aus Oxid hergestellt wird.

2. Verfahren nach Anspruch 1, bei dem
nach dem Ätzen des Grabens (2) der Dotierstoff zur Ausbildung der Source- und Drain-Bereiche (5) eingebracht wird,
die an den Graben angrenzenden Bereiche der Oberseite des Halbleiterkörpers (1) oder der Halbleiterschicht und der Bo-

den (3) des Grabens mit einer Lackmaske (17) abgedeckt werden,
Stickstoff in die Wände (4) des Grabens implantiert (6) wird,
die Lackmaske (17) entfernt wird,
mit einem Salicide-Prozess eine Metallsilizidschicht (8) in den an den Graben angrenzenden Bereichen der Oberseite des Halbleiterkörpers (1) bzw. der Halbleiterschicht und an dem Boden (3) des Grabens hergestellt wird.
die Metallsilizidschicht (8) mit einer Oxidschicht (9) bedeckt wird, wobei gleichzeitig an den Wänden (4) des Grabens die untere Begrenzungsschicht (11) hergestellt wird, und
die Speicherschicht (10), die Gate-Elektrode (14) sowie die Wortleitung (15) hergestellt werden.

3. Verfahren nach Anspruch 1, bei dem
nach dem Ätzen des Grabens (2) abdeckende Spacer (7) an den Wänden des Grabens hergestellt werden,
der Dotierstoff zur Ausbildung der Source- und Drain-Bereiche (5) eingebracht wird,
mit einem Salicide-Prozess eine Metallsilizidschicht (8) in den an den Graben angrenzenden Bereichen der Oberseite des Halbleiterkörpers (1) oder der Halbleiterschicht und an dem Boden (3) des Grabens hergestellt wird,
die Metallsilizidschicht (8) mit einer Oxidschicht (9) bedeckt wird,
die Spacer (7) entfernt werden,
an den Wänden (4) des Grabens die untere Begrenzungsschicht (11) hergestellt wird, wobei gleichzeitig die Oxidschicht (9) auf der Metallsilizidschicht (8) verstärkt wird, oder ein vor der Herstellung der Spacer (7) gegebenenfalls erzeugtes thermisches Oxid (18) freigelegt und als untere Begrenzungsschicht (11) vorgesehen wird und
die Speicherschicht (10), die Gate-Elektrode (14) sowie die Wortleitung (15) hergestellt werden.

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem die Metallsilizidschicht (8) als $CoSi_2$-Schicht hergestellt wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem die Speicherschicht (10) als Oxid-Nitrid-Oxid-Schichtfolge (11, 12, 13) hergestellt wird.

6. Speicherzelle, bei der
an einer Oberseite eines Halbleiterkörpers (1) oder einer Halbleiterschicht aus Silizium ein Graben (2) ausgebildet ist, der einen Boden (3) und seitliche Wände (4) aufweist, Source- und Drain-Bereiche (5) an der Oberseite des Halbleiterkörpers (1) bzw. der Halbleiterschicht an den Graben (2) angrenzend und an dem Boden (3) des Grabens ausgebildet sind, die Oberseiten dieser Source- und Drain-Bereiche (5) mit einer Metallsilizidschicht (8) versehen sind,
die Metallsilizidschicht (8) mit einer Oxidschicht (9) bedeckt ist,
an den Wänden des Grabens eine Speicherschicht (10) angeordnet ist, die eine untere Begrenzungsschicht (11) aus Oxid aufweist, die direkt auf dem Silizium angeordnet ist und dünner ist als die Oxidschicht (9), mit der die Metallsilizidschicht (8) bedeckt ist, und
in dem Graben eine mit einer Wortleitung (15) verbundene Gate-Elektrode (14) angeordnet ist.

7. Speicherzelle nach Anspruch 6, bei der
die Metallsilizidschicht (8) eine $CoSi_2$-Schicht ist.

8. Speicherzelle nach Anspruch 6 oder 7, bei der
die Speicherschicht (10) eine Oxid-Nitrid-Oxid-Schichtfolge (11, 12, 13) ist.

9. Speicherzelle nach einem der Ansprüche 6 bis 8, bei der die Wände (4) des Grabens (2) mit einem Stickstoffimplantat versehen sind.

10. Anordnung aus Speicherzellen nach einem der Ansprüche 6 bis 9 als Speicherzellenfeld, bei der
mehrere Gräben in einem jeweiligen Abstand parallel zueinander verlaufend ausgebildet sind,
in jedem Graben Speicherzellen angeordnet sind,
zwischen den Gräben jeweils grabenförmige Isolationsstreifen (19) angeordnet sind, die mindestens die Tiefe der an den Böden (3) der Gräben angeordneten Source-/Drain-Bereiche (5) erreichen, und
die Metallsilizidschicht (8) als Teile der Bitleitungen ausgebildet sind.

FIG 1

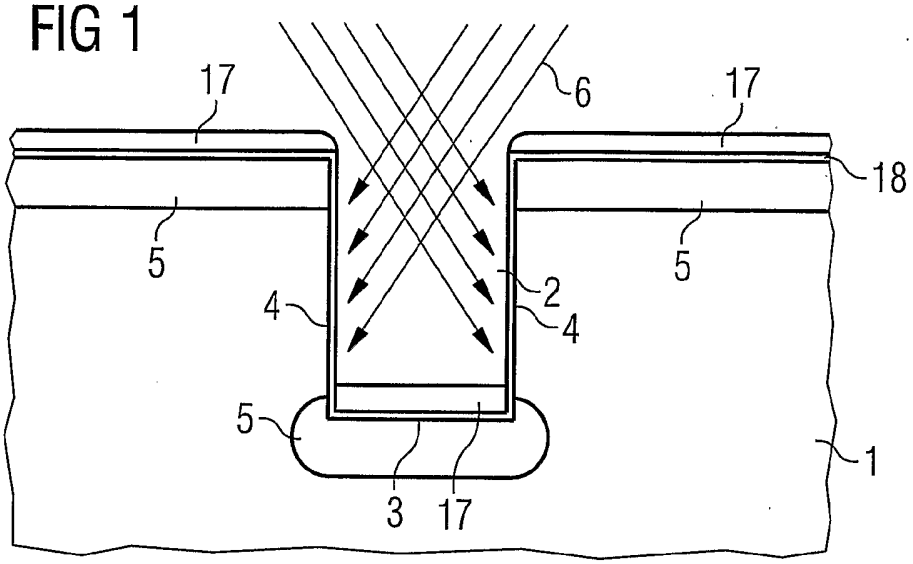


FIG 2

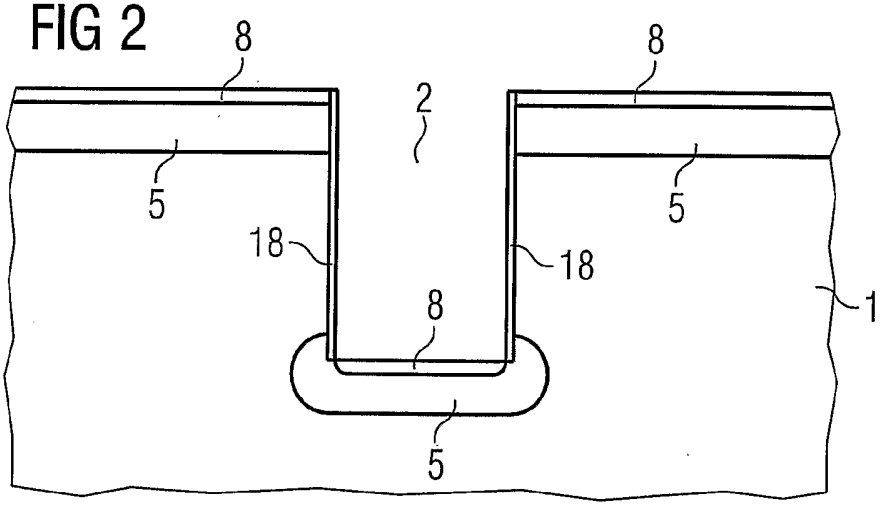


FIG 3

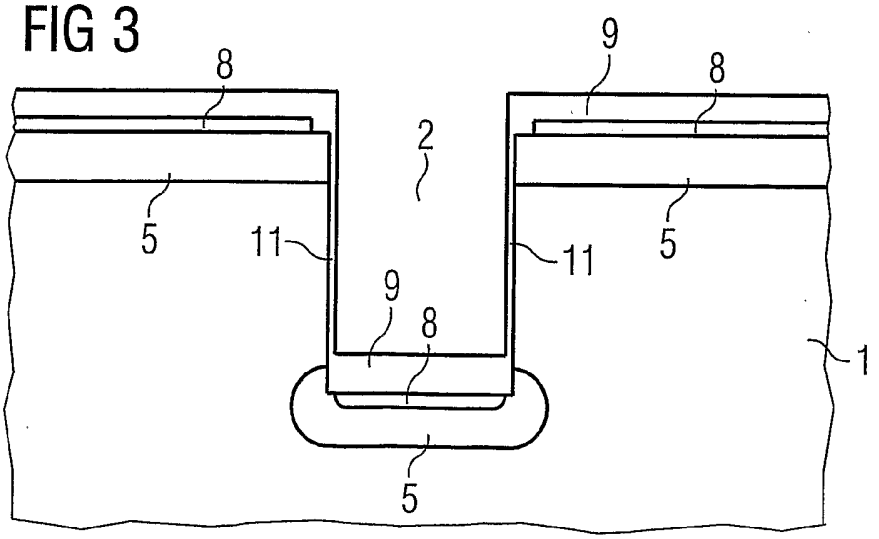


FIG 4

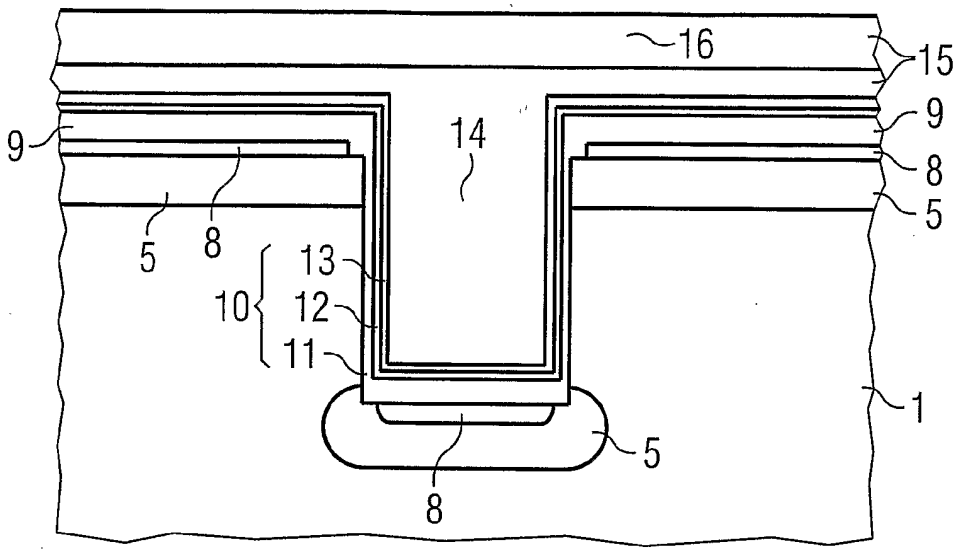


FIG 5

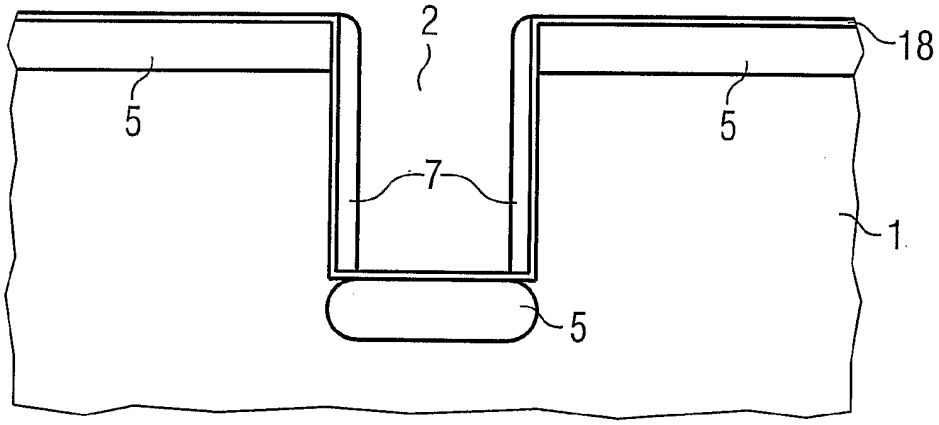


FIG 6

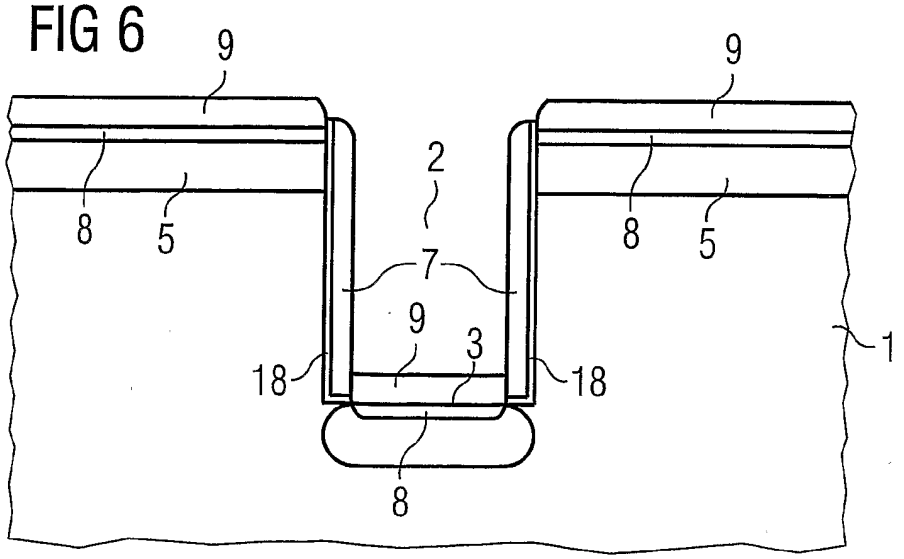


FIG 7

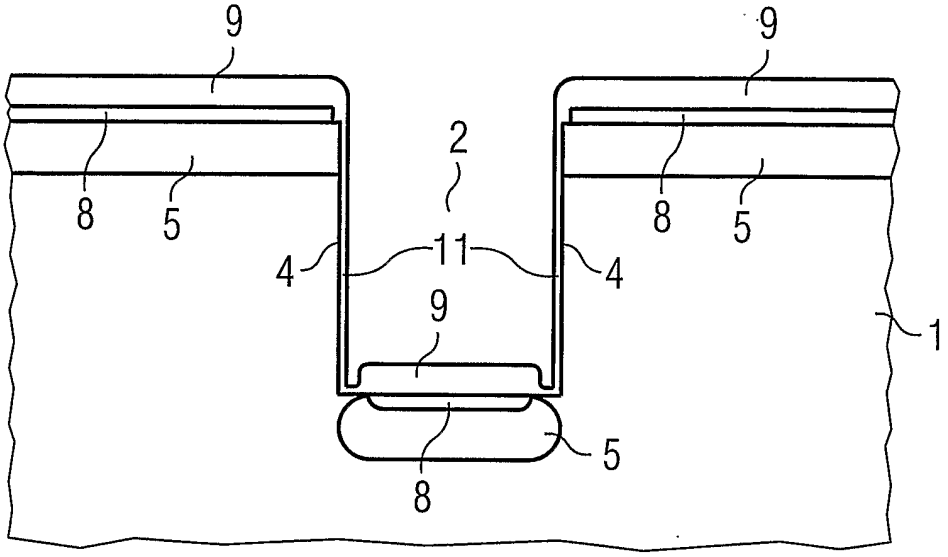


FIG 8

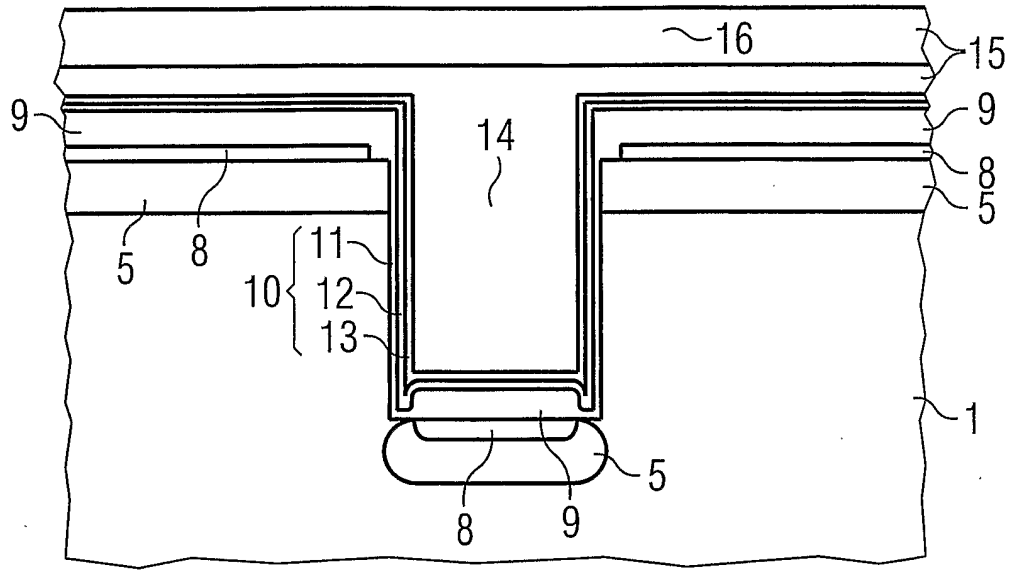
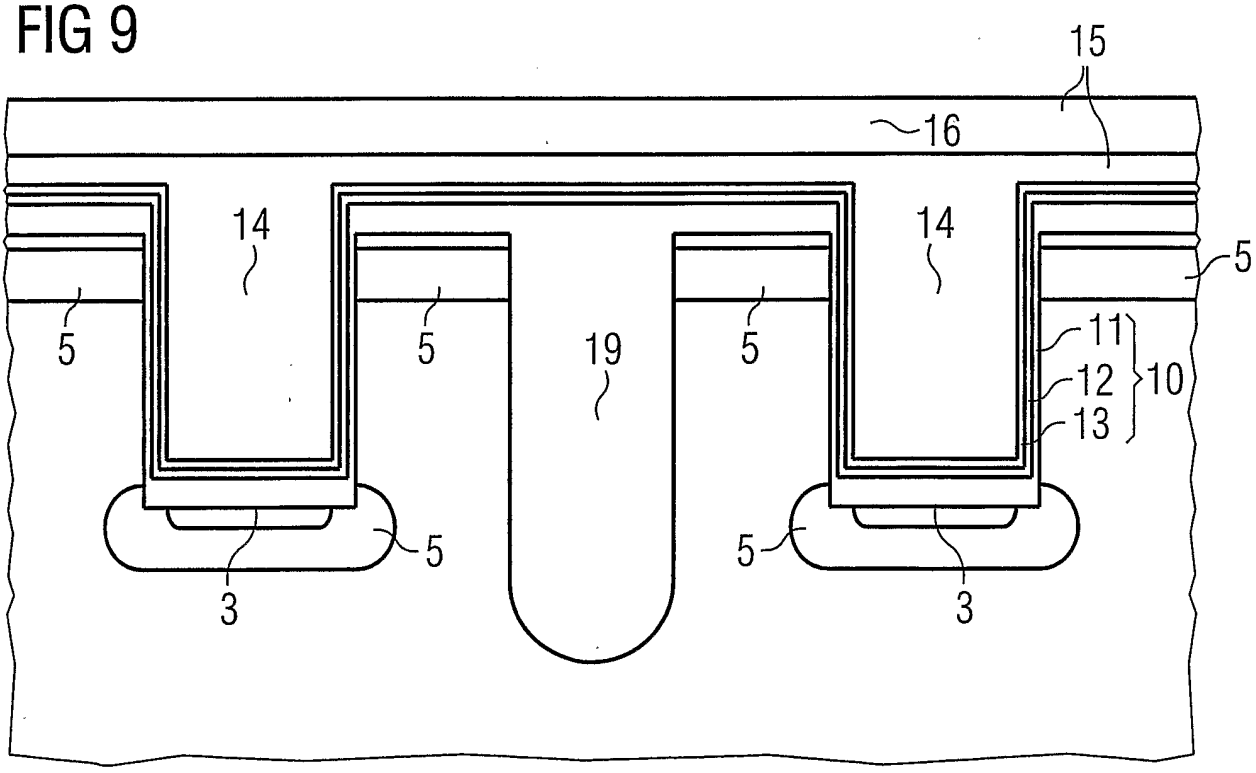

16
15
9
14
9
8
5
5
8
11
10
12
13
1
5
8
9

FIG 9


15
16
14
14
5
5
5
5
19
11
12
13
10
5
5
3
3