公告本

I260861

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：

※ 申請日期：92 8 28 ※IPC 分類：

壹、發明名稱：（中文/英文）

同步照鏡延遲(SMD)電路及包含一環圈振盪器以用於定時粗糙及細微延遲時段之方法

SYNCHRONOUS MIRROR DELAY (SMD) CIRCUIT AND METHOD INCLUDING A RING OSCILLATOR FOR TIMING COARSE AND FINE DELAY INTERVALS

貳、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）
美商麥克隆科技公司
MICRON TECHNOLOGY, INC.

代表人：（中文/英文）
麥克 L. 林契
MICHAEL L. LYNCH

住居所或營業所地址：（中文/英文）
美國愛達荷州鮑西市南菲德洛路8000號
8000 SOUTH FEDERAL WAY, BOISE, IDAHO 83716-9632, U.S.A.

國　籍：（中文/英文）
美國　U.S.A.

參、發明人：（共 1 人）

姓　名：（中文/英文）
哈沃茲 C. 克瑞奇
HOWARD C. KIRSCH

住居所地址：（中文/英文）
美國愛達荷州老鷹市西布格斯景道479號
479 WEST BOGUS VIEW DRIVE, EAGLE, IDAHO 83616, U.S.A.

國　籍：（中文/英文）
美國　U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☑ 本案申請前已向下列國家（地區）申請專利：

1.美國；2002年08月29日；10/232,475

2.

3.

4.

5.

☑ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.美國；2002年08月29日；10/232,475

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明一般係關於積體電路，更明確地說，係關於將積體電路中所產生的內部時脈信號同步於被施加至積體電路的外部時脈信號。

【先前技術】

於同步積體電路中，該積體電路會接受外部時脈信號，並且在相對於該施加時脈信號之上升邊緣與下降邊緣的預設時間處執行運算。同步積體電路的範例包含：同步記憶體裝置(例如同步動態隨機存取記憶體(SDRAM)、同步靜態隨機存取記憶體(SSRAM))、封包型記憶體(例如SLDRAM及RDRAM)、以及包含其它類型的積體電路(例如微處理器)。同步記憶體裝置外部信號的時序係取決於該外部時脈信號，而且該記憶體裝置內的運算通常必須同步於外部的運算。舉例來說，可將命令置放於與該外部時脈信號同步之記憶體裝置的命令匯流排之上，而該記憶體裝置則必須於正確的時間點閂住該些命令，以便成功地擷取該等命令。為閂住該等施加命令，必須回應該外部時脈信號以產生一內部時脈信號，並且通常必須將其施加於該記憶體裝置內含的鎖存器之上，從而以時脈同步的方式將該等命令送入該等鎖存器之中。內部時脈信號與外部時脈必須同步，方能確保該內部時脈信號可於正確的時間點提供時脈給該等鎖存器，以便成功地捕捉該等命令。於本文中，「外部」一詞係用以表示該記憶體裝置外面的信號與運算，而「內部」

一詞則係用以表示該記憶體裝置裡面的信號與運算。再者，雖然本文係關於同步記憶體裝置，不過本文所述的原理同樣適用於其它類型的同步積體電路。

該記憶體裝置內用以產生內部時脈信號的內部電路必須產生部分時間延遲，以便讓該內部時脈信號相對於該外部時脈信號產生相位移。只要該相位移非常小，該記憶體裝置內的時序便可輕易地同步於該外部時序。為提供施加命令的速率，以及提高傳輸命令給該記憶體裝置的速率與從該記憶體裝置傳輸命令的速率，必須提高該外部時脈信號的頻率，而目前的同步記憶體所採用的頻率則超過100 MHZ。不過，當外部時脈信號的頻率提高，內部電路所產生的時間延遲便顯得特別重要。這係因為當外部時脈信號的頻率提高，信號週期會變小，因此即使內部電路產生非常小的延遲，亦會於該內部時脈信號與該外部時脈信號之間產生非常大的相位移。因此，在該內部時脈信號提供時脈給該等鎖存器之前，被施加於該記憶體裝置的命令便不可能合法。

為了在目前的同步記憶體裝置中同步化外部及內部時脈信號，已經考慮及利用到一些不同的方法，其中包含延遲鎖定迴路(DLL)、相位鎖定迴路(PLL)、量測控制延遲(MCD)、及同步照鏡延遲(SMD)，其皆為本技藝專業人士所瞭解。如此處所使用者，該術語「同步化」包括名目上重合的信號，及相對於彼此有一所要的延遲之信號。圖1為習用的SMD 100之功能方塊圖，其可接收一施加的時脈信號CLK

，並且回應於該CLK信號產生一同步化時脈信號CLKSYNC，該CLKSYNC信號係同步於該CLK信號。該SMD 100包含一輸入緩衝器102，其可接收該CLK信號，並且回應於該CLK信號產生一緩衝的時脈信號CLKBUF。CLKBUF信號相對於該CLK信號具有一延遲時間D1，其中D1會對應於該輸入緩衝器之固有傳播延遲。

一模式延遲線104會接收該CLKBUF信號，並且產生一相對於該CLKBUF信號具有一模式延遲時間D1+D2的前向延遲時脈信號FDCLK。下文將作更詳細說明，該等模式延遲時間D1、D2模擬的係輸入緩衝器102所產生的延遲時間D1以及用以產生CLKSYNC信號之輸出緩衝器106所產生的延遲時間D2。該FDCLK信號會行經前向延遲線108，其包括複數個串聯耦合的單位延遲電路110A-N，每個單位延遲電路皆會從前面的單位延遲電路接收到一輸入信號，並且產生一相對於該輸入信號具有一單位延遲UD的輸出信號。舉例來說，每個單位延遲電路110A-N皆為具有一個輸入之AND閘，其由該單位延遲電路110A所指示來致動，其具有該反向器，造成對應於該反向器之傳遞延遲之單位延遲電路UD。在於前向延遲線104中，該FDCLK信號會從圖1的左邊朝右邊行經該等單位延遲電路110A-N，如單位延遲電路110A中之反向器的方向所示。該前向延遲線108包含複數個輸出112A-N，每個輸出112A-N皆分別被耦合至來自該等相對應之單位延遲電路110A-N的輸出。當FDCLK信號行經該等單位延遲電路110A-N時，當該信號出現於個別的輸出

112A-N之上時，該信號便成為一延遲前向時脈信號DFDCLK。

一反向延遲線114包含複數個單位延遲電路116A-N，其如前述地串聯耦合於該前向延遲線108。但是，除了提供如同該前向延遲線108般來自該單位延遲電路116A-N之該等輸出，該反向延遲線114具有複數個輸入118A-N，每個輸入係分別耦合至該等相對應的單元延遲電路116A-N之輸入。再次地，每個單元延遲電路116A-N可由具有一個輸入耦合到該相對應之輸入118A-N的一AND閘所形成。一照鏡控制器120耦合到該前向延遲線108之輸出112A-N，及該反向延遲線114之該等輸入118A-N。回應於該CLKBUF信號之上升邊緣，該照鏡控制器120由在該前向延遲線108中的該相對應單元延遲電路110A-N施加該DFDCLK信號到在該反向延遲線114中該相對應的單元延遲電路116A-N之輸入。舉例而言，如果該FDCLK信號已經傳遞到該單元延遲電路110J之輸出，該照鏡控制器120在該單元延遲電路110J之輸出上輸出該DFDCLK信號到在該反向延遲線114中該單元延遲116J之輸入。該等單元延遲電路116A到116I及116K到116N皆不受影響。該DFDCLK信號會行經該反向延遲線114中相對應的單位延遲電路116並且行經所有的單位延遲電路1161-A抵達該單位延遲電路的左側，並由該反向延遲線114輸出，成為一延遲時脈信號CLKDEL。因此，於反向延遲線114中，DFDCLK信號會從圖1的右邊朝左邊行經該等單位延遲電路116A-N，如單位延遲電路116A中該AND閘之方向所示。

該輸出緩衝器106會接收CLKDEL信號，並且回應於該CLKDEL信號以產生該CLKSYNC，CLKSYNC會被該輸出緩衝器所產生的延遲時間D2所延遲。

現在將參考圖1與圖2的信號時序圖(其所示的係於作業期間該SMD所產生之各種信號)更詳細地說明讓CLKSYNC信號與CLK信號產生同步的SMD 100的整體作業情形。於圖2的範例中，CLK信號的初始上升邊緣係發生在時間T0處。回應於時間T0處之CLK信號的上升邊緣之後，該輸入緩衝器102便會於延遲時間D1之後，於時間T1處將CLKBUF信號驅動至高位準，而CLKBUF信號的初始上升邊緣則稱為該CLKBUF信號的N邊緣。回應於位於時間T1處之CLKBUF信號的上升邊緣轉變之後，該模式延遲線104便會於模式延遲時間D1+D2之後，於時間T2處將FDCLK信號驅動至高位準。而後，FDCLK信號便會行經前向延遲線108中的單位延遲電路110A-N，直到CLKBUF信號的下一個上升邊緣N+1於時間T3處被施加至該照鏡控制器120為止。於時間T3處，前向延遲線108已經將該FDCLK信號延遲一前向延遲時間FD，該時間等於TCK-(D1+D2)，其中TCK為CLK信號的週期。如圖2所示，這係因為CLKBUF信號的下一個上升邊緣係發生於時間T2處之FDCLK信號之初始上升邊緣後面的TCK (D1+D2)處。

回應於在時間T3時該CLKBUF信號之上升邊緣，該照鏡控制器120由在該前向延遲線108中適當的單元延遲電路110A-N之輸出施加該FDCLK信號到該反向延遲線114之相

對應的輸入118A-N。舉例而言，假設該延遲TCK-(D1+D2)等於11個單元延遲UD，所以該照鏡控制器120從在該前向延遲線108中的單元延遲電路110K之輸出112K接收該DFDCLK信號。在此狀況下，該照鏡控制器120施加該DFDCLK信號到在該反向延遲線114中該單元延遲電路116K之輸入118K。此在圖2中表示為在時間T3時的該DFDCLK信號之上升邊緣。

而後，該DFDCLK信號便會行經反向延遲線114中適當的單位延遲電路116J-A，並且於時間T4處，該反向延遲線114便會回應於該DFDCLK信號將CLKDEL信號驅動至高位準。在時間T4時，該反向延遲線114已經由一反向延遲電路BD延遲了該DFDCLK信號，其等於TCK-(D1+D2)，即等於該前向延遲線108之前向延遲FD。此係因為該DFDCLK信號行經通過在該反向延遲線114中相同數目的單元延遲電路116A-N，如同該FDCLK信號到達在該前向延遲線108中的該等單元延遲電路110A-N中一樣，其將為本技藝之專業人士所瞭解。在時間T4時，該CLKDEL信號的整體延遲等於D1+D1+D2+TCK-(D1+D2)+TCK-(D1+D2)，其即等於2TCK-D2。因此，CLKDEL信號於時間T4處的上升邊緣係發生於時間T5處之CLK信號的下一個上升邊緣之前的輸出緩衝器106之延遲時間D2。回應於位於時間T4處的CLKDEL信號之後，輸出緩衝器106便會於時間T5處將CLKSYNC信號驅動至高位準，並且同步於CLK信號的上升邊緣。依此方式，SMD 100便可產生CLKSYNC信號，使其上升邊緣同步於

CLK信號的上升邊緣。

在該SMD 100中，雖然該輸入緩衝器102與輸出緩衝器106顯示為單一組件，其每個代表了該SMD 100之輸入與輸出之間的所有組件與相關的延遲電路。因此該輸入緩衝器102代表了接收該CLK信號之一輸入與至該模式延遲線104之輸入之間所有組件之延遲D1，而該輸出緩衝器106代表了該反向延遲線114之輸出端與展開該CLKSYNC信號之輸出之間所有組件的延遲D2，其將可為本技藝專業人士所瞭解。

在SMD 100中，該前向與反向延遲線108、114中，每個包含相同數目的單位延遲電路110A-N，116A-N。其需要大量的單位延遲電路110A-N，116A-N來提供該SMD 100具有較佳的解析度來產生該前向與反向延遲FD，BD，其在此後將共同稱之為一可變延遲VD(即VD=FD+BD)。該SMD 100之解析度為可由該可變延遲VD中加入及減除之延遲的最小增量，其等於在該SMD 100中該等單元延遲電路110A-N，116A-N之單元延遲UD之兩倍。較佳的解析度代表該CLK與該CLKSYNC信號將可適當地同步化，如本技藝專業人士可瞭解。此外，該等前向與反向延遲線108、114必須能夠共同提供相對應於在該SMD 100所指定運作的頻率範圍中具有最低頻率之CLK信號之一最大可變延遲VD。這係因為前向延遲線108與反向延遲線114必須個別提供N×TCK-(D1+D2)之延遲時間所造成的，當該CLK信號的週期TCK為最大時，該延遲時間會具有最大值，而其係發生於該CLK信號之最低頻率處。

將其放在一起考慮，該SMD 100所想要的解析度與最大可變延遲VD可造成該等延遲線108、114由大量個別的延遲平台110A-N，116A-N所構成，其消耗了一半導體基板上相當大量的空間，其中形成了該SMD 100及該同步記憶體裝置之其它組件。再者，這麼大量的個別延遲平台110A-N、116A-N會由該SMD 100造成顯著的功率消耗，其並不想要如此，特別是在當該同步記憶體裝置係包含在一可攜式電池為電力之裝置中的應用。

因此，需要一種具有良好解析度的SMD，其僅佔據半導體基板上少許的空間，並且僅消耗少許的功率。

【發明內容】

根據本發明一方面，一種同步照鏡延遲電路包含一環圈振盪器，其可產生複數個分流時脈信號，其中一個分流時脈信號係指定為一振盪器時脈信號。每個分流時脈信號具有相對於該振盪器時脈信號之一個別的延遲。一模式延遲線接收一輸入時脈信號，並回應於該輸入時脈信號而產生一模式延遲時脈信號。該模式延遲的時脈信號具有相對於該輸入時脈信號的一模式延遲。一粗糙延遲電路回應於該振盪器、輸入及模型延遲的時脈信號而產生一粗糙延遲計數，並回應於等於一參考計數值的該延遲計數來啟動一粗糙延遲致動信號。一細微延遲電路回應於該輸入時脈信號而閂鎖該分流時脈信號，並由該閂鎖的分流時脈信號展開一細微延遲。該細微延遲電路回應於該粗糙延遲致動信號而啟動一細微延遲致動信號，該細微延遲致動信號具有相

對於該粗糙延遲致動信號之細微延遲。一輸出電路耦合於該等粗糙與細微延遲電路，並回應於該等粗糙及細微延遲致動信號成為啟動而產生一延遲的時脈信號。

【實施方式】

圖3所示為一SMD 300之上升邊緣部份的功能方塊圖，其可消除在圖1中習用SMD 100中所含有的相對較大及高功率之前向及反向延遲線108、114，並另包含一環圈振盪器302，其計時粗糙計數器電路304來定義一粗糙延遲CD，並由細微延遲電路306利用來定義一細微延遲FD。在作業中，該SMD 300調整該粗糙及細微延遲CD、FD之數值，以產生一延遲的時脈信號CLKDEL，其會同步於(即具有所需要相對的延遲)一外部時脈信號CLK，其將在以下詳細說明。為了充分瞭解本發明，在下面的說明中提出許多的特定細節。不過，熟習本技術的人士將會瞭解，即使沒有這些特定細節仍能實施本發明。在其它案例中，將不會詳細顯示或完全省略所熟知的電路、控制信號、時序協定及軟體操作，以避免不必要地混淆本發明。

在SMD 300中包括一輸入緩衝器308，其可接收該CLK信號，並且回應於該CLK信號產生一時脈緩衝信號CLKBUF。該輸入緩衝器308引起一輸入緩衝器延遲D1，造成該CLKBUF信號由該輸入緩衝器延遲D1相對於該CLK信號來延遲。一模式延遲線310會接收該CLKBUF信號，並且產生一相對於該CLKBUF信號具有一模式延遲時間D1+D2的遞增計數延遲的時脈信號CLKUP。該模式延遲D1及D2係模擬

由該輸入緩衝器308所引起的延遲D1及由一輸出緩衝器(未示出)所引起的延遲D2。

該環圈振盪器302包含一NAND閘314A及複數個串聯連接的反向器314B-G，其具有來自該NAND閘314A及反向器314A-G之輸出來分別產生分流時脈信號T1-T7。該NAND閘314A包含接收該CLKUP信號之一第二輸入。每個分流時脈信號T1-T7具有相對於先前之分流時脈信號的一單元細微延遲UFD，且亦具有相對於該分流時脈信號T7之一相對應的延遲。來自該細微反向器314G之分流時脈信號T7係經由一反向器315來施加，以產生一振盪器時脈信號CLKOSC。該單元細微延遲UFD對應於該AND閘314A與該等反向器314B-G之個別傳遞延遲。一旦本技藝專業人士瞭解到用於形成該NAND閘314A之適當的電路具有如同該等反向器314B-G相同的單元細微延遲UFD。藉此，該分流時脈信號T1即被反向，並具有相對於該分流時脈信號T7之一延遲UFD，如同相對於該分流時脈信號T1之分流時脈信號T2一樣，且對於其餘的分流時脈信號T3-T6來依此類推。該細微延遲電路306利用該等分流時脈信號T1-T7來定義該CLKDEL信號之細微延遲FD，其將在以下做更為詳盡的說明。該環圈振盪器302可包含較多或較少的反向器324，其皆可為本技藝專業人士所瞭解。

該粗糙延遲電路304包含一遞增/遞減粗糙延遲計數器316，其由該CLKOSC信號提供時脈，並回應於該CLKOSC信號展開一粗糙延遲計數CDC。該計數器316在一遞增計數

的輸入上接收該CLKUP信號，並回應於該CLKUP信號之上升邊緣來在一遞增計數模式中運作，以回應於該CLKOSC信號之每個上升邊緣來遞增該CDC計數。該計數器316會在該遞增計數模式中運作，直到於一遞減計數輸入上接收到該CLKBUF信號之上升邊緣。回應於該CLKBUF信號之上升邊緣，該計數器316在一遞減計數模式中運作，以回應於該CLKOSC信號之每個上升邊緣來遞減該CDC計數。在作業中，該計數器316係回應於該CLKUP信號之一上升邊緣來在該遞增計數模式中運作，藉以回應於該CLKOSC信號之每個上升邊緣來由一初始值遞增該CDC計數。當該計數器316接收到該CLKBUF信號之一上升邊緣時，即進行在該遞減計數模式中的運作，且該計數器即回應於該CLKOSC信號之每個上升邊緣來遞減該CDC計數，以由在該遞增計數模式中所到達的該最終值來遞減該CDC計數到該初始值。每次該CDC計數之遞增或遞減係對應於該CLKOSC信號之週期TCK，因為該CDC計數係回應於該CLKOSC信號之每個上升邊緣來遞增或遞減該CDC計數。如果一單位粗糙延遲UCD定義成等於該CLKOSC信號之周期TCK，則每個單位粗糙延遲等於十四個單位細微延遲UFD (UCD=14 × UFD)，因為該CLKOSC信號傳遞通過該NAND閘314A，且在該CLKOSC信號的每個循環期間通過每個反向器314B-G兩次。一數位比較器318接收該CDC計數，且當該CDC計數等於該初始值時，產生一啟動粗糙致動信號CEN。

該細微延遲電路306包含一閂鎖及比較電路320，其回應

於該CLKBUF信號之一上升邊緣來閂鎖來自該環圈振盪器302之分流時脈信號T1-T7。依此方式，該閂鎖及比較電路320在一給定的時間點擷取該環圈振盪器302之狀態(及該CLKBUF信號之上升邊緣)。因此該閂鎖及比較電路320由該閂鎖的分流時脈信號T1-T7產生複數個細微延遲信號FD1-FD7。更特定而言，該閂鎖及比較電路320對於每對鄰接的分流時脈信號T1-T7進行一XOR運算，其結果為每個XOR運算產生相對應的FD1-FD7信號。舉例而言，該閂鎖及比較電路320執行該分流時脈信號T1及T2的XOR來產生該FD1信號，執行該分流時脈信號T2及T3的XOR來產生該FD2信號，依此類推，利用該分流時脈信號T7及T1的XOR產生該FD7信號。

在作業上，該閂鎖及比較電路320將啟動該FD1-FD7信號，其係對應於在發生該CLKBUF信號之上升邊緣的時間點時該CLKOSC之上升及下降邊緣的位置。依此方式，該閂鎖及比較電路320閂鎖住該時脈信號的上升或下降邊緣的位置，在當發生該CLKBUF信號之上升邊緣時傳遞通過該NAND閘314A及反向器314B-G。此係因為該環圈振盪器302的運作而為真，該分流時脈信號T1的上升及下降邊緣傳遞通過該NAND閘314A及反向器314A-G，藉此依序產生相對應於該分流時脈信號T2-T7之上升及下降邊緣。在任何給定的時間，該NAND閘314A及反向器314B-G中的一個將會展開該分流時脈信號T7之上升或下降邊緣。關於此特定NAND閘314A或反向器314B-G之該對分流時脈信號T1-T7

之XOR將等於"0"，而所有其它分流時脈信號對的XOR將等於"1"。此可藉由注意到未展開該分流時脈信號T7之上升或下降邊緣的任何反向器314BA-G或該NAND閘314A將具有一高輸入及低輸出，或反之亦然，而可瞭解，且因此該相關的分流時脈信號T1-T7之XOR將等於1。相反地，展開該分流時脈信號T7之邊緣的NAND閘314A或反向器314B-G將具有一輸入分流時脈信號T1-T7，其具有與該輸出分流時脈信號相同的邏輯位準，且因此這些分流時脈信號的XOR將等於0。展開該分流時脈信號T7之邊緣的該NAND閘314A或反向器314B-G之輸入及輸出分流時脈信號T1-T7的邏輯位準由於該NAND閘及反向器的傳遞延遲而相同，其為本技藝專業人士所瞭解。舉例而言，如果該NAND閘314A正在展開該分流時脈信號T1之上升邊緣，該反向器314G將先產生該分流時脈信號T7的上升邊緣，且此上升邊緣係施加到該NAND閘314A。在施加該分流時脈信號T7的上升邊緣到該NAND閘314A之前，該NAND閘驅動該T1信號成為高。因此，當該分流時脈信號T7的上升邊緣初始時被施加到該NAND閘314A之輸入時，該NAND閘具有一高輸入(分流時脈信號T7)及一高輸出(T1信號)。如果此為該T7及T1信號所閂鎖的點，這些信號的XOR將等於0，其係對應於該FD1信號。

一細微延遲轉換電路322接收來自該閂鎖及比較電路320之FD1-7信號，並處理這些信號來選擇出複數個細微延遲控制信號FDC1-7中的一個，如以下的詳細說明。回應於該CEN信號之上升邊緣，該轉換電路322啟動該FDC1-7信號中所

選擇的一個。複數個傳輸閘324A-G分別接收該FDC1-7信號，且亦在個別的第一信號終端上接收該分流時脈信號T1-T7。每個傳輸閘324A-G的第二信號終端即耦合於一AND閘326之第一輸入。回應於該FDC1-7信號，該傳輸閘324A-G中所選擇的一個被開啟，並輸出該相對的分流時脈信號T1-T7做為在該第二信號終端上的一細微致動信號FEN。舉例而言，當該FDC3信號被啟動時，該傳輸閘324C被開啟，並輸出該T3信號做為該FEN信號。該AND閘336亦在一第二輸入上接收來自該比較器318之CEN信號，並回應於該CEN及FEN信號來展開該延遲的時脈信號CLKDEL。該CLKDEL信號具有相對於該CLK信號之特定上升邊緣的所要之延遲，其將在以下詳細說明。

現在將參考圖3之方塊圖來詳細說明該SMD 300之整個作業，且圖4之信號時序圖係說明在作業期間由該SMD產生的多種信號。在圖4的範例中，該遞增/遞減粗糙延遲計數器316初始時設定該CDC計數到一零的數值，且該傳輸閘324A-G初始時係假設皆被關閉，且該FEN信號為低，所以該AND閘326驅動該CLKDEL成為低。在時間T0，發生該CLK信號之初始上升邊緣N，且該輸入緩衝器308驅動該CLKBUF信號成為高，回應於該CLK信號之上升邊緣的時間T1之稍晚的延遲D1。回應於該CLKBUF信號的上升邊緣之後，該模式延遲線310便可於經過模式延遲時間D1+D2之後的時間T2將CLKUP信號驅動至高位準。請注意到，該CLKBUF信號之上升邊緣亦施加到該閂鎖及比較電路320

，但在此時，回應於此信號之閂鎖及比較電路之作業不會影響該SMD 300之作業，因此在此說明中被忽略。

回應於時間T2之CLKUP信號，該環圈振盪器302被啟動(即該NAND閘314A被致動，且一時脈信號之相對應邊緣開始傳遞通過該NAND閘及反向器314B-G)。該延遲計數器316亦回應於該CLKUP信號開始在該遞增計數模式中作業，並回應於來自該環圈振盪器302之CLKOSC信號的每個上升邊緣來遞增該CDC計數。該計數器316回應於該CLKOSC信號之每個上升邊緣來遞增該CDC計數，直到時間T3，其係對應於在該CLKBUF信號的下一個上升邊緣在時間T4時施加到該計數器316之前所發生的該CLKOSC信號的最後一個上升邊緣。在時間T4時該CLKBUF信號的上升邊緣係對應於該CLK信號之下一個上升邊緣N+1而發生。回應於時間T4時的CLKBUF信號的上升邊緣，該計數器316在該遞減計數模式中進行運作，並回應於該CLKOSC信號之下一個上升邊緣來在時間T5時開始遞減該CDC計數。同時回應於在時間T4時該CLKBUF信號的上升邊緣，該閂鎖及比較電路320閂鎖住此時間點的該分流時脈信號T1-T7之狀態。如圖4所示，由時間T2到時間T3之期間被指定一遞增計數粗糙延遲UCD，且由時間T3到T4之期間被指定一遞增計數細微延遲UFD，該延遲UCD+UFD之總和等於一延遲TCK(D1+D2)，其中TCK為該CLK信號之周期。該閂鎖及比較電路320產生該FD1-FD7信號，其代表在時間T4時在該環圈振盪器320中該CLKOSC信號之目前邊緣的位置，且因此該細

微延遲轉換電路322回應於該FD1-FD7信號而啟動該FD1-7信號中的一個。該啟動的FDC1-7信號啟動該相對應的傳輸閘324A-G，藉此輸出該相對應的分流時脈信號T1-T7做為該FEN信號，如前所述。

由時間T4到時間T6，該延遲計數器316繼續在該遞減計數模式中運作，並回應於該CLKOSC信號之每個上升邊緣來遞減該CDC計數。在時間T6時，該數位比較器318決定該CDC計數等於該初始值，並啟動該CEN信號，並藉此致動該NAND閘326。在時間T7時，該啟動的傳輸閘324A-G輸出該選擇的分流時脈信號T1-T7做為該FEN信號到該NAND閘326。由時間T4到時間T6之期間被指定一遞減計數粗糙延遲DCD，而由時間T6到T7之期間被指定一遞減計數細微延遲DFD，而該延遲的總和DCD+DFD等於該延遲UCD+UFD，因此等於TCK-(D1+D2)。在時間T7時，該AND閘326接收該高FEN及CEN信號，因此驅動該CLKDEL信號為高位準，使得該CLKDEL信號具有相對於該CLK信號之N+2上升邊緣之所要的延遲。因此，該SMD 300產生具有一上升邊緣的CLKDEL信號，其含有相對於該CLK信號之N上升邊緣所想要的延遲，並依此方式同步該CLK及CLKDEL信號。

在SMD 300中，所產生的CLKDEL信號具有上升邊緣，其係同步於該CLK信號之每一個其它的上升邊緣。舉例而言，該CLKDEL信號之初始上升邊緣係如所述地發生在時間T7，且下一個上升邊緣發生在時間T9，其同步於該CLK信號之N+4上升邊緣。因此，在圖3的具體實施例中，該

CLKDEL信號僅同步於該CLK信號之另一個上升邊緣。此事實係因為該遞增/遞減計數器316開始在該遞減計數模式中開始作業到回應於該CLK信號之中間上升邊緣之延遲DCD(實際上回應於該CLK信號之中間上升邊緣中所對應產生的CLKBUF信號)。舉例而言，在圖4的範例中，該CLK信號之N+1上升邊緣在時間T4時產生該CLUBUF信號，並使得該計數器316在遞減計數模式中運作。因為該計數器316不能同時在該遞增計數模式中運作來計時該CLK信號之N+1邊緣的延遲UCD，僅有CLK之另一個上升邊緣可同步於SMD 300。為了產生一CLKDEL信號，使其上升邊緣同步於該CLK信號之每個上升邊緣，另一個SMD 300可簡單地利用，然後使來自每個SMD的CLKDEL信號透過一OR閘(未示出)施加來計時該輸出緩衝器312，本技藝專業人士將可瞭解到。

在SMD 300中，該單一環圈振盪器302被用來取代先前參考圖1所述之SMD中較大且相對較高的高功率前向及反向延遲線108、114。再者，該單一環圈振盪器302被用來同時產生該CLKDEL信號之粗糙及細微延遲。藉由利用該環圈振盪器302，大範圍的CLK信號可以同步，其具有一低頻率CLK信號，其具有相對應之較長的周期，其僅藉由增加該遞增/遞減粗糙延遲計數器316之位元數目來包含，其亦將由本技藝專業人士可瞭解。

此外，在使用由SMD 300來產生該CLKDEL信號的方法中，一旦決定該初始的遞增計數延遲UCD+UFD，此延遲可用

多種不同的方法來鏡射或重改，例如藉由利用這些數值所初始化的另一個計數器及環圈振盪器電路。同時，該量測的遞增計數延遲UCD+UFD數值可以改變，例如將該延遲除以或乘以一整數，藉此產生該延遲之倍數或次倍數。依此方式，例如即可使用該量測的遞增計數延遲UCD+UFD，以產生具有頻率為一施加的時脈信號之頻率倍數之時脈信號。

當使用獨立的計數器及環圈振盪器來量測及重改的另一個狀況中，由該延遲線310(圖3)所產生之所想要的模式延遲D1+D2會比該施加的時脈信號之單一循環要長。當該模式延遲D1+D2大於該施加時脈信號的一循環時，該量測時段必須至少是兩個時脈循環長，以允許該遞增計數延遲UCD+UFD可以適當地量測。此可參考圖4來瞭解，並注意到，如果該模式延遲D1+D2大於該施加的CLK信號之一個循環，在時間T4時該CLKBUF信號之上升邊緣，其係回應於時間T3時該CLK信號的N+1上升邊緣所產生，其不可使用來終止該遞增計數延遲UCD+UFD之量測，因為該模式延遲本身可延伸超過時間T4。在此狀況下，需要更多的SMD 300來產生該施加的CLK信號之每個邊緣，因為每個SMD需要比較長來產生個別的延遲邊緣，並在此較長的時間中，發生該施加的CLK信號之額外的邊緣。此將可參考下述的圖7而更加瞭解，其說明了一SMD 700，其中含有與該SMD 300相同方式作業的四個SMD，以產生該施加的CLK信號之所有上升及下降邊緣。如果該模式延遲D1+D2大於該CLK信號的一個循環，但小於兩個循環，該SMD 700將需要八

個SMD，而等於該SNM 300，除非該量測及傳遞的功能被獨立，並藉此由不同的計數器及環圈振盪器來執行。如果該量測及傳遞功能被獨立，僅需要一個量測電路及四個重改電路，即使當該模式延遲D1+D2大於該施加的CLK信號一個循環時，此將可由本技藝專業人士所瞭解。圖7將在以下更詳細地說明。

現在將參考圖4來更為詳細說明用來選擇啟動那一個FDC1-7信號之轉換電路322之作業，而描述在該SMD 300中數個信號之圖5的信號時序圖將更為詳細地說明該轉換電路322之作業。在圖5中，該時間T4-T7對應於圖4中相同的符號。該轉換電路322選擇該FDC1-7信號來補償該額外的延遲，其係發生在圖4中的時間T4及時間T5之間，現在將詳細地說明。如圖5所示，當該CLKBUF信號的上升邊緣發生於時間T4時，該相對應的遞增計數細微延遲UFD被定義，且定義了在該遞增計數模式中所展開的整個延遲UCD+UFD。該UFD延遲對應於在時間T4時該環圈振盪器302中該CLKOSC信號之目前邊緣的位置。在時間T4時，該遞增計數模式被終止，並開始該運作的遞減計數模式。因此，在該遞減計數模式期間所展開的延遲包含對應於該時間T4及T5之間期間的一殘餘延遲RD。即使該計數器316直到時間T5皆未被計時，而開始在該遞減計數模式中遞減該CDC計數，此殘餘延遲RD為在該遞減計數模式期間所開展的延遲之一部份。因此，對應於由時間T6到時間T7之期間的該遞減計數細微延遲DFD，其係由該轉換電路322所展開

，其必須負責該殘餘延遲RD。因此，該轉換電路322選擇該FDC1-7信號，其使得該DFD延遲等於該UFD減去該RD延遲(DFD=UFD-RD)。

下表1係以表格型式該轉換電路322之運作來決定傳遞通過該環圈振盪器302之時脈信號的上升或下降邊緣，並由此決定的位置，選擇那一個分流信號T1-T7係要被輸出來啟動該CLKDEL信號。

表1：轉換細微延遲轉換電路322之作業

在環圈振盪器302之鏡射量測及重改功能中

量測期間			重改期間		
儲存階段的RO(即啟動的FD 1-7)	T7信號之儲存的狀態		En結束粗糙遞減計數(CDC)	T7信號之結束狀態	由RO階段輸出選擇T1-T7信號做為細微輸出信號
					FEN
1	0		0	0	T1
2	0		0	0	T3
3	0		0	0	T5
4	0		0	0	T7
5	0		0	1	T2
6	0		0	1	T4
7	0		0	1	T6
1	1		-1*	0	T1
2	1		-1*	0	T3
3	1		-1*	0	T5
4	1		-1*	0	T7
5	1		-1*	1	T2
6	1		-1*	1	T4
7	1		-1*	1	T6
*向遞減計數通過0到-1(即...3，2，1，0，-1，...)					

表1的行將在以下的討論中由左到右稱之為行1-5。行1代表以該閂鎖及比較電路320之啟動的FD1-FD7信號之形式傳遞通過該環圈振盪器302之時脈信號的上升或下降邊緣的位置。當該閂鎖及比較電路320閂鎖該T1-T7信號之狀態，並啟動該FD1-FD7信號之一，該閂鎖的T7信號將為一二元值的"1"或"0"，如表1之行2所示。該行1及2代表由該轉換電路322所接收不同信號之最終狀態。

行3代表該遞減計數CDC在當啟動該CEN信號時所具有的結束數值，且當在表1中列8-14中的"*"所代表的，在啟動該CEN信號之前的某些狀況中，其通過0到-1。行4代表當該CDC計數到達在行3中所指出的數值時該T7信號之二元值狀態，而行5代表是那一個T1-T7信號輸出成為該CEN信號，以藉此啟動該CLKDEL信號。該轉換電路322啟動適當的FDC1-FDC7信號來分別輸出所想要的T1-T7信號。如表1之第5列所示，當啟動了FD5信號，且該閂鎖的T7信號在該量測時段的末端處為一二元值0，該轉換電路322即在當該CDC計數等於0時的重改時段當中輸出該T2信號成為該CEN信號。因此，表1所示為對於在該量測時段的末端處所有可能的T1-T7信號之閂鎖的組合之轉換電路322之運作，及在該相對應的重改時段結束時該T1-T7信號輸出成為該CEN信號，其將可由本技藝之專業人士所瞭解。

圖6所示為圖3中該環圈振盪器302及該閂鎖與比較電路320之一具體實施例的功能方塊圖及架構圖。該環圈振盪器302包含一NAND閘600，其串聯耦合於複數個串聯連接的反

向器602A-F，其利用NAND閘及反向器602-612分別產生分流時脈信號T1-T7。該NAND閘600對應於圖3中的反向器314B，並具有一單元細微延遲UFD，其匹配於該反向器602A-F之單元細微延遲，並對應於圖3中的反向器314A-F。該NAND閘600之第二輸入接收一開始信號START，其進入低位準，以造成該NAND閘600及反向器602A-F來驅動該T1-T7信號到初始值，並藉此進入高位準來致動該AND閘，並藉此初始化該環圈振盪器302之運作。

該分流時脈信號T1-T7即透過個別的反向器604A-G來施加到複數個樣本及保持電路606A-G。每個樣本及保持電路606A-G回應於一樣本信號SAMPLE之上升的邊緣來閂鎖來自該相對應反向器604A-G之信號，並放置該閂鎖的信號在一輸出上。當該SAMPLE信號為低位準時，每個樣本及保持電路606A-G驅動在其輸出上的信號到低位準。該CEN信號透過一緩衝器608施加來產生該SAMPLE信號。複數個XOR閘610A-G接收來自樣本及保持電路606A-G的對之輸出來藉此提供相鄰的分流時脈信號T1-T7到每個XOR閘。該XOR閘610A-G回應於來自該相對應的樣本及保持電路606A-G之輸出而分別產生該FD1-7信號。舉例而言，該樣本及保持電路606A及606B回應於該SAMPLE信號之上升邊緣而分別閂鎖該分流時脈信號T1及T2之狀態。該樣本及保持電路606A，606B施加該閂鎖的T1，T2信號到該XOR閘606A，其開展了具有對應於該取樣的T1及T2信號之XOR的數值之FD1信號。

在作業中，該START信號初始時進入不作用的低位準，造成該NAND閘600來驅動該T7信號到高位準，而該反向器602A-F回應於該高的T7信號而驅動該等信號T1-T6成為高或低位準。此時，該SAMPLE信號為低位準，造成每個樣本及保持電路606A-G來驅動其輸出到低位準，其因此造成該XOR閘610A-G來驅動該FD1-7信號到低位準。該START信號因此會進入啟動的高位準，造成該NAND閘600驅動該分流時脈信號T7到低位準，並開始一邊緣傳遞通過該反向器604A-F及該NAND閘600，如本技藝專業人士所瞭解。每當該CEN信號進入高位準，該緩衝器608驅動該SAMPLE信號到高位準，且該樣本及保持電路606A-G閂鎖透過該反向器604A-G施加的該分流時脈信號T1-T7，並施加這些閂鎖的資料時脈信號到該XOR閘610A-G。然後該XOR閘610A-G回應於該等施加的分流時脈信號T1-T7而產生該等FD1-7信號。當該SAMPLE信號進入高位準時(即分流時脈信號為高或低位準)，接收來自正在產生該CLKOSC信號之目前邊緣的反向器604A-G之該對分流時脈信號T1-T7之XOR閘610A-G即驅動該相對應的FD1-7信號到低位準。

圖7所示為SMD 700的功能方塊圖，其可用以產生一上升邊緣與下降邊緣同步於施加時脈信號CLK中相對應之上升邊緣與下降邊緣同步的時脈信號CLKSYNC。該SMD 700包含一輸入緩衝器702及一延遲線704，其回應於一施加的時脈信號CLK來分別開展一CLKBUF及一CLKUP信號，其方式相同於前述圖3之SMD 300中相對應之組件所做的說明

。該CLKBUF及CLKUP信號係施加到第一及第二上升邊緣環圈振盪器SMD電路706、708，其對應於回應於這些信號來接收該CLKBUF及CLKUP信號及產生該CLKDEL信號之SMD 300中的組件。該電路706會產生一上升邊緣延遲時脈信號CLKDELR1，其所要的延遲時間係相對於CLK信號之偶數交替上升邊緣，而電路708則會產生一上升邊緣延遲時脈信號CLKDELR2，其所要的延遲時間係相對於CLK信號之奇數交替上升邊緣。一OR閘710會接收該等CLKDELR1-2信號，並且回應於該些信號以產生一上升邊緣閃控RES。由兩個交錯耦合的NOR閘714、716所構成的RS正反器712在一設定輸入上接收該RES信號，並產生一具有上升邊緣之CLKDEL信號，其具有相對於該CLK信號之上升邊緣之預定的延遲。會應於該CLKDEL信號，一輸出緩衝器718產生具有上升邊緣之CLKSYNC信號，其係同步於該CLK信號之上升邊緣。

一輸入緩衝器720及一延遲線722回應於一施加的互補時脈信號CLK*來分別展開一CLKBUF*及一CLKUP*信號，其方式相同於在圖3之SMD 300中相對應元件所做的說明。該CLKBUF*、CLKUP*信號係施加到SMD電路724、726，其對應於在該SMD 300中的元件，其接收該CLKBUF與CLKUP信號，並回應於這些信號而產生該CLKDEL信號。該路724會產生一上升邊緣延遲時脈信號CLKDELF1，其所要的延遲時間係相對於CLK信號之偶數交替上升邊緣，而電路726則會產生一上升邊緣延遲時脈信號CLKDELF2，其所要的

延遲時間係相對於CLK信號之奇數交替上升邊緣。該OR閘710會接收該等CLKDELF1-2信號，並且回應於這些信號以產生一下降邊緣閃控信號FES。該RS正反器712會於重置輸入上接收該FES信號，並且產生該CLKDEL信號，該CLKDEL信號的下降邊緣與CLK信號之下降邊緣間具有一段預定的延遲。在回應於該CLKDEL信號之後，該輸出緩衝器718便會產生具有同步於該CLK信號之下降邊緣的下降邊緣之CLKSYNC信號。

圖8所示為一記憶體裝置800之功能方塊圖，其包括圖3的SMD 300及/或圖7的SMD 700。圖8之記憶體裝置800為一加倍資料速率(DDR)同步動態隨機存取記憶體(「SDRAM」)，雖然此處所述的原理可應用到任何的記憶體裝置，其可包含用於同步內部及外部信號之延遲鎖定的迴路，例如習用的同步DRAM (SDRAM)，以及封包化的記憶體裝置，像是SLDRAM及RDRAM，並同等應用到任何必須同步內部及外部時脈信號之積體電路。

記憶體裝置800包含一位址暫存器802，其可用以接收位址匯流排ADDR上的列位址、行位址、以及記憶庫位址，其通常具有一用以供應該等位址的記憶體控制器(未顯示)。位址暫存器802可接收一列位址以及一記憶庫位址，用以分別施加於列位址多工器804以及記憶庫控制邏輯電路806之上。該列位址多工器804施加自該位址暫存器802接收的該列位址或來自一更新計數器802之一更新列位址到複數個列位址鎖存器及解碼器810A-D。該記憶庫控制邏輯806啟

動了該列位址閂鎖及解碼器810A-D，其對應於自該位址暫存器802接收的該記憶庫位址或來自該更新計數器808之一更新記憶庫位址，而該啟動的列位址鎖存器及解碼器鎖存器及解碼該接收的列位址。回應於該被解碼的列位址，被啟動的列位址鎖存器與解碼器810A-D便會將各種信號施加於對應的記憶體記憶庫812A-D，從而啟動與該被解碼的列位址相對應的一列記憶體單元。每個記憶體記憶庫812A-D皆包含一記憶體單元陣列，該陣列具有複數個被排列於列與行之中的記憶體單元，而且儲存於已啟動之列中的記憶體單元內的資料便會被儲存於對應的記憶體記憶庫中的感測放大器內。熟習本技術的人士將會明白，當記憶體裝置800回應於被施加於其上的自動更新命令或自我更新命令而作業於自動更新模式或自我更新模式中時，列位址多工器804便會將源自更新計數器808的更新列位址施加於該等解碼器810A-D之上，而記憶庫控制邏輯電路806則會利用源自該更新計數器的更新記憶庫位址。

在該列及記憶庫位址之後，一行位址即施加在該ADDR位址上，而該位址暫存器802施加該行位址到一行位址計數器及鎖存器814，其依此閂鎖該行位址，並施加該閂鎖的行位址到複數個行解碼器816A-D。該記憶庫控制邏輯806啟動了對應於該接收的記憶庫位址之行解碼器816A-D，而該啟動的行解碼器即解碼所施加的行位址。根據該記憶體裝置800的操作模式，該行位址計數器及鎖存器814係直接施加該閂鎖的行位址到該解碼器816A-D，或施加一序列的行

位址到該等解碼器，其係由該位址暫存器所提供的該行位址開始。回應於來自該計數器及鎖存器814之行位址，該啟動的行解碼器816A-D施加解碼及控制信號到一I/O閘及資料遮罩電路818，其依此存取對應到正在存取之記憶記憶庫812A-D中已啟動的記憶體單元列中的解碼行位址之記憶體單元。

於資料讀取作業期間，正在自該定址的記憶體單元讀取之資料即經由該I/O閘及資料遮罩電路818耦合到一讀取閂鎖820。該I/O閘及資料遮罩電路818供應N位元的資料到該讀取鎖存器820，其即施加兩個N/2位元的字組到一多工器822。在圖3的具體實施例中，該電路818提供64位元到一讀取鎖存器820，其依此提供兩個32位元的字組到該多工器822。一資料驅動器824依序地自該多工器822接收該N/2位元的字組，且亦接收來自一閂控信號產生器826之資料閂控信號DQS，及來自該SMD 300/700之延遲的時脈信號CLKDEL。該DQS信號在讀取作業期間係由一外部電路使用，例如在閂鎖來自該記憶體裝置800之資料之記憶體控制器(未顯示)。回應於該延遲的時脈信號CLKDEL，該資料驅動器824依序輸出該接收的N/2位元的字組做為一相對應的資料字組DQ，每個資料字組係與施加來計時該記憶體裝置800之一CLK信號的上升邊緣或下降邊緣同步來輸出。該資料驅動器824亦輸出該資料閂控信號DQS，其分別具有同步於該CLK信號的上升邊緣及下降邊緣之上升邊緣及下降邊緣。每個資料字組DQ與每個資料閂控信號DQS可共同定義

成一資料匯流排DATA。如本技藝專業人士將可瞭解到，來自該SMD之CLKDEL信號為該CLK信號之延遲的版本，而該SMD 300/700相對於該CLK信號來調整該CLKDEL信號的延遲，以保證該DQS信號及該DQ字組係置於同步於該CLK信號之DATA匯流排上，如先前參考圖3-6之說明。該DATA匯流排亦包含遮罩信號DM0-M，其將參考資料寫入作業來在以下詳細說明。

於資料寫入作業期間，外部電路(例如圖中未顯示的記憶體控制器)可將N/2位元的資料字組DQ、閃控信號DQS、以及對應的資料遮罩信號DM0-X施加於資料匯流排DATA之上。資料接收器828可接收每個DQ字組以及相關的DM0-X信號，並且將該些信號施加於輸入暫存器830(該暫存器係由DQS信號提供時脈)之上。回應於該DQS信號的上升邊緣，該等輸入暫存器830便會閂鎖第一個N/2位元的DQ字組以及相關的DM0-X信號；而回應該DQS信號的下降邊緣之後，該等輸入暫存器便會閂住第二個N/2位元的DQ字組以及相關的DM0-X信號。輸入暫存器830可將兩個被閂鎖的N/2位元的DQ字組形成一N位元字組到一寫入FIFO與驅動器832，其可提供時脈給該施加的DQ字組與DM0-X信號，用以回應於該DQS信號將其送入該寫入FIFO與驅動器之中。該DQ字組係回應於該CLK信號而由該寫入FIFO及驅動器832來提供時脈，並施加到該I/O閘及遮罩電路818。該I/O閘及遮罩電路818轉移該DQ字組到接受該等DM0-X信號之存取的記憶記憶庫812A-D中所定址的記憶體單元，其可用

來選擇性地遮罩要寫入到該定址的記憶體單元之DQ字組中(即在該寫入資料中)的位元或位元群組。

控制邏輯與命令解碼器834會透過控制匯流排CONT接收到複數個命令與時脈信號，通常係接收自外部電路，例如圖中未顯示的記憶體控制器。該等命令信號包含：晶片選擇信號CS*、寫入致動信號WE*、行位址閃控信號CAS*、以及列位址閃控信號RAS*；而時脈信號則包含：時脈致動信號CKE*以及互補的時脈信號CLK、CLK*，其中「*」代表處於啟動低位準處之信號。該等命令信號CS*、WE*、CAS*以及RAS*會被驅動到對應於一特定命令(例如讀取命令、寫入命令、或自動更新命令)之數值。回應於該等時脈信號CLK、CLK*之後，命令解碼器834便會閂鎖及解碼一施加的命令，並且產生一連串的時脈信號與控制信號，用以控制該等組件802-832以執行該施加命令的功能。該時脈致動信號CKE可藉由時脈信號CLK、CLK*來啟動命令解碼器834的時脈作業。命令解碼器834可於CLK、CLK*信號的正向信號邊緣處(也就是，往高位準移動之CLK與往低位準移動之CLK*的交點)閂鎖命令與位址信號，而輸入暫存器830及資料驅動器824則可回應於資料閃控信號DQS的兩個信號邊緣分別將資料傳輸給該記憶體裝置800或從該記憶體裝置800接收資料，因此頻率為時脈信號CLK、CLK*的兩倍。這係因為DQS信號與CLK、CLK*信號具有相同頻率的關係。因為被傳輸至該裝置或傳輸自該裝置的資料字組DQ係以慣用SRDAM(其係以對應於施加時脈信號之頻率的

速率來傳輸資料)傳輸速率的兩倍來進行傳輸，因此記憶體裝置800可稱為雙倍資料速率裝置。為了簡化起見，控制邏輯與命令解碼器834用以產生該等控制與時序信號的細部作業方式即為習用的方式，因此將不再詳述。

圖9所示為具有包含圖8之該記憶體裝置800之電腦電路902之電腦系統900的方塊圖。基本上，該電腦電路902係透過位址、資料及控制匯流排來耦合到該記憶體裝置800，以提供寫入資料到該記憶體裝置，會由該記憶體裝置讀取資料。電腦電路902包含用以執行各項計算功能的電路，例如執行特定軟體以實施特定的計算或工作。此外，電腦系統900包含與該電腦電路902互相耦合的一個以上的輸入裝置904(例如鍵盤或滑鼠)，以便讓操作者可與該電腦系統進行互動。一般來說，電腦系統900還包含與該電腦電路902互相耦合的一個以上的輸出裝置906，例如包含印表機與視訊終端機的輸出裝置。還有一個以上的資料儲存裝置908會被耦合至該電腦電路902，用以儲存資料或從外部儲存媒體(未顯示)中擷取資料。儲存裝置908的範例包含：硬碟與軟碟、磁帶、小型唯讀記憶體(CD-ROM)及小型可覆寫式記憶體(CD-RW)、以及數位視訊光碟(DVD)。

應該瞭解的係，雖然在前面的說明中已經提出本發明的各項具體實施例與優點，不過，上面的揭示僅供作解釋用途，其細節部分仍然可加以修改，並且依然涵蓋於本發明的廣泛原理內。舉例來說，可以利用數位電路、類比電路、或兩者的組合方式來實現上述大部份的組件，不過，必

要時，亦可利用可於適當處理電路上執行的軟體來實現。所以，本發明僅受限於隨附的申請專利範圍。

【圖式簡單說明】

圖1為一習用SMD之功能方塊圖。

圖2所示為於作業期間由圖1之SMD所產生之各種信號的信號時序圖。

圖3所示為說明一上升邊緣SMD之功能方塊圖，其中包含用於產生一粗糙及細微延遲的一延遲的時脈信號之環圈振盪器。

圖4所示為於說明作業期間由圖3之SMD所產生之各種信號的信號時序圖。

圖5所示為更詳細地說明圖3之SMD在產生該細微延遲的該延遲的時脈信號之作業的信號時序圖。

圖6所示為圖3之環圈振盪器、一閂鎖及比較電路之具體實施例的功能方塊圖及架構圖。

圖7所示為根據本發明另一具體實施例中，用於產生具有上升及下降邊緣，而同步於一施加時脈信號對應之上升及下降邊緣之延遲時脈信號的一雙邊緣SMD之功能方塊圖。

圖8所示為包含有圖3之SMD及/或圖7之SMD的非同步記憶體裝置之功能方塊圖。

圖9所示為包含有圖8之記憶體裝置之電腦系統的功能方塊圖。

【圖式代表符號說明】

SDRAM　　同步動態隨機存取記憶體

SSRAM	同步靜態隨機存取記憶體
DLL	延遲鎖定迴路
PLL	相位鎖定迴路
MCD	量測控制延遲
SMD	同步照鏡延遲
DDR	雙重資料速率
CD-ROM	唯讀光碟
CD-RW	讀寫光碟
DVD	數位視訊光碟
102	輸入緩衝器
104	模式延遲線
106	輸出緩衝器
108	前向延遲線
110	單位延遲電路
112	輸出
114	反向延遲線
116	單元延遲電路
120	照鏡控制器
302	環圈振盪器
304	粗糙計數器電路
306	細微延遲電路
314	反向器
316	遞增/遞減粗糙延遲計數器
318	比較器

320	閂鎖及比較電路
322	細微延遲轉換電路
324	傳輸閘
602、604	反向器
606	樣本及保持電路
608	緩衝器
702	輸入緩衝器
704	延遲線
712	RS正反器
800	記憶體裝置
802	位址暫存器
804	列位址多工器
806	記憶庫控制邏輯電路
808	更新計數器
810	解碼器
812	記憶記憶庫
814	鎖存器
816	行解碼器
818	資料遮罩電路
820	讀取鎖存器
822	多工器
824	資料驅動器
828	資料接收器
830	輸入暫存器

832	寫入先進先出及驅動器
834	控制邏輯及命令解碼器
902	電腦電路
904	輸入裝置
908	儲存裝置

伍、中文發明摘要：

本發明揭示一種同步照鏡延遲，其包含一環圈振盪器，以產生複數個分流時脈信號，其中一個分流時脈信號指定為一振盪器時脈信號。為回應一輸入時脈信號，一模式延遲線產生一模式延遲的時脈信號，其具有相對於該輸入時脈信號的一模式延遲。一粗糙延遲電路回應於該振盪器、輸入及模式延遲的時脈信號而產生一粗糙延遲計數，並回應於等於一參考計數值的該延遲計數來啟動一粗糙延遲致動信號。一細微延遲電路鎖存器該分流時脈信號，並由該閂鎖的信號開展一細微延遲，並回應於該粗糙延遲致動信號來啟動具有該細微延遲之細微延遲致動信號。一輸出電路回應於所要啟動的該粗糙及細微延遲致動信號而產生一延遲的時脈信號。

陸、英文發明摘要：

A synchronous mirror delay includes a ring oscillator that generates a plurality of tap clock signals with one tap clock signal being designated an oscillator clock signal. In response to an input clock signal, a model delay line generates a model delayed clock signal having a model delay relative to the input clock signal. A coarse delay circuit generates a coarse delay count responsive to the oscillator, input, and model delayed clock signals, and activates a coarse delay enable signal responsive to the delay count being equal to a reference count value. A fine delay circuit latches the tap clock signals and develops a fine delay from the latched signals, and activates a fine delay enable signal having the fine delay in response to the coarse delay enable signal. An output circuit generates a delayed clock signal responsive to the coarse and fine delay enable signals going active.

拾壹、圖式：

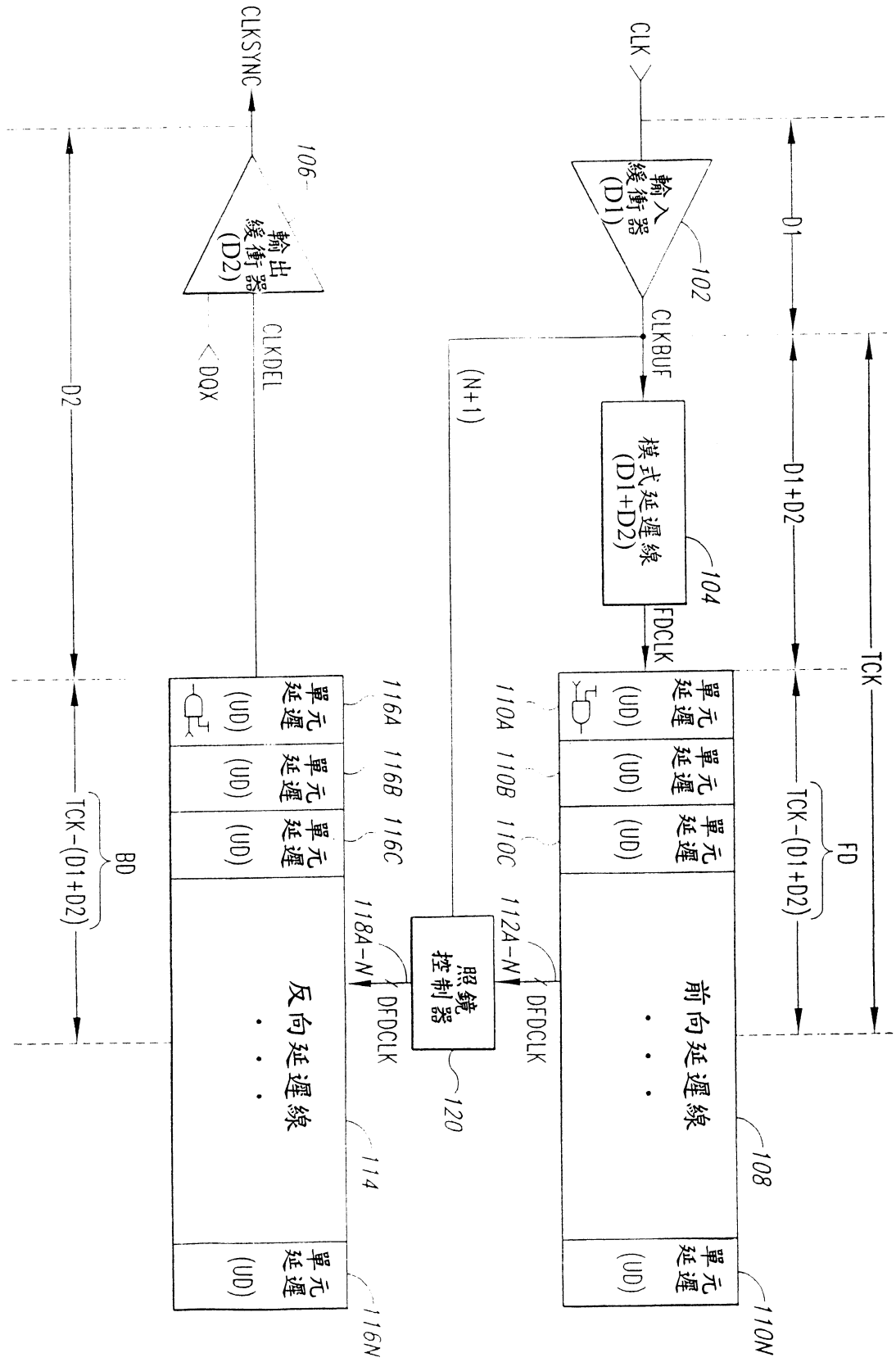

CLK
CLKSYNC
106
輸出緩衝器 (D2)
102
輸入緩衝器 (D1)
D1
D1+D2
TCK
FD
TCK-(D1+D2)
CLKBUF
CLKDEL
DQX
D2
模式延遲線 (D1+D2)
104
FDCLK
(N+1)
單元延遲 (UD)
110A
110B
110C
110N
前向延遲線
108
112A-N
DFDCLK
照鏡控制器
120
116A
116B
116C
116N
118A-N
DFDCLK
反向延遲線
114
BD
TCK-(D1+D2)

圖 1
(背景技藝)

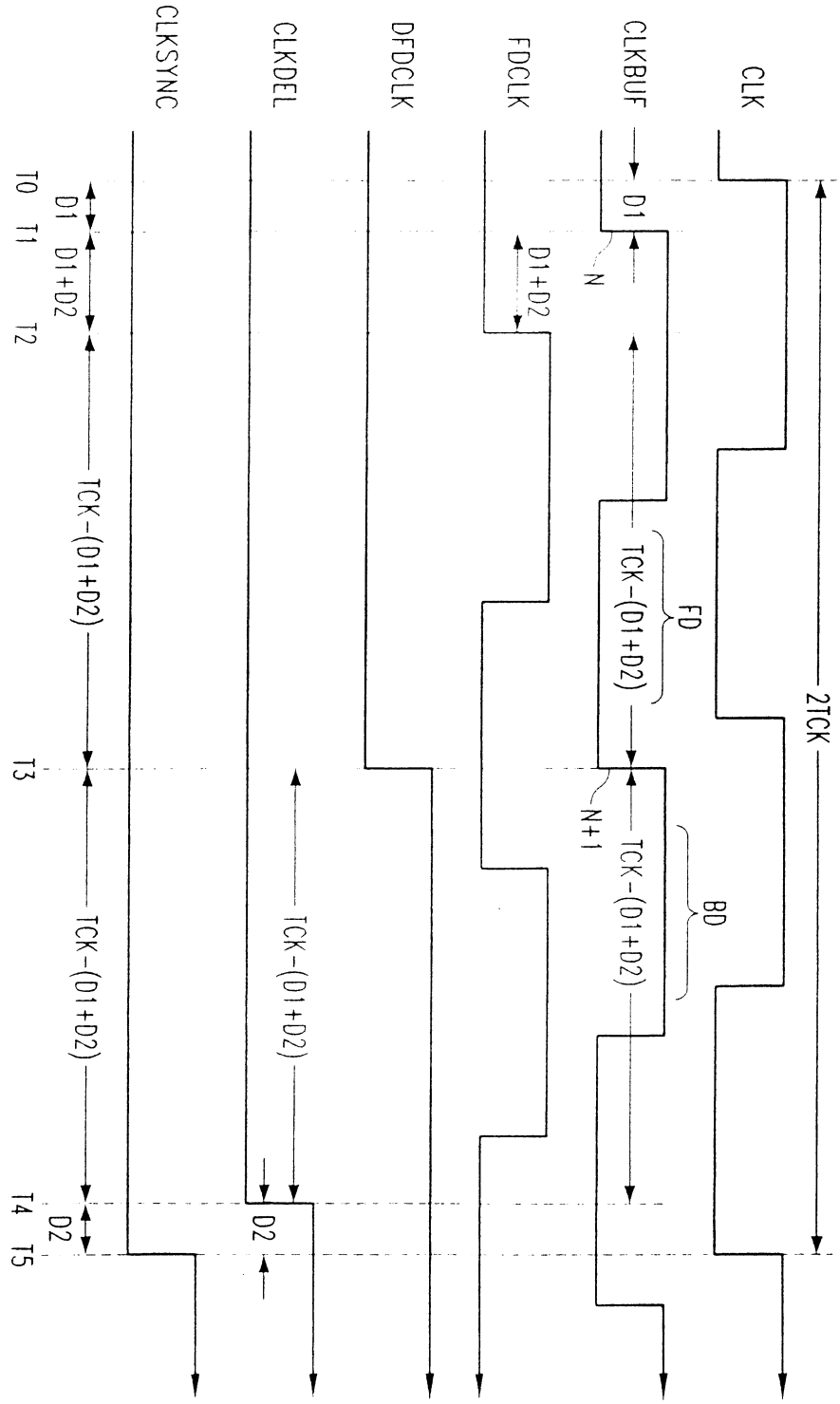

CLK
CLKBUF
FDCLK
DFDCLK
CLKDEL
CLKSYNC
2TCK
D1
N
D1+D2
FD
TCK-(D1+D2)
N+1
BD
TCK-(D1+D2)
TCK-(D1+D2)
D2
TCK-(D1+D2)
D1
D1+D2
T0
T1
T2
T3
T4
T5

圖 2
(背景技藝)

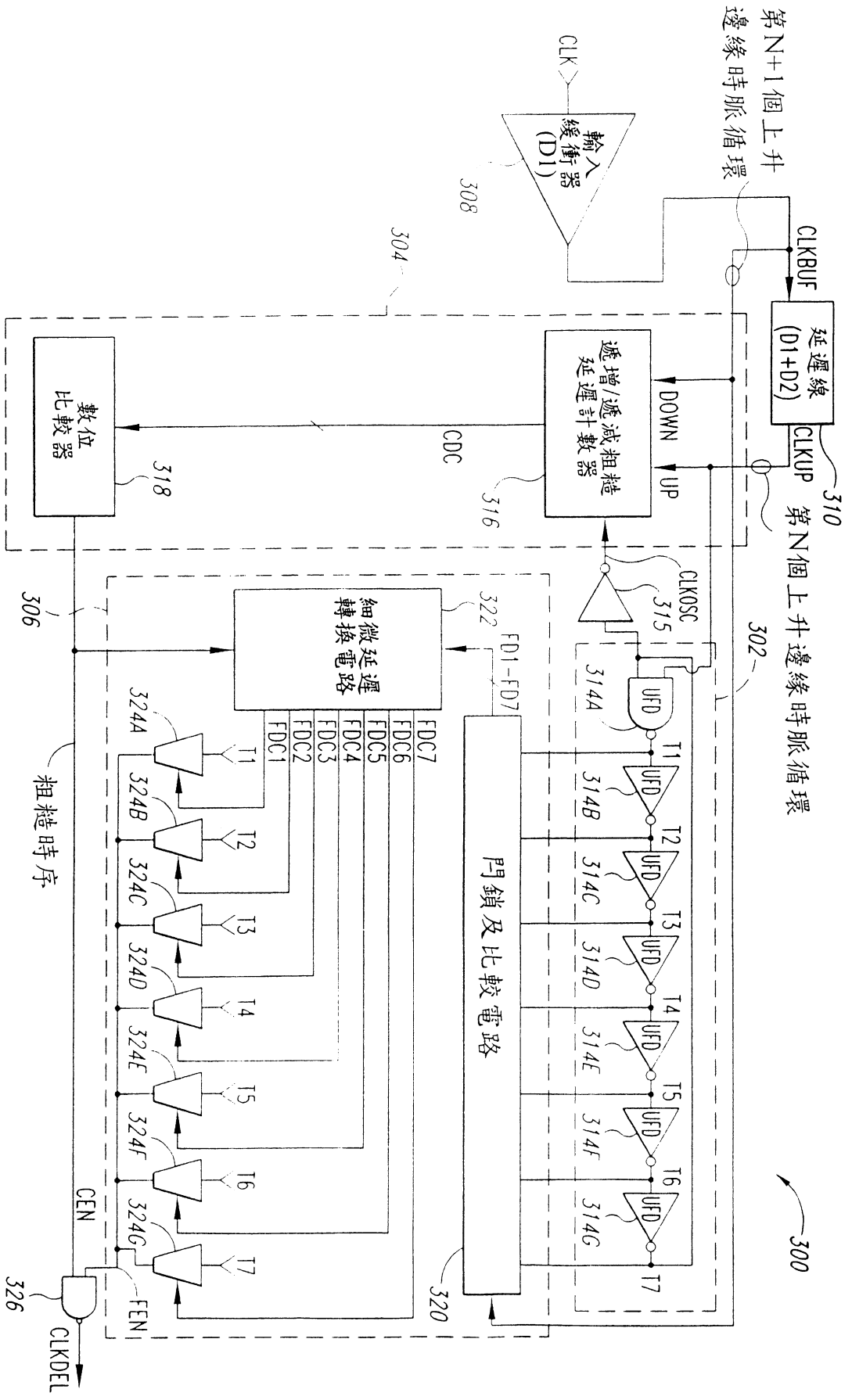

第N+1個上升邊緣時脈循環
第N個上升邊緣時脈循環
CLK
輸入緩衝器 (D1)
308
CLKBUF
延遲線 (D1+D2)
CLKUP
310
304
302
300
DOWN
UP
遞增/遞減粗糙延遲計數器
316
CDC
數位比較器
318
CLKOSC
315
314A
UFD
T1
314B
T2
314C
T3
314D
T4
314E
T5
314F
T6
314G
T7
306
322
FD1-FD7
細微延遲轉換電路
FDC1
FDC2
FDC3
FDC4
FDC5
FDC6
FDC7
門鎖及比較電路
320
324A
324B
324C
324D
324E
324F
324G
粗糙時序
CEN
FEN
326
CLKDEL

圖 3

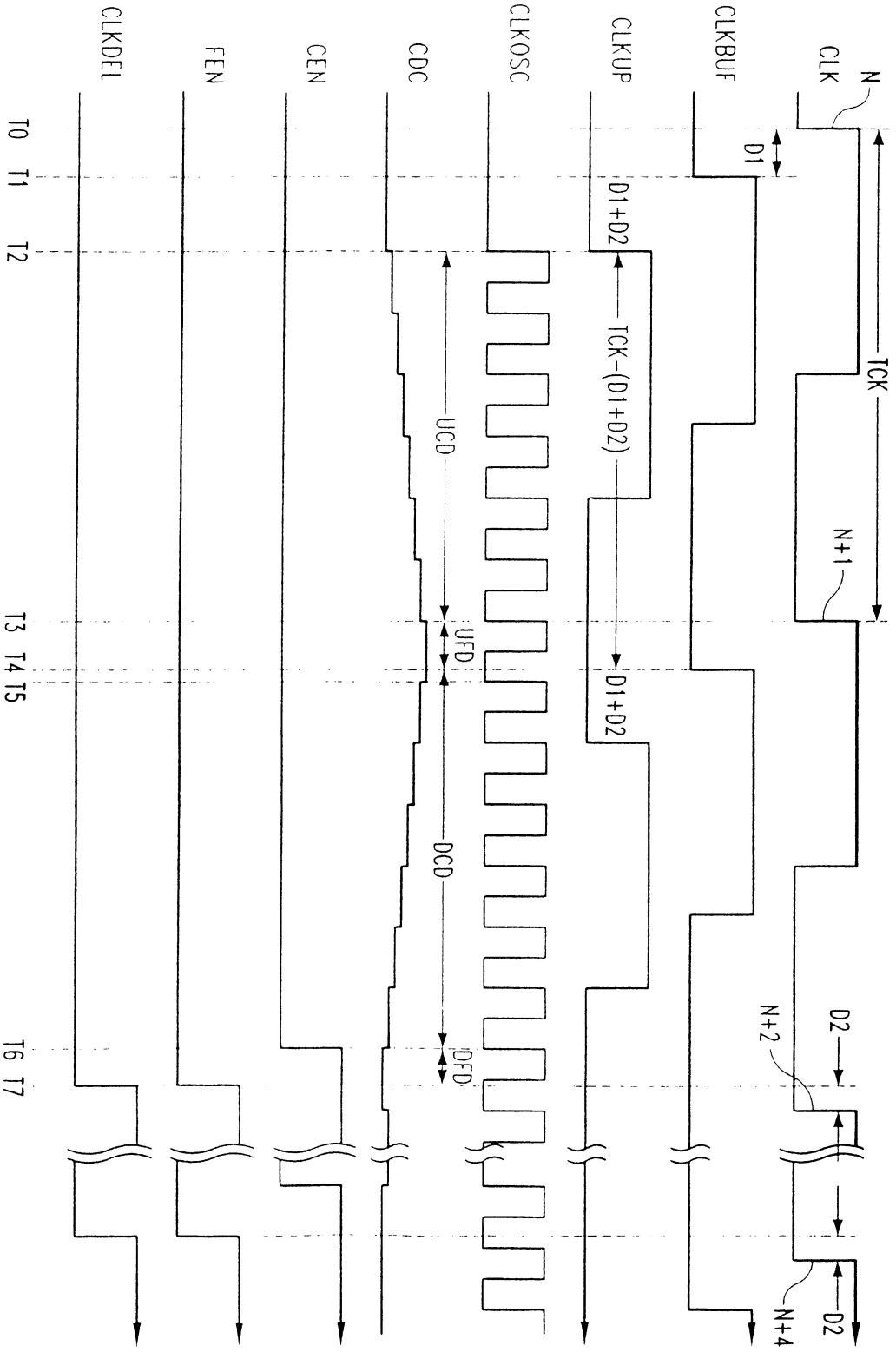

CLK
N
TCK
N+1
D1
CLKBUF
CLKUP
D1+D2
TCK-(D1+D2)
D1+D2
CLKOSC
CDC
UCD
UFD
DCD
DFD
CEN
FEN
CLKDEL
D2
N+2
N+4
D2
T0 T1 T2 T3 T4 T5 T6 T7

圖 4

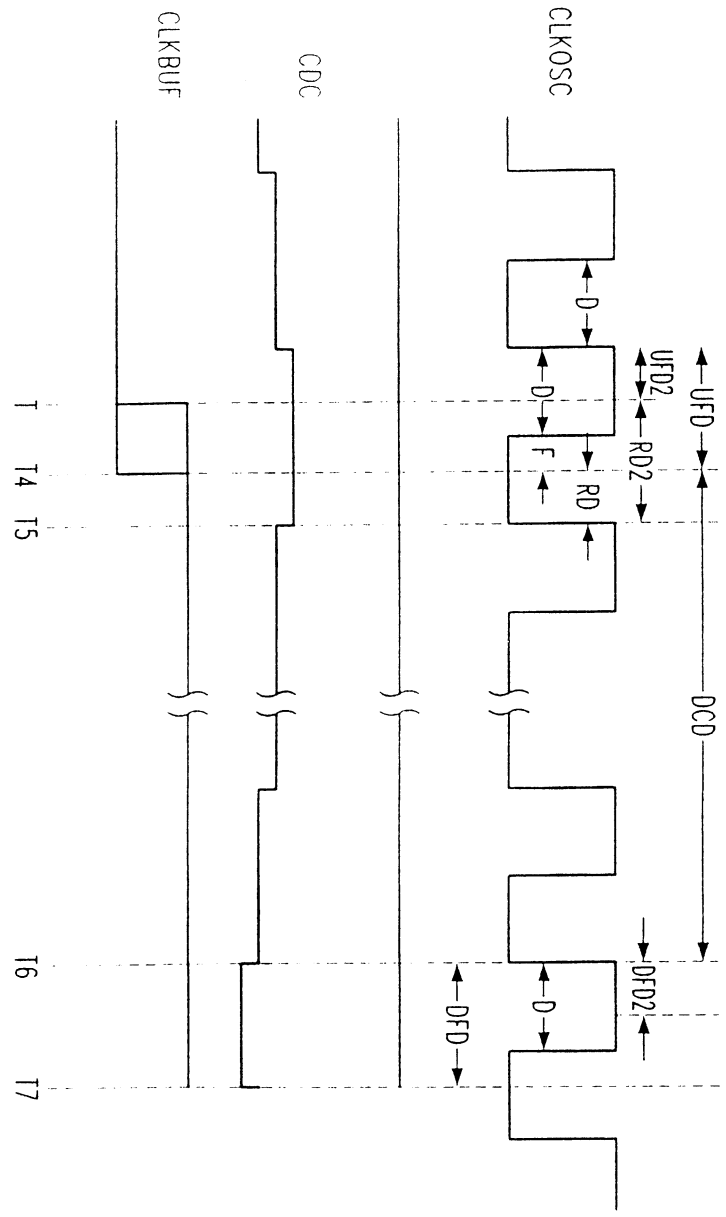

CLKOSC
CDC
CLKBUF
D
D
F
RD
UFD2
RD2
UFD
DCD
DFD2
DFD
D
T
T4
T5
T6
T7

圖 5

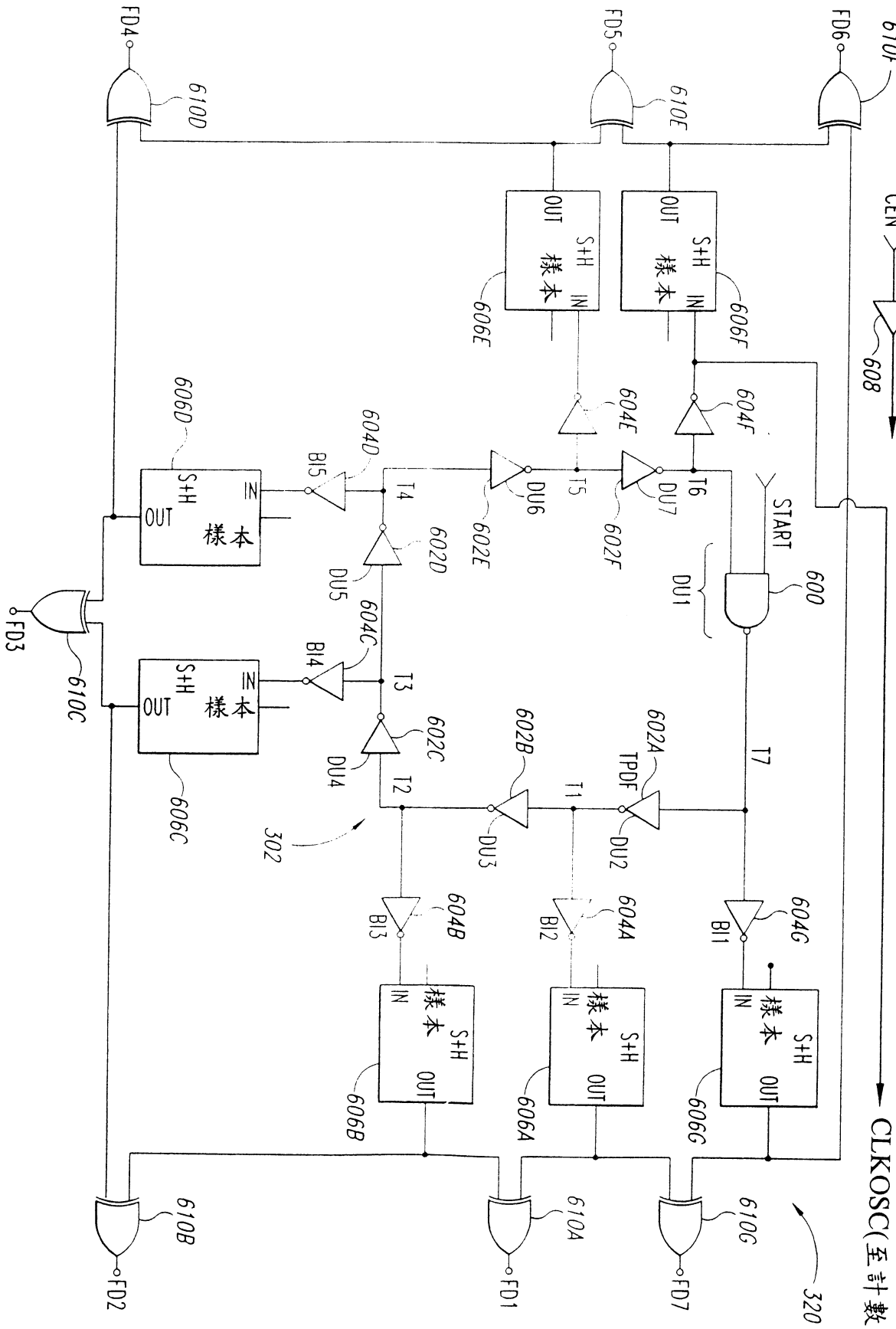

FD4
610D
FD5
610E
FD6
610F
CEN
608
樣本
606E
606F
604E
604F
606D
604D
BI5
T4
T5
T6
DU6
DU7
602E
602F
START
600
DU1
602D
DU5
604C
BI4
T3
602C
DU4
T2
602B
T1
602A
TPDF
T7
FD3
610C
606C
302
DU3
DU2
604B
BI3
604A
BI2
604G
BI1
606B
606A
606G
610B
610A
610G
FD2
FD1
FD7
320
CLKOSC(至計數器)

圖 6

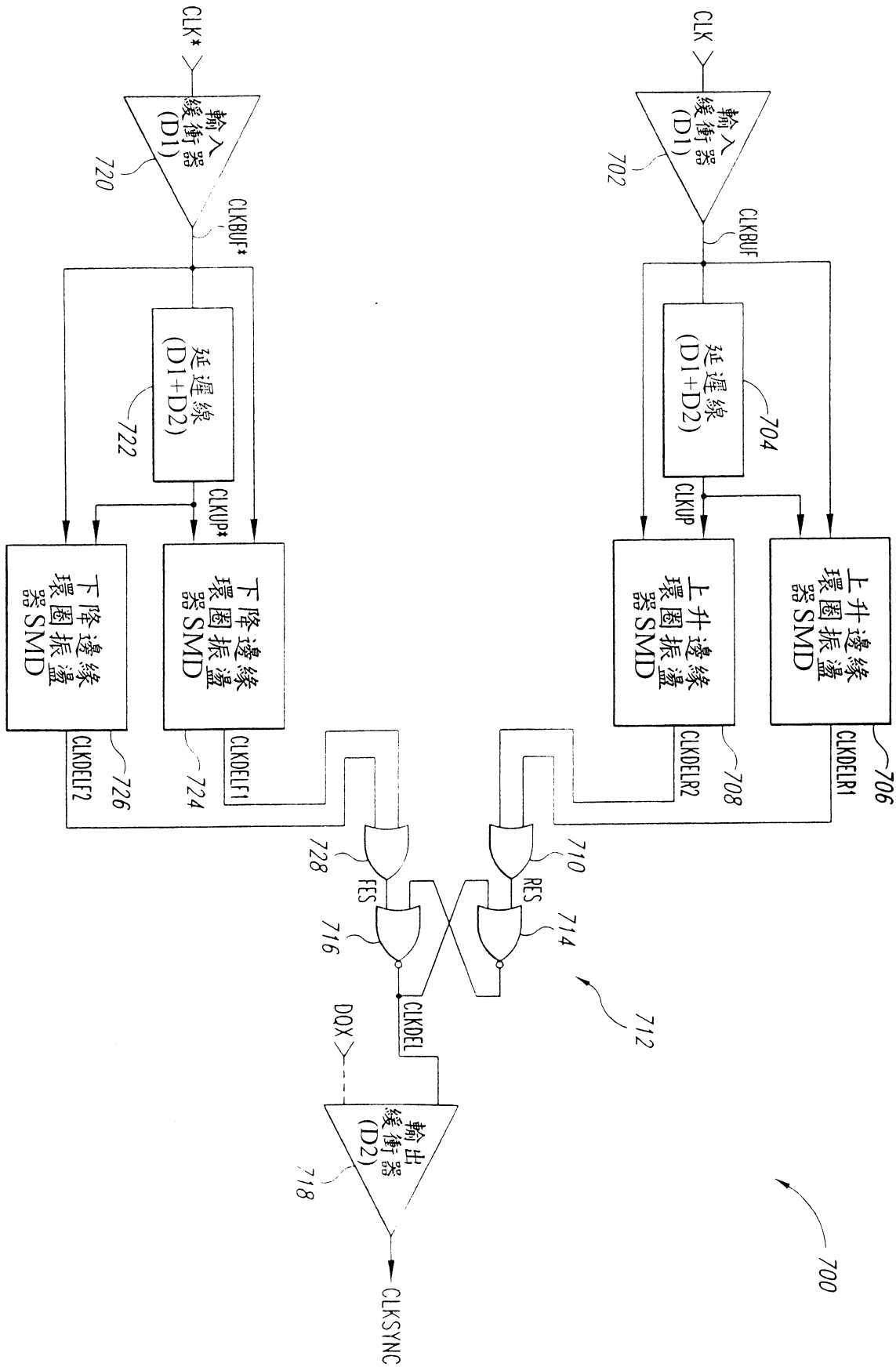

CLK
輸入緩衝器 (D1)
702
CLKBUF
延遲線 (D1+D2)
704
CLKUP
上升邊緣環圈振盪器SMD
706
CLKDELR1
上升邊緣環圈振盪器SMD
708
CLKDELR2
710
RES
714
712
FES
716
CLKDEL
DQX
輸出緩衝器 (D2)
718
CLKSYNC
700
CLK*
輸入緩衝器 (D1)
720
CLKBUF*
延遲線 (D1+D2)
722
CLKUP*
下降邊緣環圈振盪器SMD
724
CLKDELF1
下降邊緣環圈振盪器SMD
726
CLKDELF2
728

圖 7

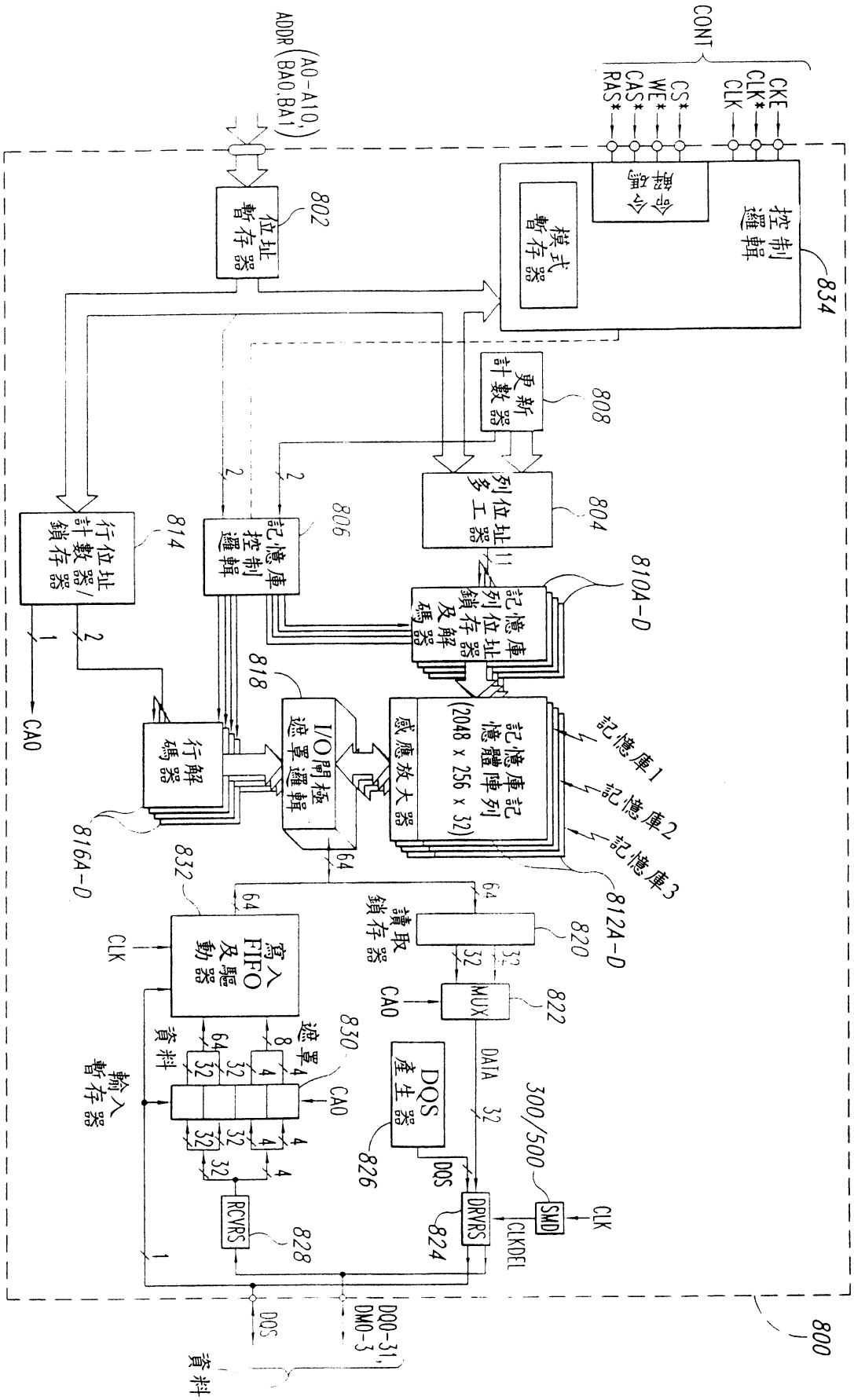

CONT
CKE
CLK*
CLK
CS*
WE*
CAS*
RAS*
控制邏輯
834
模式暫存器
ADDR (A0-A10, BA0, BA1)
位址暫存器
802
更新計數器
808
列位址多工器
804
記憶庫控制邏輯
806
行位址計數器/鎖存器
814
記憶庫列位址鎖存器及解碼器
810A-D
記憶庫記憶體陣列 (2048 x 256 x 32)
感應放大器
記憶庫1
記憶庫2
記憶庫3
812A-D
I/O閘極遮罩邏輯
818
行解碼器
816A-D
CA0
讀取鎖存器
820
MUX
822
DQS產生器
826
DATA
300/500
SMD
CLKDEL
DRVRS
824
DQS
RCVRS
828
寫入FIFO及驅動器
832
輸入暫存器
資料
遮罩
830
DQ0-31, DM0-3
800

圖 8

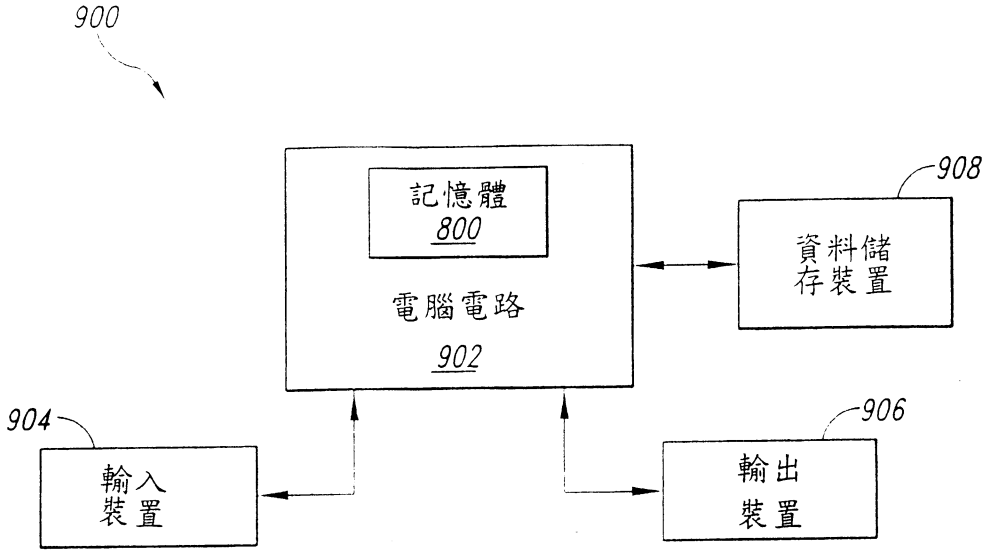


圖 9

柒、指定代表圖：

(一)本案指定代表圖為：第（ 6 ）圖。

(二)本代表圖之元件代表符號簡單說明：

302	環圈振盪器
320	閂鎖及比較電路
602	反向器
604	反向器
606	樣本及保持電路
608	緩衝器
600	NANA閘
610	互斥或閘

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

95年3月2日修(更)正替換頁

拾、申請專利範圍：

1. 一種同步照鏡延遲裝置，其包括：

一用於產生複數個分流時脈信號之環圈振盪器，其具有指定給一振盪器時脈信號之一個分流時脈信號，每個分流時脈信號具有相對於該振盪器時脈信號之一個別延遲；

一用來接收一輸入時脈信號，並用於回應於該輸入時脈信號來產生一模式延遲的時脈信號之模式延遲線，該模式延遲時脈信號相對於該輸入時脈信號具有一模式延遲；

一用於接收該輸入時脈信號並耦合到該環圈振盪器與該模式延遲線之粗略延遲電路，該粗略延遲電路用於回應於該振盪器、輸入及模式延遲的時脈信號來產生一粗略延遲計數，並進一步用來回應於等於一參考計數值的該延遲計數來啟動一粗略延遲致動信號；

一耦合於該環圈振盪器來接收該分流時脈信號之細微延遲電路，其耦合到該粗略延遲電路來接收該粗略延遲致動信號，並用來接收該輸入時脈信號，該細微延遲電路用於回應該輸入時脈信號來閂鎖該分流時脈信號，並由該閂鎖的分流時脈信號發展一細微延遲，該細微延遲電路用於回應該粗略延遲致動信號來啟動一細微延遲致動信號，該細微延遲致動信號具有相對於該粗略

延遲致動信號之細微延遲；及

一耦合於該粗略及細微延遲電路之輸出電路，該輸出電路回應於要成為啟動之粗略及細微延遲致動信號來產生一延遲的時脈信號。

2. 如申請專利範圍第1項之同步照鏡延遲裝置，其中該粗略延遲計數初始時具有該參考計數值，且其中該粗略延遲電路回應於該模式延遲的時脈信號之轉換而在一遞增計數模式期間可用來回應於該振盪器時脈信號而遞增該粗略延遲計數，且該粗略延遲電路回應於該輸入時脈信號的轉換而在一遞減計數模式期間用來回應於該振盪器時脈信號而遞減該粗略延遲計數，並回應於等於該參考計數時的該粗略延遲計數而產生該粗略延遲致動信號。

3. 如申請專利範圍第2項之同步照鏡延遲裝置，其中該遞增計數模式係回應於由該模式延遲線由於該輸入時脈信號由一第一邏輯位準到一第二邏輯位準之第N次轉換而由該模式延遲線產生的該模式延遲的時脈信號之轉換而被初始化，且該遞減計數模式係回應於該輸入時脈信號由該第一到第二邏輯位準的第N+1次轉換而被初始化。

4. 如申請專利範圍第1項之同步照鏡延遲裝置，其中該細

微延遲電路包括：

一具有複數個輸入耦合到該環圈振盪器之多工器，每個輸入接收一個別的分流時脈信號，該多工器用來回應於複數個輸入選擇信號而在一輸出提供一個別的分流時脈信號，利用在該輸出上的該分流時脈信號對應於該細微延遲致動信號；

一耦合於該環圈振盪器之閂鎖及比較電路，該閂鎖及比較電路係用來回應於該輸入時脈信號而閂鎖該分流時脈信號，並回應於該閂鎖的分流時脈信號而產生複數個細微延遲信號；及

一耦合來接收該粗略延遲致動信號，且耦合於該閂鎖及比較電路與該多工器之細微延遲轉換電路，該細微延遲轉換電路係回應於該細微延遲信號而來選擇一個別的輸入選擇信號，並回應於要啟動的該粗略延遲致動信號而啟動該選擇的輸入選擇信號。

5. 如申請專利範圍第4項之同步照鏡延遲裝置，其中該多工器包含複數個傳輸閘。

6. 如申請專利範圍第4項之同步照鏡延遲裝置，其中該環圈振盪器包含N個延遲階段，其分別產生分流時脈信號T1-TN，而該閂鎖及比較電路鎖存來自該環圈振盪器之分流時脈信號T1-TN，並對於每對閂鎖分流時脈信號

T1-T2，T2-T3等直到TN-1-TN來進行一XOR運算，且亦對於該對T1及TN進行一XOR運算，利用每個XOR運算來產生一相對應的細微延遲信號。

7. 如申請專利範圍第6項之同步照鏡延遲裝置，其中該細微延遲轉換電路回應於具有一第一邏輯狀態之該等分流時脈信號T1-TN中所選出的一個來在一第一模式下運作。

8. 如申請專利範圍第7項之同步照鏡延遲裝置，其中該細微延遲轉換電路回應於具有一第二邏輯狀態之該等分流時脈信號T1-TN中所選出的一個來在一第二模式下運作。

9. 如申請專利範圍第1項之同步照鏡延遲裝置，其中該輸出電路包括一AND閘。

10. 如申請專利範圍第1項之同步照鏡延遲裝置，其中該粗略延遲電路包括：

一耦合來接收該輸入時脈信號及該模式延遲的時脈信號，並耦合到該環圈振盪器來接收該振盪器時脈信號之遞增/遞減計數器，該遞增/遞減計數器回應於該模式延遲時脈信號的轉換而用來回應於該振盪器時脈信號之參考計數值遞增該粗略延遲計數，並回應於該輸入時脈信號的轉換而用來回應於該振盪器時脈信號遞減該

粗略延遲計數；及

一耦合於該遞增/遞減計數器之比較器，該比較器回應於等於該參考計數值之粗略延遲計數而啟動該粗略延遲致動信號。

11. 一種同步照鏡延遲裝置，其包括：

一用於接收一輸入時脈信號並用於回應該輸入時脈信號而產生一緩衝的時脈信號之輸入緩衝器；

一用於產生具有指定一振盪器時脈信號之一分流時脈信號的複數個分流時脈信號之環圈振盪器，每個分流時脈信號具有相對於該振盪器時脈信號之一個別的延遲；

一耦合於該輸入緩衝器來接收該緩衝的時脈信號，並用於回應於該緩衝的時脈信號而產生一模式延遲的時脈信號之模式延遲線，該模式延遲時脈信號具有相對於該緩衝的時脈信號之一模式延遲；

一耦合於該輸入緩衝器、環圈振盪器及該模式延遲線之粗略延遲電路，該粗略延遲電路用於回應於該振盪器、緩衝的及模式延遲的時脈信號而產生一粗略延遲計數，並進一步用於回應於等於一參考計數值的該延遲計數來啟動一粗略延遲致動信號；

一耦合於該環圈振盪器來接收該等分流時脈信號、耦

合到該粗略延遲電路來接收該粗略延遲致動信號，並耦合到該輸入緩衝器來接收該緩衝的時脈信號之細微延遲電路，該細微延遲電路用來回應於該緩衝的時脈信號而閂鎖該等分流時脈信號，並由該等閂鎖的分流時脈信號展開一細微延遲，該細微延遲電路用來回應於該粗略延遲致動信號而啟動一細微延遲致動信號，該細微延遲致動信號具有相對於該粗略延遲致動信號之細微延遲；

一耦合於該粗略及細微延遲電路，並回應於要啟動的該等粗略及細微延遲致動信號來產生一延遲的時脈信號之延遲信號產生電路；及

一耦合於該延遲信號產生電路，並用於回應於該延遲的時脈信號來產生一同步的時脈信號之輸出緩衝器，該同步的時脈信號具有同步於該輸入時脈信號邊緣的邊緣。

12. 如申請專利範圍第11項之同步照鏡延遲裝置，其中該粗略延遲計數初始時具有該參考計數值，且其中該粗略延遲電路回應於該模式延遲的時脈信號之轉換而在一遞增計數模式期間可用來回應於該振盪器時脈信號而遞增該粗略延遲計數，且該粗略延遲電路回應於該緩衝時脈信號的轉換而在一遞減計數模式期間用來回應於該振盪器時脈信號而遞減該粗略延遲計數，並回應於等於

該參考計數值的該粗略延遲計數而產生該粗略延遲致動信號。

13. 如申請專利範圍第12項之同步照鏡延遲裝置，其中該遞增計數模式係回應於由該模式延遲線由於該緩衝的時脈信號由一第一邏輯位準到一第二邏輯位準之第N次轉換而由該模式延遲線產生的該模式延遲的時脈信號之轉換而被初始化，且該遞減計數模式係回應於該緩衝時脈信號由該第一到第二邏輯位準的第N+1次轉換而被初始化。

14. 如申請專利範圍第11項之同步照鏡延遲裝置，其中該細微延遲電路包括：

一具有複數個輸入耦合到該環圈振盪器之多工器，每個輸入接收一個別的分流時脈信號，該多工器用來回應於複數個輸入選擇信號而在一輸出提供一個別的分流時脈信號，利用在該輸出上的該分流時脈信號對應於該細微延遲致動信號；

一耦合於該環圈振盪器之閂鎖及比較電路，該閂鎖及比較電路係用來回應於該緩衝的時脈信號而閂鎖該分流時脈信號，並回應於該閂鎖的分流時脈信號而產生複數個細微延遲信號；及

一耦合來接收該粗略延遲致動信號，且耦合於該閂鎖

96年9月12日修(更)正替換頁

及比較電路與該多工器之細微延遲轉換電路，該細微延遲轉換電路係回應於該細微延遲信號而來選擇一個別的輸入選擇信號，並回應於要啟動的該粗略延遲致動信號而啟動該選擇的輸入選擇信號。

15. 如申請專利範圍第14項之同步照鏡延遲裝置，其中該多工器包含複數個傳輸閘。

16. 如申請專利範圍第14項之同步照鏡延遲裝置，其中該環圈振盪器包含N個延遲階段，其分別產生分流時脈信號T1-TN，而該閂鎖及比較電路鎖存來自該環圈振盪器之分流時脈信號T1-TN，並對於每對閂鎖分流時脈信號T1-T2，T2-T3等直到TN-1-TN來進行一XOR運算，且亦對於該對T1及TN進行一XOR運算，利用每個XOR運算來產生一相對應的細微延遲信號。

17. 如申請專利範圍第16項之同步照鏡延遲裝置，其中該細微延遲轉換電路回應於具有一第一邏輯狀態之該等分流時脈信號T1-TN中所選出的一個來在一第一模式下運作。

18. 如申請專利範圍第17項之同步照鏡延遲裝置，其中該細微延遲轉換電路回應於具有一第二邏輯狀態之該等分流時脈信號T1-TN中所選出的一個來在一第二模式下運作。

19. 如申請專利範圍第11項之同步照鏡延遲裝置，其中該輸入緩衝器引起相對於該輸入時脈信號之一延遲D1到該緩衝的時脈信號，而該輸出緩衝器引起相對於該延遲的時脈信號之一延遲D2到該同步的時脈信號，且該模式延遲做為第一及第二成份來模式化該等延遲D1及D2。

20. 如申請專利範圍第11項之同步照鏡延遲裝置，其中該粗略延遲電路包括：

一耦合來接收該緩衝的時脈信號及該模式延遲的時脈信號，並耦合到該環圈振盪器來接收該振盪器時脈信號之遞增/遞減計數器，該遞增/遞減計數器回應於該模式延遲時脈信號的轉換而用來回應於該振盪器時脈信號之參考計數值遞增該粗略延遲計數，並回應於該緩衝時脈信號的轉換而用來回應於該振盪器時脈信號遞減該粗略延遲計數；及

一耦合於該遞增/遞減計數器之比較器，該比較器回應於等於該參考計數值之粗略延遲計數而啟動該粗略延遲致動信號。

21. 一種同步照鏡延遲裝置，其包括：

一用於接收一輸入時脈信號並用於回應該輸入時脈信號而產生一緩衝的時脈信號之第一輸入緩衝器；

一用於產生具有指定一振盪器時脈信號之一分流時

脈信號的複數個分流時脈信號之第一環圈振盪器，每個分流時脈信號具有相對於該振盪器時脈信號之一個別的延遲；

一耦合於該第一輸入緩衝器來接收該緩衝的時脈信號，並用於回應於該緩衝的時脈信號而產生一模式延遲的時脈信號之第一模式延遲線，該模式延遲時脈信號具有相對於該緩衝的時脈信號之一模式延遲；

一耦合於該第一環圈振盪器，並用於由具有從該等分流時脈信號所展開的粗略及細微延遲之一延遲時脈信號的第一上升邊緣同步照鏡延遲電路，該等粗略及細微延遲定義了相對於該輸入時脈信號之偶數上升邊緣之該延遲時脈信號的一延遲；

一耦合於該第一環圈振盪器，並用於由具有從該等分流時脈信號所展開的粗略及細微延遲之一延遲時脈信號的第二上升邊緣同步照鏡延遲電路，該等粗略及細微延遲定義了相對於該輸入時脈信號之奇數上升邊緣之該延遲時脈信號的一延遲；

一用於接收一輸入時脈信號並用於回應該輸入時脈信號而產生一緩衝的時脈信號之第二輸入緩衝器；

一用於產生具有指定一振盪器時脈信號之一分流時脈信號的複數個分流時脈信號之第二環圈振盪器，每個

分流時脈信號具有相對於該振盪器時脈信號之一個別的延遲；

一耦合於該第二輸入緩衝器來接收該緩衝的時脈信號，並用於回應於該緩衝的時脈信號而產生一模式延遲的時脈信號之模式延遲線，該模式延遲時脈信號具有相對於該緩衝的時脈信號之一模式延遲；

一耦合於該第二環圈振盪器，並用於由具有從該等分流時脈信號所展開的粗略及細微延遲之一延遲時脈信號產生的第一下降邊緣同步照鏡延遲電路，該等粗略及細微延遲定義了相對於該輸入時脈信號之偶數下降邊緣之該延遲時脈信號的一延遲；

一耦合於該環圈振盪器，並用於由具有從該等分流時脈信號所展開的粗略及細微延遲之一延遲時脈信號產生的第二下降邊緣同步照鏡延遲電路，該等粗略及細微延遲定義了相對於該輸入時脈信號之奇數下降邊緣之該延遲時脈信號的一延遲；

一耦合於該等第一及第二上升邊緣及下降邊緣同步照鏡延遲電路，並用於回應來自該等照鏡延遲電路之該等延遲時脈信號而展開一同步的時脈信號之輸出電路，該同步時脈信號係同步於該輸入時脈信號。

22. 如申請專利範圍第21項之同步照鏡延遲裝置，其中每個

該等同步照鏡延遲電路包含一細微延遲電路，其包括：

一具有複數個輸入耦合到該環圈振盪器之多工器，每個輸入接收一個別的分流時脈信號，該多工器用來回應於複數個輸入選擇信號而在一輸出提供一個別的分流時脈信號，利用在該輸出上的該分流時脈信號對應於該細微延遲致動信號；

一耦合於該環圈振盪器之閂鎖及比較電路，該閂鎖及比較電路係用來回應於該輸入時脈信號而閂鎖該分流時脈信號，並回應於該閂鎖的分流時脈信號而產生複數個細微延遲信號；及

一耦合來接收該粗略延遲致動信號，且耦合於該閂鎖及比較電路與該多工器之細微延遲轉換電路，該細微延遲轉換電路係回應於該細微延遲信號而來選擇一個別的輸入選擇信號，並回應於要啟動的該粗略延遲致動信號而啟動該選擇的輸入選擇信號。

23. 如申請專利範圍第22項之同步照鏡延遲裝置，其中該多工器包含複數個傳輸閘。

24. 如申請專利範圍第21項之同步照鏡延遲裝置，其中每個環圈振盪器包含N個延遲階段，其分別產生分流時脈信號T1-TN，而該閂鎖及比較電路鎖存來自該環圈振盪器之分流時脈信號T1-TN，並對於每對閂鎖分流時脈信號

T1-T2，T2-T3等直到TN-1-TN來進行一XOR運算，且亦對於該對T1及TN進行一XOR運算，利用每個XOR運算來產生一相對應的細微延遲信號。

25. 如申請專利範圍第21項之同步照鏡延遲裝置，其中該輸出電路包含一耦合來接收來自該等第一及第二上升邊緣同步照鏡延遲電路之該等延遲時脈信號之第一OR閘、一耦合來接收來自該第一及第二下降邊緣同步照鏡延遲電路之該等延遲時脈信號之第二OR閘、一耦合於該等第一及第二OR閘來接收設定及重置輸入，並用於回應該等重置及設定輸入而展開一輸出延遲的時脈信號之RS正反器，及一耦合於該RS正反器，並用於回應該輸出延遲時脈信號來產生該同步的時脈信號之輸出緩衝器。

26. 如申請專利範圍第21項之同步照鏡延遲裝置，其中每個同步照鏡延遲電路包含一粗略延遲電路，其包括：

一耦合來接收該輸入時脈信號及該模式延遲的時脈信號，並耦合到該環圈振盪器來接收該振盪器時脈信號之遞增/遞減計數器，該遞增/遞減計數器回應於該模式延遲時脈信號的轉換而用來回應於該振盪器時脈信號之參考計數值遞增該粗略延遲計數，並回應於該輸入時脈信號的轉換而用來回應於該振盪器時脈信號遞減該

95年3月2日修(更)正替換頁

粗略延遲計數；及

一耦合於該遞增/遞減計數器之比較器，該比較器回應於等於該參考計數值之粗略延遲計數而啟動該粗略延遲致動信號。

27. 一種記憶體裝置，其包括：

一位址匯流排；

一控制匯流排；

一資料匯流排；

一被耦合至該位址匯流排的位址解碼器；

一被耦合至該資料匯流排的讀取/寫入電路；

一被耦合至該控制匯流排的控制電路；

一被耦合至該位址解碼器、控制電路以及讀取/寫入電路的記憶體單元陣列；及

一被耦合至至少該控制電路並用於接收一輸入時脈信號的同步照鏡延遲電路，該同步照鏡延遲可用以產生一延遲時脈信號，且該控制電路回應於該延遲的時脈信號而產生控制信號，該同步照鏡延遲包含：

一用於產生具有指定一振盪器時脈信號之一分流時脈信號的複數個分流時脈信號之環圈振盪器，每個分流時脈信號具有相對於該振盪器時脈信號之一個別的延遲；

一用於接收一輸入時脈信號，並用於回應該輸入時脈信號來產生一模式延遲時脈信號之模式延遲線，該模式延遲時脈信號具有相對於該輸入時脈信號之一模式延遲；

一用來接收該輸入時脈信號，並耦合到該環圈振盪器及該模式延遲線的粗略延遲電路，該粗略延遲電路用於回應該振盪器、輸入及模式延遲時脈信號來產生一粗略延遲計數，並進一步用於回應等於一參考計數值的該延遲計數來啟動一粗略延遲致動信號；

一耦合於該環圈振盪器來接收該等分流時脈信號、耦合到該粗略延遲電路來接收該粗略延遲致動信號，並用於接收該輸入時脈信號之細微延遲電路，該細微延遲電路用來回應於該輸入時脈信號而閂鎖該等分流時脈信號，並由該等閂鎖的分流時脈信號展開一細微延遲，該細微延遲電路用來回應於該粗略延遲致動信號而啟動一細微延遲致動信號，該細微延遲致動信號具有相對於該粗略延遲致動信號之細微延遲；及

一耦合於該等粗略及細微延遲電路之輸出電路，該輸出電路回應於要啟動的該等粗略及細微延遲致動信號而產生一延遲的時脈信號。

28. 如申請專利範圍第27項之記憶體裝置，其中該記憶體裝

置包含一DDR SDRAM，而該同步照鏡延遲接收互補輸入時脈信號，並產生同步於該等時脈信號之上升邊緣及下降邊緣之延遲的時脈信號，該等延遲的時脈信號係應用來施加耦合於該資料匯流排之一輸出驅動器的時脈。

29. 一種電腦系統，其包括：

一資料輸入裝置；

一資料輸出裝置；

一被耦合至該等資料輸入與輸出裝置的處理器；以及

一耦合於該處理器之記憶體裝置，其包含：

一位址匯流排；

一控制匯流排；

一資料匯流排；

一被耦合至該位址匯流排的位址解碼器；

一被耦合至該資料匯流排的讀取/寫入電路；

一被耦合至該控制匯流排的控制電路；

一被耦合至該位址解碼器、控制電路以及讀取/寫入電路的記憶體單元陣列；

一被耦合至至少該控制電路並用於接收一輸入時脈信號的同步照鏡延遲，該同步照鏡延遲可用以產生一延遲時脈信號，且該控制電路回應於該延遲的時脈信號而產生控制信號，該同步照鏡延遲包含：

一用於產生具有指定一振盪器時脈信號之一分流時脈信號的複數個分流時脈信號之環圈振盪器，每個分流時脈信號具有相對於該振盪器時脈信號之一個別的延遲；

一用於接收一輸入時脈信號，並用於回應該輸入時脈信號來產生一模式延遲時脈信號之模式延遲線，該模式延遲時脈信號具有相對於該輸入時脈信號之一模式延遲；

一用來接收該輸入時脈信號，並耦合到該環圈振盪器及該模式延遲線的粗略延遲電路，該粗略延遲電路用於回應該振盪器、輸入及模式延遲時脈信號來產生一粗略延遲計數，並進一步用於回應等於一參考計數值的該延遲計數來啟動一粗略延遲致動信號；

一耦合於該環圈振盪器來接收該等分流時脈信號、耦合到該粗略延遲電路來接收該粗略延遲致動信號，並用於接收該輸入時脈信號之細微延遲電路，該細微延遲電路用來回應於該輸入時脈信號而閂鎖該等分流時脈信號，並由該等閂鎖的分流時脈信號展開一細微延遲，該細微延遲電路用來回應於該粗略延遲致動信號而啟動一細微延遲致動信號，該細微延遲致動信號具有相對於該粗略延遲致動信號之細微延遲；及

95.3.12 日修(更)正替換頁

一耦合於該等粗略及細微延遲電路之輸出電路，該輸出電路回應於要啟動的該等粗略及細微延遲致動信號而產生一延遲的時脈信號。

30. 如申請專利範圍第29項之電腦系統，其中該記憶體裝置包含一DDR SDRAM，而該同步照鏡延遲接收互補輸入時脈信號，並產生同步於該等時脈信號之上升邊緣及下降邊緣之延遲的時脈信號，該等延遲的時脈信號係應用來耦合於該資料匯流排之一輸出驅動器的時脈。

31. 一種用以產生具有相對於一施加的時脈信號之一延遲的一延遲時脈信號之方法，該方法包括：

產生複數個振盪器時脈信號，每個振盪器時脈信號之頻率大於該施加的時脈信號，其中一個振盪器時脈信號被指定一參考振盪器時脈信號，且每個振盪器時脈信號具有相對於該參考振盪器時脈信號的一延遲；

回應於該施加的時脈信號而產生一模式延遲的時脈信號，該模式延遲時脈信號具有相對於該施加時脈信號的一模式延遲；

回應於對應該施加的時脈信號之第N次轉換所產生的該模式延遲時脈信號的轉換來初始化一時間-至-數位計數粗略延遲時段；

在該第一粗略延遲時段期間回應於該參考振盪器時

脈信號而遞增一粗略延遲計數；

回應於該施加的時脈信號之第N+1次轉換而終止該第一粗略延遲時段；

當該第一粗略延遲時段終止時，儲存該等振盪器時脈信號之狀態；

回應於該施加的時脈信號而初始化一數位-至-時間粗略延遲時段；

在該數位-至-時間粗略延遲時段的期間，回應於該參考振盪器時脈信號而遞減該粗略延遲計數；

由所儲存的該等振盪器時脈信號之狀態計算一數位-至-時間細微延遲；及

產生具有相對於該施加的時脈信號之延遲的該延遲的時脈信號，其係由等於一參考值加上該計算出的數位-至-細微延遲之粗略延遲計數所決定。

32. 如申請專利範圍第31項之方法，其中由所儲存的該等振盪器時脈信號之狀態計算一數位-至-時間細微延遲包含回應於具有一第一邏輯狀態之該等分流時脈信號T1-TN中所選出的一個並根據一第一方法來計算該細微延遲。

33. 如申請專利範圍第32項之方法，其中由所儲存的該等振盪器時脈信號之狀態計算一數位-至-時間細微延遲包

含回應於具有一第二邏輯狀態之該等分流時脈信號T1-TN中所選出的一個並根據一第二方法來計算該細微延遲。

34. 如申請專利範圍第31項之方法，其中當該第一粗略延遲時段終止時儲存該等振盪器時脈信號之狀態，其包含儲存該等時脈信號的即時狀態，然後對於相鄰對的時脈信號進行一XOR運算，以產生複數個細微延遲控制信號，其中該細微延遲控制信號具有一錯誤值，代表當該第一粗略延遲時段終止時，該參考振盪器時脈信號邊緣在該時間點處的位置。

35. 一種用以產生具有相對於一施加的時脈信號之一延遲的一延遲時脈信號之方法，該方法包括：

產生複數個振盪器時脈信號，每個振盪器時脈信號之頻率大於該施加的時脈信號，其中一個振盪器時脈信號被指定一參考振盪器時脈信號，且每個振盪器時脈信號具有相對於該參考振盪器時脈信號的一延遲；

回應於該參考振盪器時脈信號之轉換而計時一粗略延遲時間；

在一第一時間儲存該等振盪器時脈信號之狀態；

在該第一時間之後回應於該參考振盪器時脈信號的轉換而計時一數位-至-時間粗略延遲時間；

由該第一時間的振盪器時脈信號之狀態計算一細微延遲時間；及

產生具有相對於該施加的時脈信號之一延遲的該延遲的時脈信號，其係由該粗略延遲時間加上該重改的粗略延遲時間加上該細微延遲時間的總和所給定。

36. 如申請專利範圍第35項之方法，其中在一第一時間儲存該等振盪器時脈信號之狀態，包含儲存該等振盪器時脈信號之即時狀態，然後對於相鄰對的時脈信號進行一XOR運算，以產生複數個細微延遲控制信號，其中該細微延遲控制信號具有一錯誤值，其代表該參考振盪器時脈信號邊緣在該第一時間時的位置。

37. 如申請專利範圍第35項之方法，其中一第一電路產生複數個振盪器時脈信號，計時該粗略延遲時間，並計算該細微延遲時間，且其中一第二電路重改該粗略延遲時間，並產生該延遲的時脈信號。

38. 如申請專利範圍第37項之方法，其中該第一和第二電路為不同的電路。

39. 一種數位量測系統，其包括：

一具有一開始功能的環圈振盪器，其用於產生具有被指定一振盪器時脈信號之一分流時脈信號的複數個分流時脈信號，每個分流時脈信號具有相對於該振盪器時

脈信號之一個別的延遲；

一用於接收該環圈振盪器開始信號及一量測信號，並耦合於該環圈振盪器時脈信號之粗略延遲量測電路，其用於產生在該開始信號與該量測信號之間該振盪器時脈信號的一循環計數，並藉此發展出一粗略數位延遲量測結果；

一耦合於該環圈振盪器來接收該等分流時脈信號，並用於接收該量測信號而來回應於該量測信號以閂鎖該等分流時脈信號，且藉此發展出一細微數位延遲量測結果之細微延遲量測電路。

40. 一種數位重改系統，其包括：

一具有一開始功能的環圈振盪器，其用於產生具有被指定一振盪器時脈信號之一分流時脈信號的複數個分流時脈信號，每個分流時脈信號具有相對於該振盪器時脈信號之一個別的延遲；

一用於接收及儲存來自該數位延遲量測系統的粗略數位延遲量測資料與該環圈振盪器開始信號，並耦合到該環圈振盪器時脈信號，用來基於該振盪器時脈信號產生一循環計數，並在當該循環計數等於該儲存的數位延遲量測資料時產生一粗略延遲重改信號之粗略延遲重改電路；

一用於接收該細微數位延遲量測資料與該粗略延遲重改信號，並耦合於該環圈振盪器來接收該等分流時脈信號，且用於在該粗略延遲重改信號啟動之後，於該第一數位地選擇分流時脈邊緣處展開一細微延遲重改信號之細微延遲重改電路。