

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6913109号

(P6913109)

(45) 発行日 令和3年8月4日 (2021. 8. 4)

(24) 登録日 令和3年7月13日 (2021. 7. 13)

(51) Int. Cl. F I
G 1 1 C 11/22 (2006.01) G 1 1 C 11/22 2 1 8

請求項の数 13 (全 33 頁)

(21) 出願番号	特願2018-555916 (P2018-555916)	(73) 特許権者	595168543
(86) (22) 出願日	平成29年4月17日 (2017. 4. 17)		マイクロン テクノロジー, インク.
(65) 公表番号	特表2019-518301 (P2019-518301A)		アメリカ合衆国, アイダホ州 8 3 7 1 6
(43) 公表日	令和1年6月27日 (2019. 6. 27)		- 9 6 3 2, ボイズ, サウス フェデラル
(86) 国際出願番号	PCT/US2017/027952		ウェイ 8 0 0 0
(87) 国際公開番号	W02017/189266	(74) 代理人	100121083
(87) 国際公開日	平成29年11月2日 (2017. 11. 2)		弁理士 青木 宏義
審査請求日	平成30年12月13日 (2018. 12. 13)	(74) 代理人	100138391
(31) 優先権主張番号	15/141, 491		弁理士 天田 昌行
(32) 優先日	平成28年4月28日 (2016. 4. 28)	(74) 代理人	100074099
(33) 優先権主張国・地域又は機関	米国 (US)		弁理士 大菅 義之

前置審査

最終頁に続く

(54) 【発明の名称】 メモリセルプレート間の電荷共有

(57) 【特許請求の範囲】

【請求項 1】

第1のプレートを備えた第1の強誘電体コンデンサを含む第1の強誘電体メモリセルを第1の動作のために選択することと、

第2のプレートを備えた第2の強誘電体コンデンサを含み、電源と電子通信する第2の強誘電体メモリセルを第2の動作のために選択することと、

前記第2の動作の一部の間に、前記第1の強誘電体メモリセル及び前記第2の強誘電体メモリセルの前記選択に少なくとも部分的に基づいて、活性化される複数のスイッチングコンポーネントを活性化することによって、前記第1の強誘電体コンデンサの前記第1のプレートからの電荷と前記電源からの電荷とを前記第2の強誘電体コンデンサの前記第2のプレートへ同時に転送することを含む、

強誘電体メモリアレイの動作方法。

【請求項 2】

前記第1の動作及び前記第2の動作は書き込み動作又は読み出し動作を各々含む、請求項1に記載の方法。

【請求項 3】

前記第1の強誘電体メモリセルの前記第1の動作のタイミングに少なくとも部分的に基づいて前記第2の強誘電体メモリセルの前記第2の動作を開始する時間を判定することであって、ここで、前記複数のスイッチングコンポーネントは前記第2の動作を開始する前記時間に少なくとも部分的に基づいて活性化されること

を更に含む、請求項 1 に記載の方法。

【請求項 4】

前記第 1 のプレートを第 2 の電源から絶縁することであって、ここで、前記複数のスイッチングコンポーネントは前記絶縁の後に活性化されること

を更に含む、請求項 1 に記載の方法。

【請求項 5】

前記第 1 のプレートを前記第 2 のプレートから絶縁することと、

前記絶縁に少なくとも部分的に基づいて前記第 1 のプレートを電圧リファレンスに短絡することと

を更に含む、請求項 1 に記載の方法。

10

【請求項 6】

前記絶縁の後に前記電源と前記第 2 のプレートとの間の導電経路を維持すること

を更に含む、請求項 5 に記載の方法。

【請求項 7】

前記複数のスイッチングコンポーネントを活性化した後に第 2 の電源から前記第 2 のプレートに電圧を印加すること

を更に含む、請求項 1 に記載の方法。

【請求項 8】

前記第 2 の電源からの前記電圧が前記第 2 のプレートに印加される前に前記第 1 のプレートを前記第 2 のプレートから絶縁すること

20

を更に含む、請求項 7 に記載の方法。

【請求項 9】

前記複数のスイッチングコンポーネントの前記活性化から閾値時間が経過したことを判定することと、

前記閾値時間が経過したとの前記判定に少なくとも部分的に基づいて前記第 1 のプレートを前記第 2 のプレートから絶縁することと

を更に含む、請求項 1 に記載の方法。

【請求項 10】

前記複数のスイッチングコンポーネントの前記活性化から閾値電荷量が転送されたことを判定することと、

30

前記閾値電荷量が転送されたとの前記判定に少なくとも部分的に基づいて前記第 1 のプレートを前記第 2 のプレートから絶縁することと

を更に含む、請求項 1 に記載の方法。

【請求項 11】

第 1 の組のメモリセルの第 1 のプレート線と、

第 2 の組のメモリセルの第 2 のプレート線と、

前記第 1 のプレート線と結合され、前記第 1 のプレート線から前記第 2 のプレート線へ電荷を転送するように構成された第 1 のスイッチングコンポーネントと、

前記第 2 のプレート線と結合され、前記第 1 のプレート線から前記第 2 のプレート線への電荷の前記転送と同時に電圧源から前記第 2 のプレート線へ電荷を転送するように構成された第 2 のスイッチングコンポーネントと

40

を含む、電子メモリ装置。

【請求項 12】

前記第 1 の組のメモリセルは第 1 のワード線と電子通信し、前記第 2 の組のメモリセルは、前記第 1 のワード線から絶縁された第 2 のワード線と電子通信する、請求項 11 に記載の電子メモリ装置。

【請求項 13】

前記第 1 のプレート線及び前記第 2 のプレート線は、前記電圧源、及び前記電圧源よりも大きい定格電圧を有する第 2 の電圧源と各々電子通信する、請求項 11 に記載の電子メモリ装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本特許出願は、2016年4月28日出願のCarmanによる名称“導電経路を使用するメモリセルプレート間の電荷共有”の米国特許出願番号15/141,491の優先権を主張する2017年4月17日出願の名称“メモリセルプレート間の電荷共有”の特許協力条約出願番号PCT/US2017/027952の優先権を主張し、それら各々は本特許出願の譲受人に与えられ、それら各々は本明細書にその全体が参照により明確に組み込まれる。

【0002】

以下は、概してメモリデバイスに関し、より具体的には、異なるメモリセルと関連するプレート間の電荷共有に関する。

【背景技術】

【0003】

メモリデバイスは、コンピュータ、無線通信デバイス、カメラ、及びデジタル表示装置等の様々な電子デバイスに情報を蓄積するために広く使用される。情報は、メモリデバイスの異なる状態をプログラミングすることによって蓄積される。例えば、バイナリデバイスは、論理“1”又は論理“0”によりしばしば示される2つの状態を有する。その他のシステムでは、3つ以上の状態が蓄積され得る。蓄積された情報にアクセスするために、電子デバイスは、メモリデバイス中の蓄積状態を読み出し得、又はセンシングし得る。情報を蓄積するために、電子デバイスは、メモリデバイス中に状態を書き込み得、又はプログラミングし得る。

【0004】

ランダムアクセスメモリ(RAM)、リードオンリーメモリ(ROM)、ダイナミックRAM(DRAM)、同期型ダイナミックRAM(SDRAM)、強誘電体RAM(FeRAM)、磁気RAM(MRAM)、抵抗変化RAM(RRAM)、及びフラッシュメモリ等を含む複数種類のメモリデバイスが存在する。メモリデバイスは揮発性又は不揮発性であり得る。不揮発性メモリ、例えばフラッシュメモリは、外部電源が存在しなくても長時間、データを蓄積できる。揮発性メモリ、例えばDRAMは、外部電源により定期的リフレッシュされない限り、それらの蓄積状態を時間と共に喪失し得る。バイナリメモリデバイスは、例えば、充電又は放電されたコンデンサを含み得る。充電されたコンデンサは、リーク電流を通じて時間と共に放電され得、蓄積された情報の喪失をもたらす。定期的なリフレッシュなしにデータを蓄積する能力等の不揮発性の側面が利点であり得る一方で、揮発性メモリの幾つかの側面は、高速な読み出し又は読み出し速度等の性能の利点を提供し得る。

【0005】

FeRAMは、揮発性メモリと同様のデバイスアーキテクチャを使用し得るが、ストレージデバイスとしての強誘電体コンデンサの使用に起因して不揮発性の特徴を有する。FeRAMデバイスは、それ故、その他の不揮発性及び揮発性メモリデバイスと比較して向上した性能を有し得る。FeRAM中のメモリセルは、とりわけ、読み出し及び書き込み等のアクセス動作を実行する場合に幾つかの電圧に充電され得る。メモリセルを充電するためにかかる時間は、メモリ動作を減速させ得、1つ以上の性能パラメータを減少させ得る。また、メモリセルを充電することにより消費される電力は、電池の寿命を減少させ得、電力及びその他の動作条件を増加させ得る。

【0006】

開示の実施形態は以下の図面を参照しながら記述される。

【図面の簡単な説明】

【0007】

【図1】本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持する例示的メモリアレイを説明する。

【図 2 A】本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持するメモリセルの例示的回路を説明する。

【図 2 B】本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持するメモリセルの例示的回路を説明する。

【図 3】本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持する強誘電体メモリセルを動作するための例示的ヒステリシスプロットを説明する。

【図 4】本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持する例示的回路を説明する。

【図 5】本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持するタイミング図体系の一例を説明する。

10

【図 6】本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持するタイミング図体系の一例を説明する。

【図 7】本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持する例示的強誘電体メモリアレイのブロック図を説明する。

【図 8】本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持する、メモリアレイを含むデバイスのブロック図を説明する。

【図 9】本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持するメモリアレイを動作する 1 つ以上の方法を説明するフローチャートである。

【図 10】本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持するメモリアレイを動作する 1 つ以上の方法を説明するフローチャートである。

20

【発明を実施するための形態】

【0008】

資源の消費（例えば、時間又は電力の消費）を削減するメモリセル充電スキームは、メモリセル間の電荷共有により実装され得る。例えば、あるメモリセルのプレート上の又は該プレートに関連する電荷は、別のメモリセルのプレートを充電するために使用され得る。この電荷共有は、反対の電荷状態に遷移しているセル間で生じ得る。実例として、（例えば、書き込み動作に備えるために、又は読み出し動作の終わりにおいて）放電しているメモリセルは、（例えば、読み出し動作に備えるために、又は、異なる書き込み動作に備えるために）充電しているメモリセルを充電するために使用され得る。この電荷共有は、反対の電荷状態に遷移しているセル以外のセル間にも生じ得る。電荷共有は、（例えば、プレートと電子通信する 1 つ以上のスイッチングコンポーネントを活性化することにより）プレート間に導電経路が確立される場合にプレート間に生じ得る。

30

【0009】

以下で更に詳述されるように、強誘電体メモリセルを含む、メモリアレイ内のメモリセルは、ワード線及びデジット線によりアクセスされ得る。アクセスは、セルへの書き込み（例えば、論理状態の蓄積）又はセルの読み出し（例えば、蓄積された論理状態のセンシング）を含む。各セルは、セルの論理値を蓄積するために使用される強誘電体コンデンサ又はその他の蓄積コンポーネントを有し得る。例えば、各セルは、論理 0 又は論理 1 の何れかを蓄積し得る。蓄積された各論理値は、セルの個別の状態に対応し得、セルのデジット線上に信号を生み出し得る。例えば、蓄積された論理 1 は、第 1 のデジット線電圧に対応し得、蓄積された論理 0 は、第 2 のデジット線電圧に対応し得る。デジット線は、多数のメモリセルを接続し得、読み出し動作中に活性化された場合にメモリセルの蓄積された論理状態を判定するために使用されるセンスアンプに接続され得る。例えば、活性化されたセンスアンプは、セルから抽出された信号（例えば、電圧）をリファレンス信号と比較し得る。

40

【0010】

強誘電体メモリセルは、メモリセルのコンデンサに渡る電圧を導入することによって書き込まれ得又は読み出され得る。例えば、論理 0 は、コンデンサに渡る正の電圧を導入することによってメモリセルに書き込まれ得、論理 1 は、コンデンサに渡る負の電圧を導入することによって書き込まれ得る。メモリセルのプレートは、蓄積された論理状態に関係

50

なく、読み出し動作を実行するために高電圧に充電され得、読み出し動作の終わりにおいて低電圧に減らされ得る。それ故、強誘電体メモリセルの動作は、メモリセルの繰り返される充電放電を含み得、何れにしても、セルへの電圧の印加を含み得る。

【0011】

幾つかのメモリアレイでは、強誘電体メモリセルは、電源（例えば、電圧源）を使用することによって排他的に充電され得る。本明細書に記述されるように、その他のメモリアレイでは、メモリセルは、放電しているメモリセルの電荷のみを使用して、又は電源からの電荷と共に使用して充電され得る。放電しているメモリセルは、放電しているメモリセルのプレートから充電しているメモリセルのプレートへ電荷が転送されるように、充電しているメモリセルに接続され得る。該接続は、電荷共有に含まれるメモリセルと電子通信する1つ以上のスイッチングコンポーネント（例えば、トランジスタ）を活性化することにより確立される導電経路であり得る。

10

【0012】

幾つかの場合、放電しているメモリセルは、書き込み動作（例えば、論理1の書き込み）を実行するために準備されていてもよく、充電しているメモリセルは、読み出し動作を実行するために準備されていてもよい。別の例では、放電しているメモリセルは、読み出し動作を終了していてもよく、充電しているメモリセルは、論理0を書き込むために準備されていてもよい。一般的に、プレート間の電荷共有は、動作の中でもとりわけ、第1の充電状態から第2の充電状態へ（例えば、初期の電荷状態から反対の電荷状態へ）プレートが遷移する読み出し／書き込み動作の任意の組み合わせを使用して生じ得る。本明細書で記述されるプレートの電荷共有スキーム及び技術は、任意の数のメモリセルにより実装され得る。幾つかの場合、プレートの電荷共有スキームは、メモリアレイの異なる2つの区域中のメモリセルを充電又は放電するために使用される。その他の場合では、プレートの電荷共有スキームは、メモリアレイの1つの区域中のメモリセルを充電又は放電するために使用される。

20

【0013】

本明細書で記述されるように、第2のメモリセルプレートを充電するために第1のメモリセルプレートからの電荷を使用することは、第2のメモリセルを充電する（例えば、部分的に充電する、完全に充電する）ために電圧源から引き出される電力の量を削減し得る。例えば、第2のプレートは、電圧源を活性化する以前に第1のプレートによって部分的に充電され得、それは、第2のメモリセルの充電を終了するための電圧源からの消費電力を削減する。幾つかの場合、プレート電荷共有は、第2のメモリセルの充電時間を削減し得る。実例として、第2のメモリセルは、第1のプレート及び電圧源を同時に又は重複する方法で使用して充電され得る。2つのソースからの電荷を同時に使用することは、第2のメモリセルを完全に充電するためにかかる時間を削減し得る。

30

【0014】

上で紹介された開示の実施形態は、メモリアレイの内容において以下で更に記述される。メモリセルプレート間の電荷共有に対する具体例が続いて記述される。開示のこれら又はその他の実施形態は、プレートの電荷共有に関する装置図、システム図、及びフローチャートの参照によって更に説明され、該参照と共に更に記述される。

40

【0015】

図1は、本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持する例示的メモリアレイ100を説明する。メモリアレイ100は、電子メモリ装置とも称され得る。メモリアレイ100は、異なる状態を蓄積するようにプログラム可能なメモリセル105を含む。各メモリセル105は、論理0及び論理1で示される2つの状態を蓄積するようにプログラム可能であり得る。幾つかの場合、メモリセル105は、3つ以上の論理状態を蓄積するように構成される。メモリセル105は、プログラム可能な状態を表す電荷を蓄積するためのコンデンサを含み得、例えば、充電及び非充電のコンデンサは2つの論理状態を表し得る。DRAMアーキテクチャは、一般的にそうした設計を使用し得、用いられるコンデンサは、線形の電気分極特性を備えた誘電体材料を含み得る。対照的

50

に、強誘電体メモリセルは、誘電体材料として強誘電性を有するコンデンサを含み得る。強誘電体コンデンサの電荷の異なるレベルは、異なる論理状態を表し得る。強誘電体材料は、非線形の分極特性を有し、強誘電体メモリセル105の幾つかの詳細及び利点が以下で論じられる。

【0016】

読み出し及び書き込み等の動作は、適切なワード線110及びデジット線115を活性化又は選択することによってメモリセル105上で実行され得る。ワード線110は、アクセス線とも称され得る。ワード線110又はデジット線115を活性化又は選択することは、個別の線に電圧（例えば、正の電圧、負の電圧）を印加することを含み得る。幾つかの場合、デジット線115はビット線と称され得る。ワード線110及びデジット線115は、導電性材料で作られる。幾つかの例では、ワード線110及びデジット線115は金属（例えば、銅、アルミニウム、金、タングステン等）で作られてもよい。図1の例に従うと、メモリセル105の各行は単一のワード線110に接続され、メモリセル105の各列は単一のデジット線115に接続される。1つのワード線110及び1つのデジット線115を活性化することによって、それらの交点で単一のメモリセル105がアクセスされ得る。ワード線110及びデジット線115の交点はメモリセルのアドレスと称され得る。

10

【0017】

幾つかのアーキテクチャでは、セルの論理蓄積デバイス、例えばコンデンサは、選択デバイスによってデジット線から電氣的に絶縁され得る。ワード線110は、選択デバイスに接続され得、選択デバイスを制御し得る。例えば、選択デバイスはトランジスタであってもよく、ワード線110は、トランジスタのゲートに接続されてもよい。ワード線110の活性化は、メモリセル105のコンデンサとその対応するデジット線115との間の電氣的接続をもたらし。デジット線は、メモリセル105の読み出し又は書き込みの何れかのためにその後アクセスされ得る。

20

【0018】

メモリセル105へのアクセスは、行デコーダ120及び列デコーダ130を通じて制御され得る。例えば、行デコーダ120は、メモリコントローラ140から行アドレスを受信し得、受信された行アドレスに少なくとも部分的に基づいて適切なワード線110を活性化し得る。同様に、列デコーダ130は、メモリコントローラ140から列アドレスを受信し、適切なデジット線115を活性化する。したがって、ワード線110及びデジット線115を活性化することによって、メモリセル105はアクセスされ得る。

30

【0019】

アクセスすると、メモリセル105は、センスコンポーネント125によって読み出され得又はセンシングされ得る。例えば、センスコンポーネント125は、メモリセル105の蓄積状態を判定するために、関連するデジット線115の信号（例えば、電圧）をリファレンス信号（図示せず）と比較し得る。デジット線115がリファレンス電圧よりも高い電圧を有する場合、続いてセンスコンポーネント125は、メモリセル105の蓄積状態が論理1又はその逆であるかを判定し得る。センスコンポーネント125は、ラッチングと称され得る、信号の差を検出又は増幅するための様々なトランジスタ及びアンプを含み得る。メモリセル105の検出された論理状態は、出力135として列デコーダ130を通じてその後出力され得る。メモリセル105を読み出すために、メモリセル105のプレートは、ある一定の電圧に充電され得る。該電圧は、少なくとも部分的には、該プレートに別のメモリセル105のプレートから転送された電荷の結果であり得る。

40

【0020】

メモリセル105は、関連するワード線110及びデジット線115を活性化することによってセットされ得、又は書き込まれ得る。上で論じられたように、ワード線110の活性化は、（複数の）メモリセル105の対応する行をそれらの個別のデジット線115に電氣的に接続する。ワード線110が活性化される間に、関連するデジット線115を制御することによって、メモリセル105は書き込まれ得、すなわち、論理値がメモリセ

50

ル105に蓄積され得る。列デコーダ130は、メモリセル105に書き込まれるデータ、例えば入力135を受け入れ得る。強誘電体コンデンサの場合、メモリセル105は、強誘電体コンデンサに渡って電圧を印加することによって書き込まれる。コンデンサに渡って電圧を印加することは、コンデンサのプレートにある一定の電圧に充電又は放電することを含み得る。幾つかの場合、コンデンサのプレートは、電荷を別のコンデンサプレート（例えば、充電しているメモリセル105のコンデンサ）へ転送することによって放電し得る。したがって、放電しているコンデンサプレートは、別のコンデンサプレートを充電するために使用され得る。このプロセスは、本開示を通じてより詳細に論じられる。

【0021】

幾つかのメモリアーキテクチャでは、メモリセル105へのアクセスは、蓄積された論理状態を劣化又は破壊し得、元の論理状態をメモリセル105に戻すために再書き込み又はリフレッシュ動作が実行され得る。DRAMでは、例えば、コンデンサは、センシング動作中に部分的又は完全に放電され得、蓄積された論理状態を破損する。そのため、センシング動作の後に論理状態が再書き込みされ得る。また、単一のワード線110を活性化することは、行中の全てのメモリセルの放電をもたらし得、それ故、行中の幾つか又は全てのメモリセル105は再書き込みが必要であり得る。

【0022】

DRAMを含む幾つかのメモリアーキテクチャは、外部電源により定期的にリフレッシュされない限り、それらの蓄積状態を時間と共に喪失し得る。例えば、充電されたコンデンサは、リーク電流を通じて時間と共に放電され得、蓄積された情報の喪失をもたらす。これらのいわゆる揮発性メモリデバイスのリフレッシュレートは比較的高く、例えば、1秒間に10回のリフレッシュ動作がDRAMに対して用いられ得、それは、著しい消費電力をもたらし得る。より大きなメモリアレイの増加と共に、消費電力の増加は、特に、電池等の有限の電源に依存するモバイルデバイスのためのメモリアレイの配備又は動作を阻害し得る（例えば、電源、発熱、材料限界等）。

【0023】

強誘電体メモリセルは、しかしながら、その他のメモリアーキテクチャと比較して向上した性能をもたらし得る有益な特性を有し得る。例えば、強誘電体メモリセルは蓄積電荷の劣化の影響を受けにくい傾向があるため、強誘電体メモリセル105を用いるメモリアレイ100は、ごく僅かなリフレッシュ動作を必要とし得るか又は全く必要とせ得ず、それ故、動作のためにより少ない電力を必要とし得る。また、本明細書に記述されるように、強誘電体メモリセルは、プレート間の電荷共有を実装し得、それは、資源の消費を削減し得る。例えば、電荷共有スキームは、アクセス動作（例えば、読み出し動作又は書き込み動作）又はその他の1つ以上の動作のためにメモリセルを充電するのに必要な時間及び電力を削減し得る。

【0024】

メモリコントローラ140は、様々なコンポーネント、例えば、行デコーダ120、列デコーダ130、及びセンスコンポーネント125を通じてメモリセル105の動作（例えば、読み出し、書き込み、再書き込み、リフレッシュ等）を制御し得る。メモリコントローラ140は、所望のワード線110及びデジット線115を活性化するために行及び列のアドレス信号を生成し得る。メモリコントローラ140は、メモリアレイ100の動作中に使用される様々な電位をも生成及び制御し得る。例えば、メモリコントローラ140は、セルプレート間の電荷共有が生じるように、1つ以上の様々なコンポーネントへのバイアス電圧の印加を容易にし得る。一般的に、本明細書で論じられる印加電圧の振幅、形状、又は存続期間は、調整又は変更され得、メモリアレイ100の動作中の様々な動作に対して異なり得る。更に、メモリアレイ100内の1つの、多数の、又は全てのメモリセル105は同時にアクセスされ得、例えば、メモリアレイ100の多数又は全てのセルは、全てのメモリセル105又はメモリセル105のグループが単一の論理状態にセットされるリセット動作中に同時にアクセスされ得る。

【0025】

図2は、本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持する例示的回路200-aを説明する。回路200-aは、とりわけ、図1を参照しながら記述したようなメモリセル105、ワード線110、デジット線115、及びセンスコンポーネント125の夫々例示であり得る強誘電体メモリセル105-a、ワード線(WL)110-a(又はアクセス線)、デジット線115-a、及びセンスコンポーネント125-aを含む。メモリセル105-aは、コンデンサ205等の論理蓄積コンポーネントを含み得、それは、容量結合され又は通信する第1のプレート及び第2のプレートを有する。第1のプレートはセルプレート210と称され得、第2のプレートはセル底部(CB)215と称され得る。セルプレート210はプレート210とも称され得る。セルプレート210はプレート線(PL)230を介してアクセスされ得、セル底部215はデジット線(DL)115-aを介してアクセスされ得る。図2の例では、コンデンサ205の端子は絶縁性強誘電体材料によって分離され得る。上述したように、コンデンサ205を充電又は放電する、すなわち、コンデンサ205の強誘電体材料を分極することによって様々な状態が蓄積され得る。

10

【0026】

上述したように、コンデンサ205を充電又は放電する、すなわち、コンデンサ205の強誘電体材料を分極することによって様々な状態が蓄積され(及び読み出され)得る。コンデンサ205を分極するために必要な総電荷は残留分極(PR)値と称され得、コンデンサ205の総電荷の半分に達した時のコンデンサ205の電圧は抗電圧(VC)と称され得る。幾つかの場合(例えば、読み出し又はその他の動作のためにコンデンサ205が準備されている場合)、コンデンサ205は、別のコンデンサ205からの電荷又は電圧源からの電荷を使用して充電され得る。その他の場合(例えば、書き込み動作又はその他の動作のためにコンデンサ205が準備されている場合)、コンデンサ205は別のコンデンサ205へ電荷を転送することによって放電され得る。

20

【0027】

コンデンサ205の蓄積状態は、回路200-a中に表された様々な素子を動作することによって読み出され得又はセンシングされ得る。コンデンサ205は、デジット線115-aと電子通信し得る。コンデンサ205は、それ故、選択コンポーネント220が不活性化される場合にデジット線115-aから絶縁され得、コンデンサ205は、強誘電体メモリセル105-aを選択するために選択コンポーネント220が活性化された場合に選択コンポーネント220を介してデジット線115-aに接続され得る。言い換えれば、強誘電体メモリセル105-aが選択コンポーネント220及び強誘電体コンデンサ205を含む場合に、強誘電体メモリセル105-aは、強誘電体コンデンサ205と電子通信する選択コンポーネント220を使用して選択され得る。幾つかの場合、選択コンポーネント220はトランジスタであってもよく、その動作は、トランジスタのゲートに電圧を印加することによって制御され得、ここで、該電圧の大きさは、トランジスタの閾値電圧の大きさを超えるようにされる。

30

【0028】

ワード線110-aは選択コンポーネント220を活性化し得、例えば、ワード線110-aに印加された電圧は、トランジスタのゲートに印加され得、コンデンサ205をデジット線115-aと接続する。別の実施形態では、(コンポーネントの中でもとりわけ)選択コンポーネント220及びコンデンサ205の位置は、様々な構成及び位置の中でもとりわけ、選択コンポーネント220がプレート線230とセルプレート210との間にあるように、且つコンデンサ205がデジット線115-aと選択コンポーネント220の他の端子との間にあるようにスイッチングされ得る。この実施形態では、選択コンポーネント220は、コンデンサ205を通じたデジット線115-aとの電子通信を維持し得る。この構成は、別のタイミングと関連し得る。

40

【0029】

図2Aに示した例では、コンデンサ205は強誘電体コンデンサである。コンデンサ205のプレート間の強誘電体材料に起因して、以下で詳細に論じられるように、コンデン

50

サ 205 は、デジット線 115-a へ接続すると放電しなくてもよい。一実施形態では、読み出し動作中に強誘電体コンデンサ 205 により蓄積される状態をセンシングするために、プレート 210 又はワード線 110-a は外部電圧によってバイアスされ得る。強誘電体メモリセル 105-a を選択することは、コンデンサ 205 に渡る電圧差（例えば、プレート 210 の電圧ーデジット線 115-a の電圧）をもたらし得る。印加電圧の差は、コンデンサ 205 上の蓄積電荷の変化をもたらし得、それは、コンデンサの初期の状態、例えば、初期の状態が論理“1”又は論理“0”の何れを蓄積したかに依存し得、コンデンサ 205 上に蓄積された結果 (resulting) 電荷に基づいたデジット線 115-a 上の電圧を誘導し得る。デジット線 115-a 上の誘導電圧は、メモリセル 105-a 中の蓄積された論理状態を判定するために、センスコンポーネント 125-a によってリファレンス（例えば、リファレンス線 225 の電圧）とその後比較され得る。

10

【0030】

コンデンサ 205 をバイアスするために、（例えば、考慮される方法の中でもとりわけ、プレート 210 と電圧源との間のスイッチングコンポーネントを活性化することによって）電源又は電圧源からの電圧がプレート 210 に印加され得る。幾つかの場合、プレート 210 上の結果電荷は、別のメモリセルのプレートを充電するために使用され得る。その他の場合、電圧源からの電荷は、別のコンデンサのプレートから転送された電荷によって補完され得る。例えば、プレート間で電荷が転送されるように、（コンポーネントの中でもとりわけ）プレート 210 と他のメモリセルのプレートとの間に導電経路が作り出され得る。幾つかの実施形態では、導電経路は、プレート 210 と電子通信する 1 つ以上の

20

【0031】

具体的なセンシング技術又はプロセスは多くの形式をとり得る。一例では、デジット線 115-a は、固有の静電容量を有し得、プレート 210 に印加された電圧に応じてコンデンサ 205 が充電又は放電すると非ゼロの電圧を発現し得る。固有の静電容量は、特徴の中でもとりわけ、デジット線 115-a の、寸法を含む物理的特徴に依存し得る。幾つかの実施形態では、デジット線 115-a は、（例えば、pF オーダの）無視できない静電容量をもたらし得る。デジット線 115-a が有し得るように、多数のメモリセル 105 を接続し得る。デジット線 115-a の後続の電圧は、コンデンサ 205 の初期の論理状態に依存し得、センスコンポーネント 125-a は、この電圧をリファレンスコンポーネントによって提供されたリファレンス線 225 上の電圧と比較し得る。例えば、プレート 210 に電圧が印加され得、コンデンサ底部 215 における電圧は、蓄積電荷に関連して変化し得る。コンデンサ底部 215 における電圧は、センスコンポーネント 125-a におけるリファレンス電圧と比較され得、リファレンス電圧との比較は、印加された電圧から生じるコンデンサの 205 の電荷の変化を示し得、それ故、メモリセル 105-a 中に蓄積された論理状態を示し得る。コンデンサ 205 の電荷と電圧との関係は、図 3 を参照しながら更に詳細に記述される。

30

【0032】

メモリセル 105-a を書き込むために、コンデンサ 205 に渡って電圧が印加され得る。様々な方法が使用され得る。一例では、コンデンサ 205 をデジット線 115-a に電氣的に接続するために、選択コンポーネント 220 はワード線 110-a を通じて活性化され得る。方法の中でもとりわけ、プレート線 230 を使用してプレート 210 の電圧を制御することによって、又はデジット線 115-a を使用してセル底部 215 の電圧を制御することによって、コンデンサ 205 に渡って電圧が印加され得る。論理 0 を書き込むために、プレート 210 は高くされ得、すなわち正の電圧が印加され得、セル底部 215 は低くされ得、すなわち、グラウンドに接続され得、事実上グラウンドされ得、又は負の電圧がプレート 210 に印加され得る。論理 1 を書き込むために反対のプロセスが実行され、すなわち、プレート 210 の電圧が低くされ得、セル底部 215 の電圧が高くされ得る

40

50

。本明細書に記述されるように、プレート 210 への電圧の印加に使用される幾つか又は全ての電荷は、別のセルのプレートへ転送され得、又は別のセルのプレートから転送され得る。

【0033】

図 2 B は、本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持する例示的回路 200-b を説明する。回路 200-b は、とりわけ、図 2 A を参照しながら記述したような回路 200-a の一例であってもよく、セルプレート 210 間の電荷共有を容易にし得る。回路 200-b は、第 2 のメモリセル 105-b を含み得る。メモリセル 105-b は選択コンポーネント 220-a 及びコンデンサ 205-a を含み得る。選択コンポーネント 220-a はワード線 110-b を通じて活性化され得る。ワード線 110-b が活性化された場合、デジット線 115-b 上の電圧はセル底部 215-a 上の電圧であり得る。幾つかの場合、メモリセル 105-a 及びメモリセル 105-b は、同じワード線 110 によりアクセスされる一組のセルに含まれ得る。その他の場合、メモリセル 105-a 及びメモリセル 105-b は、異なる 2 つのワード線（例えば、夫々、ワード線 110-a 及びワード線 110-b）によってアクセスされ得る。

10

【0034】

回路 200-b は、プレート 210 にバイアス電圧を印加するために使用される電源線 240、又はプレート 210-a に電圧を印加するために使用される電源線 240-a をも含み得る。各電源線 240 は、異なる値（例えば、1.6 V 及び 1.8 V）のバイアス電圧を印加可能であり得る。電源線 240 は、それらの個別のプレート 210 に電圧が独立して印加できるように構成され得る。プレート 210 及びプレート 210-a は、技術の中でもとりわけ、スイッチングコンポーネント 235 を活性化することによって接続（例えば、短絡）され得る。すなわち、スイッチングコンポーネント 235 の活性化は、一方のプレート 210 から他方へ電荷が流れることを容易にする、プレート 210 とプレート 210-a と間の導電経路を提供し得る。

20

【0035】

電源線 240 は、読み出し及び書き込み動作が生じ得るようにプレート 210 に電圧を印加し得る。したがって、プレート 210 は、回路 200-a の動作中の様々な時間に充電され得る。幾つかの場合、プレート 210 上の少なくとも一部の電荷は、プレート 210-a を少なくとも部分的に充電するために使用され得る。例えば、スイッチングコンポーネント 235 は、プレート 210 とプレート 210-a との間に電荷共有が生じるように活性化され得る。すなわち、スイッチングコンポーネント 235 又は 1 つ以上の別の経路を活性化することにより確立された導電経路を介して、プレート 210 からプレート 210-a へ電荷が転送され得る。スイッチングコンポーネント 235 は、メモリセル 105-a 又はメモリセル 105-b が各々の個別の電荷状態から遷移する以前に活性化され得る。例えば、メモリセル 105-a は、第 1 の状態（例えば、充電状態）から第 2 の状態（例えば、放電状態）へ変更するためにメモリセル 105-a を要する動作のために（例えば、選択コンポーネント 220 の活性化を介して）選択され得る。例えば、メモリセル 105-a は、読み出し動作の終わりであってもよいし、論理 1 の書き込み動作のために準備されていてもよい。また、メモリセル 105-b は、放電状態から充電状態へ変更するためにメモリセル 105-b を要する動作のために（例えば、選択コンポーネント 220-a の活性化を介して）選択され得る（例えば、メモリセル 105-b は、読み出し動作のために又は論理 0 の書き込みのために準備され得る）。

30

40

【0036】

したがって、プレート 210 若しくはプレート 210-a、又はそれら両方は、電荷状態から反対の新たな電荷状態へ各々遷移していてもよい（例えば、プレート 210 は充電状態から放電状態へ遷移していてもよく、プレート 210-a は放電状態から充電状態へ遷移していてもよい）。幾つかの実施形態では、プレート 210 及びプレート 210-a は、相互に充電状態をスイッチングされ得る。図 2 A に示す例では、プレート 210-a から転送された電荷は、後続の動作に対する所定の閾値電荷量にプレート 210-a を完

50

全に充電するために別のソース（例えば、電源線 240-a）からの電荷によって補完される。一例では、プレート 210 からの電荷及び電源線 240-a からの電荷は、プレート 210-a へ同時に転送され得、それは、プレート 210-a を完全に充電するために必要な時間を削減し得る。別の例では、プレート 210 からの電荷及び電源線 240-a からの電荷は、プレート 210-a へ重複する期間中に転送され得、それはまた、プレート 210-a を完全に充電するために必要な時間を削減し得る。別の例では、電源線 240-a からの電荷は、プレート 210 からの電荷を使用してプレート 210-a が部分的に充電された後にプレート 210-a へ転送され得る。この実装は、プレート 210-a を完全に充電するために必要な電力を削減し得る。

【0037】

10

コンデンサ 205 の読み出し及び書き込み動作は、強誘電体デバイスと関連する非線形特性を説明し得る。図 3 は、本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持する強誘電体メモリセルに対するヒステリシス曲線 300 を有するそうした非線形特性の一例を説明する。ヒステリシス曲線 300-a 及び 300-b は、例示的強誘電体メモリセルの書き込み及び読み出しプロセスを夫々説明する。ヒステリシス曲線 300 は、電圧の関数として強誘電体コンデンサ（例えば、図 2A のコンデンサ 205）上に蓄積された電荷 Q を図示する。

【0038】

強誘電体材料は、自発的電気分極の特徴があり、すなわち、それは、電界がない場合には非ゼロの電気分極を維持する。例示的強誘電体材料は、チタン酸バリウム (BaTiO_3)、チタン酸鉛 (PbTiO_3)、チタン酸ジルコン酸鉛 (PZT)、及びタンタル酸ストロンチウムビスマス (SBT) を含む。本明細書に記述される強誘電体コンデンサは、これら又はその他の強誘電体材料を含み得る。強誘電体コンデンサ内の電気分極は、強誘電体材料の表面に正味電荷をもたらし、コンデンサ端子を通じて反対の電荷を引き付ける。したがって、強誘電体材料とコンデンサ端子との境界に電荷が蓄積される。比較的長時間、無期限にさえ、外部に印加された電界がない場合にも、電気分極は維持され得、電荷漏洩は、例えば、DRAM アレイに用いられるコンデンサと比較して顕著に減少し得る。これは、幾つかの DRAM アーキテクチャに対して上述したようなリフレッシュ動作を実行する必要性を削減し得る。

20

【0039】

30

ヒステリシス曲線 300 は、コンデンサの単一の端子の視点から理解され得る。例として、強誘電体材料が負の分極を有する場合、正の電荷が端子に蓄積されるであろう。同様に、強誘電体材料が正の分極を有する場合、負の電荷が端子に蓄積されるであろう。また、ヒステリシス曲線 300 中の電圧は、コンデンサに渡る電圧差を表し、指向性があることを理解すべきである。例えば、正の電圧は、当該端子に正の電圧が印加され、第 2 の端子をグランドに維持することによって印加され得る。負の電圧は、当該端子をグランドに維持し、第 2 の端子に正の電圧を印加することによって印加され得、すなわち、正の電圧は、当該端子をマイナスに分極するように印加され得る。同様に、ヒステリシス曲線 300 に示される電圧差を生成するために、2 つの正の電圧、2 つの負の電圧、又は正及び負の電圧の任意の組み合わせが適切なコンデンサ端子に印加され得る。本明細書に記述されるように、第 1 のコンデンサから電荷を転送することによって第 2 のコンデンサに電圧が印加され得る。この電荷は、電圧源によって第 2 のコンデンサに供給された電荷（例えば、電源線を介して転送される電圧源からの電荷）を補完し得る。

40

【0040】

ヒステリシス曲線 300-a に示されるように、強誘電体材料は、ゼロの電圧差で正又は負の分極を維持し得、2 つの可能な電荷状態：電荷状態 305 及び電荷状態 310 をもたらす。図 3 の一例に従うと、電荷状態 305 は論理 0 を表し、電荷状態 310 は論理 1 を表す。幾つかの例では、個別の電荷状態の論理値は、メモリセルを動作するためのその他のスキームに適合するために逆にされてもよい。

【0041】

50

論理 0 又は 1 は、強誘電体材料の電気分極、それ故コンデンサ端子上の電荷を電圧の印加により制御することによってメモリセルに書き込まれ得る。例えば、正味正の電圧 3 1 5 をコンデンサに渡って印加することは、電荷状態 3 0 5 - a に到達するまで電荷の蓄積をもたらす。正の電圧 3 1 5 を除去すると、電荷状態 3 0 5 - a は、ゼロ電位において電荷状態 3 0 5 に到達するまで経路 3 2 0 に従う。同様に、電荷状態 3 1 0 は、正味負の電圧 3 2 5 を印加することによって書き込まれ、それは電荷状態 3 1 0 - a をもたらす。負の電圧 3 2 5 を除去すると、電荷状態 3 1 0 - a は、ゼロ電圧において電荷状態 3 1 0 に到達するまで経路 3 3 0 に従う。

【0042】

強誘電体材料の蓄積状態を読み出し又はセンシングするために、（例えば、別のコンデンサのプレートから電荷を転送することによって）コンデンサに渡って電圧が印加され得る。これに応じて、蓄積された電荷は変化し、該変化の程度は初期の電荷状態に依存し、すなわち、コンデンサの蓄積電荷が変化する程度は、電荷状態 3 0 5 - b 又は 3 1 0 - b の何れが初期に蓄積されたかに依存して変わる。例えば、ヒステリシス曲線 3 0 0 - b は、蓄積された 2 つの可能な電荷状態 3 0 5 - b 及び 3 1 0 - b を説明する。正味電圧 3 3 5 がコンデンサのプレート（例えば、図 2 を参照したプレート 2 1 0）に印加され得る。正の電圧として図示されるが、電圧 3 3 5 は負であってもよい。電圧 3 3 5 に応じて、電荷状態 3 0 5 - b は経路 3 4 0 に従い得る。同様に、電荷状態 3 1 0 - b が初期に蓄積された場合、その後、それは経路 3 4 5 に従う。電荷状態 3 0 5 - c 及び電荷状態 3 1 0 - c の最終位置は、具体的なセンシング動作及び回路を含む複数の要因に依存する。

【0043】

幾つかの場合、最終的な電荷は、メモリセルのデジット線の固有の静電容量に依存し得る。例えば、コンデンサがデジット線に電氣的に接続され、電圧 3 3 5 が印加された場合、デジット線の電圧は、その固有の静電容量に起因して上昇し得、センスコンポーネントで測定された電圧は、デジット線の結果電圧に依存し得る。ヒステリシス曲線 3 0 0 - b 上の最終的な電荷状態 3 0 5 - c 及び 3 1 0 - c の位置は、それ故、デジット線の静電容量に依存し得、負荷線解析 (load-line analysis) を通じて判定され得、すなわち、電荷状態 3 0 5 - c 及び 3 1 0 - c は、デジット線の静電容量に関して定義され得る。結果として、コンデンサの電圧、電圧 3 5 0 又は電圧 3 5 5 は、異なり得、コンデンサの初期の状態に依存し得る。

【0044】

（値の中でもとりわけ）セルプレートに印加された電圧（例えば、電圧 3 3 5）とコンデンサに渡る電圧（例えば、電圧 3 5 0 又は電圧 3 5 5）との差をリファレンス電圧と比較することによって、コンデンサの初期の状態が判定され得る。図 2 A を参照することによって理解できるように、デジット線の電圧は、プレート 2 1 0 に印加された電圧とコンデンサ 2 0 5 に渡る結果電圧との差として表され得る。上で論じたように、デジット線の電圧は、コンデンサで蓄積された電荷の変化に基づき得、電荷の変化は、コンデンサに渡って印加される電圧の大きさに関連し得る。幾つかの例では、リファレンス電圧は、電圧 3 5 0 及び 3 5 5 からもたらされるデジット線電圧の平均であり得、比較すると、センシングされたデジット線電圧は、リファレンス電圧よりも高い又は低いと判定され得る。強誘電体セルの値（すなわち、論理 “0” 又は “1”）は該比較に基づいてその後判定され得る。

【0045】

上で論じたように、強誘電体コンデンサを使用していないメモリセル 1 0 5 の読み出しは、蓄積された論理状態を劣化又は破壊し得る。しかしながら、強誘電体メモリセル 1 0 5 は、読み出し動作後に初期の論理状態を維持し得る。例えば、電荷状態 3 0 5 - b が蓄積され、読み出し動作が実行された場合、電荷状態は、電荷状態 3 0 5 - c への経路 3 4 0 に従い得、電圧 3 3 5 の除去後、電荷状態は、例えば、反対方向に経路 3 4 0 に従うことによって、初期の電荷状態 3 0 5 - b に戻り得る。

【0046】

図4は、本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持する例示的回路400を説明する。回路400は、とりわけ、区域405-a及び区域405-bを含むN個の区域を含み得る。各区域405は、独立に制御される2つ以上の電圧源、VCC410及びVBOOST415により動力が与えられ得る。例えば、区域405-aはVCC410-a及びVBOOST415-aによって動力が与えられ得、区域405-bはVCC410-b及びVBOOST415-bによって動力が与えられ得る。各VCC410は、第1の電圧（例えば、1.6V）を対応する電源線420に供給し得、各VBOOST415は、第2の電圧（例えば、1.8V）を対応する電源線420に供給し得る。幾つかの実施形態では、VCC410-a及びVBOOST415-aは電源線420-aに電圧を印加するために使用され得、VCC410-b及びVBOOST415-bは電源線420-bに電圧を印加するために使用され得る。幾つかの実施形態では、VBOOST415はVCC410よりも大きい定格電圧を供給し得る。幾つかの実施形態では、VBOOST415はVCC410よりも小さい定格電圧を供給し得る。電源線420は、とりわけ、図2Bを参照しながら記述した電源線240の一例であり得る。回路400の区域405は独立にアクセスされ得、例えば、区域405-aは、区域405-bと同じ又は異なる時間で動作され得る。

【0047】

各区域405は、各プレート線がメモリセル470のサブアレイに対応する複数のプレート線425を含み得、そのセルは、とりわけ、図1～図3を参照しながら記述したメモリセル105の一例であり得る。プレート線425は、プレート線230の一例であり得、多数のプレート（例えば、一組のメモリセルのプレート）に電圧を印加するために使用され得る。メモリセルのサブアレイは、8組のセルプレート（CP0～CP7、又はCP0：7）を含み得る。一組のセルプレートは多数のメモリセルのセルプレートを含み得る。（例えば、単一のプレート線425の）一組のセルプレートのメモリセルは、メモリセルの多数の行を含み得る。プレート線425に含まれるメモリセルの各行は、1つ以上の個別のワード線465-aによりアクセスされ得る。メモリセルの行にアクセスするために使用されるワード線は、関連するスペーシング又はその他の絶縁技術に基づいて他のワード線から絶縁され得る。説明を容易にするために、単一のプレート線425及びワード線465が示されるが、任意の数のプレート線及びワード線が本明細書で記述される技術と共に使用され得る。区域405のメモリセル470は、その区域405に特化したワード線465を使用してアクセスされ得る。例えば、区域405-a中のメモリセル470-aは1つ以上のワード線465-aを使用してアクセスされ得、区域405-b中のメモリセル470-bは1つ以上のワード線465-bを使用してアクセスされ得る。

【0048】

2つの異なる区域のプレート線425は、1つ以上のスイッチングコンポーネント460を介して、又は1つ以上の等化線475を介して相互に電子通信し得る。異なる区域のプレート線425は、第1のプレート線及び第2のプレート線と称され得る。等化線は、異なる電源線420間の、それ故、異なる区域450中のメモリセルのプレート間の導電経路を提供し得る。等化線475は、スイッチングコンポーネント460が活性化される場合にセルプレート間の導電経路の一部として役立ち得る。区域405中の各プレート線425（及び対応するメモリセル470）は、同じ電源線420により動力が与えられ得る。電源線420は、スイッチングコンポーネント430及びスイッチングコンポーネント435を活性化することによって動力が与えられ得る。実例として、電源線420-aは、（例えば、スイッチングコンポーネント430-aを活性化することにより）VCC410-aによって動力が与えられ得、又は（例えば、スイッチングコンポーネント435-aを活性化することにより）VBOOST415-aによって動力が与えられ得る。各電圧源（VCC410）及び（VBOOST415）は、各区域425のプレート線405と電子通信し得る。

【0049】

メモリセル470のセルプレートは、ドライバCPIN445に電圧を印加することに

10

20

30

40

50

よって電源線420又はグランド440に接続され得る。例えば、ドライバCPIN445（例えば、CPIN0）に印加される電圧を減らすことは、対応するスイッチングコンポーネント450を活性化し得、又は対応するスイッチングコンポーネント455を不活性化し得（又は幾つかの組み合わせ）、それは、コンポーネントの中でもとりわけ、電源線420とメモリセル470の対応する一組のプレート（例えば、CP0）との間に電荷が流れ得るようにし得る。正の電圧をドライバCPIN445（例えば、CPIN0）に印加することは、対応するスイッチングコンポーネント455を活性化し得、又は対応するスイッチングコンポーネント450を不活性化し得（又は幾つかの組み合わせ）、それは、メモリセル470の対応する一組のプレート（例えば、CP0）をグランド440に接続し得る。

10

【0050】

各区域450は、活性化された場合に区域405間（例えば、電源線420間）の導電経路を確立する、対応する一組のスイッチングコンポーネント460を有し得る。実例として、スイッチングコンポーネント460-a及びスイッチングコンポーネント460-bを活性化することは、（例えば、スイッチングコンポーネント450-a及びスイッチングコンポーネント450-bが活性化された場合に）プレート線425-aとプレート線425-bとの間の導電経路を確立し得る。したがって、第1の区域405中のセルプレート上の電荷が流れ得、異なる区域中のセルプレートを充電するために使用され得る。例えば、メモリセル470-aのセルプレートからの電荷は、メモリセル470-bのセルプレートを充電するために使用され得る。セルプレート間の電荷共有は、2つ以上の個々のセル間、1つ以上の組のセル間、セルのサブアレイ間、及び／又はセルの区域間の電荷共有を含む、異なる粒度レベルで生じ得る。本明細書で記述されるように、セルプレート間の電荷の転送は、異なる又は同じ電源線420により動力が与えられるセルプレート間で生じ得る。幾つかの場合、セルプレート間の電荷転送は、単一の電源線420により動力が与えられるセル間で生じ得る。

20

【0051】

スイッチングコンポーネント460は、とりわけ、図2Aを参照しながら記述したスイッチングコンポーネント235の一例であり得る。図4のスイッチングコンポーネントは特定の種類（例えば、p型又はn型）として図示されるが、本明細書に記述される技術は、異なる1つ以上の種類のスイッチングコンポーネントを使用して実装され得る。例えば、図4のp型スイッチングコンポーネント（例えば、スイッチングコンポーネント430、435、及び450）の少なくとも幾つか又は全ては、n型であるように変更され得、n型スイッチングコンポーネント（例えば、スイッチングコンポーネント460及び455）の少なくとも幾つか又は全ては、p型であるように変更され得る。スイッチングコンポーネントの種類の代替は、代替の活性化電圧及びタイミングと関連し得る。例えば、コンポーネントは、本明細書の記述とは反対の極性を有する電圧を使用して活性化され得る。

30

【0052】

異なる2つの区域405が反対の状態に初期化され、区域405毎に電荷状態の遷移を要する動作のためにその後選択される場合に区域405間の電荷共有が生じ得る。例えば、メモリセル470-aのセルプレートは、充電状態から放電状態へ遷移するために（ワード線465-aを介して）選択され得、メモリセル470-bのセルプレートは、放電状態から充電状態へ遷移するために（ワード線465-bを介して）選択され得る。メモリセルは、1つ以上の読み出し動作を実行するために、又は1つ以上の論理1の書き込み動作を実行するために放電状態から充電状態へ遷移し得る。幾つかの実施形態では、メモリセルは、読み出し動作の終わりにおいて、又は論理0の書き込み動作を実行するために、充電状態から放電状態へ遷移し得る。したがって、メモリセルの電荷状態の変更は、とりわけ、読み出し及び書き込み動作を実行するために準備することによって、又は読み出し及び書き込み動作を実行することによって開始され得る。

40

【0053】

50

図5は、本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持する強誘電体メモリセルアレイを動作するためのタイミング図体系500の一例を説明する。タイミング図体系500は、タイミング図505（例えば、505-a～505-f）を含み得、それら各々は、軸501上の電圧と軸502上の時間とを含む。幾つかの実施形態では、タイミング図505は、共通の時間軸501を有し得（すなわち、タイミング図は、同じ期間をカバーし得、重ねられ得）、図4の回路400のコンポーネントの動作を表し得る。動作は、回路400を参照しながら記述したように、異なる区域405のセルプレート間の電荷共有を容易にし得る。例えば、タイミング図505の動作よりも前に、区域405-a中のセルプレートは完全に充電され得、区域405-b中のセルプレートは放電され得る。区域405-a中のセルプレートの電荷は、区域405-b中のセルプレートの充電を容易にするために使用され得る。

10

【0054】

タイミング図505に示される動作からもたらされる電荷共有は、区域405-b中のセルプレートを充電するために電圧源（VCC410）及び（VBOST415）から必要な、要件の中でもとりわけ、電力を削減し得る。図5に示した例では、区域405-a中のセルプレートは、書き込み動作を実行していてもよく（例えば、図3に記述したようなセルプレート電圧を減らすことにより論理1を書き込んでいてもよく）、区域405-b中のセルプレートは、読み出し動作を実行していてもよい（例えば、セルプレート電圧を増加することによってセルの蓄積状態を読み出していてもよい）。したがって、区域405-a中のセル（例えば、メモリセル470-a）は書き込み動作のために（例えば、ワード線465-aの第1の組を使用して）選択され得、区域405-b中のセル（例えば、メモリセル470-b）は読み出し動作のために（例えば、ワード線465-bの第2の組を使用して）選択され得る。しかしながら、本明細書に記述される技術は、充電状態から放電状態への遷移を要する動作を含むがそれらに限定されないその他の動作を実行するために区域405-a中のセルプレートが選択される場合に実装されてもよい。

20

【0055】

回路400の様々なコンポーネントの電圧はまた、タイミング図505上の時間の関数として表される。例えば、タイミング図505-aはスイッチングコンポーネント電圧510を含み、それは、区域405-a及び区域405-b中の各スイッチングコンポーネント460のゲートに印加される電圧を表す。区域405-a及び区域405-b中のスイッチングコンポーネント460に印加される電圧は、回路400のその他の区域のスイッチングコンポーネントに印加されなくてもよい。各区域405のスイッチングコンポーネント460に印加される電圧が独立して制御されることによって、特定の区域405がプレート電荷共有の対象とされ得、又は、プレート電荷共有から絶縁され得る。

30

【0056】

タイミング図505-bはVBOST電圧515-aを含み得、それは、（活性化された場合にVBOST415-aを電源線420-aに接続する）スイッチングコンポーネント435-aのゲートに印加される電圧を表し得る。タイミング図505-cはVBOST電圧515-bを含み得、それは、活性化された場合にVBOST415-bを電源線420-bに接続するスイッチングコンポーネント435-bのゲートに印加される電圧を表し得る。タイミング図505-dはVCC電圧520-aを含み得、それは、活性化された場合にVCC410-aを電源線420-aに接続するスイッチングコンポーネント430-aのゲートに印加される電圧を表し得る。タイミング図505-eはVCC電圧520-bを含み得、それは、活性化された場合にVCC410-bを電源線420-bに接続するスイッチングコンポーネント430-bのゲートに印加される電圧を表し得る。タイミング図505-fはセルプレート電圧525を含み得る。セルプレート電圧525-aは、区域405-a中のメモリセル470-aのセルプレートにおける電圧を表し得、セルプレート電圧525-bは、区域405-b中のメモリセル470-bのセルプレートにおける電圧を表し得る。

40

【0057】

50

幾つかの実施形態では、タイミング図505の動作よりも前に、区域405-a中のメモリセル470-aのセルプレートはVCC410-aに接続され得る（例えば、スイッチングコンポーネント430-a及びスイッチングコンポーネント450-a-1は活性化され得る）。また、スイッチングコンポーネント460は不活性化され得る（例えば、メモリセル470-aのセルプレートは470-bのセルプレートから絶縁され得る）。タイミング図505-dに従うと、530において、メモリセル470-aのセルプレートは、（例えば、スイッチングコンポーネント430-aのゲートに高いVCC電圧520-aを印加することにより）スイッチングコンポーネント430-aを不活性化することによってVCC410-aから切断され得る。また、530において、（タイミング図505-eに示す）VCC電圧520-bは増加され得、それは、スイッチングコンポーネント430-bを不活性化し得る。スイッチングコンポーネント435はまた、不活性化され得る（例えば、それ故、VBOOST415は電源線420から切断される）。したがって、電圧源VCC410及びVBOOST415は、535よりも前に電源線420から絶縁され得る。535において、タイミング図505-aに従うと、メモリセル470-aのセルプレートは、（例えば、タイミング図505-a中に示すように、各スイッチングコンポーネント460のゲートに高いスイッチングコンポーネント電圧510を印加することにより）スイッチングコンポーネント460を活性化することによってメモリセル470-bのセルプレートに接続され得る。したがって、2つの異なる区域405のセルプレート間に導電経路が確立され得る。導電経路は、区域405-a及び区域405-b中のセルプレート間の電荷の転送を容易にし得る。

【0058】

導電経路は、期間（例えば、期間540）の間、維持され得る。この時間の間、区域405-a中のセルプレート上の電荷は、区域405-b中のセルプレートを充電するために使用され得る。すなわち、区域405-a中のセルプレートは、タイミング図505-fに見られるように、区域405-b中のセルプレート上に放電し得る。タイミング図505-fに従うと、期間540の間、メモリセル470-bのセルプレートに対応するセルプレート電圧525-bが増加する一方で、メモリセル470-aのセルプレートに対応するセルプレート電圧525-aは減少する。したがって、区域405-a中のセルプレートは、区域405-b中のセルプレートを少なくとも部分的に充電し得る。この少なくとも部分的な充電は、区域405-b中のセルプレートを所定の閾値電圧に完全充電するために（電圧源VCC410-b若しくはVBOOST415-b、又はそれら両方から）必要な電力を削減し得る。

【0059】

期間540の満了において、並びにタイミング図505-a及び505-fの545において、区域545-a中のセルプレートは、スイッチングコンポーネント460を不活性化する（例えば、スイッチングコンポーネント電圧510が低い値に減らされ得る）ことによって区域405-b中のセルプレートから切断され（例えば、絶縁され、通信又は電荷の流れを停止し）得る。幾つかの実施形態では、期間540は、充電率、経過時間、充電レベル、幾つかの組み合わせ、又はその他の要因等の1つ以上の要因に関連し得、又は相関関係があり得る所定の期間（例えば、5ナノ秒）であり得る。したがって、セルプレートの絶縁は、導電経路の確立から閾値時間が経過したとの判定に基づき得る。或いは、期間540は、区域405-b中のセルプレートを閾値電圧値に充電するためにかかる時間であり得る。したがって、区域405-b中のセルプレートからの区域405-a中のセルプレートの絶縁は、区域405-b中のセルプレートの電圧（例えば、セルプレート電圧525-b）に基づき得る。期間540の間、区域405-b中のセルプレートは、電圧源VCC410-b及びVBOOST415-bからの電流を使用することなく充電され得、それ故、電力が節約される。

【0060】

期間540の終了後（例えば、2つの区域405のセルプレートが545において相互に絶縁された後）であって550の前に、区域405-a中のセルプレートは、方法の中

10

20

30

40

50

でもとりわけ、スイッチングコンポーネント450-aを不活性化し、且つスイッチングコンポーネント455-aを活性化することによってグラウンド440（又は別の電圧リファレンス）に接続され得る。それ故、タイミング図505-fに従うと、セルプレート電圧525-aは閾値に減らされ得る（例えば、セルプレート電圧525-aは、後続の期間555の間、0V又は約0Vに減らされ得る）。550において、区域450-b中のセルプレートは、スイッチングコンポーネント435-bを活性化することによる（例えば、タイミング図505-cに示されるように、VBOOST電圧515-bを閾値に減らすことによる）等、1つ以上の方法を通じてVBOOST415-bに接続され得る。それ故、タイミング図505-fに従うと、区域405-b中のセルプレートは、VBOOST415-bからの電荷を使用して、後続の期間555中に閾値（例えば、1.6V又は1.8V）への充電を終了し得る。すなわち、セルプレート電圧525-bは、閾値（例えば、読み出し電圧値）に増加し得る。また、550において、VBOOST電圧515-aは減らされ得、それは、スイッチングコンポーネント435-aを活性化し得る。

10

【0061】

560において、タイミング図505-eに従うと、VCC電圧520-bは減少し得、それは、スイッチングコンポーネント430-bを活性化し得、VCC410-bを電源線420-bに接続し得る。560において、タイミング図505-cに従うと、VBOOST電圧515-bは増加し得、それは、スイッチングコンポーネント435-bを不活性化し得、VBOOST415-bを電源線420-bから切断し得る。560において、タイミング図505-bに従うと、VBOOST電圧515-aは増加し得、それは、スイッチングコンポーネント435-aを不活性化し得、VBOOST415-aを電源線420-aから切断し得る。560での動作は、後続のアクセス動作（例えば、読み出し又は書き込み動作）又は後続の電荷共有動作のための準備状態に回路400を置き得る。

20

【0062】

したがって、タイミング図505の動作は、区域405-aからのセルプレートが完全又はほぼ完全に放電し、且つ区域405-bからのセルプレートが完全又はほぼ完全に充電される結果をもたらし得る。405-bからのセルプレートを充電するために使用される電力は、異なる区域405のプレート間の電荷共有に起因して、その他の操作スキームと比較して削減され得る。タイミング図505の動作は、例示にすぎず、本開示に基づいて変更又は修正できる。

30

【0063】

図6は、本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持する強誘電体メモリセルアレイを動作するためのタイミング図体系600の一例を説明する。タイミング図体系600はタイミング図605（例えば、605-a~605-f）を含み得、それらの各々は、軸601上の電圧と軸602上の時間とを含む。幾つかの実施形態では、タイミング図605は、共通の時間軸602を有し得（すなわち、タイミング図は、同じ期間をカバーし、重ねられ得）、図4の回路400のコンポーネントの動作を表し得る。動作は、とりわけ、回路400を参照しながら記述したように、異なる区域405のセルプレート間での電荷共有を容易にし得る。例えば、タイミング図605の動作よりも前に、区域405-a中のセルプレートは完全に充電され得、区域405-b中のセルプレートは放電され得る。区域405-a中のセルプレートの電荷は、区域405-b中のセルプレートの充電を容易にするために使用され得る。

40

【0064】

タイミング図605に示される動作からもたらされる電荷共有は、区域405-b中のセルプレートを充電するのに必要な時間を削減し得る。図6に示した例では、動作の中でもとりわけ、区域405-a中のメモリセル470-aのセルプレートは書き込み動作を実行していてもよく、区域405-b中のメモリセル470-bのセルプレートは読み出し動作を実行していてもよい。それ故、区域405-a中のセルは書き込み動作のために

50

(例えば、第1のワード線を使用して)選択され得、区域405-b中のセルは読み出し動作のために(例えば、第2のワード線を使用して)選択され得る。

【0065】

回路400の様々なコンポーネントの電圧も、タイミング図605上の時間の関数として表される。例えば、タイミング図605-aはスイッチングコンポーネント電圧610を含み、それは、区域405-a及び区域405-b中の各スイッチングコンポーネント460のゲートに印加される電圧を表し得る。区域405-a及び区域405-b中のスイッチングコンポーネント460に印加される電圧は、回路400の他の区域のスイッチングコンポーネントに印加されなくてもよい。各区域405のスイッチングコンポーネント460に印加される電圧を独立して制御することによって、特定の区域405はプレート電荷共有の対象とされ得、プレート電荷共有から絶縁され得る。

10

【0066】

タイミング図605-bはVBOOST電圧615-aを含み得、それは、VBOOST415-aを電源線420-aに接続するスイッチングコンポーネント435-aのゲートに印加される電圧を表し得る。タイミング図605-cはVBOOST電圧615-bを含み得、それは、活性化された場合にVBOOST415-bを電源線420-bに接続するスイッチングコンポーネント435-bのゲートに印加される電圧を表し得る。タイミング図605-dはVCC電圧620-aを含み得、それは、活性化された場合にVCC410-aを電源線420-aに接続するスイッチングコンポーネント430-aのゲートに印加される電圧を表し得る。タイミング図605-eはVCC電圧620-bを含み得、それは、活性化された場合にVCC410-bを電源線420-bに接続するスイッチングコンポーネント430-bのゲートに印加される電圧を表し得る。タイミング図605-fはセルプレート電圧625を含み得る。セルプレート電圧625-aは、区域405-a中のメモリセル470-aのセルプレートにおける電圧を表し得、セルプレート電圧625-bは、区域405-b中のメモリセル470-bのセルプレートにおける電圧を表し得る。

20

【0067】

幾つかの実施形態では、635の前に、VBOOST415-aは電源線420-aから切断され得(例えば、VBOOST電圧615-aは、タイミング図605-bに示されるように、スイッチングコンポーネント435-aが不活性化されるように高くてもよい)、VBOOST415-bは電源線420-bから切断され得る(例えば、VBOOST電圧615-bは、タイミング図605-cに示されるように、スイッチングコンポーネント435-bが不活性化されるように高くてもよい)。また、635の前に、VCC410-aは電源線420-aに接続され得(例えば、VCC電圧620-aは、タイミング図605-dに示されるように、スイッチングコンポーネント430-aが活性化されるように低くてもよい)、VCC410-bは電源線420-bから接続され得(例えば、VCC電圧620-aは、タイミング図605-eに示されるように、スイッチングコンポーネント430-bが活性化されるように低くてもよい)。それ故、電源線420は、それらの個別のVBOOST415から切断され得、それらの個別のVCC410に接続され得る。

30

40

【0068】

635において、タイミング図605-aに従うと、区域405-a中のセルプレートは、(例えば、増加したスイッチングコンポーネント電圧610をスイッチングコンポーネント460のゲートに印加することにより)スイッチングコンポーネント460を活性化することによって区域405-a中のメモリセルのセルプレートに接続され得る。幾つかの実施形態では、スイッチングコンポーネント460の活性化は、区域405-a中のセルプレートと区域405-b中のセルプレートとの間に導電経路を確立し得る。導電経路は、セルプレート又はコンポーネントの中でもとりわけ、区域405-a中のメモリセル470-aのセルプレートと区域405-b中のメモリセル470-bのセルプレートとの間の電荷の転送を容易にし得る。2つの区域405のセルプレートは、導電経路が利用

50

可能である間に電荷共有し得、例えば、電荷共有は、スイッチングコンポーネント460が期間640中に活性化される間に生じ得る。期間640の長さは、所定の期間であってもよく、又は区域405-b中のセルプレートの電圧（例えば、セルプレート電圧625-b）に基づいてもよい。また、635において、区域405-b中のセルプレートは、（例えば、スイッチングコンポーネント430-bのゲートに印加されるVCC電圧620-bを増加することによって）VCC410-bから切断され得る。図示されないが、435において、区域405-b中のセルプレートは、スイッチングコンポーネント450-b-1を活性化することによって電源線420-bに接続され得る。

【0069】

645において、区域405-b中のセルプレートは、（例えば、タイミング図605-bに示されるように、スイッチングコンポーネント435-bのゲートに印加されるVBOST電圧615-aを減らすことにより）スイッチングコンポーネント435-bを活性化することによってVBOST415-bに接続され得る。それ故、区域405-b中のセルプレートは、2つのソース、区域405-a中のセルプレート及びVBOST415-bから同時に充電され得る。この充電スキームは、閾値（例えば、読み出し電圧値）に区域405-b中のセルプレートを充電するためにかかる時間を削減し得る。650において、区域405-a中のセルプレートは、（例えば、タイミング図605-aに示されるように、スイッチングコンポーネント460のゲートに印加されるスイッチングコンポーネント電圧610を減らすことにより）スイッチングコンポーネント460を不活性化することによって区域405-b中のプレートから絶縁され得る。それ故、650の後、区域405-b中のメモリセル470-bのセルプレートはVBOST415-bを使用して充電を継続し得る。

【0070】

655において、区域405-a中のセルプレートは、（例えば、タイミング図605-dに示されるように、スイッチングコンポーネント430-aのゲートに印加されるVCC電圧620-aを増加することによって）VCC410-aから切断され得、（例えば、タイミング図605-cに示されるように、スイッチングコンポーネント435-aのゲートに印加されるVBOST電圧651-bを減らすことによって）VBOST415-aに接続され得る。区域405-b中のセルプレートが閾値（例えば、読み出し値）に充電された後、660において、区域405-b中のセルプレートは、（例えば、タイミング図605-bに示されるように、スイッチングコンポーネント430-aのゲートに印加されるVBOST電圧615-aを増加することによって）VBOST415-aから切断され得、（例えば、タイミング図605-eに示されるように、スイッチングコンポーネント430-bのゲートに印加されるVCC電圧620-bを減らすことによって）VCC410-bに接続され得る。幾つかの実施形態では、2つの異なる区域405中のセルプレートが相互に分離された後（例えば、605の後）、区域405-a中のセルプレートは、（例えば、スイッチングコンポーネント455-a及びスイッチングコンポーネント450-aに高電圧を印加することによって）電源線420-aから切断され得、グラウンド440（又はその他の電圧リファレンス）に接続され得る。660での動作は、1つ以上の後続のアクセス動作（例えば、読み出し又は書き込み動作）又は後続の電荷共有動作のための準備状態に回路400を置き得る。

【0071】

本明細書に記述されるように、プレート間の電荷共有は、動作（例えば、読み出し動作、書き込み動作、別の動作）のためにセルプレートを充電するのに必要な電力又は時間を削減し得る。例えば、図5を参照しながら記述される方法は、セルプレートを充電する場合に電源線420から引き出される電力を削減するために使用され得る。図6を参照しながら記述される方法及び技術は、セルプレートを充電するために必要な時間を削減するために使用され得る。回路400を含むデバイスは、（例えば、電源投入の）最初の時間で使用方法を選択し得る。例えば、該方法は、予め決定されたデバイスの構成であり得る。幾つかの場合、デバイスは、方法を動的に変更し得る。実例として、デバイスは、あ

10

20

30

40

50

る方法から他の方法へ、停止することなく切り替えられ得る。該切り替えは、誘因（例えば、ユーザ入力、検出又は判定の値又は状態）に基づいて及び／又は（例えば、経過時間に基づいて、1つ以上の動作の実行又は発生に基づいて）定期的に発生し得る。幾つかの場合、デバイスは、電源（例えば、電池）パラメータ又は動作特性に基づいて、使用する方法を動的に選択し得る。実例として、デバイスの電池が低い（例えば、電池の指定のパーセンテージ又は定格を下回る）場合、又は電池が充電されていない場合に、デバイスは図5の電力節減法を選択し得る。電池の寿命が高い（例えば、電池の指定のパーセンテージ又は定格を上回る）場合、又は電池が充電されている場合に、デバイスは図6の時間短縮法を選択し得る。付加的に又は代替的に、デバイスは、デバイスの速度条件に基づいて、使用する方法を動的に選択し得る。実例として、デバイスが迅速なデータ検索に関心を持つ場合には、デバイスは図6の時間短縮法を選択し得る。ある一定の利用又は動作が実行されている場合、又は（ユーザ入力を介して）ユーザにより指し示された場合、デバイスは迅速なデータ検索に関心を持ち得る。

10

【0072】

図7は、本開示の様々な実施形態に従ったセルプレート間の電荷共有を支持するメモリアレイ100-aのブロック図700を示す。メモリアレイ100-aは、メモリコントローラ140の一例であり得るメモリコントローラ140-aと、図4を参照しながら記述した区域405の一例であり得る区域405-cとを含み得る。区域405-cは、図1～図4を参照しながら記述したメモリセル105及び470の一例であり得るメモリセル105-cを含み得る。

20

【0073】

メモリコントローラ140-aは、バイアスコンポーネント710及びタイミングコンポーネント715を含み得、図1～図6に記述したようにメモリアレイ100-aを動作し得る。メモリコントローラ140-aは、とりわけ、図1～図4を参照しながら記述したワード線110又は465、デジット線115、及びセンスコンポーネント125の一例であり得るワード線110-c、デジット線115-c、センスコンポーネント125-b、及び区域405-cと電子通信し得る。メモリアレイ100-aは、リファレンスコンポーネント720及びラッチ725をも含み得る。メモリアレイ100-aのコンポーネントは、相互に電子通信し得、図1～図6を参照しながら記述した機能を実行し得る。幾つかの場合、リファレンスコンポーネント720、センスコンポーネント125-b、及びラッチ725はメモリコントローラ140-aのコンポーネントであり得る。

30

【0074】

メモリコントローラ140-aは、メモリアレイ100-aの様々なコンポーネントを、それら様々なコンポーネントに電圧（例えば、正又は負の電圧）を印加することによって活性化するように構成され得る。例えば、バイアスコンポーネント710は、上述したように、メモリセル105-cを読み出す又は書き込むために、区域405-cを動作するための電圧を印加するように構成され得る。幾つかの場合、メモリコントローラ140-aは、図1を参照しながら記述したように、行デコーダ、列デコーダ、又はそれら両方を含み得る。これは、メモリコントローラ140-aが1つ以上のメモリセル105にアクセスできるようにし得る。バイアスコンポーネント710はまた、センスコンポーネント125-bに対するリファレンス信号を生成するためにリファレンスコンポーネント720に電圧を供給し得る。また、バイアスコンポーネント710は、センスコンポーネント125-bの動作のための電圧を供給し得る。

40

【0075】

幾つかの場合、メモリコントローラ140-aは、その動作をタイミングコンポーネント715を使用して実行し得る。例えば、タイミングコンポーネント715は、本明細書で論じられる、読み出し及び書き込み等のメモリ機能を実行するために、メモリアレイ100-aの様々なコンポーネントへの電圧印加のタイミングを制御し得る。幾つかの場合、タイミングコンポーネント715はバイアスコンポーネント710の動作を制御し得る。

50

【0076】

幾つかの場合、メモリコントローラ140-aは、区域405-c中のメモリセル105-cのセルプレート間の電荷共有を（例えば、バイアスコンポーネント710及びタイミングコンポーネント715を介して）容易にし得る。メモリコントローラ140-aは、バイアスコンポーネント710及びタイミングコンポーネント715の間又はそれらに関する通信を介して、区域405-cのコンポーネントを含む、メモリアレイ100-a中の様々なコンポーネントのバイアスを制御し得る。例えば、メモリコントローラ140-aは、図2A～図6に関して記述された動作を実行するために、区域405-c中の（例えば、区域バイアス線735を介した）スイッチングコンポーネントへの電圧の印加を制御し得る。

10

【0077】

メモリコントローラ140-aは、第1の動作（例えば、読み出し動作又は書き込み動作）のためのメモリセル105-cの内の第1の強誘電体メモリセル（例えば、図4に関するメモリセル470-aの内のメモリセル）の選択を容易にし得る。幾つかの実施形態では、第1の強誘電体メモリセルは、第1のワード線（例えば、図4に関するワード線465-a）を使用して選択され得る。メモリコントローラ140-aは、第2の動作（例えば、読み出し動作又は書き込み動作）のためのメモリセル105-cの内の第2の強誘電体メモリセル（例えば、図4に関するメモリセル470-bの内のメモリセル）の選択をも容易にし得る。幾つかの実施形態では、第2の強誘電体メモリセルは、第1のワード線（例えば、図4に関するワード線465-b）を使用して選択され得る。したがって、幾つかの実施形態では、第1の強誘電体メモリセルは第1の動作を実行し得、第2の強誘電体メモリセルは第2の動作を実行し得る。幾つかの実施形態では、第2の動作は、第1の動作のタイミングに基づいて第2の強誘電体メモリセルにより実行され得る。

20

【0078】

メモリコントローラ140-aは、コンポーネントの中でもとりわけ、第1の強誘電体メモリセルの第1のプレートと第2の強誘電体メモリセルの第2のプレートとの間の導電経路の確立をも容易にし得る。導電経路は、第1のプレート及び第2のプレートと電子通信する1つ以上のスイッチングコンポーネント（例えば、図4に関するスイッチングコンポーネント460）を活性化することによって確立され得る。該確立のタイミングは、タイミングコンポーネント715によって判定され得る。第1のスイッチングコンポーネントの活性化に基づいて、第1のプレートから第2のプレートへ電荷が転送され得る。幾つかの場合、導電経路の確立は、第2の動作の一部の間であり、第1の強誘電体メモリセル及び第2の強誘電体メモリセルの選択に基づく。タイミングコンポーネント715は、第2の強誘電体メモリセルの第2の動作を開始する時間をも判定し得る。該判定は、第1の強誘電体メモリセルの第1の動作のタイミングに基づき得る。導電経路の確立は、第2の動作を開始する時間に基づき得る。

30

【0079】

幾つかの場合、メモリコントローラ140-aは、電圧源からの第1のプレートの絶縁を開始し得る。例えば、第1のプレートは、個別の電源線（例えば、図4の電源線420-a）に電圧源を接続するスイッチングコンポーネント（例えば、図4のスイッチングコンポーネント430-a）を不活性化することによって電圧源（例えば、図4のVCC410-a）から切断され得る。そうした場合、導電経路は、（タイミングコンポーネント715により判定されるように）絶縁後に確立され得る。その他の場合、導電経路は、（タイミングコンポーネント715により判定されるように）絶縁の前又は間に確立され得る。幾つかの場合、メモリコントローラ140-aは、第2のプレートからの第1のプレートの絶縁を容易にし得る。該絶縁は、第1のプレート及び第2のプレートと電子通信するスイッチングコンポーネント（例えば、図4のスイッチングコンポーネント460）を不活性化することによって実装され得る。バイアスコンポーネント710は、スイッチングコンポーネントのゲートに適切なバイアス電圧を印加することによってスイッチングコンポーネントを不活性化し得る。タイミングコンポーネント715は、導電経路の確立か

40

50

ら閾値時間が経過したとの判定に基づいて、絶縁に対するタイミングを判定し得る。タイミングコンポーネント715は、導電経路の確立から閾値電荷量が転送されたとの判定に基づいて、絶縁に対するタイミングを判定し得る。

【0080】

セルプレートの絶縁後、タイミングコンポーネント715は、短絡の確立を含み得る、第1のプレートと電圧リファレンス（例えば、図4のグラウンド440）との間の導電経路の確立のために、バイアスコンポーネント710と通信し得る。短絡はセルプレートの絶縁に基づき得る。幾つかの場合、第1のプレートは、第1のプレートを電圧リファレンスに接続するスイッチングコンポーネント（例えば、図4のスイッチングコンポーネント455-a）を活性化することによって電圧リファレンスに短絡され得る。第1のプレートが電圧リファレンスに短絡された後、タイミングコンポーネント715は、電圧源（例えば、図4のVBOOST415-b）を第2のプレートに印加するためにバイアスコンポーネント710と通信し得る。供給電圧は、プレートの絶縁後に印加され得る。

10

【0081】

幾つかの場合、タイミングコンポーネント715は、導電経路の確立後、供給電圧（例えば、図4のVBOOST415-b）を第2のプレートに印加するためにバイアスコンポーネント710と通信し得る。例えば、導電経路は、第1のプレートと第2のプレートとの間の導電経路の確立に基づいて、第2のプレートと電圧源との間に確立され得る。導電経路は、第1のプレートから第2のプレートへ電荷が転送されている間に確立され得る。供給電圧は、第2のプレートと電子通信する電力線（例えば、図4の電源線420-b）に供給電圧を接続するスイッチングコンポーネント（例えば、図4のスイッチングコンポーネント435-b）を活性化することによって印加され得る。供給電圧が第2のプレートに印加される間、タイミングコンポーネント715は、第1のプレートを第2のプレートから絶縁するためにバイアスコンポーネント710と通信し得る。

20

【0082】

リファレンスコンポーネント720は、センスコンポーネント125-bに対するリファレンス信号を生成するための様々なコンポーネントを含み得る。リファレンスコンポーネント720は、リファレンス信号を生み出すように特に構成された回路を含み得る。幾つかの場合、リファレンスコンポーネント720はその他の強誘電体メモリセル105であり得る。幾つかの例では、リファレンスコンポーネント720は、図3を参照しながら記述したように、2つのセンス電圧の間の値を有する電圧を出力するように構成され得る。又は、リファレンスコンポーネント720は、事実上のグラウンド電圧（例えば、約0V）を出力するように設計され得る。

30

【0083】

センスコンポーネント125-bは、（デジット線115-cを通じた）メモリセル105-cからの信号をリファレンスコンポーネント720からのリファレンス信号と比較し得る。論理状態を判定すると、センスコンポーネントは、ラッチ725中に該出力をその後格納し得、ここで、それは、メモリアレイ100-aの一部であるメモリデバイスを使用して、電子デバイスの動作に従って使用され得る。

【0084】

図8は、本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有を支持するシステム800を説明する。システム800は、様々なコンポーネントと接続し又は様々なコンポーネントを物理的に支持するプリント回路基板であり得又は該プリント回路基板を含み得る、デバイス805を含む。デバイス805は、とりわけ、図1及び図7を参照しながら記述したメモリアレイ100の一例であり得るメモリアレイ100-bを含む。メモリアレイ100-bは、とりわけ、図1及び図7を参照しながら記述したメモリコントローラ140と図1～図7を参照しながら記述したメモリセル105又は470の一例であり得るメモリコントローラ140-bと1つ以上のメモリセル105-dとを含み得る。デバイス805はまた、プロセッサ810、BIOSコンポーネント815、1つ以上の周辺コンポーネント820、及び入出力制御コンポーネント825を含み得る。デ

40

50

バイス 805 のコンポーネントはバス 830 を通じて相互に電子通信し得る。

【0085】

プロセッサ 810 は、メモリコントローラ 140-b を通じてメモリアレイ 100-b を動作するように構成され得る。幾つかの場合では、プロセッサ 810 は、図 1 及び図 7 を参照しながら記述したメモリコントローラ 140 の機能を実行し得る。その他の場合では、メモリコントローラ 140-b はプロセッサ 810 中に集積され得る。プロセッサ 810 は、汎用プロセッサ、デジタルシグナルプロセッサ (DSP)、特定用途向け集積回路 (ASIC)、フィールドプログラマブルゲートアレイ (FPGA) 若しくはその他のプログラム可能論理デバイス、分離したゲート若しくはトランジスタ論理、分離したハードウェアコンポーネントであり得、又はこれらの種類のコンポーネントの組み合わせであり得、プロセッサ 810 は、セルプレート間の電荷の転送を容易にすることを含む本明細書で記述される様々な機能を実行し得る。プロセッサ 810 は、例えば、デバイス 805 に様々な機能又はタスクを実行させるために、メモリアレイ 100-a 中に蓄積されたコンピュータ可読の命令を実行するように構成され得る。

10

【0086】

BIOS コンポーネント 815 は、システム 800 の様々なハードウェアコンポーネントを初期化し得及び実行し得る、ファームウェアとして動作するベーシックインプット/アウトプットシステム (BIOS) を含むソフトウェアコンポーネントであり得る。BIOS コンポーネント 815 はまた、プロセッサ 810 と様々なコンポーネント、例えば、周辺コンポーネント 820、入出力制御コンポーネント 825 等との間のデータの流れを管理し得る。BIOS コンポーネント 815 は、リードオンリーメモリ (ROM)、フラッシュメモリ、又は任意のその他の不揮発性メモリ中に蓄積されたプログラム又はソフトウェアを含み得る。

20

【0087】

1 つ以上の周辺コンポーネント 820 の各々は、デバイス 805 中に集積される、任意の入力若しくは出力デバイス又はそうしたデバイスのためのインタフェースであり得る。例として、ディスクコントローラ、音声コントローラ、画像コントローラ、イーサネットコントローラ、モデム、USB コントローラ、直列若しくは並列ポート、又はペリフェラルコンポーネントインタコネクト (PCI) 若しくはアクセラレーテッドグラフィックスポート (AGP) スロット等の周辺カードスロットが挙げられ得る。

30

【0088】

入出力制御コンポーネント 825 は、プロセッサ 810 と周辺コンポーネント 820、入力デバイス 835、又は出力デバイス 840 との間のデータ通信を管理し得る。入出力制御コンポーネント 825 はまた、デバイス 805 中に集積されない周辺装置を管理し得る。幾つかの場合では、入出力制御コンポーネント 825 は、外部周辺装置への物理的接続又はポートを表し得る。

【0089】

入力 835 は、デバイス 805 又はそのコンポーネントへの入力を提供する、デバイス 805 の外にあるデバイス又は信号を表し得る。これは、ユーザインタフェース、又はその他のデバイスとのインタフェース若しくはその他のデバイス間のインタフェースを含み得る。幾つかの場合、入力 835 は、周辺コンポーネント 820 を介してデバイス 805 とインタフェースで連結する外部装置であり得、又は入出力制御コンポーネント 825 により管理され得る。

40

【0090】

出力デバイス 840 は、デバイス 805 又はその何れかのコンポーネントからの出力を受信するように構成された、デバイス 805 の外にあるデバイス又は信号を表し得る。出力デバイス 840 の一例は、表示装置、音声スピーカ、プリントデバイス、別のプロセッサ、又はプリント回路基板等を含み得る。幾つかの場合では、出力デバイス 840 は、周辺コンポーネント 820 を介してデバイス 805 とインタフェースで連結する周辺装置であり得、又は入出力制御コンポーネント 825 により管理され得る。

50

【0091】

メモリコントローラ140-b、デバイス805、及びメモリアレイ100-bのコンポーネントは、それらの機能を実行するように設計された回路で成り立ってもよい。これは、本明細書に記述される機能を実行するように構成された様々な回路素子、例えば、導電線、トランジスタ、コンデンサ、インダクタ、抵抗、アンプ、又はその他の能動素子若しくは非能動素子を含み得る。

【0092】

図9は、本開示の様々な実施形態に従ったメモリセルプレート間の電荷共有のための方法900を説明するフローチャートを示す。方法900の動作は、とりわけ、図1、図7、及び図8を参照しながら記述したようにメモリアレイ100によって実装され得る。例えば、方法900の動作は、とりわけ、図1、図7、及び図8を参照しながら記述したようにメモリコントローラ140によって実行され得る。幾つかの例では、メモリコントローラ140は、後述する機能を実行するために、メモリアレイ100の機能的要素を制御するための一式のコードを実行し得る。付加的に又は代替的に、メモリコントローラ140は、以下で記述される機能の側面を専用のハードウェアを使用して実行してもよい。

10

【0093】

ブロック905において、方法は、第1の動作（例えば、読み出し動作又は書き込み動作）のために第1の強誘電体メモリセルを選択することを含み得る。第1の強誘電体メモリセルは、第1のプレートを備えた第1の強誘電体コンデンサを含み得、第1のワード線を使用して選択され得る。幾つかの例では、ブロック905の動作は、図7を参照しながら記述したように、バイアスコンポーネント710又はタイミングコンポーネント715によって実行されてもよく、又は容易にされてもよい。

20

【0094】

ブロック910において、方法は、第2の動作（例えば、読み出し動作又は書き込み動作）のために第2の強誘電体メモリセルを選択することを含み得る。第2の強誘電体メモリセルは、第2のプレートを備えた第2の強誘電体コンデンサを含み得、第2のワード線を使用して選択され得る。幾つかの例では、方法は、第1の強誘電体メモリセルの第1の動作のタイミングに少なくとも部分的に基づいて、第2の強誘電体メモリセルの第2の動作を開始する時間を判定することを含み得る。したがって、導電経路の確立は、第2の動作を開始する時間に少なくとも部分的に基づき得る。幾つかの例では、ブロック910の動作は、図7を参照しながら記述したように、バイアスコンポーネント710又はタイミングコンポーネント715によって実行されてもよく、又は容易にされてもよい。

30

【0095】

ブロック915において、方法は、第2の動作の一部の間に、又は第1の強誘電体メモリセル及び第2の強誘電体メモリセルの選択に少なくとも部分的に基づいて、第1の強誘電体コンデンサの第1のプレートと第2の強誘電体コンデンサの第2のプレートとの間に導電経路を確立することを含み得る。幾つかの場合、方法は、第1のプレートを電圧源から絶縁することを含み得る。したがって、導電経路の確立は該絶縁後であり得る。別の場合では、導電経路の確立は、該絶縁の前又は間であり得る。幾つかの例では、方法は、第1のプレートを第2のプレートから絶縁することと、該絶縁に少なくとも部分的に基づいて第1のプレートを電圧リファレンスに短絡することとを含み得る。これらの例では、方法は、該絶縁後に第2のプレートに供給電圧を印加することをも含み得る。

40

【0096】

幾つかの場合、方法は、導電経路の確立後に第2のプレートに供給電圧を印加することを含む。そうした場合、供給電圧が第2のプレートに印加される間に第1のプレートは第2のプレートから絶縁され得る。幾つかの例では、方法は、導電経路の確立から閾値時間が経過したことと判定を判定することを含む。したがって、第2のプレートからの第1のプレートの絶縁は、閾値時間が経過したとの判定に少なくとも部分的に基づき得る。その他の例では、方法は、導電経路の確立から閾値電荷量が転送されたことを判定することを含む。したがって、第2のプレートからの第1のプレートの絶縁は、閾値電荷量が転送さ

50

れたとの判定に少なくとも部分的に基づき得る。幾つかの例では、ブロック 915 の動作は、図 7 を参照しながら記述したように、バイアスコンポーネント 710 又はタイミングコンポーネント 715 によって実行されてもよく、又は容易にされてもよい。

【0097】

幾つかの場合、方法 900 はメモリ装置により実行され得る。該装置は、第 1 のプレートを備えた第 1 の強誘電体コンデンサを含む第 1 の強誘電体メモリセルを第 1 の動作のために選択するための手段と、第 2 のプレートを備えた第 2 の強誘電体コンデンサを含む第 2 の強誘電体メモリセルを第 2 の動作のために選択するための手段と、第 2 の動作の一部の間に第 1 の強誘電体メモリセル及び第 2 の強誘電体メモリセルの選択に少なくとも部分的に基づいて第 1 の強誘電体コンデンサの第 1 のプレートと第 2 の強誘電体コンデンサの第 2 のプレートとの間に導電経路を確立するための手段とを含む得る。

10

【0098】

幾つかの場合、メモリ装置は、第 1 の強誘電体メモリセルの第 1 の動作のタイミングに少なくとも部分的に基づいて第 2 の強誘電体メモリセルの第 2 の動作を開始する時間を判定するための手段であって、ここで、導電経路の確立は第 2 の動作を開始する時間に少なくとも部分的に基づく手段を含む。

【0099】

幾つかの場合、メモリ装置は、第 1 のプレートを電圧源から絶縁するための手段であって、ここで、導電経路の確立は該絶縁の後である手段を含む。

【0100】

幾つかの場合、メモリ装置は、第 1 のプレートを第 2 のプレートから絶縁するための手段と、該絶縁に少なくとも部分的に基づいて第 1 のプレートを電圧リファレンスに短絡するための手段とを含む。そうした場合、装置は、該絶縁の後に第 2 のプレートに供給電圧を印加するための手段を含む得る。

20

【0101】

幾つかの場合、メモリ装置は、導電経路の確立の後に第 2 のプレートに供給電圧を印加するための手段と、供給電圧が第 2 のプレートに印加される間に第 1 のプレートを第 2 のプレートから絶縁するための手段とを含む。

【0102】

幾つかの場合、メモリ装置は、導電経路の確立から閾値時間が経過したことを判定するための手段と、閾値時間が経過したとの判定に少なくとも部分的に基づいて第 1 のプレートを第 2 のプレートから絶縁するための手段とを含む。

30

【0103】

幾つかの場合、メモリ装置は、導電経路の確立から閾値電荷量が転送されたことを判定するための手段と、閾値電荷量が転送されたとの判定に少なくとも部分的に基づいて第 1 のプレートを第 2 のプレートから絶縁するための手段とを含む。

【0104】

図 10 は、本開示の様々な実施形態に従ったデジット線の絶縁を備えたメモリセルセンシングのための方法 1000 を説明するフローチャートを示す。方法 1000 の動作は、とりわけ、図 1、図 7、及び図 8 を参照しながら記述したようにメモリアレイ 100 によって実装され得る。例えば、方法 1000 の動作は、図 1、図 7、及び図 8 を参照しながら記述したようにメモリコントローラ 140 によって実行され得る。幾つかの例では、メモリコントローラ 140 は、後述する機能を実行するために、メモリアレイ 100 の機能的要素を制御するための一式のコードを実行し得る。付加的に又は代替的に、メモリコントローラ 140 は、以下で記述される機能の側面を専用のハードウェアを使用して実行してもよい。

40

【0105】

ブロック 1005 において、方法は、第 1 の強誘電体メモリセルの第 1 の動作を実行することを含む得る。第 1 の強誘電体メモリセルは第 1 のワード線を使用して選択され得る。幾つかの例では、ブロック 1005 の動作は、図 7 を参照しながら記述したように、バ

50

バイアスコンポーネント 710 又はタイミングコンポーネント 715 によって実行されてもよく、又は容易にされてもよい。

【0106】

ブロック 1010 において、方法は、第 2 の強誘電体メモリセルの第 2 の動作を実行することを含み得る。第 2 の動作に対するタイミングは、第 1 の動作に対するタイミングに少なくとも部分的に基づき得る。第 1 の強誘電体セルは第 2 のワード線を使用して選択され得る。幾つかの例では、ブロック 1010 の動作は、図 7 を参照しながら記述したように、バイアスコンポーネント 710 又はタイミングコンポーネント 715 によって実行されてもよく、又は容易にされてもよい。

【0107】

ブロック 1015 において、方法は、第 2 の動作に対するタイミングに少なくとも部分的に基づいて、第 1 の強誘電体メモリセルの第 1 のプレート及び第 2 の強誘電体メモリセルの第 2 のプレートと電子通信する第 1 のスイッチングコンポーネントを活性化することを含み得る。幾つかの例では、ブロック 1015 の動作は、図 7 を参照しながら記述したように、バイアスコンポーネント 710 又はタイミングコンポーネント 715 によって実行されてもよく、又は容易にされてもよい。

【0108】

ブロック 1020 において、方法は、第 1 のスイッチングコンポーネントの活性化に少なくとも部分的に基づいて第 1 のプレートから第 2 のプレートへ電荷を転送することを含み得る。幾つかの場合、方法は、第 1 の強誘電体セルの第 1 のプレート及び第 2 の強誘電体セルの第 2 のプレートと電子通信する第 2 のスイッチングコンポーネントを活性化することを含み得る。該電荷を転送することは、第 2 のスイッチングコンポーネントの活性化に少なくとも部分的に基づき得る。幾つかの例では、方法は、第 1 のプレートを第 2 のプレートから絶縁することと、該絶縁に少なくとも部分的に基づいて第 1 のプレートと電圧リファレンスとの間に導電経路を確立することとを含み得る。該絶縁は、第 2 のプレート上の電圧が閾値（例えば、読み出し動作を実行するための値（読み出し値）又は書き込み動作を実行するための値（書き込み値））に到達したとの判定に少なくとも部分的に基づき得る。方法は、第 1 のプレートと電圧リファレンスとの間の導電経路の確立に少なくとも部分的に基づいて、第 2 のプレートと電圧源との間に導電経路を確立することをも含み得る。幾つかの場合、方法は、電荷を転送する間に、第 2 のプレートと電圧源との間に導電経路を確立することを含む。幾つかの例では、ブロック 1020 の動作は、図 7 を参照しながら記述したように、バイアスコンポーネント 710 又はタイミングコンポーネント 715 によって実行されてもよく、又は容易にされてもよい。

【0109】

幾つかの場合、方法 1000 はメモリ装置により実行され得る。該メモリ装置は、第 1 の強誘電体メモリセルの第 1 の動作を実行するための手段と、第 2 の強誘電体メモリセルの第 2 の動作を実行するための手段であって、ここで、第 2 の動作に対するタイミングは第 1 の動作に対するタイミングに少なくとも部分的に基づく手段と、第 2 の動作に対するタイミングに少なくとも部分的に基づいて、第 1 の強誘電体メモリセルの第 1 のプレート及び第 2 の強誘電体メモリセルの第 2 のプレートと電子通信する第 1 のスイッチングコンポーネントを活性化するための手段と、第 1 のスイッチングコンポーネントの活性化に少なくとも部分的に基づいて第 1 のプレートから第 2 のプレートへ電荷を転送するための手段とを含み得る。

【0110】

幾つかの場合、メモリ装置は、電荷の転送からもたらされる第 2 のプレート上の電圧が閾値に到達したことを判定するための手段と、該判定に少なくとも部分的に基づいて第 1 のプレートを第 2 のプレートから絶縁するための手段とを含み得る。

【0111】

幾つかの場合、メモリ装置は、第 1 の強誘電体セルの第 1 のプレート及び第 2 の強誘電体セルの第 2 のプレートと電子通信する第 2 のスイッチングコンポーネントを活性化する

10

20

30

40

50

ための手段であって、ここで、電荷を転送することは第2のスイッチングコンポーネントの活性化に少なくとも部分的に基づく手段を含み得る。

【0112】

幾つかの場合、メモリ装置は、第1の強誘電体メモリセルを第1のワード線を使用して選択するための手段と、第2の強誘電体メモリセルを第2のワード線を使用して選択するための手段とを含み得る。

【0113】

幾つかの場合、メモリ装置は、第1のプレートを第2のプレートから絶縁するための手段と、該絶縁に少なくとも部分的に基づいて第1のプレートと電圧リファレンスとの間に導電経路を確立するための手段とを含み得る。そうした場合、装置は、第1のプレートと電圧リファレンスとの間の導電経路の確立に少なくとも部分的に基づいて第2のプレートと電圧源との間に導電経路を確立するための手段を含み得る。

【0114】

幾つかの場合、メモリ装置は、電荷を転送する間に第2のプレートと電圧源との間に導電経路を確立するための手段を含み得る。

【0115】

したがって、方法900及び1000並びに本開示を通じて記述されるそれらは、メモリセルプレート間の電荷共有のために強誘電体メモリアレイを動作する1つ以上の方法を提供し得る。方法900及び1000並びに本開示を通じて記述されるそれらは可能な実装を記述し、その動作及びステップは、その他の実装が可能であり考慮されるように組み替えられ得、さもなければ修正され得ることに留意すべきである。幾つかの例では、方法900及び1000並びに本開示を通じて記述されるそれらの内の2つ以上からの側面が結合されてもよい。

【0116】

本明細書の説明は、例示を提供し、請求項に記載される範囲、適用性、又は例を制限しない。開示の範囲から逸脱することなく、論じられた要素の機能及び配置の変更がなされ得る。様々な例では、様々な手順又はコンポーネントを適宜省略し得、代替し得、又は追加し得る。また、幾つかの例に関して記述されたフィーチャは、その他の例において結合され得る。

【0117】

添付の図面に関連して本明細書に記載される説明は、例示的構成を記述し、実装され得る又は請求項の範囲内にある全ての例を表さない。本明細書で使用されるように、用語“実施形態”、“例”、及び“模範的”は、“好適”又は“その他の例よりも有利”ではなく“一例、実例、又は説明として役立つこと”を意味する。詳細な説明は、記述される技術の理解を提供する目的のための具体的詳細を含む。これらの技術は、しかしながら、これらの具体的詳細なしに実施され得る。幾つかの実例では、記述される例の内容を不明確にすることを避けるために、周知の構造体及びデバイスはブロック図の形式で示される。

【0118】

添付の図において、同様のコンポーネント又はフィーチャは、同様の参照ラベルを有し得る。更に、同じ種類の様々なコンポーネントは、同様のコンポーネントの中で区別するダッシュ及び第2のラベルを参照ラベルに続けることによって区別され得る。第1の参照ラベルが明細書に使用される場合、説明は、第2の参照ラベルに関係なく同じ第1の参照ラベルを有する同様のコンポーネントの任意の1つに適用できる。

【0119】

本明細書に記述される情報及び信号は、様々な異なる科学技術及び技術の何れかを使用して表され得る。例えば、上述の説明を通じて言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、及びチップは、電圧、電流、電磁波、磁界若しくは磁性粒子、光場若しくは光粒子、又はそれらの任意の組み合わせにより表され得る。幾つかの図は、複数の信号を単一の信号として説明し得るが、バスが様々なビット幅を有し得る場合に、信号は複数の信号のバスを表し得ることを当該技術分野の技術者は理解するであろう

。

【0120】

本明細書で用いられるように、用語“事実上のグラウンド (virtual ground)”は、約ゼロボルト (0 V) の電圧に保持されるがグラウンドと直接接続されない電気回路のノードを指す。したがって、事実上のグラウンドの電圧は、一時的に変動し得、定常状態で約 0 V に戻り得る。事実上のグラウンドは、動作可能なアンプ及び抵抗を含む電圧ドライバ等の様々な電子回路素子を使用して実装され得る。その他の実装も可能である。

【0121】

用語“電子通信”は、コンポーネント間の電子流動を支持するコンポーネント間の関係を指す。これは、コンポーネント間の直接接続を含み得、又は介在コンポーネントを含み得る。電子通信するコンポーネントは、(例えば、通電された回路中の) 電子又は信号を能動的に交換し得、又は(例えば、非通電の回路中の) 電子又は信号を能動的に交換しないかもしれないが、回路が通電されると電子又は信号を交換するように構成され得又は動作可能であり得る。例として、スイッチ(例えば、トランジスタ)を介して物理的に接続された2つのコンポーネントは、スイッチの状態(すなわち、開放又は閉鎖)に係わらず電子通信する。

10

【0122】

用語“絶縁”は、電子が現在流れていないコンポーネント間の関係を指す。例えば、スイッチにより物理的に接続された2つのコンポーネントは、スイッチが開放された場合に相互に絶縁され得る。

20

【0123】

メモリアレイ 100 を含む本明細書で論じられるデバイスは、シリコン、ゲルマニウム、シリコンゲルマニウム合金、ヒ化ガリウム、窒化ガリウム等の半導体基板上に形成され得る。幾つかの場合では、該基板は半導体ウエハである。その他の場合では、該基板は、シリコンオンガラス (SOG) 若しくはシリコンオンサファイア (SOP) 等のシリコンオンインシュレータ (SOI) 基板、又は別の基板上の半導体材料のエピタキシャル層であり得る。基板又は基板のサブ領域の導電性は、リン、ホウ素、又はヒ素を含むがそれらに限定されない様々な化学種を用いたドーピングを通じて制御され得る。ドーピングは、イオン注入により、又はその他のドーピング手段により、基板の初期の形成又は成長中に実行され得る。

30

【0124】

本明細書で論じられる1つ以上のトランジスタは、電界効果トランジスタ (FET) を表し得、ソース、ドレイン、及びゲートを含む3端子デバイスを含み得る。端子は、導電性材料、例えば金属を通じて他の電子素子に接続され得る。ソース及びドレインは、導電性であり得、高濃度にドーピングされた、例えば縮退した、半導体領域を含み得る。ソース及びドレインは、低濃度にドーピングされた半導体領域又はチャネルによって分離され得る。チャネルがn型(すなわち、主たるキャリアが電子である)場合、該FETはn型FETと称され得る。チャネルがp型(すなわち、主たるキャリアがホールである)場合、該FETはp型FETと称され得る。チャネルは、絶縁ゲート酸化物によって覆われ得る。チャネルの導電性は、ゲートに電圧を印加することによって制御され得る。例えば、正の電圧又は負の電圧をn型FET又はp型FETに夫々印加することは、チャネルが導電性になる結果をもたらす。トランジスタの閾値電圧以上の電圧がトランジスタのゲートに印加される場合、トランジスタは“オン”又は“活性化”にされ得る。トランジスタの閾値電圧未満の電圧がトランジスタのゲートに印加される場合、トランジスタは“オフ”又は“不活性化”にされ得る。

40

【0125】

本明細書の開示と関連して記述される様々な説明ブロック、コンポーネント、及びモジュールは、本明細書に記述される機能を実行するように設計された汎用プロセッサ、DSP、ASIC、FPGA若しくはプログラム可能論理デバイス、分離したゲート若しくはトランジスタ論理、分離したハードウェアコンポーネント、又はそれらの任意の組み合わせ

50

せで実装又は実行され得る。汎用プロセッサは、マイクロプロセッサであり得るが、代わりに、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、又はステートマシーンであり得る。プロセッサはまた、コンピューティングデバイスの組み合わせ（例えば、DSPとマイクロプロセッサとの組み合わせ、複数のマイクロプロセッサ、DSPコアと併せた1つ以上のマイクロプロセッサ、又は任意のその他のそうした構成）として実装され得る。

【0126】

本明細書に記述される機能は、ハードウェア、プロセッサにより実行されるソフトウェア、ファームウェア、又はそれらの任意の組み合わせで実装され得る。プロセッサにより実行されるソフトウェアに実装される場合、機能は、コンピュータ可読媒体上の1つ以上の命令又はコードとして蓄積され得又は送信され得る。その他の例及び実装は、本開示及び添付の請求項の範囲内である。例えば、ソフトウェアの性質に起因して、上述の機能は、プロセッサにより実行されるソフトウェア、ハードウェア、ファームウェア、配線、又はこれらの任意の組み合わせを用いて実装できる。機能を実装するフィーチャはまた、機能の（複数の）部分が異なる物理的位置に実装されるように分配されることを含む、様々な位置に物理的に配置され得る。また、請求項を含む本明細書で使用されるように、項目のリスト（例えば、“少なくとも1つの”又は“1つ以上の”等の句により前置きされる項目のリスト）に使用されるような“又は”は、例えば、A、B、又はCの少なくとも1つのリストがA又はB又はC又はAB又はAC又はBC又はABC（すなわちA及びB及びC）を意味するように包含的リストを示す。

【0127】

コンピュータ可読媒体は、ある場所から別の場所へのコンピュータプログラムの転送を容易にする任意の媒体を含む非一時的コンピュータ記憶媒体及び通信媒体の両方を含む。非一時的記憶媒体は、汎用又は専用のコンピュータによりアクセスできる任意の利用可能な媒体であり得る。例として、非限定的に、非一時的コンピュータ可読媒体は、RAM、ROM、電氣的消去可能プログラム可能リードオンリーメモリ（EEPROM）、コンパクトディスク（CD）ROM若しくはその他の光ディスクストレージ、磁気ディスクストレージ若しくはその他の磁気ストレージデバイス、又は所望のプログラムコード手段を命令若しくはデータ構造の形式で搬送若しくは蓄積するのに使用され得且つ汎用若しくは専用コンピュータ又は汎用若しくは専用プロセッサによりアクセスできる任意のその他の非一時的媒体を含み得る。

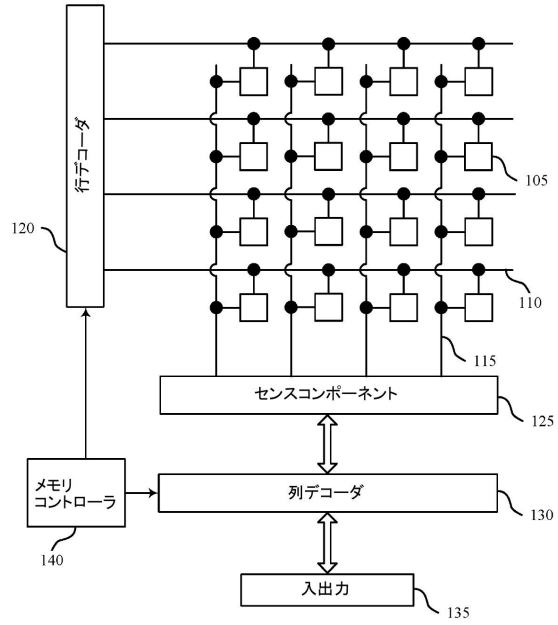
【0128】

また、任意の接続は、コンピュータ可読媒体として適切に称される。例えば、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（DSL）、又は赤外線、無線、及びマイクロ波等の無線技術を用いてウェブサイト、サーバ、又はその他の遠隔ソースからソフトウェアが送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（DSL）、又は赤外線、無線、及びマイクロ波等の無線技術は、媒体の定義に含まれる。本明細書で使用されるように、磁気ディスク（disk）及び光学ディスク（disc）は、光学ディスクがレーザでデータを光学的に再生する一方で、磁気ディスクがデータを磁氣的に通常再生する場合に、CD、レーザディスク、光ディスク、デジタル多目的ディスク（DVD）、フロッピーディスク、ブルーレイディスクを含む。上記されたものの組み合わせは、コンピュータ可読媒体の範囲にも含まれる。

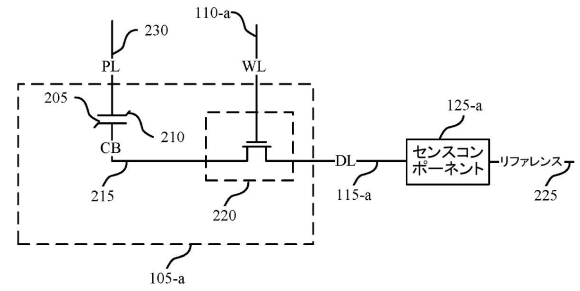
【0129】

本明細書の説明は、当業者が開示を製作又は使用できるように提供される。開示への様々な変更が当業者に容易に分かるであろうし、本明細書で定義される包括的な原理は開示の範囲を逸脱することなくその他の変形に適用し得る。したがって、開示は、本明細書に記述された例示及び設計に制限されるべきではなく、本明細書に開示された原理及び新規のフィーチャと一致する最も広い範囲に一致すべきである。

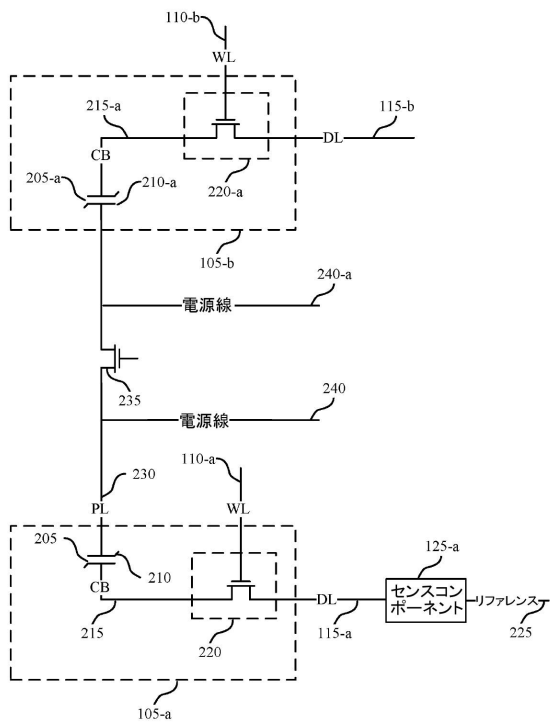
【図 1】



【図 2 A】



【図 2 B】



【図 3】

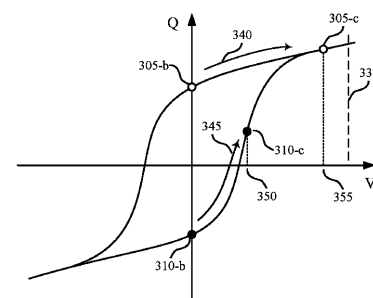
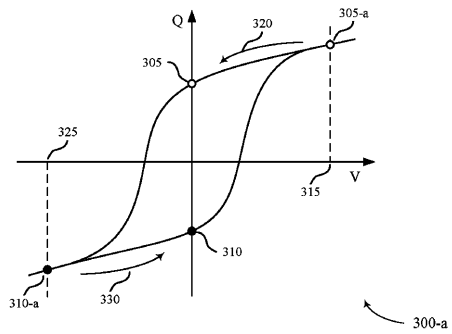
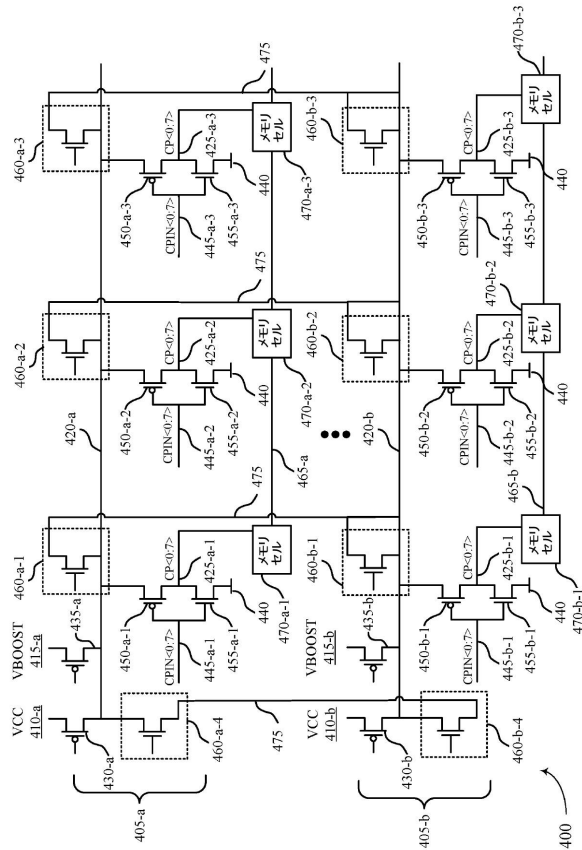
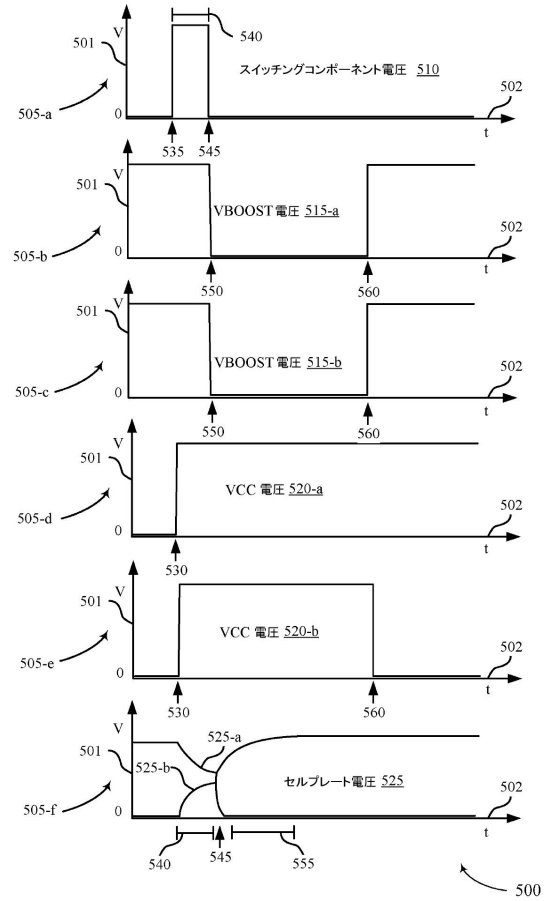


FIG. 3

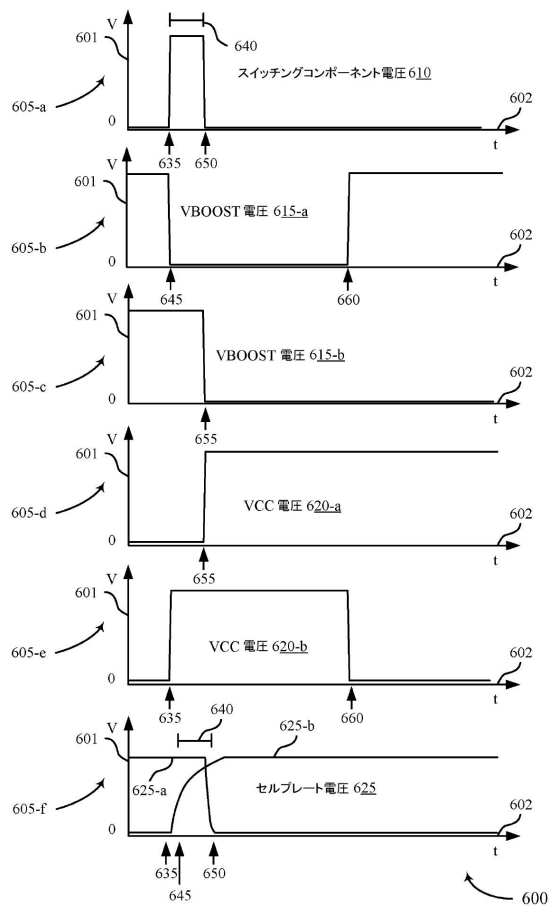
【図 4】



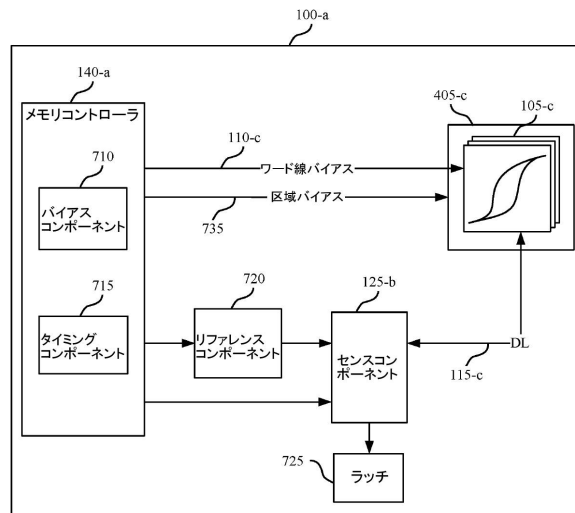
【図 5】



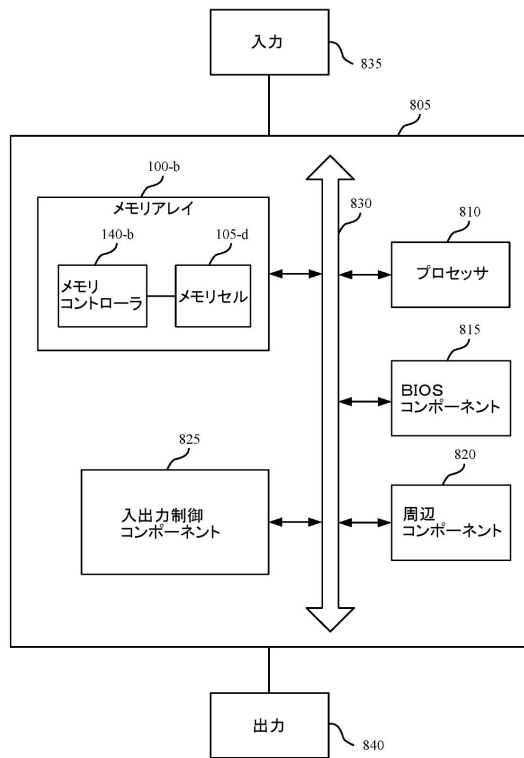
【図 6】



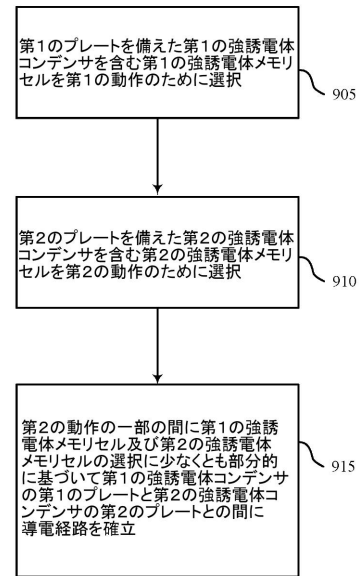
【図 7】



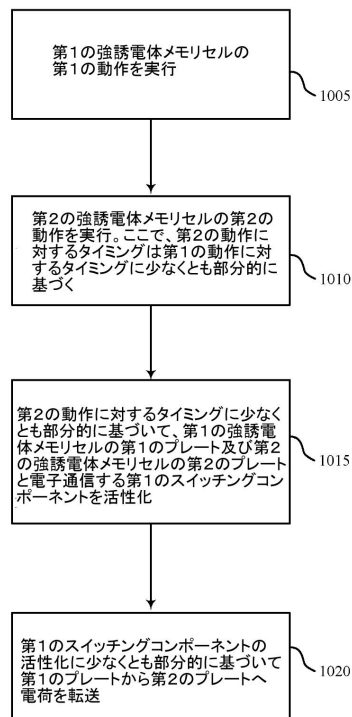
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 カーマン, エリック エス.
アメリカ合衆国, アイダホ州 83716-9632, ボイズ, サウス フェデラル ウェイ 8
000, マイクロン テクノロジー, インク. 内

審査官 酒井 恭信

(56)参考文献 米国特許出願公開第2016/0111138 (US, A1)
特開2016-081549 (JP, A)
特開平10-055681 (JP, A)
特表2013-502023 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/22