СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1436714 A1

(51)5 G 06 F 15/16

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(46) 30.12.90. Бюл. № 48

(21) 4159621/24-24

(22) 31.10.86

(72) В.И.Кобозев, М.В.Харитонов, А.Н.Ильин, С.В.Корнеев и А.П.Яковлев

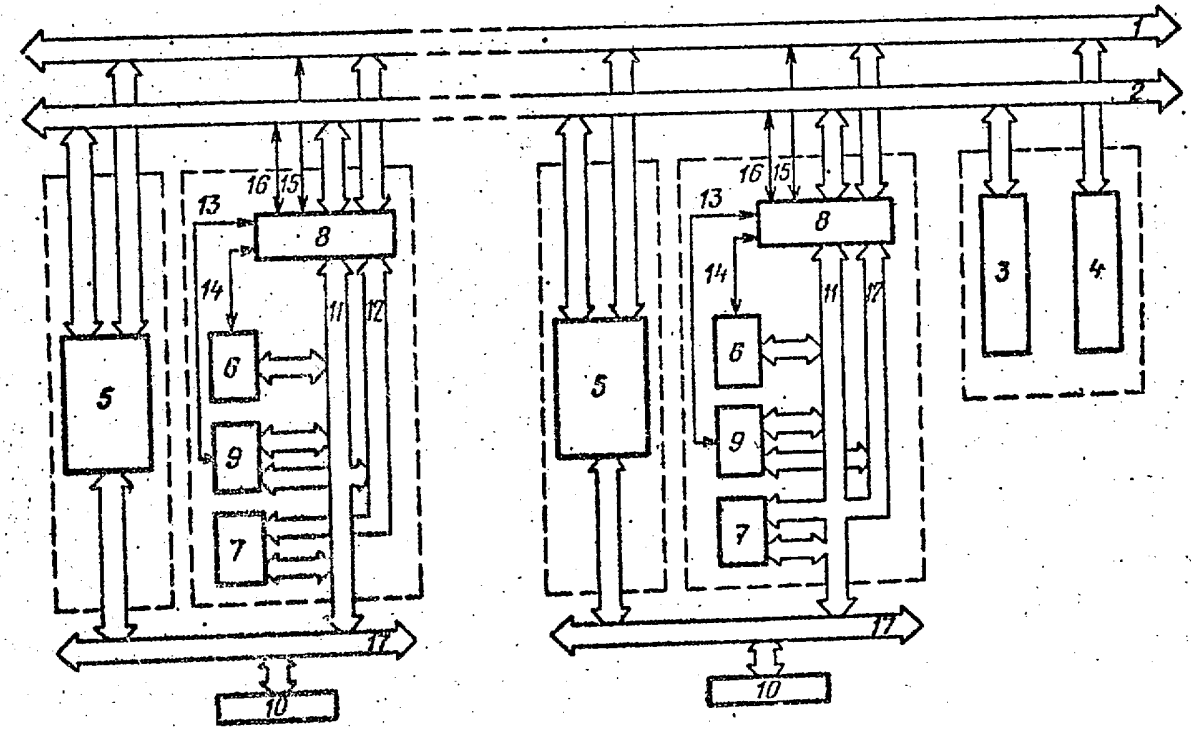
(53) 681.325 (088.8)

(56) Заявка Франции № 2431733, кл. G 06 F 9/46, опублик. 1983.

Патент США № 4356550, кл. G 06 F 11/20, опублик. 1984.

(54) МНОГОПРОЦЕССОРНАЯ СИСТЕМА ОБРАБОТКИ ДАННЫХ

(57) Изобретение относится к вычислительной технике, в частности к архитектуре высокопроизводительных многопроцессорных систем обработки данных. Целью изобретения является расширение класса решаемых задач, повышение производительности и надежности многопроцессорной системы обработки данных при работе в широком диапазоне объемов обрабатываемых данных. Многопроцессорная система содержит две шины 1, 2 межпроцессорного обмена, устройства 3, 4 управления шинами межпроцессорного обмена, процессорные модули, локальные шины 17, блоки 5 общей памяти, устройства 10 управления вводом-выводом. 1 з.п. ф-лы, 1 ил.



(19) SU (11) 1436714 A1

Изобретение относится к вычислительной технике, в частности к архитектуре высокопроизводительных многопроцессорных систем обработки данных.

Целью изобретения является расширение класса решаемых задач, повышение производительности и надежности процессорной системы обработки данных при работе в широком диапазоне объемов обрабатываемых данных.

На чертеже приведена структурная схема многопроцессорной системы обработки данных.

Система содержит две шины 1, 2 межпроцессорного обмена, устройства 3 и 4 управления шинами межпроцессорного обмена, блоки 5 общей памяти с тремя входами-выходами, к шинам 1 и 2 межпроцессорного обмена подключены процессорные модули, содержащие процессор 6, блок 7 памяти, арбитр 8 доступа к шинам, устройство 9 управления прямым доступом в память; устройства 10 управления ввода-вывода. Процессор 6, арбитр 8 доступа к шинам, блок 7 и устройство 9 подключены к внутренней шине 11, а вторые входы-выходы блока 7 и устройства 9 подключены к дополнительной шине 12. С помощью арбитра 8 доступа к шинам ведется обмен информацией между устройствами на шинах 1, 2, 11, 12, для арбитража доступа к которым арбитр 8 связан по линиям 13, 14 запроса доступа с устройством 9 и процессором 6 соответственно, и по линиям 15, 16 с устройствами 3, 4.

Внутренняя шина 11 может быть соединена (при необходимости) с локальной шиной 17, к которой присоединяются третий вход-выход обмена блока 5 и устройства 10.

Предлагаемая система функционирует следующим образом.

При инициализации системы производится загрузка операционной системы либо из устройства 10, либо из постоянной памяти (одного из блоков 5). С устройств 10 инициируется определенная задача, которая загружается в процессорные модули (ПМ). В процессе выполнения задачи имеют место обмены данными между отдельными подзадачами, выполняемыми разными ПМ.

Рассмотрим обмен одного ПМ с блоком 7 другого ПМ. Процессор 6 или устройство 9 первого ПМ обращаются по конкретному адресу в адресном пространстве системы, относящемуся к адресам второго ПМ, выдавая сигнал о запросе доступа на шины 11 или 12, арбитр 8 по соответствующим линиям 13, 14. Арбитр 8 первого ПМ анализирует каждый адрес при обменах по шинам 1, 2, 11, 12. Если адрес данных находится за пределами внутренней шины 11, локальной шины 17, то арбитр 8 передает запросы на захват шин 1 и 2 устройствами 3 и 4 по соответствующим линиям 15, 16. Первое из освободившихся от обменов по шинам 1, 2 межпроцессорного обмена устройство 3 или 4 шин межпроцессорного обмена разрешает захват шины 1 или 2 межпроцессорного обмена первому ПМ. Арбитр 8 предоставляет доступ процессору 6 или устройству 9 к соответствующей шине 1 или 2 межпроцессорного обмена по шине 11 или по шине 12 и первый ПМ на захваченной шине 1 или 2 организует цикл обращения, в котором на шину 1 или 2 выставляются адрес и данные, поступающие с процессора 6 или устройства 9. Этот адрес анализируется арбитрами 8 всех ПМ, а ПМ, которому принадлежит указанный адрес, организует доступ к указанному адресу в своем адресном пространстве (ячейки памяти 7, регистры управления устройства 9, регистры устройства 10) по шине 11 или 12, причем если обмен направлен к блоку 7, то доступ организуется по дополнительной шине 12, в ином случае - по внутренней шине 11, приостанавливая на время одного обмена работу процессора 6. Если процессор 6 второго ПМ обращается для обмена к другому модулю, то производится аналогичная процедура захвата второй шины межпроцессорного обмена 1 или 2 и обращение к памяти ПМ, в том числе и первого, не замедляя при этом работу процессоров 6 и обеспечивая таким образом "прозрачный" канал обмена данными между двумя любыми ПМ. Аналогичным образом ведется обмен ПМ с общей памятью 5, причем если блок 5 общей памяти, к которому организуется обращение ПМ, подключен к локальной шине 17 данного ПМ, то обмен производится по локальной шине 17, а если блок 5 подключен к локальной шине 17 другого ПМ, то обмен организуется по шинам 1 или 2 межпроцессорного обмена. Выбор путей обмена при этом зависит от текущего состояния

системы и определяется аппаратными средствами, пользователь имеет дело только с физическими адресами ячеек памяти.

Устройства 3 и 4 равномерно распределяют доступ к шинам 1 и 2 между ПМ. При необходимости обмена между ПМ или с блоками 5 большими блоками данных используются устройства 9 прямого доступа в память. Процессор 6 задает в регистры устройства 9 начальные адреса в блоке 7 памяти другого источника (блока 7 другого ПМ или блока 5), длину блока, и дает команду начала передачи. Устройство 9 начинает обмен, используя дополнительную шину 12 для обмена с блоком 7 и процессорную шину 11 для доступа к блоку 5 общей памяти по локальной шине 17. Устройство 9 может вести обмен между любыми областями адресов памяти системы, в том числе перемещение массивов данных в блоке 7 памяти или в блоке 5 общей памяти.

Формула изобретения

1. Многопроцессорная система обработки данных, содержащая процессорные модули и два устройства управления шинами межпроцессорного обмена, причем первые и вторые входы-выходы обмена процессорных модулей соединены соответственно через первую и вторую шины межпроцессорного обмена с входами-выходами первого и второго устройств управления шинами межпроцессорного обмена соответственно устройства управления вводом-выводом, о т л и ч а ю щ а я с я тем, что с целью расширения класса решаемых задач, повышения производительности и надежности, в нее введены H блоков общей памяти (H-число процессорных модулей), причем первый и второй входы-выходы обмена каждого блока общей памяти подключены к первой и второй шине межпроцессорного обмена соответственно, H-е устройство управления вводом-выводом соединено через H-ю локальную шину с третьими входами-выходами обмена H-го процессорного модуля и H-го блока общей памяти ($H=\overline{1,H}$).

2. Система по п.1, о т л и ч а ю щ а я с я тем, что процессорный модуль содержит процессор, блок памяти, арбитр доступа к шинам и устройство управления прямым доступом в память, причем вход-выход обмена процессора соединен через внутреннюю шину с первыми входами-выходами обмена блока памяти и устройства управления прямым доступом в память, внутренним информационным входом-выходом арбитра доступа к шинам и с третьим входом-выходом обмена модуля, вторые входы-выходы обмена блока памяти и устройства управления прямым доступом в память соединены через дополнительную шину с дополнительным входом-выходом арбитра доступа к шинам, входы-выходы запросов доступа к шинам процессора и устройства управления прямым доступом в память подключены к соответствующим входам-выходам арбитра доступа к шинам, входы-выходы запросов доступа к первой и второй шинам межпроцессорного обмена и первый и второй информационные входы-выходы арбитра доступа к шинам образуют первый и второй входы-выходы обмена модуля соответственно.

Составитель А. Пак
Редактор Т.Зубкова Техред М.Моргентал Корректор М.Демчик

Заказ 4327 Тираж 569 Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4