

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6061556号
(P6061556)

(45) 発行日 平成29年1月18日(2017. 1. 18)

(24) 登録日 平成28年12月22日(2016. 12. 22)

(51) Int.Cl.

F I

H O 4 N 5/374 (2011.01)

H O 4 N 5/335 7 4 O

H O 1 L 27/146 (2006.01)

H O 1 L 27/14 A

請求項の数 19 (全 20 頁)

(21) 出願番号 特願2012-186666 (P2012-186666)
(22) 出願日 平成24年8月27日(2012. 8. 27)
(65) 公開番号 特開2014-45351 (P2014-45351A)
(43) 公開日 平成26年3月13日(2014. 3. 13)
審査請求日 平成27年6月8日(2015. 6. 8)

(73) 特許権者 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(74) 代理人 100090273
弁理士 國分 孝悦
(72) 発明者 小林 秀央
東京都大田区下丸子3丁目30番2号 キ
ヤノン株式会社内
(72) 発明者 黒田 享裕
東京都大田区下丸子3丁目30番2号 キ
ヤノン株式会社内
審査官 鈴木 明

最終頁に続く

(54) 【発明の名称】 光電変換装置

(57) 【特許請求の範囲】

【請求項1】

光電変換素子と、
前記光電変換素子のノードの電位を検出する検出手段と、
前記検出手段からのフィードバック信号を前記光電変換素子のノードにフィードバック
するフィードバック手段と、
前記フィードバック手段の出力電流を増幅する電流増幅手段とを有し、
前記電流増幅手段は、
電流入力ノードと基準電位ノードとの間に抵抗性のインピーダンス素子と、
ゲートが前記電流入力ノードに接続され、ソースが前記基準電位ノードに接続された第
3のMOSFETと、
前記電流入力ノード及び前記第3のMOSFETのソース間に接続された第1の抵抗と
を有することを特徴とする光電変換装置。

【請求項2】

前記検出手段は、
ゲートが前記光電変換素子のノードに接続され、ソースが電源電圧ノードに接続された
第1のMOSFETと、
前記第1のMOSFETを駆動する定電流源とを有し、
前記フィードバック手段は、
前記第1のMOSFETと同一の極性であり、ソースが前記光電変換素子のノードに接

10

20

続され、ゲートが前記第 1 の MOSFET のドレインに接続され、ドレインから電流を出力する第 2 の MOSFET を有することを特徴とする請求項 1 記載の光電変換装置。

【請求項 3】

前記電流増幅手段は、ソース接地回路であることを特徴とする請求項 1 又は 2 記載の光電変換装置。

【請求項 4】

前記電流増幅手段は、ソースが前記第 3 の MOSFET のドレインに接続された第 4 の MOSFET を有することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の光電変換装置。

【請求項 5】

前記電流増幅手段は、前記第 3 の MOSFET のソース及び前記基準電位ノード間に接続された第 2 の抵抗を有することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の光電変換装置。

【請求項 6】

光電変換素子と、
前記光電変換素子のノードの電位を検出する検出手段と、
前記検出手段からのフィードバック信号を前記光電変換素子のノードにフィードバックするフィードバック手段と、

前記フィードバック手段の出力電流を増幅する電流増幅手段とを有し、

前記電流増幅手段は、

電流入力ノードと基準電位ノードとの間に抵抗性のインピーダンス素子と、

カレントミラー回路とを有し、

前記カレントミラー回路は、

ドレインが前記電流入力ノードに接続され、ソースが前記基準電位ノードに接続された第 5 の MOSFET と、

ソースが前記基準電位ノードに接続された第 6 の MOSFET と、

入力ノードが前記電流入力ノードに接続され、出力ノードが前記第 5 の MOSFET のゲート及び前記第 6 の MOSFET のゲートに接続された電圧バッファとを有することを特徴とする光電変換装置。

【請求項 7】

前記カレントミラー回路は、

ゲート及びドレインが前記電流入力ノードに接続され、ソースが前記基準電位ノードに接続された第 5 の MOSFET と、

ゲートが前記電流入力ノードに接続され、ソースが前記基準電位ノードに接続された第 6 の MOSFET とを有することを特徴とする請求項 6 記載の光電変換装置。

【請求項 8】

前記電圧バッファは、

ゲートが前記電流入力ノードに接続され、ソースが前記第 5 の MOSFET のゲート及び前記第 6 の MOSFET のゲートに接続された第 7 の MOSFET と、

前記第 7 の MOSFET を駆動する電流源とを有することを特徴とする請求項 7 記載の光電変換装置。

【請求項 9】

前記第 7 の MOSFET は、バックゲートノード及びソースが相互に接続されていることを特徴とする請求項 8 記載の光電変換装置。

【請求項 10】

前記光電変換素子、前記検出手段、前記フィードバック手段、前記第 5 の MOSFET 及び前記電圧バッファは、受光領域の中に設けられ、

前記第 6 の MOSFET は、前記受光領域の外に設けられていることを特徴とする請求項 6 ~ 9 のいずれか 1 項に記載の光電変換装置。

【請求項 11】

10

20

30

40

50

光電変換素子と、
前記光電変換素子のノードの電位を検出する検出手段と、
前記検出手段からのフィードバック信号を前記光電変換素子のノードにフィードバック
するフィードバック手段と、
前記フィードバック手段の出力電流を増幅する電流増幅手段とを有し、
前記電流増幅手段は、
電流入力ノードと基準電位ノードとの間に抵抗性のインピーダンス素子と、
カレントミラー回路とを有し、
前記カレントミラー回路は、
 ゲートが前記電流入力ノードに接続され、ソースが前記基準電位ノードに接続された第
 5 の MOS F E T と、
 ゲートが前記電流入力ノードに接続され、ソースが前記基準電位ノードに接続された第
 6 の MOS F E T と、
 ドレインが前記電流入力ノードに接続され、ソースが前記第 5 の MOS F E T のドレイ
 ンに接続された第 8 の MOS F E T と、
 ゲートが前記第 8 の MOS F E T のゲートに接続され、ソースが前記第 6 の MOS F E
 T のドレインに接続された第 9 の MOS F E T と
 を有することを特徴とする光電変換装置。

10

【請求項 1 2】

光電変換素子と、
前記光電変換素子のノードの電位を検出する検出手段と、
前記検出手段からのフィードバック信号を前記光電変換素子のノードにフィードバック
するフィードバック手段と、
前記フィードバック手段の出力電流を増幅する電流増幅手段とを有し、
前記電流増幅手段は、
電流入力ノードと基準電位ノードとの間に抵抗性のインピーダンス素子と、
オペアンプとを有し、
 前記オペアンプは、正転入力ノードが前記電流入力ノードに接続され、反転入力ノード
 及び出力ノードが相互に接続され、
 前記電流増幅手段は、
 前記オペアンプの正転入力ノード及び前記基準電位ノード間に接続された第 1 の抵抗と
 、
 前記オペアンプの反転入力ノード及び前記基準電位ノード間に接続された第 3 の抵抗と
 を有することを特徴とする光電変換装置。

20

30

【請求項 1 3】

前記光電変換素子、前記検出手段、前記フィードバック手段及び前記電流増幅手段が複
 数設けられ、
 第 1 導電型の光電変換領域と、前記第 1 導電型と逆の導電型である第 2 導電型の領域と
 を交互に複数積層することにより、前記複数の光電変換素子が深さ方向に積層されている
 ことを特徴とする請求項 1 ～ 1 2 のいずれか 1 項に記載の光電変換装置。

40

【請求項 1 4】

光電変換素子と、
前記光電変換素子のノードの電位を検出する検出手段と、
前記検出手段からのフィードバック信号を前記光電変換素子のノードにフィードバック
するフィードバック手段と、
前記フィードバック手段の出力電流を増幅する電流増幅手段とを有し、
前記電流増幅手段は、電流入力ノードと基準電位ノードとの間に抵抗性のインピーダン
ス素子を有し、
 前記光電変換素子、前記検出手段、前記フィードバック手段及び前記電流増幅手段が複
 数設けられ、

50

第 1 導電型の光電変換領域と、前記第 1 導電型と逆の導電型である第 2 導電型の領域とを交互に複数積層することにより、前記複数の光電変換素子が深さ方向に積層され、

前記複数の電流増幅手段は、相互に電流ゲインが異なることを特徴とする光電変換装置
。

【請求項 15】

前記電流増幅手段は、オペアンプを有することを特徴とする請求項 14 記載の光電変換装置。

【請求項 16】

前記電流増幅手段は、カレントコンペア回路を有することを特徴とする請求項 14 記載の光電変換装置。

【請求項 17】

光電変換素子と、
前記光電変換素子のノードの電位を検出する検出手段と、
前記検出手段からのフィードバック信号を前記光電変換素子のノードにフィードバックするフィードバック手段と、

前記フィードバック手段の出力電流を増幅する電流増幅手段とを有し、
前記電流増幅手段は、電流入力ノードと基準電位ノードとの間に抵抗性のインピーダンス素子を有し、

前記光電変換素子、前記検出手段、前記フィードバック手段及び前記電流増幅手段が複数設けられ、

第 1 導電型の光電変換領域と、前記第 1 導電型と逆の導電型である第 2 導電型の領域とを交互に複数積層することにより、前記複数の光電変換素子が深さ方向に積層され、

前記複数の電流増幅手段の各々は、
ドレインが前記電流入力ノードに接続され、ソースが前記基準電位ノードに接続された第 5 の MOSFET と、

ゲートが前記第 5 の MOSFET のゲートに接続され、ソースが前記基準電位ノードに接続された第 6 の MOSFET とを有し、

前記複数の電流増幅手段の前記第 5 の MOSFET は、相互にゲート長が等しいことを特徴とする光電変換装置。

【請求項 18】

第 1 のノードと、電源電圧ノードに接続された第 2 のノードとを含む光電変換素子と、
前記光電変換素子の前記第 1 のノードに接続されたゲートと、前記電源電圧ノードに接続されたソースと、ドレインとを含む第 1 のトランジスタと、

前記第 1 のトランジスタの前記ドレインに接続された電流源と、
前記第 1 のトランジスタの前記ドレインに接続されたゲートと、前記光電変換素子の前記第 1 のノードに接続されたソースと、ドレインとを含み、前記第 1 のトランジスタと同じ極性の第 2 のトランジスタと、

前記第 2 のトランジスタの前記ドレインから出力された電流を受ける電流入力ノードと、基準電位が供給された基準電位ノードと、前記電流入力ノードが受ける電流に基づく電流を出力する第 3 のトランジスタとを含む回路とを有し、

前記回路は、前記電流入力ノードと前記基準電位ノードとの間に接続された抵抗を含むことを特徴とする光電変換装置。

【請求項 19】

第 1 のノードと、電源電圧ノードに接続された第 2 のノードとを含む光電変換素子と、
前記光電変換素子の前記第 1 のノードに接続されたゲートと、前記電源電圧ノードに接続されたソースと、ドレインとを含む第 1 のトランジスタと、

前記第 1 のトランジスタの前記ドレインに接続された電流源と、
前記第 1 のトランジスタの前記ドレインに接続されたゲートと、前記光電変換素子の前記第 1 のノードに接続されたソースと、ドレインとを含み、前記第 1 のトランジスタと同じ極性の第 2 のトランジスタと、

10

20

30

40

50

前記第2のトランジスタの前記ドレインから出力された電流を受ける電流入力ノードと、基準電位が供給された基準電位ノードと、前記電流入力ノードが受ける電流に基づく電流を出力する第3のトランジスタとを含む回路とを有し、

前記回路は、前記電流入力ノードと前記基準電位ノードとの間に接続され、前記第3のトランジスタとカレントミラー回路を構成するトランジスタを含むことを特徴とする光電変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置に関する。

10

【背景技術】

【0002】

特許文献1の図1は、光電変換装置を表している。同図においては、定電流源として用いているMOSFETと、その定電流源によって駆動されるMOSFETでソース接地回路を構成しており、その駆動されるMOSFETのゲートとソース間の電圧で、フォトダイオードのアノード電位を定めている。同図において、光量が増加した際、フォトダイオードで発生する光電流が増加するので、フォトダイオードと蓄積容量間のMOSFETのゲートとソース間の電圧が増加する。この時、該MOSFETのソース（つまりフォトダイオードのアノード）電位ではなく、該MOSFETのゲートが主に変動する構成となっている。これは、該MOSFETのソースから該MOSFETのゲートへ、ソース接地回路を介して、フィードバックがかかっているためである。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平7-203319号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、該MOSFETのドレインに蓄積容量を接続し、光電流で該容量上に信号電荷を充電していく際には、該容量上の電位が、露光時間に依存して上昇していく。よって、該MOSFETのドレイン電位が増加していくため、露光時間が長すぎると上述のフィードバックが働かなくなってしまう。すなわち、長い露光時間が回路動作の安定性を崩す要因となってしまう。

30

【0005】

本発明の目的は、回路動作の安定性を向上させることができる光電変換装置を提供することである。

【課題を解決するための手段】

【0006】

本発明の光電変換装置は、光電変換素子と、前記光電変換素子のノードの電位を検出する検出手段と、前記検出手段からのフィードバック信号を前記光電変換素子のノードにフィードバックするフィードバック手段と、前記フィードバック手段の出力電流を増幅する電流増幅手段とを有し、前記電流増幅手段は、電流入力ノードと基準電位ノードとの間に抵抗性のインピーダンス素子と、ゲートが前記電流入力ノードに接続され、ソースが前記基準電位ノードに接続された第3のMOSFETと、前記電流入力ノード及び前記第3のMOSFETのソース間に接続された第1の抵抗とを有することを特徴とする。

40

【発明の効果】

【0007】

電流増幅手段の電流入力ノードの電位が露光時間に依存することを防止し、回路動作の安定性を向上させることができる。

【図面の簡単な説明】

50

【 0 0 0 8 】

【図 1】本発明の第 1 の実施形態の構成例を示す構成図である。

【図 2】本発明の第 1 の実施形態の構成例を示す構成図である。

【図 3】本発明の第 2 の実施形態の構成例を示す構成図である。

【図 4】本発明の第 3 の実施形態の構成例を示す構成図である。

【図 5】本発明の第 4 の実施形態の構成例を示す構成図である。

【図 6】本発明の第 5 の実施形態の構成例を示す構成図である。

【図 7】本発明の第 5 の実施形態の構成例を示す構成図である。

【図 8】本発明の第 6 の実施形態の構成例を示す構成図である。

【図 9】本発明の第 7 の実施形態の構成例を示す構成図である。

10

【図 10】本発明の第 8 の実施形態の構成例を示す構成図である。

【図 11】本発明の第 9 の実施形態の構成例を示す構成図である。

【図 12】本発明の第 10 の実施形態の構成例を示す構成図である。

【図 13】本発明の第 11 の実施形態の構成例を示す構成図である。

【図 14】本発明の第 12 及び第 13 の実施形態の構成例を示す構成図である。

【図 15】本発明の第 12 及び第 13 の実施形態の説明図である。

【発明を実施するための形態】

【 0 0 0 9 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る光電変換装置の構成例を示す図である。光電変換装置は、光電変換素子 10 と、光電変換素子 10 で発生した光電流が入力されるノード 20 と、ノード 20 の電位を検出する検出手段 30 と、検出手段 30 からのフィードバック信号をノード 20 にフィードバックするフィードバック手段 40 を有する。ノード 20 は、光電変換素子 10 のノードである。また、光電変換装置は、フィードバック手段 40 の出力電流を増幅する電流増幅手段 50 を有し、電流増幅手段 50 は、第 1 の抵抗 60 と、電流入力ノード 65 と、電流出力ノード 70 と、基準電位ノード 80 を有する。すなわち、電流増幅手段 50 は、電流入力ノード 65 と基準電位ノード 80 との間に第 1 の抵抗 (抵抗性のインピーダンス素子) 60 を有する。また、光電変換装置は、負荷容量 85 及び負荷抵抗 86 を有する。

20

【 0 0 1 0 】

図 1 において、光電流が入力されるノード 20 の電位は、検出手段 30 で検出され、フィードバック手段 40 を用いてフィードバックをかけることによって、光電流が変化した場合のノード 20 の電位変動を低減する。また、フィードバック手段 40 から出力される光電流は、電流増幅手段 50 で増幅され、増幅した電流で後段の負荷容量 85 を駆動することが可能となっており、これにより動作速度を改善することが可能となっている。また、電流入力ノード 65 の電位は、基準電位ノード 80 の電位と第 1 の抵抗 60 の抵抗値と入力電流により、決まる。これにより、電流入力ノード 65 の電位が露光時間に依存することを防いでおり、回路動作の安定性を向上させている。以上のように、図 1 の光電変換装置により、回路動作の安定性を向上し、動作速度を改善した光電変換装置を提供することができる。

30

40

【 0 0 1 1 】

図 2 は、図 1 の光電変換装置の構成例を示す回路図である。まず、図 1 と図 2 の対応について説明する。検出手段 30 は、定電流源 100 と、第 1 の MOSFET 110 とを有する。第 1 の MOSFET 110 は、ソースが電源電圧ノード 120 に接続され、ゲートがノード 20 に接続される。定電流源 100 は、第 1 の MOSFET 110 を駆動する電流源であり、第 1 の MOSFET 110 のドレイン及び基準電位ノード間に接続される。フィードバック手段 40 は、第 2 の MOSFET 90 を有する。第 2 の MOSFET 90 は、第 1 の MOSFET 110 と同一の極性であり、ソースがノード 20 に接続され、ゲートが第 1 の MOSFET 110 のドレインに接続され、ドレインから電流を出力する。電流増幅手段 50 は、ソース接地回路であり、第 1 の抵抗 60 と第 3 の MOSFET 11

50

5とを有する。第3のMOSFET115は、ドレインが電流出力ノード70に接続され、ゲートが電流入力ノード65に接続され、ソースが基準電位ノード80に接続される。第1の抵抗60は、電流入力ノード65及び第3のMOSFET115のソース間に接続される。また、光電変換素子10は、例えばフォトダイオードであり、アノードがノード20に接続され、カソードが電源電圧ノード120に接続される。

【0012】

図2において、光電変換素子10で発生した光電流は、電流増幅手段50に流れ込む。光電流 I_p は、第1の抵抗60により電圧に変換される。センサ照度が増加した際の光電流の変化量を I_p とすると、第3のMOSFET115のゲート及びソース間電圧 V_{gs} の変化分は、次式(1)になる。ここで、 R は第1の抵抗60の抵抗値である。

10

【0013】

【数1】

$$\Delta V_{gs} = R \Delta I_p \quad \dots (1)$$

【0014】

また、第3のMOSFET115のドレイン電流は、一般的なMOSFETのドレイン電流の式から、次式(2)になる。ここで、 V_{th} は閾値である。

【0015】

【数2】

$$I_d = \frac{\beta}{2} (V_{gs} - V_{th})^2 \quad \dots (2)$$

20

【0016】

また、 I_d は、次式(3)の通りである。

【0017】

【数3】

$$\beta = \mu_0 C_{ox} \frac{W}{L} \quad \dots (3)$$

【0018】

ここで、 μ_0 はキャリアの移動度、 C_{ox} は第3のMOSFET115の単位面積当たりのゲート容量、 W は第3のMOSFET115のゲート幅、 L は第3のMOSFET115のゲート長である。式(2)より、第3のMOSFET115のトランスコンダクタンス g_m は、次式(4)になる。

30

【0019】

【数4】

$$g_m = \frac{\Delta I_d}{\Delta V_{gs}} = \beta (V_{gs} - V_{th}) \quad \dots (4)$$

40

【0020】

式(4)に式(1)を代入すると、次式(5)になる。

【0021】

【数5】

$$\frac{\Delta I_d}{\Delta I_p} = \beta (V_{gs} - V_{th}) R = g_m \times R \quad \dots (5)$$

【0022】

式(5)が電流増幅手段50の電流増幅率となる。このように、増幅した電流で電流出力ノード70に接続される後段の負荷容量85を駆動することが可能となっており、これ

50

により、動作速度を改善することが可能となっている。また、電流入力ノード65の電位は、第1の抵抗60の抵抗値と光電流により、決まる。これにより、電流入力ノード65の電位が露光時間に依存することを防いでおり、回路動作の安定性を向上させている。

【0023】

以上のように、図2の光電変換装置により、回路動作の安定性を向上し、動作速度を改善した光電変換装置を提供することができる。

【0024】

(第2の実施形態)

図3は、本発明の第2の実施形態に係る光電変換装置の電流増幅手段50の構成例を示す図である。但し、ここでは上述した第1の実施形態との相違点についてのみ説明する。図3においては、電流増幅手段50は、図2に対して、さらに、第4のMOSFET130と電圧入力ノード140を有する。第4のMOSFET130は、ドレインが電流出力ノード70に接続され、ゲートが電圧入力ノード140に接続され、ソースが第3のMOSFET115のドレインに接続される。第4のMOSFET130が、第3のMOSFET115のドレイン電圧の変動を抑える役割を果たすことにより、電流増幅手段50の入力容量を低減し、動作速度を更に改善することが可能となる。

【0025】

電流増幅手段50の入力電流となる光電流が I_p だけ変化したとき、電流出力ノード70の電位変化 V は、式(5)を用いると、次式(6)になる。

【0026】

【数6】

$$\Delta V \approx -g_m \times R \Delta I_p \times R_{out} \quad \dots (6)$$

【0027】

ここで、 R_{out} は、電流出力ノード70の外に接続された負荷抵抗86の抵抗値である。ここで、第4のMOSFET130のトランスコンダクタンスを g_{m1} 、出力抵抗を r_1 とすると、第3のMOSFET115のドレイン電圧の変動 V_d は、およそ $1 / (g_{m1} \times r_1)$ 倍され、次式(7)に抑えられる。

【0028】

【数7】

$$\Delta V_d \approx \frac{-g_m \times R \Delta I_p \times R_{out}}{g_{m1} \times r_1} \quad \dots (7)$$

【0029】

ここで、第3のMOSFET115のゲート及びドレイン間容量 C_{gd} にはミラー効果が寄与する。よって、ミラー容量は、 $A = -V_d / R \quad I_p$ として、 $(1 + A) C_{gd}$ となる。式(7)を用いて、 A を消去すると、次式(8)になる。

【0030】

【数8】

$$(1 + A) C_{gd} \approx \left(1 + \frac{g_m \times R_{out}}{g_{m1} \times r_1}\right) C_{gd} \quad \dots (8)$$

【0031】

一方、第4のMOSFET130がない場合は、式(6)が第3のMOSFET115のドレイン電圧の変動になるので、式(6)より、 $A = -V_d / R \quad I_p = g_m \cdot R_{out}$ となるので、ミラー容量は式(8)よりも大きくなる。このように、第3のMOSFET115のドレイン電圧の変動を $1 / (g_{m1} \times r_1)$ 倍に抑えることにより、 C_{gd} に働くミラー効果を抑え、電流増幅手段50の入力容量の低減を行っている。光電変換装置の動作速度には、増幅された電流による電流出力ノード70に接続される負荷容量の充放電だけではなく、光電流による電流入力ノード65に付随する容量の充放電も寄与する

10

20

30

40

50

。よって、電流増幅手段 50 の入力容量を低減し、動作速度を更に改善することが可能となる。

【 0 0 3 2 】

(第 3 の実施形態)

図 4 は、本発明の第 3 の実施形態に係る光電変換装置の電流増幅手段 50 の構成例を示す図である。但し、ここでは上述した第 1 の実施形態との相違点についてのみ説明する。図 4 においては、電流増幅手段 50 は、図 2 に対して、さらに、第 2 の抵抗 150 を有する。第 2 の抵抗 150 は、第 3 の MOSFET 115 のソース及び基準電位ノード 80 間に接続される。これにより、基準電位変動による S / N の悪化を低減することが可能となる。

10

【 0 0 3 3 】

基準電位ノード 80 のノード電位が、 V_n だけ変動した際、第 2 の抵抗 150 の抵抗値 R_1 が十分大きければ、電流出力ノード 70 から出力される電流へのノイズ電流の混入は、およそ V_n / R_1 となる。一方、図 2 の電流増幅手段 50 においては、式 (4) の g_m を用いて、およそ $g_m \times V_n$ となる。よって、図 4 の電流増幅手段 50 は、図 2 の電流増幅手段 50 に対して、ノイズ電流を $1 / (g_m \times R_1)$ 倍に低減することができる。以上のように、基準電位変動による S / N の悪化を低減することが可能となる。

【 0 0 3 4 】

(第 4 の実施形態)

図 5 は、本発明の第 4 の実施形態に係る光電変換装置の電流増幅手段 50 の構成例を示す図である。但し、ここでは上述した第 1 の実施形態との相違点についてのみ説明する。図 5 においては、電流増幅手段 50 は、第 5 の MOSFET 160 と第 6 の MOSFET 170 を有する。第 5 の MOSFET 160 は、ドレイン及びゲートが電流入力ノード 65 に接続され、ソースが基準電位ノード 80 に接続される。第 6 の MOSFET 170 は、ドレインが電流出力ノード 70 に接続され、ゲートが電流入力ノード 65 に接続され、ソースが基準電位ノード 80 に接続される。これらの MOSFET 160 及び 170 はカレントミラー回路を構成し、電流を増幅することで、電流ゲインのばらつき低減、電流ゲインの光量依存低減による線形性の向上、ダイナミックレンジ向上が可能となる。

20

【 0 0 3 5 】

第 5 の MOSFET 160 のゲート長を L_1 、ゲート幅を W_1 とし、第 6 の MOSFET 170 のゲート長を L_2 、ゲート幅を W_2 とすると、電流ゲインは、式 (2) 及び式 (3) より、次式 (9) が導出できる。

30

【 0 0 3 6 】

【数 9】

$$\frac{\Delta I_{out}}{\Delta I_p} \approx \frac{(W_2/L_2)}{(W_1/L_1)} \dots (9)$$

【 0 0 3 7 】

ここで、 I_{out} は電流出力ノード 70 から出力される電流である。式 (5) の電流ゲインには、MOSFET のトランスコンダクタンス g_m が含まれており、式 (4) より閾値 V_{th} が寄与するため、プロセスばらつきが大きくなる。よって、式 (9) の方がプロセスばらつきの影響が小さいと考えられる。よって、電流ゲインのばらつきを低減することができる。

40

【 0 0 3 8 】

また、式 (4) は V_{gs} を含んでおり、これは、電流増幅手段 50 の入力電流、すなわち光電流に依存する。よって、式 (5) の電流ゲインは光量に依存して変化してしまうため、式 (9) の方が、光量依存が小さいと考えられる。よって、電流ゲインの光量依存を低減することが可能となり、線形性を向上させることができる。

【 0 0 3 9 】

50

また、図 2 においては、電流入力ノード 65 の電位は光電流 I_p に対して線形で増加するのに対して、図 5 においては、式 (2) より、平方根で増加する。よって、光電流 I_p の増加に対する電流入力ノード 65 の電位増加が小さいため、より大きな光電流を入力することが可能となり、ダイナミックレンジ向上が可能となる。

【0040】

以上のように、本実施形態は、カレントミラー回路で電流を増幅することで、電流ゲインのばらつき低減、電流ゲインの光量依存低減による線形性の向上、ダイナミックレンジ向上が可能となる。

【0041】

(第 5 の実施形態)

10

図 6 及び図 7 は、本発明の第 5 の実施形態に係る光電変換装置の電流増幅手段 50 の構成例を示す図である。但し、ここでは上述した第 4 の実施形態との相違点についてのみ説明する。図 6 においては、電流増幅手段 50 は、図 5 に対して、さらに、電圧バッファ 180 を有する。電圧バッファ 180 は、入力ノードが電流入力ノード 65 に接続され、出力ノードが第 5 の MOSFET 160 のゲート及び第 6 の MOSFET 170 のゲートに接続される。これにより、電流増幅手段 50 の入力容量を低減し、動作速度を更に改善することが可能となる。

【0042】

電圧バッファ 180 は、第 5 の MOSFET 160 のゲート及びソース間容量 C_{gs1} と、第 6 の MOSFET 170 のゲート及びソース間容量 C_{gs2} と、ゲート及びドレイン間容量 C_{gd2} を充放電する。よって、光電流で充放電される電流増幅手段 50 の入力容量は、その分、低減される。一方で、電圧バッファ 180 の入力容量 C_{in} 分だけ増加する。よって、 $C_{in} < C_{gs1} + C_{gs2} + C_{gd2}$ となるように、電圧バッファ 180 を設計することで、電流増幅手段 50 の入力容量を低減し、動作速度を更に改善することが可能となる。

20

【0043】

図 7 に、図 6 の電圧バッファ 180 をソースフォロワで構成した電流増幅手段 50 の例を示す。図 7 の電流増幅手段 50 は、図 5 に対して、さらに、第 7 の MOSFET 190 と電流源 200 を有する。第 7 の MOSFET 190 は、ドレインが電源電圧ノード 120 に接続され、ゲートが電流入力ノード 65 に接続され、ソースが第 5 の MOSFET 160 のゲート及び第 6 の MOSFET 170 のゲートに接続される。電流源 200 は、第 7 の MOSFET 190 を駆動する電流源であり、第 7 の MOSFET 190 のソース及び基準電位ノード 80 間に接続される。第 7 の MOSFET 190 及び電流源 200 により、ソースフォロワを構成している。

30

【0044】

第 7 の MOSFET 190 のゲート及びソース間容量を C_{gs3} 、ゲート及びドレイン間容量を C_{gd3} 、ソースフォロワのゲインを A とすると、ソースフォロワの入力容量 C_{in} は、次式 (10) になる。

【0045】

【数 10】

40

$$C_{in} \approx C_{gd3} + (1 - A)C_{gs3} \quad \cdots (10)$$

【0046】

この入力容量 C_{in} を、上述の $C_{gs1} + C_{gs2} + C_{gd2}$ より小さくなるように設計することは比較的、容易である。よって、電流増幅手段 50 の入力容量を低減し、動作速度を更に改善することが可能となる。

【0047】

(第 6 の実施形態)

図 8 は、本発明の第 6 の実施形態に係る光電変換装置の電流増幅手段 50 の構成例を示

50

す図である。但し、ここでは上述した第5の実施形態との相違点についてのみ説明する。図8においては、図7に対して、電流増幅手段50中の第7のMOSFET190は、バックゲートノード及びソースが相互に接続されている。これにより、式(10)中のソースフォロワゲインAを増加させて、式(10)の入力容量C_{in}を低減することにより、電流増幅手段50の入力容量を更に低減し、動作速度を更に改善する。

【0048】

(第7の実施形態)

図9は、本発明の第7の実施形態に係る光電変換装置の構成例を示す図である。但し、ここでは上述した第5の実施形態との相違点についてのみ説明する。図9においては、210及び211は単位画素領域、220は画素領域、230は周辺回路領域を表している。それぞれの単位画素領域210及び211は、それぞれの光電変換素子10及び11を有している。また、それぞれの単位画素領域210及び211は、それぞれの検出手段30、31を有しており、それぞれの定電流源100、101及び、それぞれの第1のMOSFET110、111を有する。また、それぞれの単位画素領域210及び211は、それぞれのフィードバック手段40、41を有しており、それぞれの第2のMOSFET90、91を有する。単位画素領域210及び211は、それぞれの電流増幅手段50、51を有し、それぞれの電流入力ノード65、66、電流出力ノード70、71及び基準電位ノード80、81、第5のMOSFET160、161及び第6のMOSFET170、171を有する。また、それぞれの単位画素領域210及び211は、それぞれの電圧バッファ180、181を有する。第5のMOSFET160及び161を単位画素領域210及び211内に配置する一方で、第6のMOSFET170及び171を周辺回路領域230に配置する。これにより、単位画素領域210及び211に光電変換素子10及び11が占める割合を増加し、感度を向上させることが可能となる。

【0049】

第6のMOSFET170及び171を周辺回路領域230に配置する場合、第5のMOSFET160及び161のそれぞれのゲートと第6のMOSFET170及び171のそれぞれのゲートを接続する配線を長い距離にわたって引き回す。そのため、寄生容量が大きくなる。しかし、該配線は光電流ではなく、電圧バッファ180で駆動しているため、動作速度の悪化を抑えることが可能となる。

【0050】

以上のように、第6のMOSFET170及び171を周辺回路領域230に配置することにより、動作速度の悪化を抑えつつ、単位画素領域210及び211に光電変換素子10及び11が占める割合を増加し、感度を向上させることが可能となる。画素領域220は、受光領域である。光電変換素子10、11、検出手段30、31、フィードバック手段40、41、第5のMOSFET160、161及び電圧バッファ180、181は、画素領域220である受光領域の中に設けられる。これに対し、第6のMOSFET170及び171は、画素領域220である受光領域の外の周辺回路領域230に設けられる。

【0051】

(第8の実施形態)

図10は、本発明の第8の実施形態に係る光電変換装置の電流増幅手段50の構成例を示す図である。但し、ここでは上述した第4の実施形態との相違点についてのみ説明する。図10においては、電流増幅手段50は、図5に対して、第8のMOSFET240と、第9のMOSFET250を有する。第8のMOSFET240は、ドレインが電流入力ノード65に接続され、ゲートが電圧入力ノード260に接続され、ソースが第5のMOSFET160のドレインに接続される。第9のMOSFET250は、ドレインが電流出力ノード70に接続され、ゲートが電圧入力ノード260に接続され、ソースが第6のMOSFET170のドレインに接続される。MOSFET240及び250が、MOSFET160及び170のドレイン電圧の変動を抑える役割を果たすことにより、電流ゲインの光量依存を低減し、線形性を向上させることが可能となる。

【 0 0 5 2 】

式 (9) の電流ゲインを導出した際には、ドレイン電流のドレイン及びソース間電圧 V_{ds} に対する依存性を含まない式 (2) を近似的に用いた。 をチャネル長変調係数として、 V_{ds} 依存を含めた式は、次式 (1 1) になる。

【 0 0 5 3 】

【 数 1 1 】

$$I_d = \frac{\beta}{2} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) \quad \dots (11)$$

【 0 0 5 4 】

10

式 (1 1) を用いて、改めて、式 (9) のように電流ゲインを導出すると、次式 (1 2) になる。

【 0 0 5 5 】

【 数 1 2 】

$$\frac{\Delta I_{out}}{\Delta I_p} \approx \frac{(W2/L2)(1 + \lambda2 \times V_{ds2})}{(W1/L1)(1 + \lambda1 \times V_{ds1})} \quad \dots (12)$$

【 0 0 5 6 】

20

ここで、 V_{ds1} は第 5 の MOSFET 160 のドレイン及びソース間電圧であり、 V_{ds2} は第 6 の MOSFET 170 のドレイン及びソース間電圧である。また、 $\lambda1$ は第 5 の MOSFET 160 のチャネル長変調係数であり、 $\lambda2$ は第 6 の MOSFET 170 のチャネル長変調係数である。図 5 において、 V_{ds1} は入力電流に依存するので、光電流に依存する。また、 V_{ds2} も光電流に依存する。よって、式 (1 2) より、電流ゲインは光量に対して緩やかに依存する。図 5 においては、電流入力ノード 65 の電位を V_{in} 、電流出力ノード 70 の電位を V_{out} として、式 (1 2) より、次式 (1 3) になる。

【 0 0 5 7 】

【 数 1 3 】

30

$$\frac{\Delta I_{out}}{\Delta I_p} \approx \frac{(W2/L2)(1 + \lambda2 \times V_{out})}{(W1/L1)(1 + \lambda1 \times V_{in})} \quad \dots (13)$$

【 0 0 5 8 】

それに対して、図 9 においては、次式 (1 4) になる。

【 0 0 5 9 】

【 数 1 4 】

$$\frac{\Delta I_{out}}{\Delta I_p} \approx \frac{(W2/L2) \left(1 + \frac{\lambda2 \times V_{out}}{gm2 \times r2}\right)}{(W1/L1) \left(1 + \frac{\lambda1 \times V_{in}}{gm1 \times r1}\right)} \quad \dots (14)$$

40

【 0 0 6 0 】

ここで、 $gm1$ と $r1$ はそれぞれ、第 8 の MOSFET 240 のトランスコンダクタンスと出力抵抗、 $gm2$ と $r2$ はそれぞれ、第 9 の MOSFET 250 のトランスコンダクタンスと出力抵抗である。式 (1 3) 及び式 (1 4) より、MOSFET 240 及び 250 によって、MOSFET 160 及び 170 のドレイン電圧の変動を抑えることにより、電流ゲインの光量依存を低減し、線形性を向上させることが可能となっていることがわかる。

50

【 0 0 6 1 】

(第 9 の実施形態)

図 1 1 は、本発明の第 9 の実施形態に係る光電変換装置の電流増幅手段 5 0 の構成例を示す図である。但し、ここでは上述した第 1 の実施形態との相違点についてのみ説明する。図 1 1 においては、電流増幅手段 5 0 は、オペアンプ 2 8 0 と、抵抗 6 0 及び 2 7 0 を有する。オペアンプ 2 8 0 は、正転入力ノードが電流入力ノード 6 5 に接続され、反転入力ノード及び出力ノードが電流出力ノード 7 0 に接続される。第 1 の抵抗 6 0 は、オペアンプ 2 8 0 の正転入力ノード及び基準電位ノード 8 0 間に接続される。第 3 の抵抗 2 7 0 は、オペアンプ 2 8 0 の反転入力ノード及び基準電位ノード 8 0 間に接続される。オペアンプ 2 8 0 を用いた電流増幅手段 5 0 により、電流を増幅することで、電流ゲインのばらつき低減、電流ゲインの光量依存低減による線形性の向上、が可能となる。

10

【 0 0 6 2 】

電流増幅手段 5 0 の入力電流となる光電流が I_p だけ変化したとき、オペアンプ 2 8 0 の正転入力ノードの電位変化は、第 1 の抵抗 6 0 の抵抗値を R_1 とすると、 $R_1 \times I_p$ である。このとき、反転入力ノード電位もおおよそ $R_1 \times I_p$ だけ変化するので、電流出力ノード 7 0 の出力電流は、第 3 の抵抗 2 7 0 の抵抗値を R_2 とすると、 $R_1 \times I_p / R_2$ だけ変化する。よって、電流ゲインは R_1 / R_2 となる。

【 0 0 6 3 】

上述のように、式 (5) の電流ゲインは、 V_{th} ばらつきによるプロセスばらつき及び V_{gs} の光量依存による光量依存を有するので、図 1 1 の構成によって、それらを低減することが可能となる。以上のように、オペアンプ 2 8 0 を用いた電流増幅手段 5 0 により、電流を増幅することで、電流ゲインのばらつき低減、電流ゲインの光量依存低減による線形性の向上、が可能となる。

20

【 0 0 6 4 】

(第 1 0 の実施形態)

図 1 2 は、本発明の第 1 0 の実施形態に係る光電変換装置の電流増幅手段 5 0 の構成例を示す図である。但し、ここでは上述した第 1 の実施形態との相違点についてのみ説明する。図 1 2 においては、電流増幅手段 5 0 は、電流源 2 9 0 と、MOSFET 3 0 0、3 1 0、3 2 0、3 3 0、3 4 0、3 5 0、3 6 0、3 7 0、3 8 0 を有している。MOSFET 3 2 0 は、ドレイン及びゲートが電流源 2 9 0 を介して電源電圧ノード 1 2 0 に接続される。MOSFET 3 1 0 は、ソースが MOSFET 3 2 0 のソースに接続され、ゲート及びドレインが MOSFET 3 4 0 のゲートに接続される。MOSFET 3 0 0 は、ドレイン及びゲートが MOSFET 3 1 0 のドレインに接続され、ソースが基準電位ノード 8 0 に接続される。MOSFET 3 6 0 は、ソースが電源電圧ノード 1 2 0 に接続され、ゲート及びドレインが MOSFET 3 5 0 のドレインに接続される。MOSFET 3 5 0 は、ゲートが MOSFET 3 2 0 のゲートに接続され、ソースが電流入力ノード 6 5 に接続される。MOSFET 3 4 0 は、ソースが電流入力ノード 6 5 に接続される。MOSFET 3 3 0 は、ドレイン及びゲートが MOSFET 3 4 0 のドレインに接続され、ソースが基準電位ノード 8 0 に接続される。MOSFET 3 7 0 は、ソースが電源電圧ノード 1 2 0 に接続され、ゲートが MOSFET 3 6 0 のゲートに接続され、ドレインが電流出力ノード 7 0 に接続される。MOSFET 3 8 0 は、ドレインが電流出力ノード 7 0 に接続され、ゲートが MOSFET 3 3 0 のゲートに接続され、ソースが基準電位ノード 8 0 に接続される。これらの素子により、カレントコンベア回路を構成し、電流を増幅することにより、電流ゲインのばらつき低減、電流ゲインの光量依存低減、が可能となる。

30

40

【 0 0 6 5 】

電流源 2 9 0 の電流値により、MOSFET 3 0 0、3 1 0、3 2 0 のそれぞれのゲート及びソース間の電圧が定まる。これにより、MOSFET 3 1 0 及び 3 2 0 のゲート電位が、定まる。よって、MOSFET 3 4 0 及び 3 5 0 のゲート電位が、定まる。電流入力ノード 6 5 から入力される電流がゼロのとき、MOSFET 3 4 0 及び 3 5 0 のドレイン電流は等しいが、 I_p の電流を入力すると、電流入力ノード 6 5 の電位が上昇する。

50

これにより、MOSFET340のゲート及びソース間の電圧が増加することにより、MOSFET340のドレイン電流が増加する。また、MOSFET350のゲート及びソース間の電圧が減少することにより、MOSFET350のドレイン電流は減少する。これらにより、MOSFET340及び350のドレイン電流の差は I_p となる。よって、MOSFET330及びMOSFET360のドレイン電流の差も I_p となる。ここで、MOSFET330、380、360、370のゲート長をそれぞれ L_1 、 L_2 、 L_3 、 L_4 とし、MOSFET330、380、360、370のゲート幅をそれぞれ W_1 、 W_2 、 W_3 、 W_4 とする。また、次式(15)とすると、電流出力ノード70からは、 $-A \times I_p$ の電流が出力される。よって、電流ゲインは $-A$ となる。

【0066】

【数15】

$$A = \frac{(W_2/L_2)}{(W_1/L_1)} = \frac{(W_4/L_4)}{(W_3/L_3)} \quad \dots (15)$$

【0067】

上述のように、式(5)の電流ゲインは、 V_{th} ばらつきによるプロセスばらつき及び V_{gs} の光量依存による光量依存を有するので、図12の構成によって、それらを低減することが可能となる。以上のように、本実施形態は、電流ゲインのばらつき低減、電流ゲインの光量依存低減による線形性の向上、が可能となる。

【0068】

(第11の実施形態)

図13は、本発明の第11の実施形態に係る光電変換装置の電流増幅手段50の構成例を示す図である。但し、ここでは上述した第10の実施形態との相違点についてのみ説明する。図13においては、電流増幅手段50は、図12に対して、さらに、オペアンプ390と、電圧入力ノード400と、MOSFET410を有している。MOSFET410は、図12の電流源290に対応する。オペアンプ390は、正転入力ノードが電流入力ノード65に接続され、反転入力ノードが電圧入力ノード400に接続され、出力ノードがMOSFET300のゲートに接続される。これらにより、電流入力ノード65の電位を電圧入力ノード400の電位とおおよそ等しく保つことにより、ノード電位の入力電流依存を抑制することが可能となる。

【0069】

図12においては、電流入力ノード65から入力される電流に応じて該ノード65の電位が変化し、MOSFET340及び350のそれぞれのソース電位が変化することにより、MOSFET340及び350のそれぞれのゲート及びソース間電圧が変化した。図13においては、MOSFET340及び350のそれぞれのソースではなく主にゲート電位が変化することにより、MOSFET340及び350のそれぞれのゲート及びソース間電圧が変化する。電流入力ノード65から入力される電流が I_p 増加すると、該ノード65の電位が上昇しようとするが、それをオペアンプ390が検出し、MOSFET300のゲート電位を引き上げて、ドレイン電流を増加させる。これにより、MOSFET310及び320のそれぞれのゲート電位が低下し、MOSFET340及び350のゲート電位は低下する。よって、MOSFET340のゲート及びソース間電圧は増加し、MOSFET350のゲート及びソース間電圧は減少することで、MOSFET340及び350のドレイン電流の差分が I_p 増加する。よって、電流入力ノード65のノード電位の入力電流依存を抑制することが可能となる。

【0070】

(第12の実施形態)

図14は、本発明の第12の実施形態に係る光電変換装置の構成例を示す図である。但し、ここでは上述した第4の実施形態との相違点についてのみ説明する。N⁺領域420

10

20

30

40

50

上に、N型領域430、P型領域440、N型領域450、P型領域460、表面N⁺領域470のように、第1導電型のN型領域（光電変換領域）と第1導電型と逆の導電型である第2導電型のP型領域が交互に複数積層されている。これにより、P型領域440及び460はそれぞれ異なる深さに形成されている。シリコンに入射した光は波長の長いものほど深く侵入するので、P型領域440及び460からは異なる波長帯域の光に対する光信号を得ることができる。このように、図14においては、N型領域430、P型領域440、N型領域450が光電変換素子10を形成し、N型領域450、P型領域460、表面N⁺領域470が光電変換素子11を形成し、深さ方向に複数の光電変換素子10及び11が積層されている。図14においては、P型領域440及び460のそれぞれにコンタクト部480及び500を設けて、それぞれの光電変換素子10及び11から光電流を読み出す構成となっている。それぞれの光電変換素子10及び11に対して、それぞれの読み出し回路510及び511が設けられている。それぞれの読み出し回路510及び511は、それぞれの検出手段30、31を有しており、それぞれの定電流源100、101及び、それぞれの第1のMOSFET110、111を有する。また、それぞれの読み出し回路510及び511は、それぞれのフィードバック手段40、41を有しており、それぞれの第2のMOSFET90、91を有する。読み出し回路510及び511は、それぞれの電流増幅手段50、51を有し、それぞれの電流入力ノード65、66、電流出力ノード70、71、基準電位ノード80、81、第5のMOSFET160、161及び第6のMOSFET170、171を有する。また、図14においては、N型領域450、表面N⁺型領域470中にN型コンタクト部490を設けて、電源電圧ノード120に接続している。このように、図14においては、光電変換素子10及び11のそれぞれに対して読み出し回路510及び511を設けて、それぞれ電流増幅手段50及び51を設けている。これにより、それぞれの光電変換素子10及び11について電流増幅手段50及び51の電流ゲインを最適化し、動作速度を改善することが可能となる。

【0071】

図14において、aはN型領域450の深さ方向の不純物プロファイルのピーク位置、bはN⁺領域420上に形成された半導体層のトータルの厚さを示している。図14において、光電変換素子10及び11の分光特性は、主に、この2つのファクターにより決まる。aとbが、ある値の場合の分光特性シミュレーション結果を図15に示す。図15において、横軸が照射光の波長、縦軸がそれぞれの光電変換素子10及び11から得られる光電流であり、波長1強にピークを持っている特性501が光電変換素子11の特性で、波長3強にピークを持っている特性502が光電変換素子10の特性である。図15のような分光特性の場合、ほとんどの分光特性の光源に対して、光電変換素子11は、光電変換素子10よりも小さな光電流しか得ることができない。しかし、電流増幅手段50よりも電流増幅手段51の電流ゲインを大きく設定することにより、電流出力ノード71の出力電流を電流出力ノード70と同等とすることが可能であり、動作速度を改善することが可能となる。すなわち、複数の電流増幅手段50及び51は、相互に電流ゲインが異なる。よって、それぞれの光電変換素子10及び11について、電流増幅手段50及び51の電流ゲインを最適化し、動作速度を改善することが可能となる。

【0072】

（第13の実施形態）

上記の図14を用いて、本発明の第13の実施形態に係る光電変換装置について説明する。但し、ここでは上述した第12の実施形態との相違点についてのみ説明する。図14において、第5のMOSFET160及び161のゲート長を相互に等しくすることにより、分光特性の光量依存を抑制することが可能となる。

【0073】

電流増幅手段50及び51の電流ゲインは式(13)のようになり、電流入力ノード65及び66の電位 V_{in} が光量に依存するので、それぞれのゲインは光量に対して緩やかに変化する。この際、第5のMOSFET160及び161のゲート長が異なると、チャネル長変調係数 γ が異なるために、電流ゲインは光量に対して異なる依存を示してしま

う。よって、電流出力ノード 7 0 及び 7 1 から出力される電流の比が光量に依存してしまう。ゆえに、第 5 の MOSFET 1 6 0 及び 1 6 1 のゲート長を相互に等しくすることにより、分光特性の光量依存を抑制することが可能となる。

【 0 0 7 4 】

上記の第 1 ~ 第 1 3 の実施形態では、光電変換素子 1 0 及び 1 1 としてホールを集めるタイプのものを用いた場合を例にとって説明したが、これに限られるものではない。光電変換素子 1 0 及び 1 1 として電子を集めるタイプのものを用いた場合でも、同様な構成をとることにより同様な効果が得られる。

【 0 0 7 5 】

また、上記の第 1 ~ 第 1 3 の実施形態では、検出手段 3 0 及び 3 1 として、ソース接地回路を用いた場合を例にとって説明したが、これに限られるものではない。また、上記の第 1 ~ 第 1 3 の実施形態では、フィードバック手段 4 0 及び 4 1 として、MOSFET を用いた場合を例にとって説明したが、これに限られるものではない。また、上記の第 1 ~ 第 1 3 の実施形態では、電流増幅手段 5 0 及び 5 1 として、ソース接地回路もしくはカレントミラー回路もしくはオペアンプもしくはカレントコンベアを用いた場合を例にとって説明したが、これらに限られるものではない。

【 0 0 7 6 】

また、上記の第 5 及び第 6 の実施形態では、電圧バッファ 1 8 0 及び 1 8 1 として、ソースフォロワの場合を例にとって説明したが、これに限られるものではない。また、上記の第 1 3 及び第 1 4 の実施形態では、深さ方向に積層した光電変換素子 1 0 及び 1 1 の数を 2 の場合を例にとって説明したが、これに限られるものではない。

【 0 0 7 7 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【符号の説明】

【 0 0 7 8 】

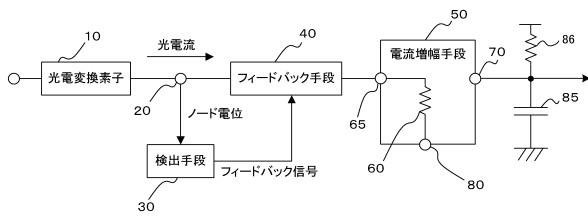
1 0 光電変換素子、 2 0 ノード、 3 0 検出手段、 4 0 フィードバック手段、 5 0 電流増幅手段、 6 0 抵抗、 6 5 電流入力ノード、 7 0 電流出力ノード、 8 0 基準電位ノード

10

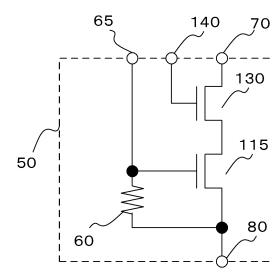
20

30

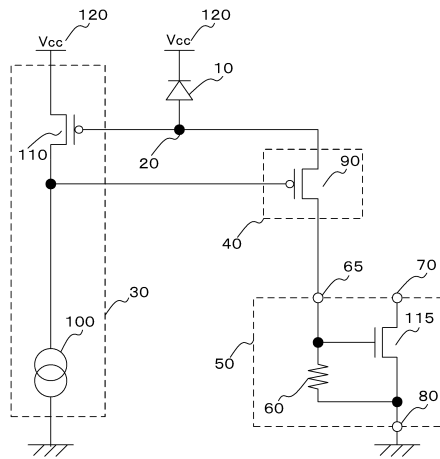
【図 1】



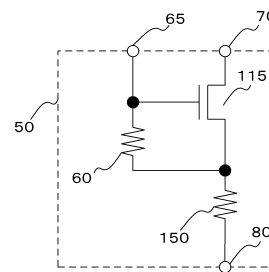
【図 3】



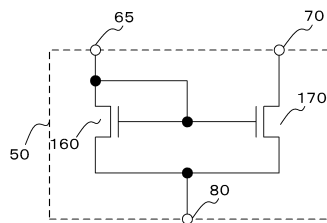
【図 2】



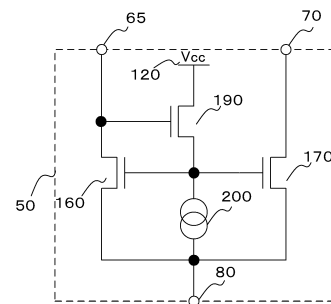
【図 4】



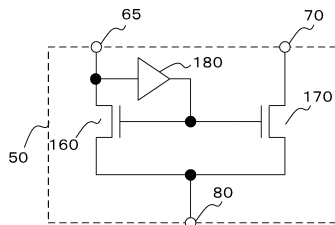
【図 5】



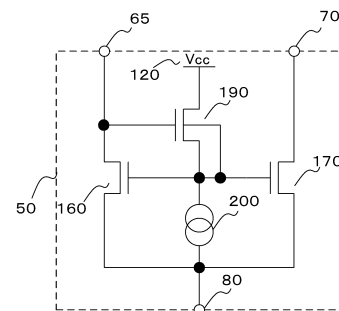
【図 7】



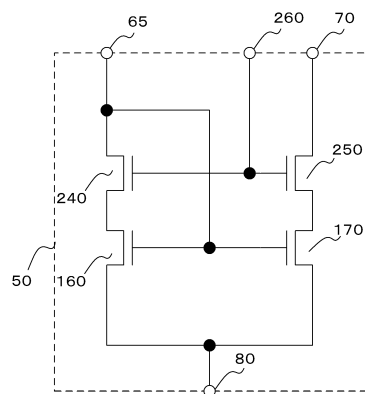
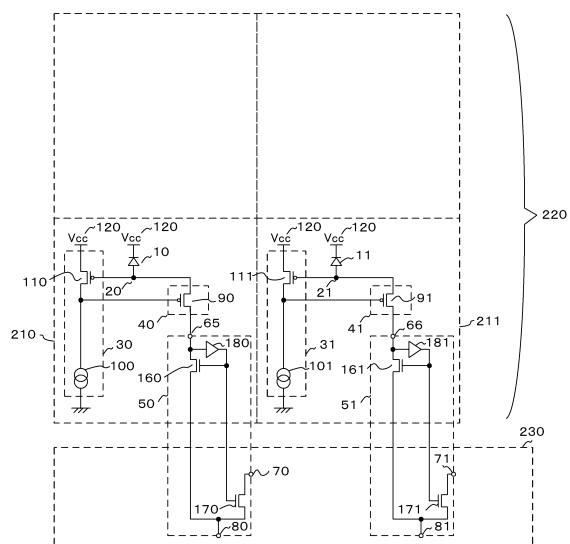
【図 6】



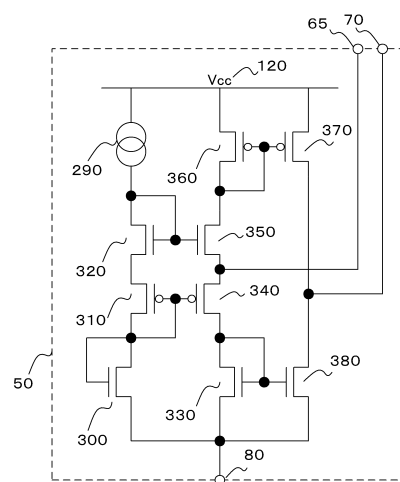
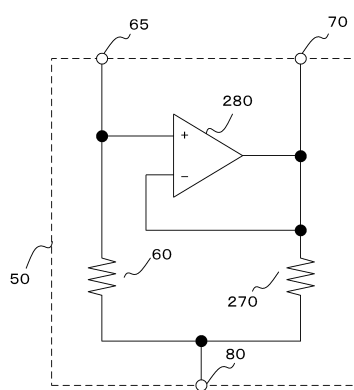
【図 8】



【 図 1 0 】



【 图 1 2 】



【 図 1 4 】

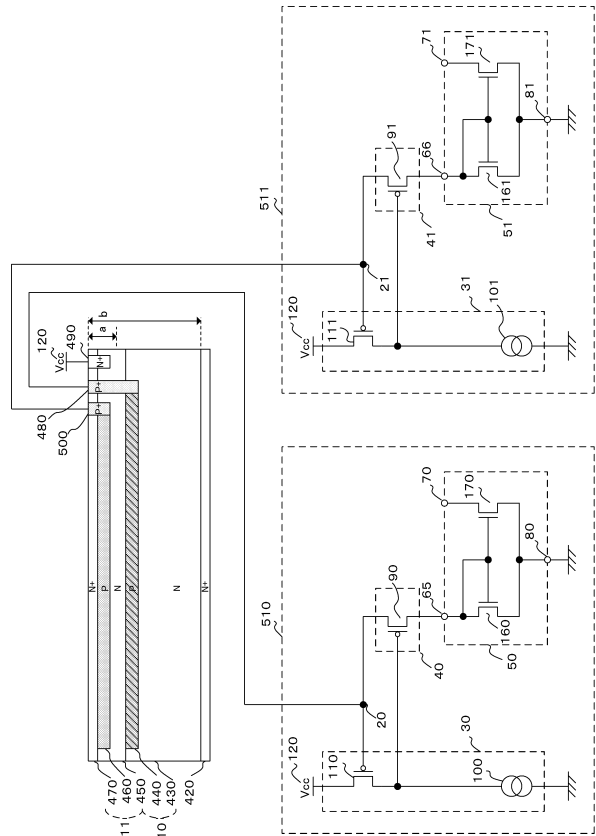


Figure 1 is a line graph showing the photoluminescence (PL) intensity (光電流) versus wavelength (波長) for two samples, 501 and 502. The x-axis represents wavelength in arbitrary units (a.u.) from 1 to 5. The y-axis represents PL intensity from 0 to 1. Sample 501 (open circles) shows a broad peak around 1.5 a.u. and a shoulder around 2.5 a.u. Sample 502 (open squares) shows a broad peak around 3.5 a.u. and a shoulder around 2.5 a.u.

波長 (a.u.)	光電流 (501)	光電流 (502)
1.0	0.50	0.20
1.2	0.55	0.28
1.4	0.52	0.35
1.6	0.48	0.45
1.8	0.45	0.52
2.0	0.42	0.60
2.2	0.38	0.70
2.4	0.35	0.78
2.6	0.32	0.85
2.8	0.30	0.90
3.0	0.28	0.95
3.2	0.25	0.98
3.4	0.22	1.00
3.6	0.20	0.98
3.8	0.18	0.95
4.0	0.15	0.90
4.2	0.12	0.85
4.4	0.10	0.80
4.6	0.08	0.75
4.8	0.05	0.65
5.0	0.05	0.60

フロントページの続き

(56)参考文献 特開平 0 7 - 2 0 3 3 1 9 (J P , A)
特開平 1 1 - 0 8 8 7 7 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 N 5 / 3 0 - 5 / 3 7 8

H 0 1 L 2 7 / 1 4 - 2 7 / 1 4 8