

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2013년 11월 28일 (28.11.2013)



(10) 국제공개번호
WO 2013/176484 A1

- (51) 국제특허분류:
H01L 33/42 (2010.01)
- (21) 국제출원번호: PCT/KR2013/004490
- (22) 국제출원일: 2013년 5월 22일 (22.05.2013)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2012-0055854 2012년 5월 25일 (25.05.2012) KR
- (71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) [KR/KR]; 136-701 서울시 성북구 안암동 5가 1, Seoul (KR).
- (72) 발명자: 김태근 (KIM, Tae Geun); 463-905 경기도 성남시 분당구 이매동 청구아파트 601-1105, Gyeonggi-do (KR). 윤민주 (YUN, Min Ju); 360-818 충청북도 청주시 상당구 율량동 735번지 부성빌라 3층, Chungcheongbuk-do (KR).
- (74) 대리인: 특허법인주원 (B&IP-JOOWON PATENT AND LAW FIRM); 135-701 서울시 강남구 언주로 711, 건설회관 9층 (논현동), Seoul (KR).

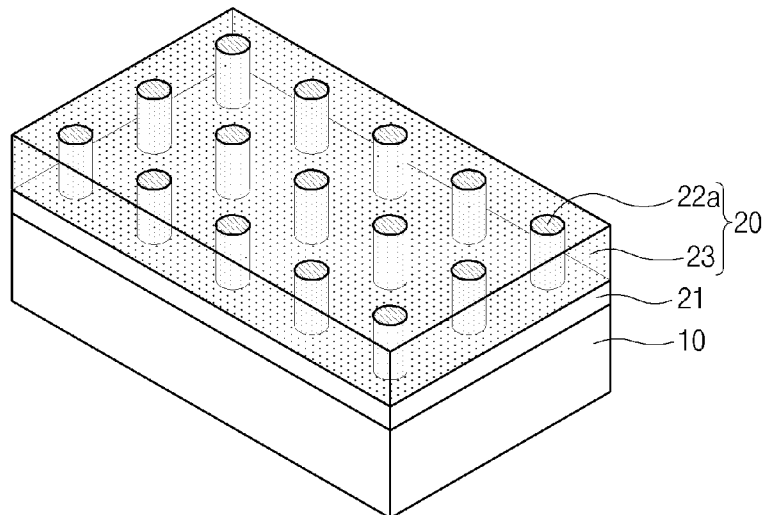
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: TRANSPARENT ELECTRODE AND METHOD FOR FORMING TRANSPARENT ELECTRODE

(54) 발명의 명칭: 투명 전극 및 투명 전극 형성 방법



(57) Abstract: A transparent electrode and a method for forming the transparent electrode are disclosed. One preferred embodiment of the present invention provides a transparent electrode having good ohmic characteristics with a semiconductor layer and excellent light transmittance including ultraviolet regions by forming, as a pattern, first electrodes having high conductivity and an ohmic contact with a semiconductor layer on which the transparent electrode is to be formed and by filling the spaces between the first electrodes formed as a pattern with second electrodes. Additionally, a transparent electrode, according to another embodiment of the present invention, can further exhibit good current spreading effects as well as good ohmic characteristics and excellent light transmittance by forming, as a thin film, a current spreading layer, which is formed from a carbon nanotube (CNT), graphene or the like having excellent conductivity and transmissivity, on the semiconductor layer and by forming the first and second electrodes described above on the current spreading layer.

(57) 요약서:

[다음 쪽 계속]



WO 2013/176484 A1



본 발명은 투명 전극 및 투명 전극 형성 방법을 공개한다. 본 발명의 바람직한 실시예에 따른 투명 전극은, 투명 전극이 형성될 반도체층과 오믹 접촉이 이루어지면서도 전도성이 높은 제 1 전극을 반도체층 위에 패터닝으로 형성하고, 패터닝으로 형성된 제 1 전극들 사이를 가시광 영역뿐만 아니라 자외선 영역까지의 빛의 투과도가 높은 제 2 전극으로 채움으로써, 반도체층과 오믹 특성이 양호하면서도 자외선 영역을 포함한 빛의 투과도가 우수한 투명 전극을 제공할 수 있다. 또한, 본 발명의 다른 실시예에 따른 투명 전극은 반도체층 위에 전도성과 투과도가 우수한 CNT(Carbon Nano Tube) 또는 그래핀(graphene) 등으로 형성되는 전류 확산층을 박막으로 형성하고, 그 위에 상술한 제 1 전극 및 제 2 전극을 형성함으로써, 양호한 오믹 특성 및 우수한 빛의 투과도 특성 이외에도, 양호한 전류 확산 효과를 더 나타낼 수 있다.

명세서

발명의 명칭: 투명 전극 및 투명 전극 형성 방법

기술분야

- [1] 본 발명은 전극 및 전극 형성 방법에 관한 것으로서, 보다 구체적으로는 투명 전극 및 투명 전극 형성 방법에 관한 것이다.

배경기술

- [2] 투명 전극은 LED, 태양전지, 의료용 자외선 소독기, 수산업 등 다양한 분야에서 이용되고 있고, 점점 그 응용 분야와 그 수요가 증대되는 추세에 있다. 특히, 투명 전극은 LED 분야에서 많이 이용되고 있고, LED에 적용되는 현재의 투명 전극 기술은 가시광 영역(400nm-800nm)과 전체 자외선 영역(10nm-400nm) 중 일부 영역(365nm~400nm)까지 적용될 수 있는 ITO(Indium Tin Oxide) 기반의 기술이 주를 이루고 있다.
- [3] 최근에는, 자외선 영역의 빛을 발생시키는 UV LED에 대한 수요가 급속히 증가하고 있으나, 자외선 영역에서 고전도성과 고투과도를 나타내는 투명 전극이 현재까지 개발되지 못하고 있다. 따라서, 자외선 LED와 같이, 자외선 영역의 빛을 이용하는 반도체 장치들은 상용화되기 어려운 실정이다.
- [4] 예컨대, 현재 가장 많이 이용되고 있는 ITO 투명 전극이 형성된 UV LED의 경우에, 활성층에서 생성된 단파장의 자외선 영역(10nm~320nm)의 빛은 대부분 ITO에서 흡수되어, ITO를 투과하여 외부로 추출되는 빛이 1%정도에 불과하다.
- [5] 도 1a에는 종래기술에 따라서 P-GaN 반도체층위에 ITO로 투명 전극을 형성한 경우의 투과도 및 오믹 특성(전도도 특성)을 도시하였다. 여기서, ITO 투명 전극층을 200도 내지 700도에서 열처리를 수행한 ITO 투명 전극의 투과도 및 약 2 μ m 간격의 TLM(Transfer Length Method) 패턴으로 측정한 오믹 특성을 도시하였다.
- [6] 도 1a에 도시된 바와 같이, ITO 투명 전극의 경우에는 양호한 오믹 특성을 나타낸다. 그러나, 투과도 측면에 있어서는, 파장이 400nm 이상인 영역에서는 80% 이상의 투과도를 나타내지만, 단파장의 자외선 영역에서는 투과도가 급격히 감소하는 것을 알 수 있고, 특히, 300nm 이하의 단파장 영역에서는 투과도가 20%이하로 감소함을 알 수 있다.
- [7] 이러한, 자외선 영역의 빛에 대한 투과도 특성을 개선하기 위한 투명 전극으로서, Ga₂O₃가 제안되었다. 도 1b는 종래 기술에 따른 P-GaN 반도체층위에 Ga₂O₃로 투명 전극을 형성한 경우의 투과도 및 오믹 특성(전도도 특성)을 도시하였다. 도 1b에 도시된 바와 같이, Ga₂O₃ 투명 전극의 경우에는, 300nm 이하의 빛에 대해서도 양호한 투과도 특성을 나타내지만, 오믹 특성이 매우 나빠서 투명 전극으로 사용하기에는 부적합하였다.
- [8] 이러한 문제점을 해결하기 위한 다른 종래기술은 p-AlGaIn와 같은 반도체층

위에 투명 전극을 형성하지 않고, 금속 전극 패드를 직접 형성하였으나, 금속과 반도체층 사이의 일함수의 차이가 너무 커서 Ohmic Contact이 이루어지지 않을 뿐 만 아니라, 전류가 금속 전극 패드에 대응되는 영역에 집중되고 활성층 전체로 공급되지 않아 활성층에서 발생하는 빛이 양이 현저하게 감소하는 문제점이 발생한다.

- [9] 이러한 문제를 해결하기 위해서, 다양한 연구들이 진행되고 있으나, 아직까지 자외선 영역에서 고전도성과 고투과도를 동시에 나타내는 투명 전극은 개발되고 못하는 실정이다. 이는 물질의 전도성과 투과도는 서로 trade-off관계를 가지고 있기 때문이다. 자외선 영역에서 이용될 수 있을 만큼 높은 투과도를 가지는 물질은 큰 밴드갭(large band-gap)을 가지므로, 전극으로 이용되기에는 전도성이 낮고 반도체 물질과 Ohmic contact 이 잘 이루어지지 않아 전극으로 이용하기 어렵다.

- [10] 이러한 문제점을 해결하기 위해 제안된 기술의 일례로서, 투명 전극을 은(Ag) 박막으로 형성하는 기술이 한국특허출원 제 10-2007-0097545 호로서 출원되었다. 그러나, 이러한 종래 기술에서 Ag를 이용하여 투명 전극을 형성하는 경우, Ohmic contact 이 이루어지도록 반도체층 위에 Ag를 얇게 증착하는 것이 매우 어려울 뿐만 아니라, Ag를 반도체층 위에 얇게 증착한다 하더라도 한국특허출원 제 10-2007-0097545 호 도 4의 그래프에 도시된 바와 같이, 빛의 파장이 420nm 이하인 영역에서는 투과도가 80%이하로 급격히 하락하고, 빛의 파장이 380nm 이하인 영역에서는 투과도가 50% 이하로 감소하여, 종래의 ITO 전극과 투과도에서 차이가 없어, 실질적으로 자외선 영역의 투과도 개선을 기대하기 어렵다.

발명의 상세한 설명

기술적 과제

- [11] 본 발명이 해결하고자 하는 과제는, 가시광 영역뿐만 아니라, 단파장의 자외선 영역에서도 고투과도와 고전도성을 나타내며, 반도체층과 양호한 Ohmic Contact 특성을 나타내는 투명 전극 및 투명 전극 형성 방법을 제공하는 것이다.

과제 해결 수단

- [12] 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 투명 전극은, 반도체층에 일면이 접촉하고, 빛의 투과도 및 전도도가 서로 다른 제 1 전극 및 제 2 전극을 포함한다.
- [13] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 제 1 전극은 상기 제 2 전극보다 전기 전도도가 높고, 상기 제 2 전극은 상기 제 1 전극보다 빛의 투과도가 높을 수 있다.
- [14] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 제 1 전극은 일정한 패턴으로 형성되고, 상기 제 2 전극은 상기 제 1 전극들 사이를 채우도록 형성되는 것이 바람직 하다.

- [15] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 제 1 전극은 복수의 전도성 막대가 일정한 간격으로 배치된 패턴으로 형성될 수 있다.
- [16] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 제 1 전극은 격자 패턴으로 형성될 수 있다.
- [17] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 투명 전극은 상기 반도체층과 접촉하는 면에 전류 확산층을 더 포함하고, 상기 제 1 전극 및 상기 제 2 전극은 상기 전류 확산층에 접촉하도록 형성될 수 있다.
- [18] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 제 1 전극의 표면에는 상기 전류 확산층이 형성되고, 상기 제 2 전극은 상기 전류 확산층과 접촉하면서 상기 제 1 전극들 사이를 채우도록 형성될 수 있다.
- [19] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 전류 확산층은 CNT(Carbon Nano Tube) 또는 그래핀(graphene)으로 형성될 수 있다.
- [20] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 반도체층에 접촉한 제 1 전극의 표면과 상기 반도체층의 표면 위에 형성된 전류 확산층을 더 포함하고, 상기 제 2 전극은 상기 전류 확산층과 접촉하면서 상기 제 1 전극들 사이를 채우도록 형성될 수 있다.
- [21] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 제 1 전극은 상기 반도체층에 접촉하여 상기 반도체층에 수직인 방향으로 형성되고, 상기 제 2 전극은 상기 제 1 전극 사이의 공간을 채우도록 상기 반도체층과 접촉하여 형성될 수 있다.
- [22] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 반도체 장치는 상술한 본 발명의 바람직한 실시예들에 따른 투명 전극을 포함한다.
- [23] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 투명전극 형성 방법은, (a) 제 1 전극을 형성하는 단계; 및 (b) 상기 제 1 전극과 빛의 투과도 및 전도도가 다른 제 2 전극을 형성하는 단계;를 포함한다.
- [24] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 제 1 전극은 상기 제 2 전극보다 전기 전도도가 높고, 상기 제 2 전극은 상기 제 1 전극보다 빛의 투과도가 높은 것일 수 있다.
- [25] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 (a) 단계에서, 상기 제 1 전극은 일정한 패턴으로 형성되고, 상기 (b) 단계에서, 상기 제 2 전극은 상기 제 1 전극들 사이를 채우도록 형성될 수 있다.
- [26] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 (a) 단계에서, 상기 제 1 전극은 복수의 전도성 막대가 일정한 간격으로 배치된 패턴으로 형성될 수 있다.
- [27] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 (a) 단계에서, 상기 제 1 전극은 격자 패턴으로 형성될 수 있다.
- [28] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 (a) 단계 이전에, 상기 반도체층과 접촉하는 면에 전류 확산층을 형성하는 단계를 더 포함하고, 상기 제 1 전극 및 상기 제 2 전극은 상기 전류 확산층에 접촉하도록 형성될 수 있다.
- [29] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 (a) 단계에서, 상기 제 1 전극이

상기 전류 확산층에 접촉하도록 형성된 후, 상기 제 1 전극의 표면에 상기 전류 확산층이 추가로 형성되고, 상기 (b) 단계에서, 상기 제 2 전극은 상기 전류 확산층과 접촉하면서 상기 제 1 전극들 사이를 채우도록 형성될 수 있다.

[30] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 전류 확산층은 CNT(Carbon Nano Tube) 또는 그래핀(graphene)으로 형성될 수 있다.

[31] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 (a) 단계에서, 상기 제 1 전극은 상기 반도체층에 접촉하도록 형성되고, 상기 (a) 단계와 상기 (b) 단계 사이에, 상기 제 1 전극의 표면과 상기 반도체층의 표면 위에 전류 확산층이 형성되는 단계를 더 포함하며, 상기 (b) 단계에서, 상기 제 2 전극은 상기 전류 확산층과 접촉하면서 상기 제 1 전극들 사이를 채우도록 형성될 수 있다.

[32] 또한, 본 발명의 다른 일 실시예에 따르면, 상기 (a) 단계에서, 상기 제 1 전극은 상기 반도체층에 접촉하도록 상기 반도체층에 수직한 방향으로 형성되고, 상기 (b) 단계에서, 상기 제 2 전극은 상기 제 1 전극 사이의 공간을 채우도록 상기 반도체층과 접촉하여 형성될 수 있다.

발명의 효과

[33] 본 발명의 바람직한 실시예에 따른 투명 전극은, 투명 전극이 형성될 반도체층과 오믹 접촉이 이루어지면서도 전도성이 높은 제 1 전극을 반도체층 위에 패턴으로 형성하고, 패턴으로 형성된 제 1 전극들 사이를 가시광 영역뿐만 아니라 자외선 영역까지의 빛의 투과도가 높은 제 2 전극으로 채움으로써, 반도체층과 오믹 특성이 양호하면서도 자외선 영역을 포함한 빛의 투과도가 우수한 투명 전극을 제공할 수 있다.

[34] 또한, 본 발명의 다른 실시예에 따른 투명 전극은 반도체층 위에 전도성과 투과도가 우수한 CNT(Carbon Nano Tube) 또는 그래핀(graphene) 등으로 형성되는 전류 확산층을 박막으로 형성하고, 그 위에 상술한 제 1 전극 및 제 2 전극을 형성함으로써, 양호한 오믹 특성 및 우수한 빛의 투과도 특성 이외에도, 양호한 전류 확산 효과를 더 나타낼 수 있다.

[35] 또한, 본 발명의 다른 실시예에 따른 투명 전극은, 투명 전극이 형성될 반도체층과 오믹 접촉이 이루어지면서도 전도성이 높은 제 1 전극을 반도체층 위에 패턴으로 형성하고, 제 1 전극과 반도체층의 표면에 전도성과 투과도가 우수한 CNT 또는 그래핀으로 형성되는 전류 확산층을 박막으로 형성한 후, 그 위에 가시광 영역뿐만 아니라 자외선 영역까지의 빛의 투과도가 높은 제 2 전극을 형성하여, 제 1 전극들 사이를 채움으로써, 반도체층과 오믹 특성이 양호하고 자외선 영역을 포함한 빛의 투과도가 우수하며, 양호한 전류 확산 효과를 나타낼 수 있다.

[36] 또한, 본 발명의 다른 실시예에 따른 투명 전극은, 상술한 실시예들을 결합하여, 반도체층 위에 전류 확산층을 형성하고, 그 위에 제 1 전극을 패턴으로 형성한 후, 제 1 전극의 표면에 전류 확산층을 다시 형성한 후, 제 2 전극으로 제 1 전극들

사이를 채움으로써, 보다 양호한 반도체층과 오믹 특성, 자외선 영역을 포함한 빛의 투과도 특성, 전류 확산 효과를 나타낼 수 있다.

도면의 간단한 설명

- [37] 도 1a는 종래기술에 따라서 P-GaN 반도체층 위 ITO 투명 전극을 형성한 경우의 투과도 및 오믹 특성을 도시한 도면이다.
- [38] 도 1b는 종래기술에 따라서 P-GaN 반도체층 위 Ga_2O_3 투명 전극을 형성한 경우의 투과도 및 오믹 특성을 도시한 도면이다.
- [39] 도 2a는 본 발명의 바람직한 일 실시예에 따른 투명 전극 및 투명 전극을 구비하는 반도체 장치의 구조를 도시한 도면이다.
- [40] 도 2b는 본 발명의 바람직한 다른 실시예에 따른 투명 전극 및 투명 전극을 구비하는 반도체 장치의 구조를 도시한 도면이다.
- [41] 도 2c는 본 발명의 다른 변형 실시예들에 따른 투명 전극의 단면을 도시하는 도면이다.
- [42] 도 3a는 상술한 본 발명의 바람직한 실시예 및 변형 실시예에 따른 투명 전극의 투과도 측정 데이터를 도시하는 그래프이다.
- [43] 도 3b는 상술한 본 발명의 바람직한 실시예 및 변형 실시예에 따른 투명 전극의 오믹 특성을 측정한 데이터를 도시하는 그래프이다.
- [44] 도 4는 도 2a 및 도 2b에 도시된 투명 전극을 제조하는 과정을 설명하는 도면이다.

발명의 실시를 위한 형태

- [45] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- [46] 다만, 본 발명의 바람직한 실시예에 따른 투명 전극은 모든 분야의 투명 전극(OLED용 투명전극, 태양전지용 투명전극, LED용 투명전극 등)에 적용되는 것이고, 이하에서 설명되는 내용은 본 발명의 기술적 사상을 설명하기 위한 실시예들에 불과함을 주의해야 한다.
- [47]
- [48] 도 2a는 본 발명의 바람직한 일 실시예에 따른 투명 전극 및 투명 전극을 구비하는 반도체 장치의 구조를 도시한 도면이다.
- [49] 도 2a를 참조하면, 본 발명의 바람직한 일 실시예에 따른 투명 전극(20)을 구비하는 반도체 장치는, 반도체층(10)과 반도체층(10) 위에 형성된 투명 전극(20)을 포함한다. 또한, 본 발명의 바람직한 실시예에 따른 투명 전극(20)은 반도체층(10) 위에 형성된 전류 확산층(21), 및 전류 확산층(21) 위에 형성된 제 1 전극(22a)과 제 2 전극(23)을 포함한다.
- [50] 전류 확산층(21)은 제 1 전극(22a)을 상호 연결하여 전류 확산 효율을 높이기 위한 것으로서, 투과도 및 전도도가 높은 CNT(Carbon Nano Tube) 또는 그래핀(Graphene)으로 형성되는 것이 바람직하고, 투과도를 저해하지 않기 위해서 제 1 전극들(22a)을 상호 연결할 수 있는, 가능한 얇은 두께로 형성되는

것이 바람직하다. 따라서, 본 발명의 바람직한 실시예에서는 전류 확산층(21)을 약 2nm 내지 약 100nm 의 두께로 형성하였다. 2nm는 CNT 및 그래핀을 단일층으로 형성할 수 있는 최소의 두께이고, 100nm는 빛의 투과도를 80% 이상으로 유지할 수 있는 최대의 두께이다.

- [51] 제 1 전극(22a)은 일정한 패턴으로 전류 확산층(21)위에 형성되고, 제 2 전극(23)은 제 1 전극(22a) 사이의 빈 공간에 채워지도록 전류 확산층(21) 위에 형성된다. 도 2a 에 도시된 예에서, 제 1 전극(22a)은 일정한 간격으로 배치된 막대 형상으로 구현되었으며, 그 단면은 원형, 삼각형 등 그 어느 것이라도 무방하다.
- [52] 제 1 전극(22a)은 반도체층(10)으로 전류를 주입하거나, 반도체층(10)으로부터 유입되는 전류를 외부로 전달하기 위한 것으로서, 반도체층(10)과 오믹 접촉되도록 전도성이 높은 물질로 형성된다.
- [53] 제 2 전극(23)은 막대 형상의 제 1 전극(22a)들의 사이 공간을 채우도록 전류 확산층(21)위에 형성되었고, 반도체층(10)으로부터 유입되는 빛, 특히, 자외선 영역의 빛을 외부로 방출할 수 있도록 투과도가 높은 물질로 형성된다.
- [54] 상술한 투명 전극(20)이 LED에 적용되는 경우에, 제 1 전극(22a)을 통해서 유입된 전류는 전류 확산층(21)에서 반도체층(10) 표면 전체로 확산되어 반도체층(10)으로 주입된다. 이 때, 제 2 전극(23)도 제 1 전극(22a)에 비해서는 낮지만 절연체에 비해서는 높은 전도도를 나타내므로, 제 1 전극(22a)으로 유입되는 전류의 일부는 제 2 전극(23)을 통해서도 전류 확산층(21)으로 유입된다.
- [55] 한편, 반도체층(10)으로부터 투명 전극(20)으로 유입되는 빛의 대부분은 투과도가 높은 제 2 전극(23)을 통해서 외부로 방출되고, 제 1 전극(22a)이 투명한 물질로 형성되는 경우에, 일부의 빛이 제 1 전극(22a)을 통해서도 외부로 방출된다.
- [56] 상술한 바와 같이, 본 발명의 바람직한 실시예는 오믹 특성(전기 전도도 특성)을 향상시키기 위한 제 1 전극(22a)과 광투과도 특성을 향상시키기 위한 제 2 전극(23)을 함께 이용하여 투명 전극(20)을 형성하였다. 이러한, 특성을 만족시키기 위해서, 본 발명의 제 1 전극(22a)은 제 2 전극(23)에 비하여 투과도는 낮으나 전기 전도도가 높은 물질(즉, 밴드갭 에너지가 낮고 접촉 저항이 낮은 물질)로 형성되고, 제 2 전극(23)은 제 1 전극(22a)에 비하여 전기 전도도는 낮으나 투과도가 높은 물질(즉, 밴드갭 에너지가 높고 접촉 저항이 상대적으로 높은 물질)로 형성하였다.
- [57] 본 발명의 바람직한 실시예에서는, 밴드갭 에너지가 4.5eV 이하이고, 접촉 저항이 $10^{-2}\Omega\text{cm}^{-2}$ 이하인 물질(예컨대, ITO(3.5~4.3eV), ZnO(3.37eV), AZO(3.36eV), IZO(3.0eV), GZO(3.51eV), SnO(2.7~3.4 eV), NiO(3.4~4.3 eV), TiO₂(3.2eV), CdO(2.2eV), 및 모든 금속물질)을 이용하여 제 1 전극(22a)을 형성하였으나, 반드시 이러한 물질에 한정되는 것은 아님을 주의해야 한다. 이

때, 제 1 전극(22a)으로 전도도가 높고 투과도가 낮은 물질을 이용할수록(예컨대, 금속 물질을 이용하는 경우), 전체 투과도에 영향을 미치지 않도록 제 1 전극(22a)의 면적은 가능한 작게 형성하는 것이 바람직하다.

[58] 또한, 본 발명의 바람직한 실시예에서는, 밴드갭 에너지가 4.5eV를 초과하고 전기 전도도가 $10^{-9}\Omega^{-1}\text{cm}^{-1}$ 이상인 물질(예컨대, Ga_2O_3 (5.1 eV), Al_2O_3 (7.0eV), SiO_2 (8.9eV), MgO (7.8eV), AlN (6.2eV), 및 전도성을 나타내는 모든 광대역 투명전극 물질)을 이용하여 제 2 전극(23)을 형성하였으나, 반드시 이러한 물질에 한정되는 것은 아님을 주의해야 한다.

[59] 한편, 반도체층(10)은 무기 반도체층과 유기 반도체층을 모두 포함할 뿐만 아니라, 전하가 이동할 수 있는 모든 물질을 포함하는 개념임을 주의하여야 한다. 무기 반도체층은 Si 및 Ge 과 같은 단일 원소로 이루어지는 단일 원소 반도체를 포함한다. 또한, 무기 반도체층은 Nitride 계열의 화합물 반도체층(GaN , AlGaN , InN , InGaN , AlN 등) 및 Oxide 계열의 화합물 반도체층(GaO , ZnO , CoO , IrO_2 , Rh_2O_3 , Al_2O_3 , SnO 등)과 같은 화합물 반도체층을 포함하는 개념이다.

[60] 무기 반도체층은 대표적으로 OLED(Organic Light Emitting Diode)의 전자(정공) 주입층 및 전자(정공) 수송층을 구성하는 물질을 포함하는 개념이다.

[61] 한편, 반도체층(10)의 전도성을 향상시키기 위해서, 반도체층(10)의 투명 전극(20)과 접촉하는 표면에는 p타입 또는 n타입으로 도핑되는 것이 바람직하다.

[62]

[63] 도 2b는 본 발명의 바람직한 다른 실시예에 따른 투명 전극(20) 및 투명 전극(20)을 구비하는 반도체 장치의 구조를 도시한 도면이다.

[64] 도 2b에 도시된 예에서는, 반도체층(10) 위에 전류 확산층(21)이 형성되고, 그 위에 제 1 전극(22b)이 격자 패턴으로 형성된 후, 제 1 전극(22b)들 사이의 공간을 채우도록 제 2 전극(23)이 전류 확산층(21) 위에 형성된다. 전류 확산층(21), 제 1 전극(22b), 및 제 2 전극(23)으로 이용되는 물질은 상술한 예와 동일하므로 구체적인 설명은 생략한다.

[65] 한편, 도 2a 및 도 2b에 도시된 본 발명의 바람직한 실시예 이외에도, 전기 전도도와 광투과도가 서로 다른 전극을 이용하여 형성된 투명 전극(20)의 변형 실시예들은 모두 본 발명의 기술적 사상의 범위내에 포함된다.

[66] 예컨대, 상술한 도 2a에 도시된 예에서는, 막대 형상을 갖는 복수개의 제 1 전극(22a)이 일정한 패턴으로 배치되었으나, 하나의 제 1 전극이 막대 형상으로 전류 확산층(21) 위에 형성되고, 제 1 전극 주변을 모두 채우도록 제 2 전극이 전류 확산층(21) 위에 형성된 투명 전극(20)도 생성될 수 있다.

[67] 또한, 상술한 실시예들에서는, 반도체층(10) 위에 전류 확산층(21)이 형성되고, 그 위에 제 1 전극(22a, 22b) 및 제 2 전극(23)이 형성되는 것으로 설명하였으나, 전류 확산층(21)은 전류 확산 효과를 향상시키기 위한 구성일 뿐이므로, 투명 전극(20)에서 전류 확산층(21)이 생략될 수도 있다. 이 경우에, 반도체층(10) 위에 제 1 전극(22c) 및 제 2 전극(23)이 직접 형성되고, 제 1 전극(22c)과 접촉하는 제 2

전극(23)에 의해서 전류가 반도체층(10) 전체로 확산될 수 있다(도 2c의 (a) 참조).

[68]

[69] 또한, 본 발명의 다른 변형 실시예에서는, 도 2c의 (b)에 도시된 바와 같이, 제 1 전극(22d)이 반도체층(10)과 직접 접촉하도록 반도체층(10) 위에 형성되고, 반도체층(10)의 표면과 제 1 전극(22d)의 표면에 전류 확산층(21-1)이 형성된다. 제 2 전극(23)은 제 1 전극(22d) 사이의 공간을 채우도록 형성된다. 이 때, 제 2 전극(23)은 도시된 바와 같이, 제 1 전극(22d) 또는 반도체층(10)과 접촉되지 않고, 오직 전류 확산층(21-1)과만 접촉된다.

[70]

또한, 본 발명의 다른 변형 실시예에서는, 도 2c의 (c)에 도시된 바와 같이, 반도체층(10)위에 전류 확산층(21-2)이 형성되고, 전류 확산층(21) 위에 제 1 전극(22e)이 형성된다. 또한, 제 1 전극(22e)의 표면에 전류 확산층(21-2)과 동일한 재질로 전류 확산층(21-2)을 추가로 형성된 후, 도 2c의 (b)에 도시된 것과 동일한 방식으로, 제 1 전극(22e) 사이 영역을 채우도록 제 2 전극(23)이 형성된다.

[71]

[72] 도 3a는 상술한 본 발명의 바람직한 실시예 및 변형 실시예에 따른 투명 전극(20)의 투과도 측정 데이터를 도시하는 그래프이고, 도 3b는 상술한 본 발명의 바람직한 실시예 및 변형 실시예에 따른 투명 전극(20)의 오믹 특성을 측정한 데이터를 도시하는 그래프이다.

[73]

도 3a 및 도 3b에 도시된 그래프는, 반도체층(10)으로 P-GaN층을, 제 1 전극(22a, 22c, 22d, 22e)으로 ITO전극을, 전류 확산층(21, 21-1, 21-2)으로 CNT층을, 제 2 전극(23)으로 Ga_2O_3 를 이용하여 측정한 그래프로서, 도 2a에 도시된 실시예의 측정 결과를 "CNT+ITO-rod"로 표시하였고, 도 2c의 (a)에 도시된 실시예의 측정 결과를 "Only ITO-rod"로 표시하였으며, 도 2c의 (b)에 도시된 실시예의 측정 결과를 "ITO-rod+CNT"로 표시하였고, 도 2c의 (d)에 도시된 실시예의 측정 결과를 "CNT+ITO-rod+CNT"로 표시하였다.

[74]

[75] 먼저, 도 3a를 참조하면, 모든 실시예의 투과도 측정 결과가 300nm의 자외선 영역의 빛에 대해서 90% 이상의 양호한 투과도를 나타냄을 알 수 있고, 가장 투과도가 낮은 도 2c의 (a)에 도시된 실시예("Only ITO-rod")의 경우에도 90% 이상의 투과도를 나타냄을 알 수 있다.

[76]

이러한 결과는, 도 1a에 도시된, 300nm 영역의 빛에 대한 투과도가 20~30%인 종래의 ITO 투명 전극에 비하여 투과도가 현저하게 개선된 것임을 알 수 있다.

[77]

또한, 도 3b를 참조하면, 본 발명의 모든 실시예의 투명 전극이 높은 투과도를 나타내면서도, 양호한 오믹 특성을 나타냄을 알 수 있다. 특히, 도 2c의 (d)에 도시된 실시예("CNT+ITO-rod+CNT")가 가장 양호한 전도도를 나타낸다.

[78]

단, 도 3b에 도시된 그래프는 200 μm 간격으로 TLM(Transfer Length Method) 패턴을 구성하여 측정한 결과를 나타낸 것으로서, 도 1a의 종래 기술의 패턴 간격 약 2 μm 보다 패턴 간격이 100배 가량 길어 전류측정값이 상대적으로 작게

측정되었다. 따라서, 본 발명의 경우에도 TLM 패턴 간격을 종래기술과 동일한 약 $2\mu\text{m}$ 로 설정한다면, 전류 측정값은 도 3b에 나타난 값보다 훨씬 큰 값이 나올 것임을 당업자는 알 수 있을 것이다.

[79] 지금까지 본 발명의 바람직한 실시예에 따른 투명 전극 및 이를 구비하는 반도체 장치에 대해서 설명하였다.

[80]

[81] 이하에서는, 도 2a 및 도 2b에 도시된 투명 전극(20)을 형성하는 방법을 도시하는 도 4를 참조하여, 투명 전극의 형성 방법을 설명한다.

[82] 도 4를 참조하면, 투명 전극(20)이 형성될 반도체층(10) 위에, 전류 확산층(21)을 형성한다(도 4의 (a)참조). 상술한 바와 같이, 전류 확산층(21)은 CNT 또는 그래핀으로 2nm 내지 100nm의 두께로 형성하는 것이 바람직한데, 이를 위해서, CNT 또는 그래핀이 포함된 용액을 반도체층(10) 위에 코팅하고 용액을 증발시켜 전류 확산층(21)을 형성할 수 있다.

[83] 그 후, 전류 확산층(21) 위에 포토레지스트(41)를 형성하고 마스크(51)를 이용하여 노광 및 현상하여 제 1 전극(22a, 22b)을 형성할 패턴 영역의 포토레지스트를 제거한 후(도 4의 (b)참조), 제 1 전극(22a, 22b) 물질을 증착하여 제 1 전극(22a, 22b) 패턴을 형성한다(도 4의 (c)참조). 이 때, 도 2a에 도시된 바와 같이, 일정한 간격으로 막대 형상의 제 1 전극(22a) 패턴이 형성될 수 있고, 도 2b에 도시된 바와 같이, 격자 형상의 제 1 전극(22b) 패턴이 형성될 수도 있으며, 이 밖에 다른 패턴의 제 1 전극이 형성될 수도 있음은 물론이다.

[84] 제 1 전극(22a, 22b) 패턴이 형성된 후, 다시, 전류 확산층(21) 및 제 1 전극(22a, 22b) 패턴 위에 포토레지스트(42)를 형성하고 마스크(52)를 이용하여 노광 및 현상하여 전류 확산층(21) 위에 제 2 전극(23)이 형성될 영역에 형성된 포토레지스트(42)를 제거한 후(도 4의 (d)참조), 제 2 전극(23) 물질을 증착하여 제 1 전극(22a, 22b)들의 사이를 채우는 제 2 전극(23)을 형성한다(도 4의 (e)참조).

[85] 이어서, 제 1 전극(22a, 22b) 위에 형성된 포토레지스트(42) 및 제 2 전극(23) 물질을 제거하여 상술한 바와 같은 투명 전극(20)을 완성한다.

[86]

[87] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 반도체층에 일면이 접촉하고, 빛의 투과도 및 전도도가 서로 다른 제 1 전극 및 제 2 전극을 포함하는 투명 전극.
- [청구항 2] 제 1 항에 있어서,
상기 제 1 전극은 상기 제 2 전극보다 전기 전도도가 높고, 상기 제 2 전극은 상기 제 1 전극보다 빛의 투과도가 높은 것을 특징으로 하는 투명 전극.
- [청구항 3] 제 1 항에 있어서,
상기 제 1 전극은 일정한 패턴으로 형성되고,
상기 제 2 전극은 상기 제 1 전극들 사이를 채우도록 형성되는 것을 특징으로 하는 투명 전극.
- [청구항 4] 제 3 항에 있어서,
상기 제 1 전극은 복수의 전도성 막대가 일정한 간격으로 배치된 패턴으로 형성된 것을 특징으로 하는 투명 전극.
- [청구항 5] 제 3 항에 있어서,
상기 제 1 전극은 격자 패턴으로 형성된 것을 특징으로 하는 투명 전극.
- [청구항 6] 제 1 항 내지 제 5 항 중 어느 한 항에 있어서,
상기 투명 전극은 상기 반도체층과 접촉하는 면에 전류 확산층을 더 포함하고, 상기 제 1 전극 및 상기 제 2 전극은 상기 전류 확산층에 접촉하도록 형성되는 것을 특징으로 하는 투명 전극.
- [청구항 7] 제 6 항에 있어서,
상기 제 1 전극의 표면에는 상기 전류 확산층이 형성되고, 상기 제 2 전극은 상기 전류 확산층과 접촉하면서 상기 제 1 전극들 사이를 채우도록 형성되는 것을 특징으로 하는 투명 전극.
- [청구항 8] 제 6 항에 있어서,
상기 전류 확산층은 CNT(Carbon Nano Tube) 또는 그래핀(graphene)으로 형성되는 것을 특징으로 하는 투명 전극.
- [청구항 9] 제 1 항 내지 제 5 항 중 어느 한 항에 있어서,
상기 반도체층에 접촉한 제 1 전극의 표면과 상기 반도체층의 표면 위에 형성된 전류 확산층을 더 포함하고, 상기 제 2 전극은 상기 전류 확산층과 접촉하면서 상기 제 1 전극들 사이를 채우도록 형성되는 것을 특징으로 하는 투명 전극.
- [청구항 10] 제 1 항 내지 제 5 항 중 어느 한 항에 있어서,
상기 제 1 전극은 상기 반도체층에 접촉하여 상기 반도체층에 수직한 방향으로 형성되고, 상기 제 2 전극은 상기 제 1 전극 사이의 공간을 채우도록 상기 반도체층과 접촉하여 형성되는 것을

- 특징으로 하는 투명 전극.
- [청구항 11] 제 1 항 내지 제 5 항 중 어느 한 항의 투명 전극을 포함하는 반도체 장치.
- [청구항 12] (a) 제 1 전극을 형성하는 단계; 및
(b) 상기 제 1 전극과 빛의 투과도 및 전도도가 다른 제 2 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 투명 전극 형성 방법.
- [청구항 13] 제 12 항에 있어서,
상기 제 1 전극은 상기 제 2 전극보다 전기 전도도가 높고, 상기 제 2 전극은 상기 제 1 전극보다 빛의 투과도가 높은 것을 특징으로 하는 투명 전극 형성 방법.
- [청구항 14] 제 12 항에 있어서,
상기 (a) 단계에서, 상기 제 1 전극은 일정한 패턴으로 형성되고,
상기 (b) 단계에서, 상기 제 2 전극은 상기 제 1 전극들 사이를 채우도록 형성되는 것을 특징으로 하는 투명 전극 형성 방법.
- [청구항 15] 제 14 항에 있어서,
상기 (a) 단계에서, 상기 제 1 전극은 복수의 전도성 막대가 일정한 간격으로 배치된 패턴으로 형성되는 것을 특징으로 하는 투명 전극 형성 방법.
- [청구항 16] 제 14 항에 있어서,
상기 (a) 단계에서, 상기 제 1 전극은 격자 패턴으로 형성되는 것을 특징으로 하는 투명 전극 형성 방법.
- [청구항 17] 제 12 항 내지 제 16 항 중 어느 한 항에 있어서,
상기 (a) 단계 이전에, 상기 반도체층과 접촉하는 면에 전류 확산층을 형성하는 단계를 더 포함하고, 상기 제 1 전극 및 상기 제 2 전극은 상기 전류 확산층에 접촉하도록 형성되는 것을 특징으로 하는 투명 전극 형성 방법.
- [청구항 18] 제 17 항에 있어서,
상기 (a) 단계에서, 상기 제 1 전극이 상기 전류 확산층에 접촉하도록 형성된 후, 상기 제 1 전극의 표면에 상기 전류 확산층이 추가로 형성되고,
상기 (b) 단계에서, 상기 제 2 전극은 상기 전류 확산층과 접촉하면서 상기 제 1 전극들 사이를 채우도록 형성되는 것을 특징으로 하는 투명 전극 형성 방법.
- [청구항 19] 제 17 항에 있어서,
상기 전류 확산층은 CNT(Carbon Nano Tube) 또는 그래핀(graphene)으로 형성되는 것을 특징으로 하는 투명 전극 형성 방법.

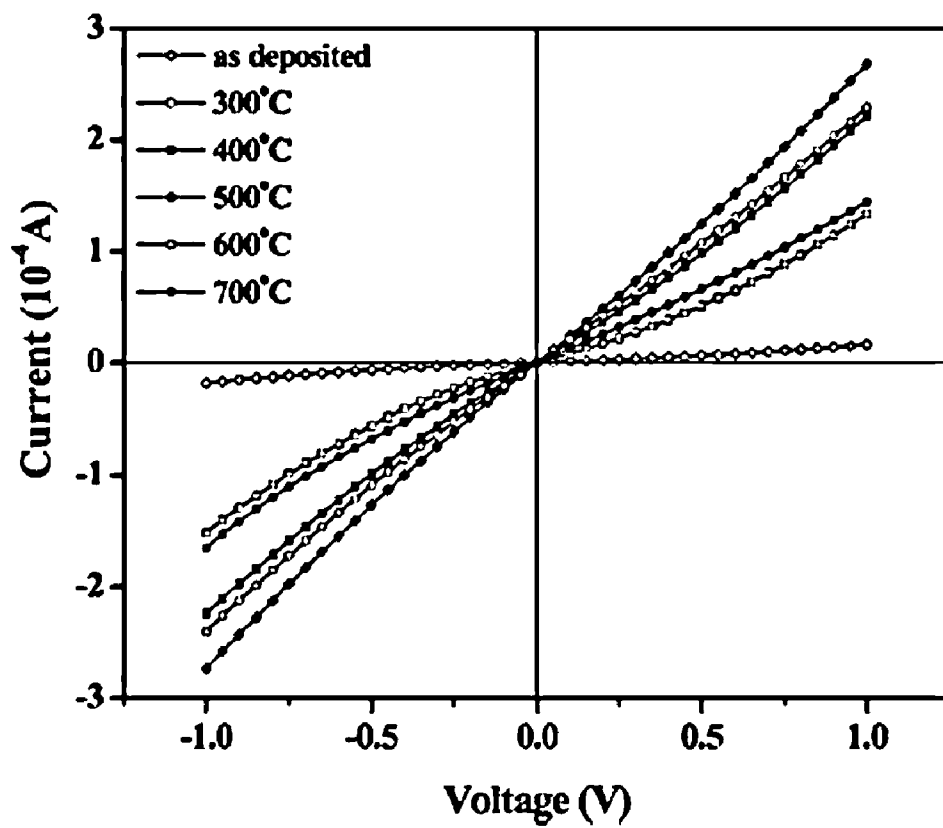
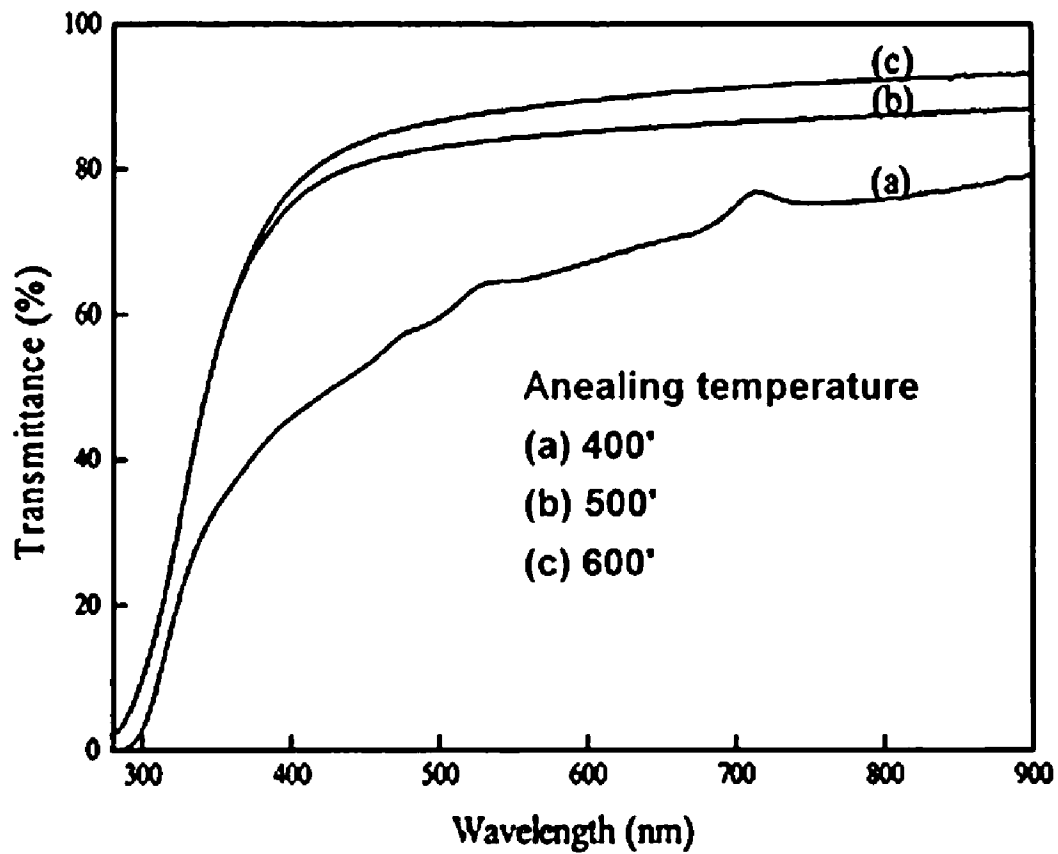
[청구항 20]

제 12 항 내지 제 16 항 중 어느 한 항에 있어서,
상기 (a) 단계에서, 상기 제 1 전극은 상기 반도체층에 접촉하도록
형성되고,
상기 (a) 단계와 상기 (b) 단계 사이에, 상기 제 1 전극의 표면과
상기 반도체층의 표면 위에 전류 확산층이 형성되는 단계를 더
포함하며,
상기 (b) 단계에서, 상기 제 2 전극은 상기 전류 확산층과
접촉하면서 상기 제 1 전극들 사이를 채우도록 형성되는 것을
특징으로 하는 투명 전극 형성 방법.

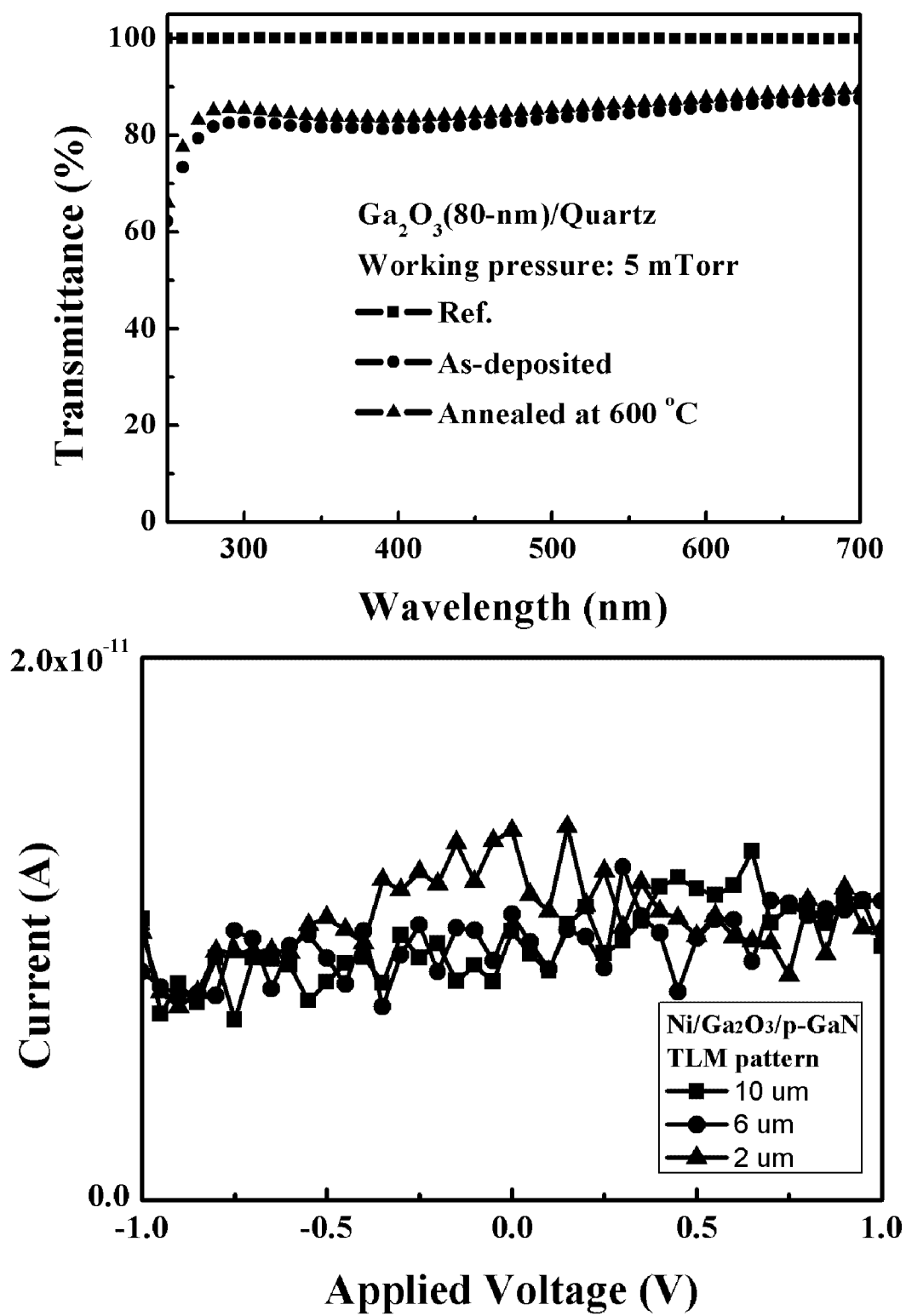
[청구항 21]

제 12 항 내지 제 16 항 중 어느 한 항에 있어서,
상기 (a) 단계에서, 상기 제 1 전극은 상기 반도체층에 접촉하도록
상기 반도체층에 수직한 방향으로 형성되고,
상기 (b) 단계에서, 상기 제 2 전극은 상기 제 1 전극 사이의 공간을
채우도록 상기 반도체층과 접촉하여 형성되는 것을 특징으로 하는
투명 전극 형성 방법.

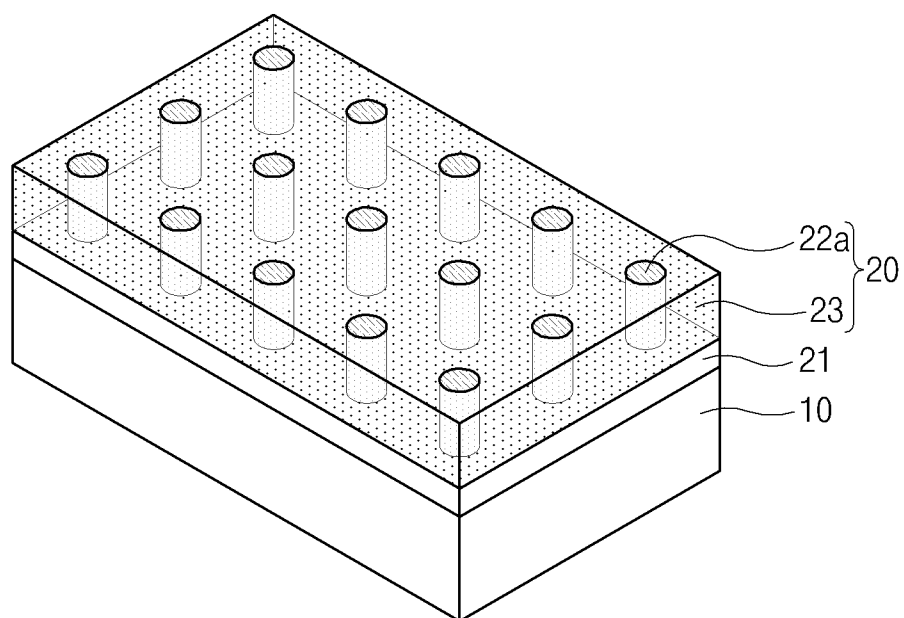
[Fig. 1a]



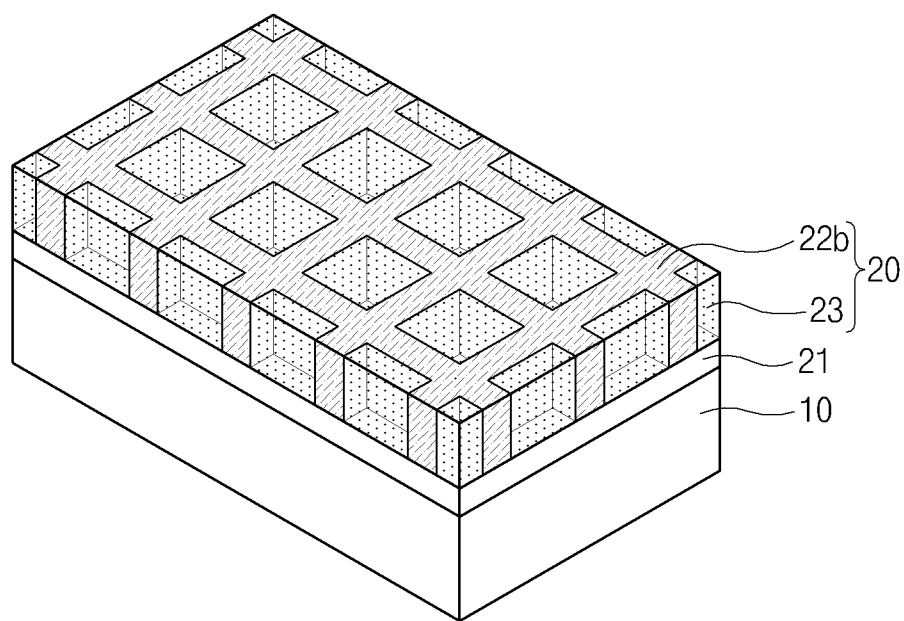
[Fig. 1b]



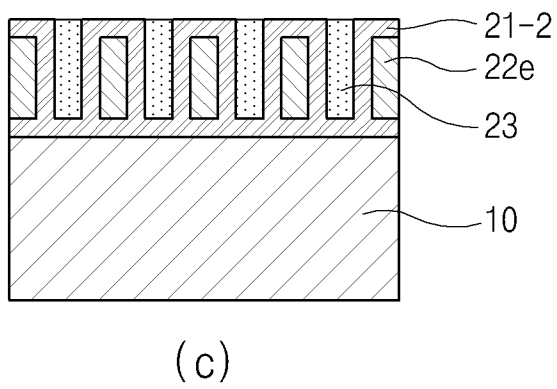
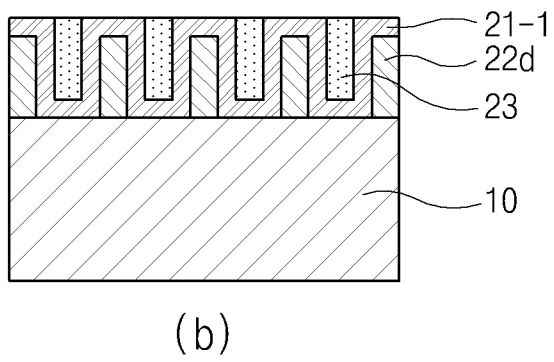
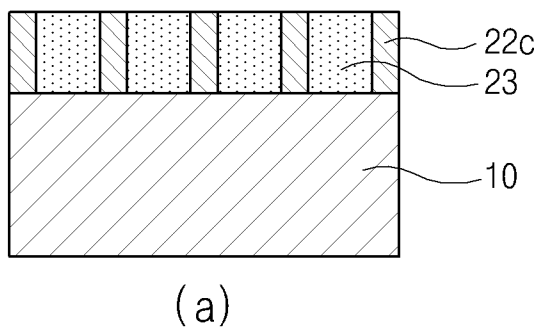
[Fig. 2a]



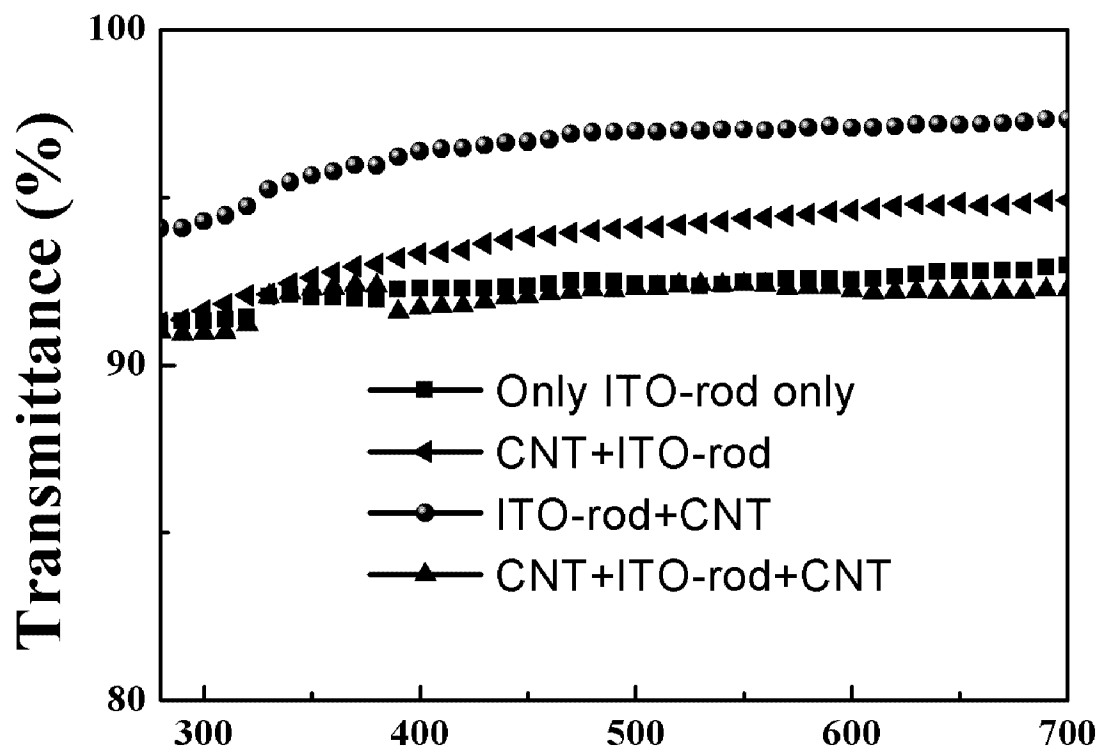
[Fig. 2b]



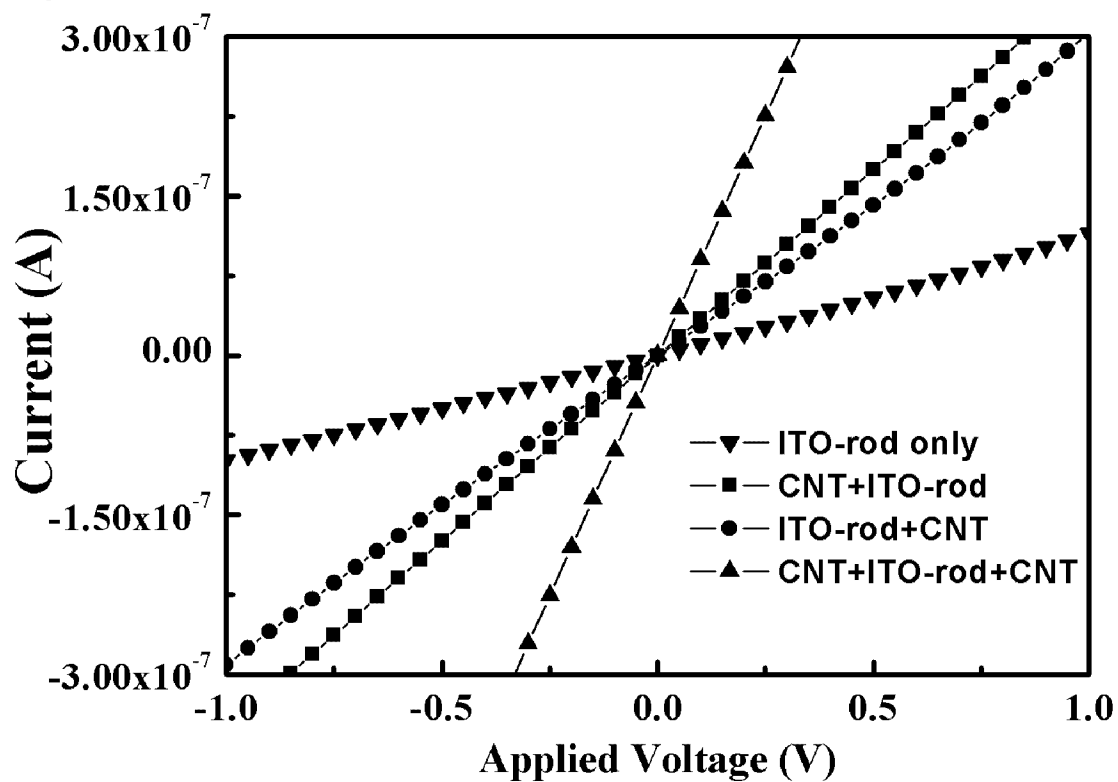
[Fig. 2c]



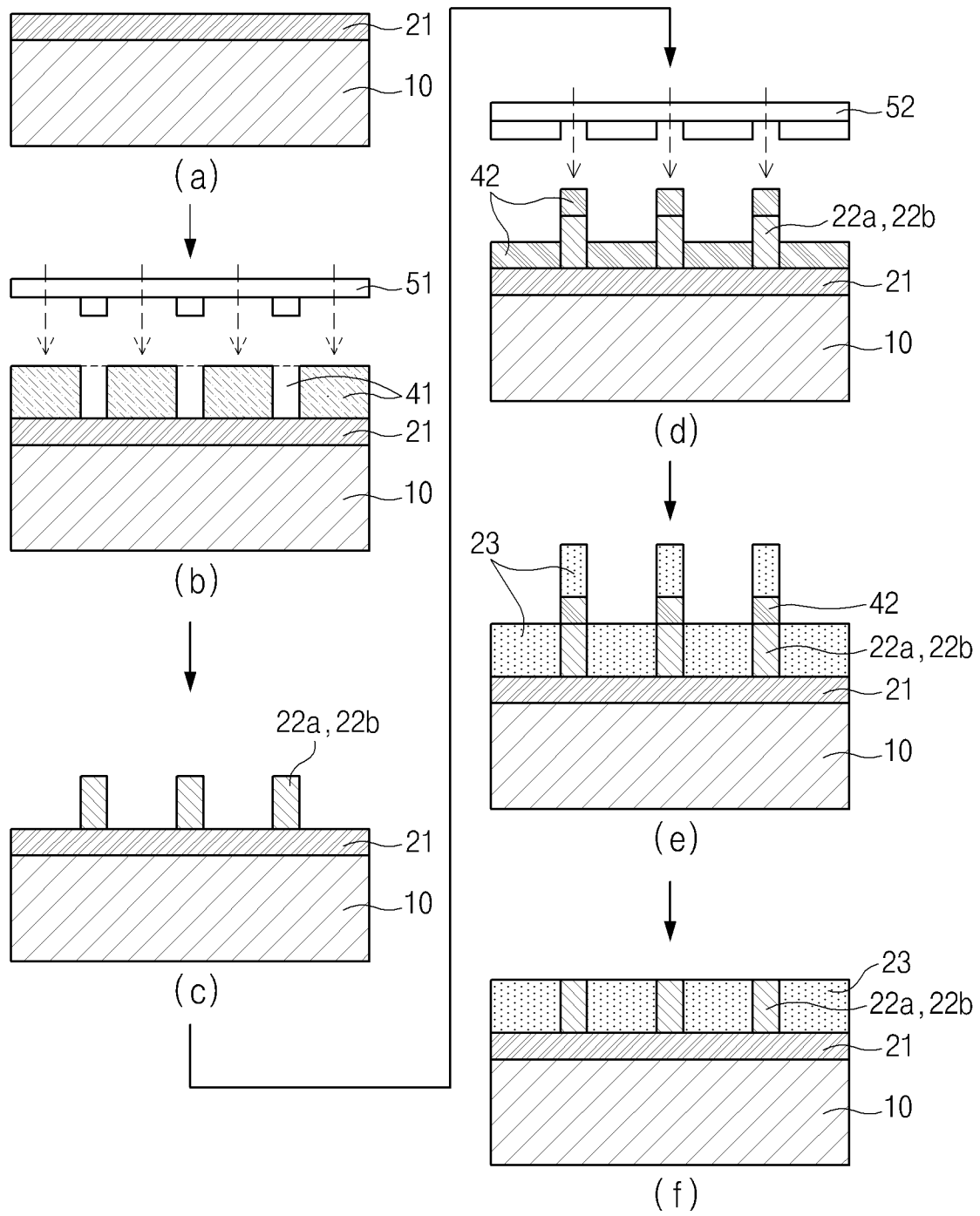
[Fig. 3a]



[Fig. 3b]



[Fig. 4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2013/004490**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 33/42(2010.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/42; B82Y 20/00; H01L 33/00; H01L 33/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: conductivity, transparent, submission, graphene, current spreading, pattern

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-0717258 B1 (SEOUL OPTO DEVICE CO., LTD.) 15 May 2007	1-4,5,10,11-15,16
Y	See abstract, paragraphs <28>-<42>, claims 1-7, figures 2-3g	,21 6-9,17-20
Y	KR 10-2012-0044545 A (SAMSUNG ELECTRONICS CO., LTD.) 08 May 2012	6-9,17-20
A	See abstract, pages 5-7, claims 1-5, figures 1-5	1-5,10-16,21
A	KR 10-2009-0012494 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 04 February 2009	1-21
	See abstract, claims 1-15, figures 1-7	
A	KR 10-2004-0107700 A (POSTECH FOUNDATION) 23 December 2004	1-21
	See abstract, page 3, claim 1, figure 1	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

29 AUGUST 2013 (29.08.2013)

Date of mailing of the international search report

02 SEPTEMBER 2013 (02.09.2013)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2013/004490

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-0717258 B1	15/05/2007	NONE	
KR 10-2012-0044545 A	08/05/2012	CN102456797 A US 2012-0104432 A1	16/05/2012 03/05/2012
KR 10-2009-0012494 A	04/02/2009	JP 04-927042B2 JP 2009-033180A US 2009-0184334 A1 US 8405103 B2	09/05/2012 12/02/2009 23/07/2009 26/03/2013
KR 10-2004-0107700 A	23/12/2004	CN1806344 A CN1806344 C0 US 2006-0292839 A1 WO 2004-109815 A1	19/07/2006 03/09/2008 28/12/2006 16/12/2004

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/42(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/42; B82Y 20/00; H01L 33/00; H01L 33/36

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 전도성, 투명, 투고, 그래핀, 전류확산, 패턴

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-0717258 B1 (서울옵토디바이스주식회사) 2007.05.15 요약, 문단번호 <28>-<42>, 청구항 1-7, 도면 2-3g 참조	1-4,5,10,11-15,16 ,21
Y		6-9,17-20
Y	KR 10-2012-0044545 A (삼성엘이디 주식회사) 2012.05.08 요약, 페이지 5-7, 청구항 1-5, 도면 1-5 참조	6-9,17-20
A		1-5,10-16,21
A	KR 10-2009-0012494 A (삼성전기주식회사) 2009.02.04 요약, 청구항 1-15, 도면 1-7 참조	1-21
A	KR 10-2004-0107700 A (학교법인 포항공과대학교) 2004.12.23 요약, 페이지 3, 청구항 1, 도면 1 참조	1-21

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2013년 08월 29일 (29.08.2013)

국제조사보고서 발송일

2013년 09월 02일 (02.09.2013)

ISA/KR의 명칭 및 우편주소

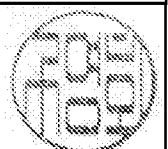
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

구영희

전화번호 +82-42-481-8376



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-0717258 B1	2007/05/15	없음	
KR 10-2012-0044545 A	2012/05/08	CN102456797 A US 2012-0104432 A1	2012/05/16 2012/05/03
KR 10-2009-0012494 A	2009/02/04	JP 04-927042B2 JP 2009-033180A US 2009-0184334 A1 US 8405103 B2	2012/05/09 2009/02/12 2009/07/23 2013/03/26
KR 10-2004-0107700 A	2004/12/23	CN1806344 A CN1806344 C0 US 2006-0292839 A1 WO 2004-109815 A1	2006/07/19 2008/09/03 2006/12/28 2004/12/16