

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5032590号
(P5032590)

(45) 発行日 平成24年9月26日 (2012.9.26)

(24) 登録日 平成24年7月6日 (2012.7.6)

(51) Int.Cl.		F I			
HO 1 G	4/30	(2006.01)	HO 1 G	4/30	3 0 1 C
HO 1 G	4/232	(2006.01)	HO 1 G	4/12	3 5 2
HO 1 G	4/12	(2006.01)	HO 1 G	4/12	3 6 4
HO 1 C	7/10	(2006.01)	HO 1 G	4/30	3 1 1 D
			HO 1 C	7/10	

請求項の数 12 (全 11 頁)

(21) 出願番号 特願2009-549821 (P2009-549821)
 (86) (22) 出願日 平成20年2月11日 (2008.2.11)
 (65) 公表番号 特表2010-518651 (P2010-518651A)
 (43) 公表日 平成22年5月27日 (2010.5.27)
 (86) 国際出願番号 PCT/EP2008/051618
 (87) 国際公開番号 W02008/098903
 (87) 国際公開日 平成20年8月21日 (2008.8.21)
 審査請求日 平成22年12月16日 (2010.12.16)
 (31) 優先権主張番号 102007007113.4
 (32) 優先日 平成19年2月13日 (2007.2.13)
 (33) 優先権主張国 ドイツ (DE)

(73) 特許権者 300002160
 エプコス アクチエンゲゼルシャフト
 EPCOS AG
 ドイツ連邦共和国 ミュンヘン ザンクト
 -マルティン-シュトラッセ 53
 St. -Martin-Strasse
 53, D-81669 Muenche
 n, Germany
 (74) 代理人 100095407
 弁理士 木村 満
 (74) 代理人 100109449
 弁理士 毛受 隆典
 (74) 代理人 100132883
 弁理士 森川 泰司

最終頁に続く

(54) 【発明の名称】 多層素子

(57) 【特許請求の範囲】

【請求項 1】

少なくとも1つの第1内部電極(1)と、少なくとも1つの第2内部電極(2)とが配置された本体(5)を備え、

前記第1及び第2内部電極(1、2)は、少なくとも1側面において前記本体(5)の表面まで広がる重複領域(12)を有し、

前記第1及び第2内部電極(1、2)は、前記本体(5)の各角領域に凹部(7)を有し、

前記本体(5)に、少なくとも1つの第3の内部電極(3)と、少なくとも1つの第4の内部電極(4)とが配置され、

前記第3及び第4内部電極(3、4)は、少なくとも1側面において、前記本体(5)の前記表面まで広がる重複領域(34)を有し、

前記第1及び第2内部電極は、第1機能ユニットを形成し、前記第3及び第4内部電極は、分離領域(9)により前記第1機能ユニットから分離された第2機能ユニットを形成する

ことを特徴とする多層素子。

【請求項 2】

少なくとも1つの前記第1及び第2内部電極(1、2)は、前記本体(5)の前記表面と接触する外縁を有し、前記外縁は、保護層(6)により覆われる

ことを特徴とする請求項1に記載の多層素子。

【請求項 3】

前記本体(5)は、2つの平行する第1側面(51、52)と2つの平行する第2側面(53、54)とを有し、

前記第1及び第2内部電極(1、2)は、前記本体(5)の前記第1側面(51、52)の少なくとも1つに配置された外部電極(81、82)に接続され、

前記重複領域(12)は、前記本体(5)の前記第2側面(53、54)の少なくとも1つまで広がる

ことを特徴とする請求項1又は2に記載の多層素子。

【請求項 4】

前記第1及び第3内部電極(1、3)は第1平面に配置され、

前記第2及び第4内部電極(2、4)は第2平面に配置される

ことを特徴とする請求項1乃至3のいずれか1項に記載の多層素子。

10

【請求項 5】

前記第3及び第4内部電極(3、4)は、前記本体(5)の前記表面と接触する外縁を有し、前記外縁は保護層(6)により覆われる

ことを特徴とする請求項1乃至4のいずれか1項に記載の多層素子。

【請求項 6】

前記本体(5)は、バリスタセラミックを含む

ことを特徴とする請求項1乃至5のうちいずれか1項に記載の多層素子。

【請求項 7】

前記本体(5)は、コンデンサセラミックを含む

ことを特徴とする請求項1乃至5のうちいずれか1項に記載の多層素子。

20

【請求項 8】

前記保護層(6)は、ガラスを含む

ことを特徴とする請求項2乃至7のうちいずれか1項に記載の多層素子。

【請求項 9】

前記保護層(6)と前記本体(5)とは、同一のセラミック材料を含む

ことを特徴とする請求項2乃至7のうちいずれか1項に記載の多層素子。

【請求項 10】

前記保護層(6)の一部は、外部電極(81、82)の下に配置され、

前記保護層(6)は、各種の内部電極(1、2、3、4)と、それらに接続する外部電極(81、82)との間の接続のために貫通して接続される

ことを特徴とする請求項2乃至9のうちいずれか1項に記載の多層素子。

30

【請求項 11】

前記保護層(6)は、前記本体(5)の全表面を覆う

ことを特徴とする請求項2乃至10のうちいずれか1項に記載の多層素子。

【請求項 12】

第1の極性の前記第1内部電極(1)と異極性の外部電極(82)との間の距離(d)は、前記保護層(6)の厚さ(t)よりも全体的に大きい

ことを特徴とする請求項2乃至11のうちいずれか1項に記載の多層素子。

40

【発明の詳細な説明】

【背景技術】

【0001】

電気的多層素子は、特許文献1及び特許文献2に記載されている。

【先行技術文献】

【特許文献】

【0002】

【特許文献1】独国特許出願公開第102004005664号明細書

【特許文献2】特開平3-239303号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0003】

解決すべき課題は、とりわけ広いアクティブ領域を有する電子素子を明示することである。

【0004】

少なくとも1つの第1内部電極と、少なくとも1つの第2内部電極とを備える本体を有する多層素子であって、少なくとも1つの側面において本体の表面まで広がる重複領域を備える多層素子が明記される。

【課題を解決するための手段】

【0005】

本体の基板領域は、容量素子を形成するのに効率的な方法で利用されるので、明記される素子は、とりわけ大きな容量により特徴付けられる。容量値は、重複電極の領域が増加するに従い上昇する。

【0006】

好ましくは、本体は、間に内部電極が配置されたセラミック層を有する。セラミック層は、誘電性となり得る。それらは、例えば、圧電性となり得る。セラミック層は少なくとも1つの温度領域において、電氣的に導電性にもなり得る。

【0007】

第1及び第2内部電極は、本体の表面に達する外縁を有し、それらは電氣的に絶縁した保護層によって覆われる。これは、本体の少なくとも1つの側面に適用される。第1及び第2内部電極の外縁は、本体の表面の少なくとも2つの側面に達することも可能である。

【0008】

保護層は、本体の少なくとも一部を覆い、全本体における1つの変形形態では、本体の表面まで広がる内部電極を湿気及び他の有害な環境影響から保護する。保護層が完全に本体を覆う変形形態は、特に有利である。

【0009】

有利な変形形態において、本体は、互いに平行な2つの第1側面と、互いに平行な2つの第2側面とを有する。少なくとも1つの第1内部電極は、第1外部電極と接続され、少なくとも1つの第2内部電極は、第2外部電極に接続される。外部電極は、本体の第1側面の少なくとも1つに配置される。第1及び第2内部電極の重複領域は、本体の第2側面の少なくとも1つまで広がる。1つの変形形態においては、重複領域は、本体の両方の第2側面まで広がる。

【0010】

有利な変形形態では、本体中に、少なくとも1つの第3内部電極及び少なくとも1つの第4内部電極があり、これらの内部電極が、本体の表面の、少なくとも1つの側面まで及び重複領域を有する。

【0011】

少なくとも1つの第3及び第4内部電極はそれぞれ、好適には保護層で覆われた本体の表面に達する外縁を有する。第1及び第2内部電極の記載は、第3及び第4内部電極にも有効である。

【0012】

第1内部電極と第3内部電極は、互いに隣接して第1平面に配置され、第2内部電極と第4内部電極は、互いに隣接して第2平面に配置される。少なくとも第1及び第2内部電極は、第1内部電極と第2内部電極との間に位置するセラミック層と共に、第1機能ユニットを形成する。少なくとも1つの第3及び第4内部電極は、第3内部電極と第4内部電極との間に位置するセラミック層と共に、第2機能ユニットを形成する。この第2機能ユニットは、分離領域によって第1機能ユニットから分離され、好適には、第1機能ユニットから電氣的に絶縁される。

【0013】

原則として、2つのみではなくそれ以上の機能ユニットが本体に組み込まれ得る。機能

10

20

30

40

50

ユニットは、例えば、容量素子又は抵抗素子、好ましくは、素子の本体に組み込まれるバリスタ素子と考えられる。

【0014】

内部電極はそれぞれ、本体の少なくとも1つの角領域において、少なくとも1つの凹部を有することが好ましい。なぜなら、角領域は、機能ユニットの電気特性に影響を与え得るクラック形成を起こすリスクが高いからである。

【0015】

1つの変形形態では、各種の内部電極が複数あり、したがって、少なくとも2つの第1内部電極と、任意に、少なくとも2つの第2内部電極と、さらに少なくとも2つの第3内部電極と、少なくとも2つの第4内部電極がある。各種の内部電極は関連する外部電極により電氣的に接続される。

10

【0016】

内部電極は、例えば、次の金属や金属合金、Ag、AgPd、AgPt、Pt、Cu、Ni、を含み得る。

【0017】

各種の内部電極には、少なくとも1つの関連する外部電極が設けられることが好ましい。外部電極は、外部からアクセス可能であり、外部から素子と接続するのに役立つ。

【0018】

外部電極は、素子の側面に少なくとも部分的に、例えば本体の側面に、位置するのが好ましい。外部電極の端領域は、本体の上面及び/又は底面にも配置され得る。外部電極の少なくとも一部分は、保護層にも配置され得る。

20

【0019】

1つの変形形態における本体は、バリスタセラミックを含む。バリスタセラミックは、例えば、ZnO-Bi、ZnO-Pr、又は他の適当な材料を含み得る。

【0020】

本体は、コンデンサセラミックも含み得る。コンデンサセラミックとして、例えば、次の、NP0、X7R、X8R、Z5Uが考えられる。これらの名称は、セラミック材料の温度クラスを示す。有利な変形形態では、本体は少なくとも1つのバリスタセラミック層及び少なくとも1つのコンデンサセラミック層を含む。

【0021】

機能ユニットは、例えば、多層コンデンサとして設計され得る。あるいは、機能ユニットは多層抵抗として設計され得る。機能ユニットは、電氣的に共に接続されたコンデンサ及び抵抗をもまた含み得る。

30

【0022】

1つの変形形態において、保護層はガラスを含む。原則的に、保護層はセラミック材料を含み得る。

【0023】

他の実施形態において、保護層は、本体と同一のセラミック材料を含む。好ましくは、保護層は本体と同じセラミックから成る。

【0024】

保護層は、少なくとも、本体の側面の領域を覆い、内部電極は保護層を露出することなく本体の端まで伸びる。また、保護層は、全本体も覆い得る。保護層の一部は、外部電極の下に配置され得、保護層は、各種類の内部電極と、それらに接続する外部電極との間で接続される。

40

【0025】

第1内部電極は、第1外部電極と電氣的に接続され、第2外部電極から離間し、電氣的に絶縁される。第2内部電極は、第2外部電極に電氣的に接続され、第1外部電極から離間し、電氣的に絶縁される。これは、第3及び第4内部電極と、第3及び第4外部電極とも同様に、適用される。

【0026】

50

有利な変形形態において、各内部電極は、換算幅を備える領域を有し、外部電極の方向を向き、外部電極に接続される。

【0027】

明記された素子は、例えば、次のステップを有する方法により製造され得る。第1のセラミック箔は、導体ペースト、例えば、金属ペーストで、好ましくはスクリーン印刷工程において、印刷される。印刷されたセラミック箔は、互いに閉じられ、ラミネート加工される。形成されたスタックは圧縮され、脱炭素処理をされ、焼結される。脱炭素処理の前、又は焼結の後に、スタックは複数のプリカーサ素子を形成するために分離され得る。各プリカーサ素子は、一つの本体を有する。

【0028】

1つの変形形態において、内部電極用に使用されるペーストは、セラミック箔よりも大きく焼結収縮し得る。これにより、内部電極は、焼結工程の間に、引き戻る。その後、内部電極は、保護層の材料によって外部から外側に向かって閉じられる。あるいは、結果として生じるスペースは、保護層の適用により埋め尽くされ得る。内部電極は、焼結の前に引き戻るため、共焼結される。したがって、内部電極が、焼結の間セラミック箔によって外部から密閉されることもまた可能である。

【0029】

プリカーサ素子は摩耗され、エッチングされ、又は、内部電極を露出するための類似の工程で処理される。特に、外部電極と接続する予定の内部電極の領域は、露出される。

【0030】

関連するプリカーサ素子の本体は、不動態化される。この場合、電気的に絶縁された保護層は、その表面上に生成される。1つの変形形態において、この工程は、内部電極を露出した後に生じる。あるいは、脱炭素処理の前に保護層を適用し、本体と共にそれを焼結することが可能である。

【0031】

好ましくは不動態化の後、外部電極は、例えば浸漬工程において、本体の側面に生成される。しかし、外部電極は、不動態化の前にも生成され得る。本体は、導体ペーストに浸漬され、そして乾燥され、焼かれる。

【0032】

保護層は、例えば、スプレー工程において本体に付けられ得る。その際、一様な厚さで比較的薄い層が生成される。保護層の厚さは、20 μ メートルを超えないように選択されることが好ましい。外部電極がエッチングされる際に、十分に薄い層は、外部電極と外部電極を向いた内部電極との間に位置する領域で破かれるので、導体接続は、各内部電極とそれに関連する外部電極との間に生じる。

【0033】

外部電極は、少なくとも1つの追加層により覆われ得る。好ましくは、Ag、Pt及び/又はNiを含む少なくとも1つの層は、電解工程において蒸着される。最上部層は、はんだ付け可能な層により形成され得る。

【0034】

外部電極は、例えば、次の金属又は合金、Ag、AgPd、AgPt、Pt、Cu、Ni、を含み得る。

【0035】

以下に、明記される素子及びそれらの有利な実施形態を、概略的な、原寸に比例していない図を用いて説明する。

【図面の簡単な説明】

【0036】

【図1A】第1実施形態における素子の異なる金属化平面の上面図である。

【図1B】第1実施形態における素子の異なる金属化平面の上面図である。

【図1C】第1断面における図1A及び1Bの素子を示す図である。

【図1D】第2断面における図1A及び1Bの素子を示す図である。

10

20

30

40

50

【図 2 A】第 2 実施形態における素子の異なる金属化平面の上面図である。
 【図 2 B】第 2 実施形態における素子の異なる金属化平面の上面図である。
 【図 2 C】第 1 及び第 2 断面における図 2 A 及び 2 B の素子を示す図である。
 【図 2 D】第 1 及び第 2 断面における図 2 A 及び 2 B の素子を示す図である。
 【図 3 A】2 つの機能ユニットを備えた素子の異なる金属化平面の上面図である。
 【図 3 B】2 つの機能ユニットを備えた素子の異なる金属化平面の上面図である。
 【図 3 C】第 1 及び第 2 断面における図 3 A 及び 3 B の素子を示す図である。
 【図 3 D】第 1 及び第 2 断面における図 3 A 及び 3 B の素子を示す図である。
 【図 4 A】2 つの機能ユニット及び全本体を覆う保護層を備えた素子の異なる金属化層の上面図である。
 【図 4 B】2 つの機能ユニット及び全本体を覆う保護層を備えた素子の異なる金属化層の上面図である。
 【図 4 C】第 1 及び第 2 断面における図 4 A 及び 4 B の素子を示す図である。
 【図 4 D】第 1 及び第 2 断面における図 4 A 及び 4 B の素子を示す図である。
 【発明を実施するための形態】

10

【0037】

図 1 A 乃至 1 D は、1 つの機能ユニットを備える素子の第 1 実施形態を表す。図 1 C 及び 1 D に示された断面は、図 1 A 及び 1 B において見ることができる破線を通る断面を示す。これは、図 2 A 乃至 2 D、3 A 乃至 3 D、4 A 乃至 4 D にも同様に適用する。

【0038】

20

素子は本体 5 を有する。第 1 内部電極 1 及び第 2 内部電極 2 は、本体 5 に配置される。第 1 内部電極 1 は、第 1 外部電極 8 1 に電氣的に接続される。第 2 内部電極 2 は、第 2 外部電極 8 2 に電氣的に接続され、第 1 内部電極から電氣的に絶縁される。第 1 及び第 2 内部電極は交互に連続して重なり合って配置され、電極スタックを形成する。電極スタック及び内部電極の間に位置する本体のセラミック層は、機能ユニットを形成する。

【0039】

本体は第 1 側面 5 1 及び 5 2 を有し、それらは互いに平行に位置する。本体はさらに第 2 側面 5 3 及び 5 4 を有し、それらは互いに平行で、第 1 側面 5 1 及び 5 2 と直角を成す。

【0040】

30

外部電極 8 1 及び 8 2 は、主に、本体の側面 5 1 及び 5 2 に配置される。しかし、外部電極の部分は、本体の下部及び上側部にも配置される。

【0041】

重複領域 1 2 において、図 1 D に見られるように、第 1 内部電極の領域は、第 1 内部電極を向いた第 2 内部電極の領域と反対側に、垂直方向に配置される。この領域は、機能ユニットのアクティブボリューム、例えば、多層コンデンサ素子又は多層抵抗素子を形成する。

【0042】

重複領域 1 2 は、本体 5 の第 2 側面 5 3 及び 5 4 まで広がる。従って、内部電極 1 及び 2 の端は、側面 5 3 及び 5 4 にも達する。これらの露出端は、保護層 6 によって覆われる。

40

【0043】

各第 1 内部電極 1 は換算幅を備える領域を有し、第 1 外部電極 8 1 に向いて、第 1 外部電極 8 1 に接続される。各第 2 内部電極 2 は換算幅を備える領域を有し、第 2 外部電極 8 2 に向いて、第 2 外部電極 8 2 に接続される。換算幅を備える領域を形成するために、内部電極 1 及び 2 の凹部 7 は角領域に設けられる。

【0044】

第 1 内部電極 1 は、第 2 外部電極 8 2 からある距離をおいて配置される。第 2 内部電極 2 は、第 1 外部電極 8 1 からある距離をおいて配置される。

【0045】

50

外部電極 8 1 及び 8 2 は浸漬工程において製造され得る。保護層 6 は、第 2 側面 5 3 及び 5 4 の領域に取り付けられ得、すなわち、マスクを用いるスクリーン印刷工程において、第 2 側面 5 3 及び 5 4 に設けられ得る。

【 0 0 4 6 】

1 つの機能ユニットを有する素子の第 2 実施形態は、図 2 A 乃至 2 D に示される。先の実施形態と比較して、保護層 6 は、ここでは全表面にわたり本体 5 を覆う。保護層 6 は、内部電極とそれらに関連する外部電極との間の接続のためにのみ、破られ、又は貫通して接続される。各貫通接続は、最大でも、関連のある内部電極の換算幅を有する領域の断面と同じ大きさである。

【 0 0 4 7 】

薄い保護層は、内部電極の露出端の領域で破られるため、1 つの内部電極、図 2 B の内部電極 2 と、異極性の外部電極、この場合外部電極 8 1 との距離 d は、保護層 6 の厚さ t よりも全体的に大きいことが好ましい。これは、全ての第 2 内部電極 2 に適用し、同様に、内部電極 1 及び外部電極 8 2 にも適用する。

【 0 0 4 8 】

図 3 A 乃至 3 D において、2 つの機能ユニットが共通の本体 5 に配置された素子の実施形態が示される。機能ユニット間に、電氣的に絶縁された分離領域 9 が配置される。この分離領域 9 の幅 $d 2$ は、第 1 内部電極及び隣接する第 2 内部電極の間の距離よりも大きいことが好ましい。従って、機能ユニット間の距離は、セラミック層の厚さより大きいことが好ましい。

【 0 0 4 9 】

第 1 機能ユニットの第 1 外部電極 8 1 と第 2 機能ユニットの第 1 外部電極 8 3 は、本体の第 1 側面 5 1 に配置される。第 1 機能ユニットの第 2 外部電極 8 2 と、第 2 機能ユニットの第 2 外部電極 8 4 は、本体の他の第 1 側面 5 2 に配置される。

【 0 0 5 0 】

図 1 A 乃至 1 D に関連してなされた記載は、図 3 A 及び 3 B の左側に配置された第 1 機能ユニットにも当てはめられる。

【 0 0 5 1 】

同様に、図 1 A 乃至 1 D に関連してなされた記載は、図 3 A 及び 3 B の右側に配置された第 2 機能ユニットにも適用される。第 2 機能ユニットは、重複領域 3 4 において重複する、第 1 内部電極 3 及び第 2 内部電極 4 を有する。

【 0 0 5 2 】

図 1 A 乃至 1 D の変形形態とは異なり、この場合、関連する重複領域は、本体 5 の表面の 1 つの側面までのみ拡張する。重複領域 1 2 は第 2 側面 5 3 に達し、重複領域 3 4 は第 2 側面 5 4 に達する。内部電極 3 及び 4 の露出端もまた保護層 6 によって覆われる。

【 0 0 5 3 】

また、図 1 A 乃至 1 D の記述は、図 3 A 乃至 3 D に示された変形形態にも適用される。

【 0 0 5 4 】

2 つの機能ユニットを備える素子が図 4 A 乃至 4 D に示されるが、ここでは各機能ユニットの内部電極の重複領域は、本体 5 の第 2 側面 5 3 又は 5 4 までのみ拡張する。本体は、保護層 6 によって全表面が覆われる。

【 0 0 5 5 】

図 4 A 乃至 4 D に示された変形形態は、図 2 A 乃至 2 D、及び 3 A 乃至 3 D における変形形態の組み合わせである。先に説明された変形形態の記述は、この実施形態にもまた適用される。

【 0 0 5 6 】

明記された素子の実施形態の可能性は、図で示された変形形態あるいは示された材料データにより言い尽くされてはいない。特に、本体の基本形状、内部電極及び外部電極は、任意である。

【 符号の説明 】

10

20

30

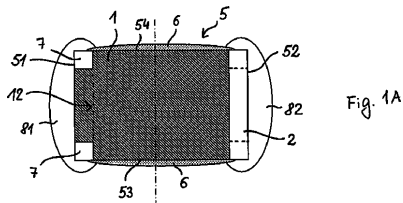
40

50

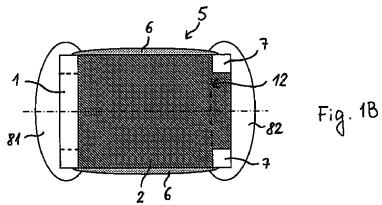
【 0 0 5 7 】

- 1 第 1 内部電極
- 1 2 電極 1 及び 2 の重複領域
- 2 第 2 内部電極
- 3 第 3 内部電極
- 4 第 4 内部電極
- 5 本体
- 5 1、5 2 本体の第 1 側面
- 5 3、5 4 本体の第 2 側面
- 6 保護層
- 7 凹部
- 8 1 第 1 外部電極
- 8 2 第 2 外部電極
- 9 分離領域
- d 内部電極と異極性の外部電極との間の距離
- d 2 分離領域 9 の幅
- t 保護層 6 の厚さ

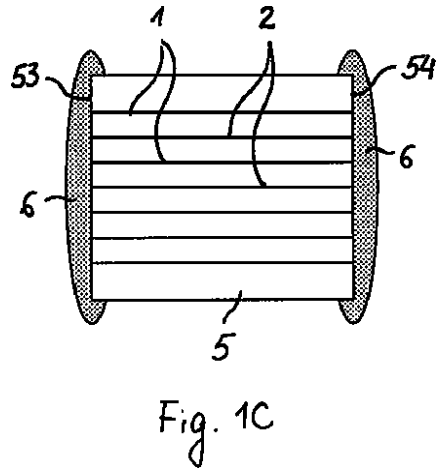
【 図 1 A 】



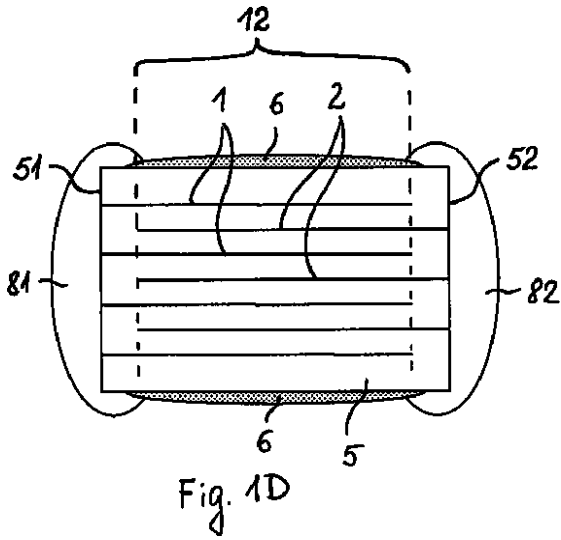
【 図 1 B 】



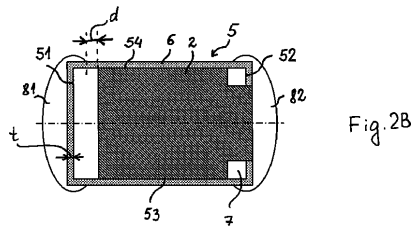
【 図 1 C 】



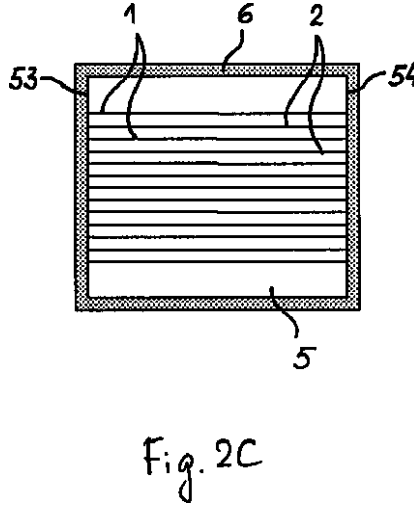
【図1D】



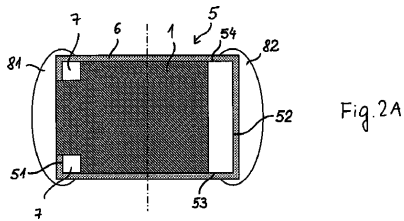
【図2B】



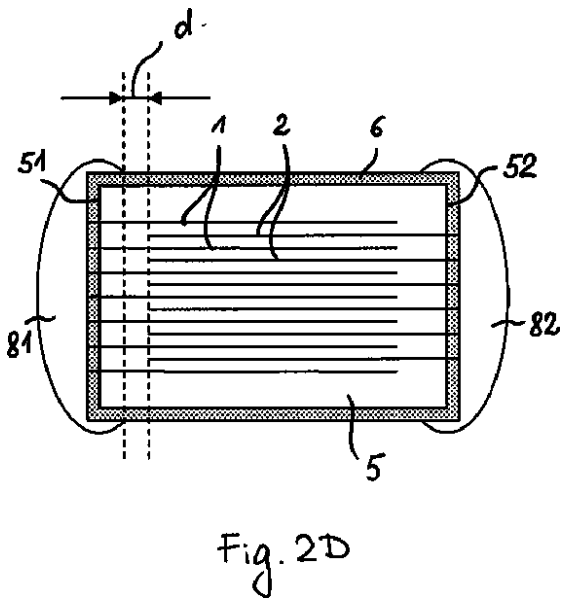
【図2C】



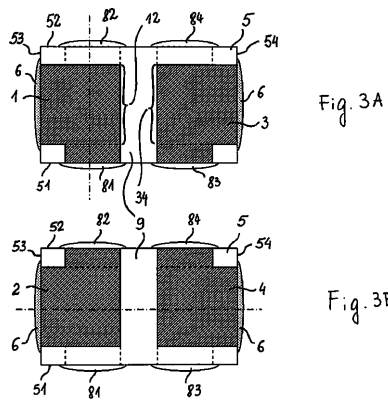
【図2A】



【図2D】



【図3A - B】



【 3 C 】

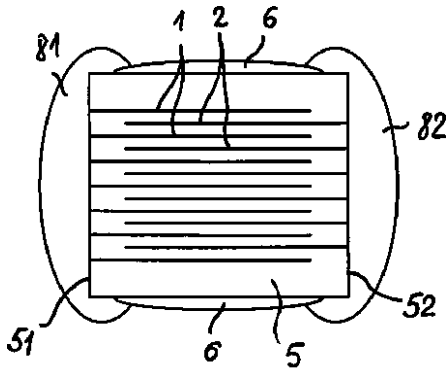


Fig. 3C

【 3 D 】

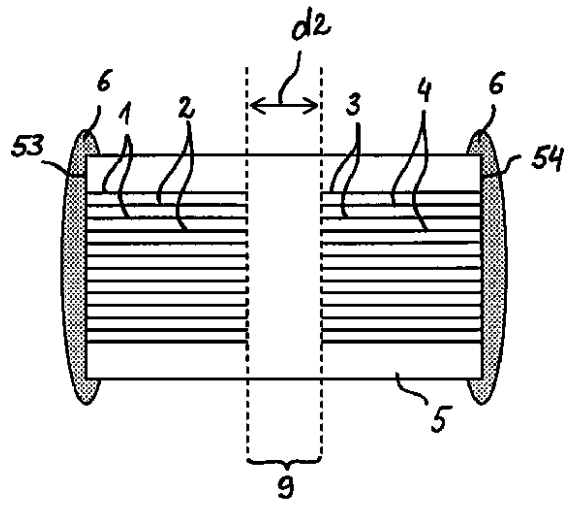


Fig. 3D

【 4 A 】

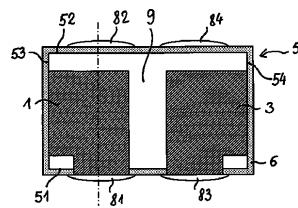


Fig. 4A

【 4 B 】

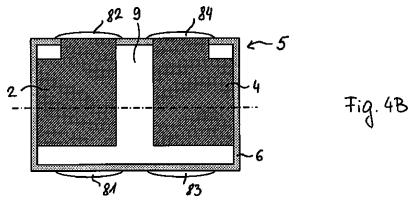


Fig. 4B

【 4 C 】

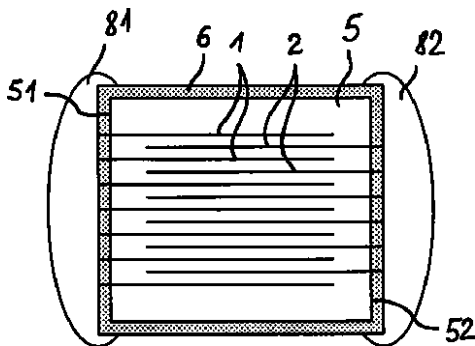


Fig. 4C

【 4 D 】

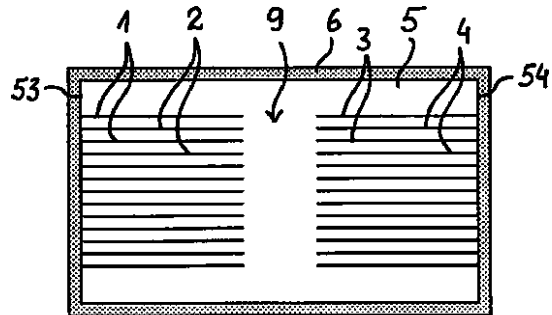


Fig. 4D

フロントページの続き

- (74)代理人 100123342
弁理士 中村 承平
- (72)発明者 ファイヒティンガー、トーマス
オーストリア国、アー - 8 0 1 0 グラーツ、タンメルプラッツ 5
- (72)発明者 エンゲル、ギュンター
オーストリア国、アー - 8 4 3 0 ライプニッツ、カペレンヴェーグ 3 8
- (72)発明者 ヴィッシュナト、ヴォルカー
オーストリア国、アー - 8 5 2 3 フラウエンタル、メニグヴェーグ 1アー
- (72)発明者 ホルプリン、トーマス
オーストリア国、アー - 8 0 1 0 グラーツ、ドクトル - ロベルト - グラフ - シュトラーセ 1 0

審査官 重田 尚郎

- (56)参考文献 特開2006 - 179873 (JP, A)
特開平11 - 340089 (JP, A)
特開2002 - 015939 (JP, A)
特開平03 - 173402 (JP, A)
特開平08 - 138968 (JP, A)
特開平08 - 097071 (JP, A)
特開平03 - 108306 (JP, A)
特開2006 - 165514 (JP, A)
特開平03 - 239303 (JP, A)
特開平05 - 047510 (JP, A)
特表2004 - 504712 (JP, A)
特開平11 - 340081 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01G 4/30
H01C 7/10
H01G 4/12
H01G 4/232