



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

207038
(11) (B1)

(51) Int. Cl.³
G 05 B 19/18

(22) Přihlášeno 20 08 79
(21) (PV 5679-79)

(40) Zveřejněno 30 06 80

(45) Vydáno 15 10 83

(75)
Autor vynálezu

DUBOVSKÝ IVAN ing., PRAHA a SECHOVSKÝ HYNEK ing.,
HOROMĚŘICE

(54) Zařízení pro číslicové programové řízení výroby přesných směsí

Předmět vynálezu se týká zařízení pro číslicové programové řízení výroby přesných směsí, například betonových směsí vyráběných v tzv. míchacích betonářských centrech. Dosavadní míchací centra pro výrobu betonových směsí jsou řízena buď ručně nebo reléovými automatikami. Ruční řízení výroby je velmi náročné na pozornost a počet pracovníků obsluhy a nezaručuje dodržení technologického postupu v požadovaných tolerancích. Reléové automatiky mají vzhledem k nízké spolehlivosti kontaktních obvodů značnou poruchovost a navíc obsahují řadu analogových nastavovacích prvků, většinou potenciometrů, jejichž nastavením je řízena většina technologických parametrů, tj. délky časových intervalů jednotlivých fází výroby, váha jednotlivých frakcí a další. Analogové nastavovací prvky jsou jednak dalším zdrojem poruch, jednak vzhledem k nízké časové stálosti (stabilitě) nastavených hodnot je nutno provádět častá a časově náročná profylaktická měření a kalibraci nastavovaných hodnot. V případě potřeby rychlé změny technologických parametrů je nutno vybavit systém rozsáhlou a nákladnou sadou většího počtu těchto prvků, kontaktně přepínaných. Použití minipočítače pro řízení míchacího centra by bylo jednak nákladné a neefektivní, jednak nevhodné vzhledem k prostředí, vnějším podmínkám a požadavkům na konstrukci

ni uspořádání, rozměry, spolehlivost a jednoduchost řídicího systému s možností rychlé opravy.

Všechny uvedené nedostatky dosavadních systémů odstraňuje zařízení pro číslicové programové řízení výroby přesných směsí podle vynálezu, vyznačené tím, že obsahuje číslicový procesor, například mikroprocesor, časovací blok, blok číslicových řídicích výstupů a blok číslicových vstupů a signálovou sběrnici, tvořenou datovými vodiči sběrnice, adresovými vodiči sběrnice a stavovými a pomocnými vodiči sběrnice, přičemž adresové vodiče sběrnice jsou spojeny s výstupem adresy dat procesoru a současně s adresovým vstupem ostatních výše uvedených bloků, datové vodiče sběrnice jsou spojeny s datovým vstupem (výstupem alespoň dvou bloků zařízení a stavové a pomocné vodiče sběrnice jsou spojeny se stavovým a pomocným vstupem procesoru a alespoň s některými vodiči stavového a pomocného výstupu ostatních výše uvedených bloků a dále obsahuje oddělovací blok umožňující spojení zařízení s řízenou soustavou, například s betonářským míchacím centrem, a řídicí paměť, přičemž adresový vstup řídicí paměti je spojen s výstupem adresy instrukce procesoru, datový výstup řídicí paměti je spojen se vstupem instrukce procesoru a oddělovací blok je spojen svým řídicím číslicovým vstupem s řídicím výstu-

pem bloku číslicových řídicích výstupů, řídicím číslicovým výstupem je spojen s číslicovým vstupem řízené soustavy, řízeným číslicovým vstupem s číslicovým výstupem řízené soustavy a řízeným číslicovým výstupem s řídicím vstupem bloku číslicových vstupů.

Zařízení podle vynálezu umožňuje plně automatické řízení výroby s vysokou spolehlivostí, dosaženou omezením kontaktních obvodů na nejnutnější míru. Zařízení obsahuje pouze několik oddělovacích relé a mikrospláňů nutných pro napěťovou izolaci od výkonných členů, které lze navíc v případě potřeby nahradit vhodnými bezkontaktními oddělovacími členy. Vzhledem ke značným programovacím možnostem mikroprocesoru lze zařízení kromě řídicích programů vybavit též dostatečným objemem tzv. testovacích a diagnostických programů, jimiž lze během profylaxe a do značné míry též během vlastního řízení výroby testovat správnou funkci oddělovacích kontaktních obvodů a též funkci vlastního řídicího systému (zařízení podle vynálezu) i řízeného míchacího centra, detekovat, lokalizovat a ohlásit případnou poruchu způsobem běžným u počítačových systémů.

Použitím zařízení lze též odstranit nákladné a nespolehlivé analogové prvky, jež jsou nahrazeny údaji zaznamenanými v číslicovém tvaru v řídicí paměti resp. paměti receptur, navíc lze podstatně rozšířit počet nastavovaných parametrů a rozsah hodnot s vysokou přesností a časovou stálostí. Zařízení též umožňuje operativní změny struktury řídicího programu i ve větším rozsahu, potřebné pro přizpůsobení řídicího systému (zařízení) specifickým požadavkům řízené soustavy (míchacího centra), jež se mohou případ od případu značně lišit.

Číslicový charakter zařízení usnadňuje též použití číslicových vah, tj. vážících ústrojí s číslicovým výstupem údaje o naměřené hodnotě.

Výhodou zařízení podle vynálezu je též snadná možnost připojení výstupního zařízení s vhodným informačním médiem (například děrnou páskou) a pořizování záznamu o průběhu a parametrech výroby.

Příklad konkrétního provedení zařízení podle vynálezu je znázorněn na připojených výkresech, kde:

- obr. 1 znázorňuje blokovým způsobem celkovou sestavu zařízení
- obr. 2 znázorňuje zapojení časovacího bloku 62 z obr. 1
- obr. 3 představuje zapojení bloku číslicových řídicích výstupů 63 z obr. 1
- obr. 4 ukazuje zapojení oddělovacího bloku 4 z obr. 1
- obr. 5 znázorňuje zapojení bloku číslicových vstupů 65 z obr. 1
- obr. 6 představuje zapojení bloku analogových vstupů/výstupů 64 z obr. 1.

Zařízení (řídicí systém) je tvořeno mikroprocesorem 1, programovatelnou pevnou (PROM) řídicí pamětí 2, sběrnici 3 s datový-

mi vodiči sběrnice 30, adresovými vodiči sběrnice 31 a stavovými a pomocnými vodiči sběrnice 32, oddělovacím blokem 4, programovatelnou pevnou (PROM) pamětí receptur 61, časovacím blokem 62, blokem číslicových řídicích výstupů 63, blokem analogových vstupů/výstupů 64, blokem číslicových vstupů 65 a oddělovacím blokem 4 sloužícím k připojení řízené soustavy 5 (míchacího centra).

Datové vodiče 30 sběrnice 3 na obr. 1 představují 8 neznázorněných vodičů (300, 301 až 307), jimiž jsou spojeny vodiče, mající shodnou poslední pořadovou číslici, tvořící datové vstupy/výstupy 100, 610, 620, 630, 640, 650 bloků 1, 61, 62, 63, 64, 65 připojených na sběrnici 3. Například datový vodič 300 spojuje neznázorněný datový vstupní/výstupní vodič 1000 procesoru 1 (představující jeden z osmi neznázorněných vodičů 1000, 1001 až 1007 tvořících datový vstup/výstup 100) s vodičem 6100 datového vstupu/výstupu 610 paměti receptur 61, vodičem 6200 datového vstupu/výstupu 620 časovacího bloku 62 (viz obr. 2), s vodičem 6300 datového vstupu/výstupu 630 bloku číslicových řídicích výstupů 63 (viz obr. 3), s vodičem 6400 datového vstupu/výstupu 640 bloku analogových vstupů/výstupů 64 (viz obr. 6) a s vodičem 6500 datového vstupu/výstupu 650 bloku číslicových vstupů 65 (viz obr. 5). Adresové vodiče 31 sběrnice 3 jsou tvořeny pěti neznázorněnými vodiči 310, 311 až 314, jimiž jsou shodným způsobem (jako u datových vodičů 30) spojeny vodiče tvořící adresové vstupy 101, 611, 621, 631, 641, 651 bloků 1, 61, 62, 63, 64, 65 připojených na sběrnici 3.

Stavové a pomocné vodiče 32 sběrnice 3 jsou tvořeny třemi vodiči 321, 322 a 323 a stavový a pomocný vstup 102 procesoru 1 je tvořen třemi neznázorněnými vodiči 1021, 1022, 1023, přičemž vodič 321 spojuje vodič 1021 vstupu 102 procesoru 1 s vodičem 6221 připojeným na stavový a pomocný výstup 622 časovacích bloků 62 (viz. obr. 2), vodič 322 spojuje vodič 1022 vstupu 102 procesoru 1 s vodičem 6422 připojeným na stavový a pomocný výstup 642 bloku analogových vstupů/výstupů 64 (viz obr. 6) a vodič 323 spojuje vodič 1023 vstupu 102 procesoru 1 s vodičem 6532 připojeným na stavový a pomocný výstup 652 bloku číslicových vstupů 65.

Procesor 1 je dále výstupem adresy instrukce 11 spojen s adresovým vstupem 21 řídicí paměti a vstupem instrukce 12 je spojen s datovým výstupem 22 řídicí paměti 2.

Řídicí výstup 633 bloku číslicových řídicích výstupů je tvořen třemi vodiči 6331 až 6333 (viz obr. 3), spojenými s vodiči (navzájem spojeny vodiče se shodnou poslední pořadovou číslicí) 4631 až 4633 tvořícími řídicí číslicový vstup 463 oddělovacího bloku 4 (viz obr. 4). Shodným způsobem jsou se sousedními bloky spojeny vodiče tvořící ostatní vstupy a výstupy oddělovacího bloku 4, jmenovitě řídicí analogový vstup/výstup 464 s analogovým vstupem/výstupem 644 bloku

analogových vstupů/výstupů **64**, řízený číslíkový výstup **465** s řídicím vstupem **653** bloku číslíkových vstupů **65**, řídicí číslíkový výstup **453** s číslíkovým vstupem **553** řízené soustavy **5**, řízený analogový vstup/výstup **454** s analogovým vstupem/výstupem **554** řízené soustavy **5** a řízený číslíkový vstup **455** s číslíkovým výstupem **555** řízené soustavy **5**.

Časovací blok **62** obsahuje invertor **623** a hradlo typu negace součinu **624**, připojené svými vstupy přes invertor **623** na vodiče **6210** až **6214** adresového vstupu **621**. Dále blok obsahuje generátor časovacích impulsů **625**, binární čítač **626** a klopný obvod RS tvořený hradly **628**, **629**. Čítač **626** je svým hodinovým vstupem **62691** spojen s výstupem generátoru časovacích impulsů **625**, nastavovacím vstupem **62690** je spojen s výstupem hradla **624** a též se vstupem **6280** hradla **628**, datovými vstupy **6260** až **6267** je spojen s vodiči **6200** až **6207** datového vstupu/výstupu **620** a výstupem přenosu **6268** je spojen se vstupem **6291** hradla **629**. Výstup **6282** hradla **628** je spojen se vstupem **6290** hradla **629** a výstup **6292** hradla **629** je spojen se vstupem **6281** hradla **628** a s vodičem **6221** stavového a pomocného výstupu **622**.

Blok číslíkových řídicích výstupů **63** obsahuje součinné hradlo **6354** a inventory **6351**, **6352**, **6353**, přes které je hradlo **6354** připojeno svými vstupy na vodiče **6310** až **6314** adresového vstupu **631**. Blok **63** dále obsahuje tři klopné obvody typu D **6361**, **6362**, **6363**, jež jsou svými hodinovými vstupy připojeny na výstup hradla **6354**, datovými vstupy připojeny na vodiče **6300**, **6301**, **6302** datového vstupu/výstupu **630** a datovými výstupy jsou připojeny na vodiče **6331**, **6332**, **6333**, řídicího výstupu **633**.

Oddělovací blok **4** obsahuje tři reléové izolací členy, tvořené inventory **400**, **410**, **420**, odpory **401**, **411**, **421** a relé **403**, **413**, **423** s reléovými kontakty **404**, **414**, **424**. Dále blok obsahuje selsyn **431** s rotorem **432**, mechanicky spojeným s rotačním přesným potenciometrem **430** a dále obsahuje tranzistorové oddělovače tvořené odpory **440**, **443**, **446**, **470**, **471**, **472**, tranzistory **441**, **444**, **447** a Zenerovými diodami **442**, **445**, **448**.

Blok číslíkových vstupů **65** obsahuje třívstupový multiplexor **6546**, klopné obvody **6544**, **6545** typu D, odpory **6547**, **6548**, **6549**, inventory **6540**, **6541** a součinné hradlo **6542**, které je svými vstupy připojeno přes inventory **6540**, **6541** na vodiče **6510** až **6514** adresového vstupu **651**. Klopné obvody **6544**, **6545** jsou svými datovými vstupy připojeny na vodiče **6500**, **6501** datového vstupu/výstupu **650**, hodinovými vstupy jsou připojeny na výstup hradla **6542** a datovými výstupy jsou připojeny na řídicí vstupy **65466**, **65465** multiplexoru **6546**. Multiplexor **6546** je svými datovými vstupy **65460**, **65461**, **65462** připojen jednak na vodiče **6530**, **6531**, **6532** řídicího vstupu **653**, jednak na odpory **6547**, **6548**, **6549** připojené svým druhým výstupem na napájecí napětí.

Blok analogových vstupů/výstupů **64** obsahuje inventory **6440**, **6441**, součinné hradlo **6442**, osmibitový registr **6443**, osmibitový číslíkově-analogový převodník **6445**, analogový komparátor **6446** s číslíkovým výstupem a zdroj referenčního analogového napětí **6447**. Součinné hradlo **6442** je svými vstupy přes inventory **6440**, **6441** připojeno na vodiče **6410** a **6414** adresového vstupu **641**. Registr **6443** je nahrávacím vstupem **64430** připojen k výstupu hradla **6442**, datovými vstupy **644310** až **644317** je připojen k vodičům **6400** až **6407** datového vstupu/výstupu **640** a datovými výstupy **644320** až **644327** je spojen s číslíkovými vstupy **64450** až **64457** převodníku **6445**. Zdroj referenčního analogového napětí **6447** je zemnicím výstupem **64470** spojen se vstupem analogové země **644580** převodníku **6445** a s vodičem **6430** analogového vstupu/výstupu **643**, referenčním výstupem **64471** je spojen s referenčním vstupem **644581** převodníku **6445** a s vodičem **6432** analogového vstupu/výstupu **643**. Analogový komparátor **6446** je svým prvním vstupem **64460** připojen na analogový výstup převodníku **6445**, druhým vstupem **64461** je spojen s vodičem **6431** analogového vstupu **643** a výstupem **64462** je spojen s vodičem **6422** stavového a pomocného výstupu **642**.

Zařízení pracuje tímto způsobem: Řídicí paměť **2** obsahuje na každé své adrese jednu instrukci řídicího programu. Procesor **1** čte instrukce z řídicí paměti **2** tím způsobem, že nejprve přes svůj výstup adresy **11** vyšle adresu instrukce na adresový vstup **21** řídicí paměti **2**. Po čase určeném vybavovací dobou vysílá řídicí paměť kód instrukce (z přijaté adresy) přes datový výstup **22** na vstup instrukce **12** procesoru **1**. Činnost celého systému je řízena procesorem **1**, který postupně čte jednotlivé instrukce řídicího programu uložené v řídicí paměti **2**, tyto instrukce dekóduje a provádí. Po provedení instrukce čte a provádí procesor **1** další instrukci obvykle z následující adresy, s výjimkou tzv. skokových instrukcí, v nichž je zakódována adresa příští instrukce. V popisovaném příkladu řídicí program obsahuje instrukce typu nepodmíněný skok, skok podmíněný stavem signálů na stavovém a pomocném vstupu **102** procesoru **1**, prázdná operace, zápis konstanty z kódu instrukce do registru některého z bloků připojených na sběrnici **3** a přesun obsahu jednoho registru některého bloku (resp. obsahu příslušné adresy z paměti receptur **61** do jiného registru některého bloku). Adresy registrů jsou zakódovány v příslušných instrukcích. Procesor **1** vysílá adresu registru do ostatních bloků v binárním kódu na výstup adresy dat **101**. Každému registru každého bloku připojeného na sběrnici **3** je přiřazena jednoznačně binární kódová kombinace adresy, odlišná od oblasti adres přidělených paměti receptur **61**. V kódu adresy vysílaném procesorem **1** na výstup adresy dat **101** je též obsažen jednak binární signál určující, zda se jedná o čtení nebo zápis regis-

tru, jednak strobovací (synchronizační) signál určující platnost vysílané adresy. V případě zápisu registru vysílá procesor 1 současně s adresou na výstupu adresy dat 101 též zapisovaná data na datovém vstupu/výstupu 100, v případě čtení registru (resp. paměti receptur 61), snímá procesor 1 z datového vstupu/výstupu 100 data vysílaná adresovaným registrem (pamětí receptur) na datové vodiče sběrnice 30.

Při měření časových intervalů zapíše procesor 1 popsáním způsobem do čítače 626 časovacího bloku 62 (viz obr. 2) číslo v rozsahu od 0 do 255. Zápis (nastavení) čítače je proveden záporným pulsem na výstupu hradla 624, jenž současně nastaví RS klopný obvod tvořený hradly 628, 629 na logickou nulu na výstupu hradla 629, připojeném přes výstup 6221 na jeden ze stavových a pomocných vodičů sběrnice 32. Čítač 626 nyní čítá směrem dolů s konstantní frekvencí danou přesným generátorem časovacích pulsů 626 (např. 10Hz). Po generaci n časovacích pulsů (n — původně nahrané číslo do čítače) přechází čítač 626 do nulového stavu a generuje záporný přenosový puls na výstupu spojeném s dolním vstupem hradla 629. Přenosový puls překlopí RS klopný obvod tvořený hradly 628, 629 do původního stavu (log. jednička na výstupu hradla 629). Signál na výstupu hradla 629, spojeného přes výstup 6221 a přes stavové a pomocné vodiče sběrnice 32 se stavovým a pomocným vstupem procesoru 102, může procesor 1 testovat pomocí instrukce podmíněný skok a tím určit, zda již uplynul časový interval n . 0,1s od okamžiku nahrání čítače 626 číslem n . Číslo n může procesor 1 v závislosti na typu instrukce převzít buď přímo z řídicího programu nebo paměti receptur 61.

Řízenou soustavu 5 (míchací centrum) ovládá procesor přes oddělovací blok 4 a blok číslicových řídicích výstupů 63. Blok číslicových řídicích výstupů 63 obsahuje jeden tříbitový registr. Nahráním vhodné datové kombinace do registru tvořeného klopnými obvody 6361, 6362, 6363 bloku číslicových řídicích výstupů 63 může procesor 1 ovládat akční členy (stykače, solenoidy, elektromagnety apod) řízené soustavy 5 prostřednictvím relé 403, 413, 423 oddělovacího bloku 4 s kontakty 404, 414, 424.

Tato relé jsou (viz obr. 4) ovládána spínacími tranzistory 402, 412, 422 připojenými přes inventory 400, 410, 420 (a přes řídicí číslicový vstup 463 oddělovacího bloku 4 připojený na řídicí výstup 633 bloku číslicových řídicích výstupů 63) na výstupy klopných obvodů 6361, 6362, 6363.

Signály na analogovém vstupu/výstupu 554 řízené soustavy 5 vzorkuje a snímá resp. ovládá procesor 1 prostřednictvím bloku analogových vstupů/výstupů 64 (viz obr. 6) a oddělovacího bloku 4 (viz obr. 4):

Blok analogových vstupů/výstupů 64 obsahuje jeden číslicově analogový převodník 6445 a analogový komparátor 6446 s číslico-

vým výstupem, umožňující vzorkování jednoho analogového vstupního signálu (vstup 6431) a jeho srovnání s výstupním signálem převodníku 6445. Procesor 1 při měření analogového signálu na vstupu 6431 zapíše 8bitové binární číslo do registru 6443 spojeného svými výstupy se vstupy převodníku 6445, velikost čísla je přímo úměrná hodnotě výstupního napětového signálu převodníku 6445. Testováním signálu na výstupu komparátoru 6446, připojeném přes výstup 6422 na jeden ze stavových a pomocných vodičů sběrnice 32, může procesor 1, pomocí instrukce podmíněný skok zjistit, zda hodnota vstupního analogového signálu na vstupu 6431 je vyšší (log 1 na výstupu 6422) nebo nižší (log 0 na výstupu 6422) než hodnota výstupního signálu převodníku 6445. Analogový signál na vstupu 6431 je generován v oddělovacím bloku 4 přesným potenciometrem 430 mechanicky natáčeným pomocí selsynu 431 elektricky spojeného s neznázorněným váhovým selsynem v řízené soustavě 5. Hodnota analogového signálu na vstupu 6431 je proto přímo úměrná úhlu natočení váhového selsynu a tím též váze vážené frakce, např. kamení, cementu, vody. Procesor 1 řídí proces vážení frakce tím, že popsáním způsobem (prostřednictvím bloku číslicových řídicích výstupů 63 a relé v oddělovacím bloku 4) ovládá neznázorněný elektromagnet otevírající přívod frakce do neznázorněného zásobníku váhy v řízené soustavě 5 a periodicky testuje hodnotu výstupního signálu komparátoru 6446. Pokud je tato hodnota log 0, je váha frakce nižší než hodnota zapsaná procesorem 1 z paměti receptur 61 do registru 6443 spojeného s převodníkem 6445. Váha přiváděné frakce se postupně zvyšuje, až dosáhne hodnoty předepsané recepturou (obsah registru 6443), kdy se změní hodnota výstupního signálu komparátoru 6446 na log 1 a procesor 1 po otestování tohoto signálu přepíše obsah registru v bloku číslicových řídicích výstupů 63 a tím uzavře další přívod vážené frakce.

Diskrétní výstupní signály na číslicovém výstupu 555 řízené soustavy 5 vzorkuje a testuje procesor 1 prostřednictvím oddělovacího bloku 4 a bloku číslicových vstupů 65 (viz obr. 4, obr. 5). Řízená soustava 5 obsahuje tři neznázorněné kontaktní spínače připojené na číslicový výstup 555. Stav těchto kontaktních spínačů (sepnuti-rozepnuto) je převáděn pomocí oddělovacích transistorových spínačů (tvořených tranzistory 441, 444, 447, omezovacími Zenerovými diodami 442, 445, 448 a odpory 440, 443, 446, 470, 471, 472 v oddělovacím bloku 4) na číslicové signály (log 0 — log 1) generované na řízeném číslicovém výstupu 465 oddělovacího bloku 4, spojeném s řídicím vstupem 653 bloku číslicových vstupů 65. Výstupní signály z oddělovacích transistorových spínačů jsou v bloku 65 přepínány pomocí multiplexoru 6546 na výstup 6523 spojený s jedním ze stavových a pomocných vodičů sběrnice 31 a to v závislosti na obsahu registru tvořeného klopnými obvody 6544,

6545. Procesor **1** může zvolit změnou obsahu tohoto registru jeden z diskretních signálů na číslicovém výstupu **555** řízené soustavy a zobrazit jeho stav na hodnotu číslicového signálu na výstupu **6523** bloku **65**, testovat stav pomocí instrukce podmíněný skok a modifikovat další průběh řídicího programu.

Diskretní signály na číslicovém výstupu **555** hlásí důležité pracovní stavy řízené soustavy **5**, např. otevření resp. zavření jednotlivých vpustí a výpustí, polohu a pohyb pohyblivých částí. V případě, že řízená soustava **5** je vybavena váhami s číslicovým výstupem, budou signály na číslicovém výstupu **555** též hlásit naměřené hodnoty jednotlivých vah. V takovém případě vlastní systémy vah budou obsahovat převodníky z paralelního na seriový kód a blok číslicových vstupů **65** bude obsahovat jeden nebo více převodníků ze seriového na paralelní kód.

Kromě popsaného příkladu procesoru **1** s omezeným počtem typů instrukcí, může zařízení obsahovat jako procesor **1** výkonný univerzální mikroprocesor s rozsáhlejším souborem instrukcí, který při komunikaci s ostatními bloky systému může kromě popsaného způsobu použít též jiných známých způsobů, např. mechanismu přerušení programu apod.

Podobně časovací blok **62** může na místě čítače **626** obsahovat jeden nebo více čítačů s rozlišnou šířkou vstupních dat, generátor časovacích impulsů **625** může mít více výstupů se signály s různou frekvencí, přičemž mezi výstupy generátoru **625** a hodinový vstup čítačů je zařazen přepínač (multiplexor). Signál na výstupu přenosu **6268** čítače **628** může být čten procesorem **1** též jiným způsobem než v popsaném příkladu, například pomocí mechanismu přerušení nebo pomocí stavového registru nahrávaného signálem z výstupu přenosu **6268** a čteného procesorem **1** pomocí popsané operace čtení na sběrnici **3** podobně jako je čten obsah paměti receptur.

Předmětem vynálezu je též zařízení, obsahující blok číslicových řídicích výstupů **63**

s jedním nebo více registry na místě klopných obvodů **6361**, **6362**, **6363**, přičemž každému registru je přiřazena jedna adresa na sběrnici **3** a počet a šířka registrů je libovolná v závislosti na počtu a struktuře akčních členů řízené soustavy **5**.

V zařízení podle vynálezu může blok analogových vstupů/výstupů **64** obsahovat dále analogový multiplexor, umožňující měření většího počtu analogových signálů přepínaných v analogovém multiplexoru, může též obsahovat více číslicové-analogových převodníků a generovat výstupní analogové signály pro ovládání řízené soustavy **5**; blok může též obsahovat místo číslicové-analogového převodníku **6445** převodník analogově — číslicový, přičemž srovnání měřené a požadované hodnoty provádí procesor **1** v číslicové formě. Také převod váhy v oddělovacím bloku **4** může být kromě uvedeného příkladu proveden jiným způsobem, například pomocí izolačního operačního zesilovače. Signál na výstupu komparátoru **6446** může být též čten procesorem pomocí stavového registru zapojeného svým výstupem na vstup/výstup **640** nebo pomocí mechanismu přerušení.

V zařízení podle vynálezu může oddělovací blok **4** obsahovat větší počet oddělovacích spínačů, případně oddělovací členy jiného typu, například relé, optoelektronické oddělovací prvky, izolační transformátory a podobně. Také blok číslicových vstupů může obsahovat větší počet multiplexorů s větším počtem vstupů, přičemž výstupy multiplexorů mohou být buď zapojeny přes stavový a pomocný výstup **652** na stavové a pomocné vodiče **32** sběrnice **3** nebo mohou být výstupy multiplexorů zapojeny na vstup neznázorněného registru, jehož výstupy jsou spojeny s datovými vodiči sběrnice **30** přes vstup/výstup **650**.

Zařízení podle vynálezu je vhodné zejména pro řízení výroby přesných směsí ve stavebním, chemickém a potravinářském průmyslu, v zemědělské výrobě a ostatních průmyslových aplikacích.

PŘEDMĚT VYNÁLEZU

1) Zařízení pro číslicové programové řízení výroby přesných směsí, například výroby betonových směsí, vyznačené tím, že obsahuje číslicový procesor (1) například mikroprocesor, časovací blok (62), blok číslicových řídicích výstupů (63) a blok číslicových vstupů (65) a signálovou sběrnici (3) tvořenou datovými vodiči sběrnice (30), adresovými vodiči sběrnice (31) a stavovými a pomocnými vodiči sběrnice (32), přičemž adresové vodiče sběrnice (31) jsou spojeny s výstupem adresy dat (101) procesoru (1) a současně s adresovým vstupem (621, 631, 651) ostatních výše uvedených bloků (62, 63, 65), datové vodiče sběrnice (30) jsou spojeny s datovým vstupem/výstupem (100, 620, 630, 650) alespoň dvou

bloků zařízení (1, 62, 63, 65) a stavové a pomocné vodiče sběrnice (32) jsou spojeny se stavovým a pomocným vstupem (102) procesoru (1) a alespoň s některými vodiči stavového a pomocného výstupu (622, 632, 652) ostatních výše uvedených bloků (62, 63, 65) a dále obsahuje oddělovací blok (4) umožňující spojení zařízení s řízenou soustavou (5), například s betonářským míchacím centrem, a řídicí paměť (2), přičemž adresový vstup (21) řídicí paměti (2) je spojen s výstupem adresy instrukce (11) procesoru (1), datový výstup (22) řídicí paměti (2) je spojen se vstupem instrukce (12) procesoru (1) a oddělovací blok (4) je spojen svým řídicím číslicovým vstupem (463) s řídicím výstupem (633) blo-

ku číslicových řídicích výstupů (63), řídicím číslicovým výstupem (453) je spojen s číslicovým vstupem (553) řízené soustavy (5), řízeným číslicovým vstupem (455) s číslicovým výstupem (555) řízené soustavy (5) a řízeným číslicovým výstupem (465) s řídicím vstupem (653) bloku číslicových vstupů (65).

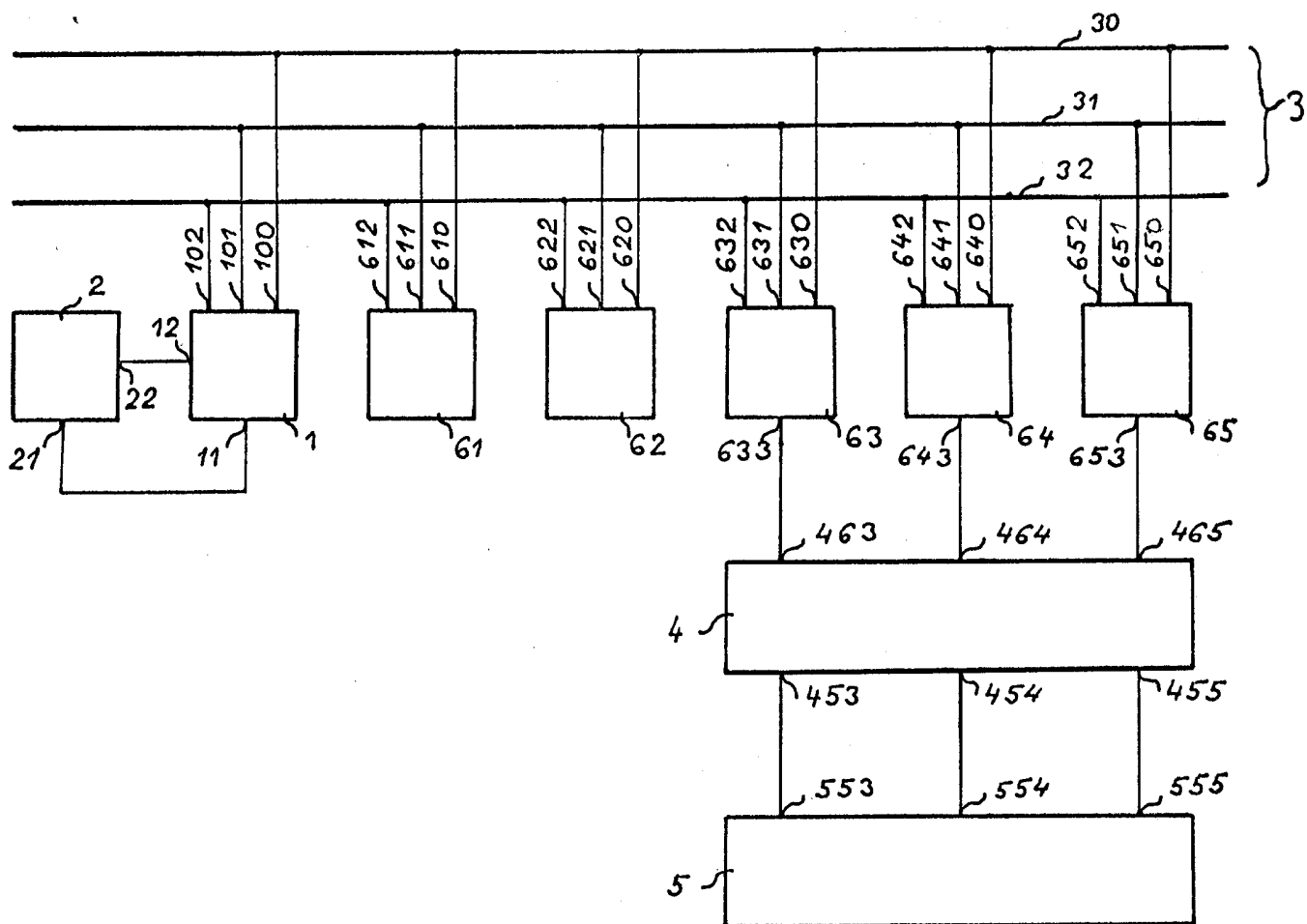
2) Zařízení podle bodu 1 vyznačené tím, že obsahuje dále blok analogových vstupů/výstupů (64) a oddělovací blok (4) obsahuje jako další vstupy/výstupy řídicí analogový vstup/výstup (464) a řízený analogový vstup/výstup (454), přičemž blok analogových vstupů/výstupů (64) je svým datovým vstupem/výstupem (640) připojen na datové vodiče sběrnice (30), adresovým vstupem (641) je připojen na adresové vodiče sběrnice (31) a stavovým a pomocným výstupem (642) na stavové a pomocné vodiče sběrnice (32) a dále je svým analogovým vstupem/výstupem (643) připojen na řídicí analogový vstup/výstup (464) oddělovacího bloku (4), přičemž oddělovací blok (4) je připojen svým řízeným analogo-

vým vstupem/výstupem (454) na analogový vstup/výstup (554) řízené soustavy (5).

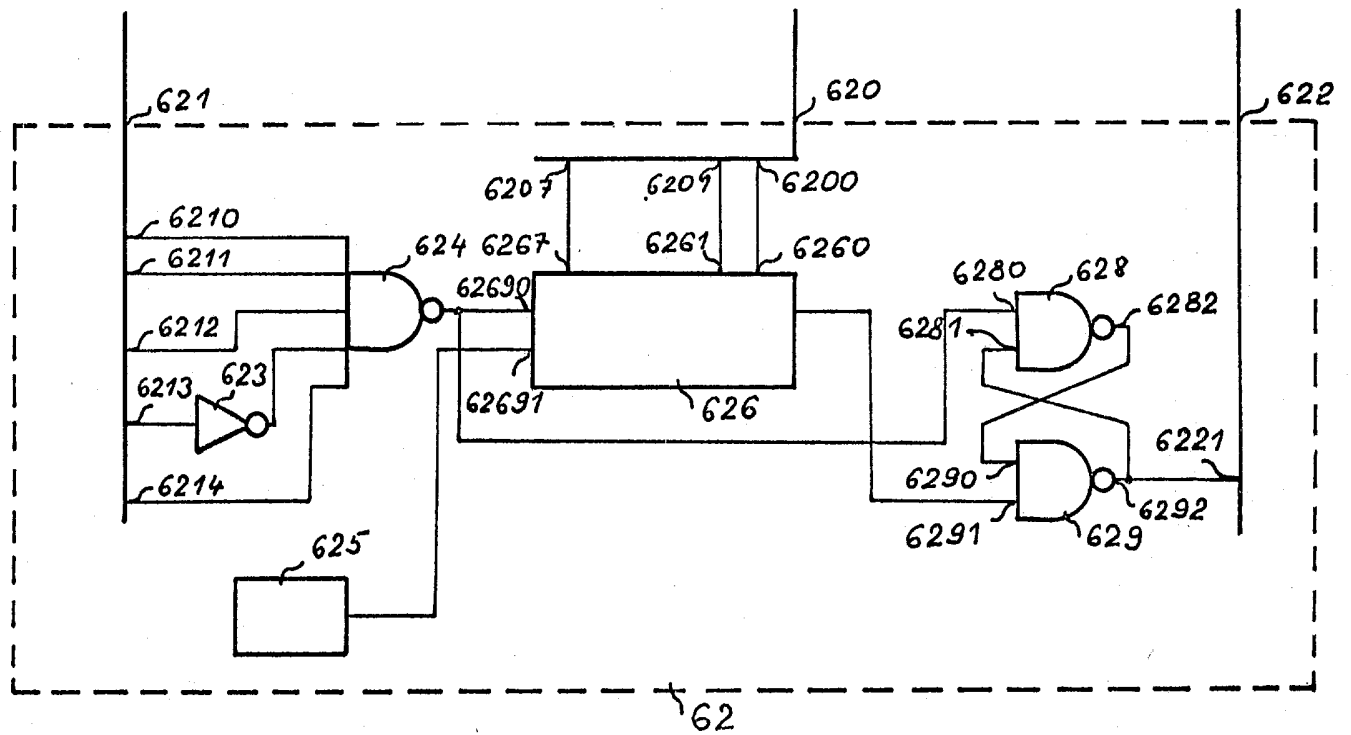
3) Zařízení podle bodu 1 a případně 2 vyznačené tím, že obsahuje vstupní ústrojí, například snímač děrné pásky a řídicí paměť (2) je pamětí s možností čtení i zápisu, přičemž výstup adresy instrukce (11) procesoru (1) je spojen s výstupem adresy dat (101) procesoru (1) a adresový vstup (21) řídicí paměti (2) je připojen na adresové vodiče (31) sběrnice (3) a dále vstup instrukce (12) procesoru (1) je spojen s datovým vstupem/výstupem (100) procesoru (1) a datový výstup (22) řídicí paměti (2) je připojen na datové vodiče (3) sběrnice (3) a řídicí paměť (2) obsahuje řídicí program nahrávaný přes vstupní zařízení a případně též obsahuje data zpracovávaná řídicím programem.

4) Zařízení podle bodů 1 a 2 nebo 3 vyznačené tím, že obsahuje funkční klávesnici a paměť receptur (61) s možností čtení i zápisu s obsahem nahrávaným z funkční klávesnice nebo ze vstupního ústrojí.

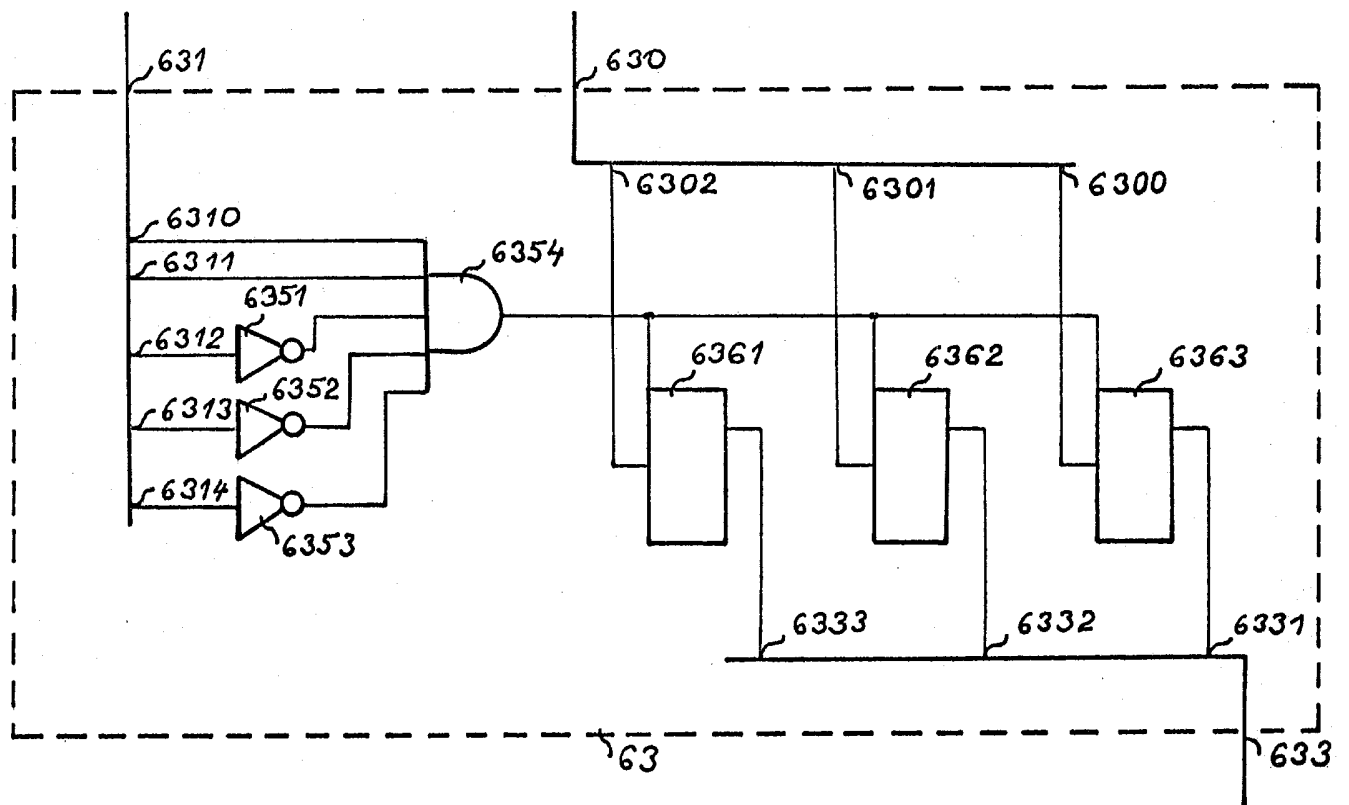
6 výkresů



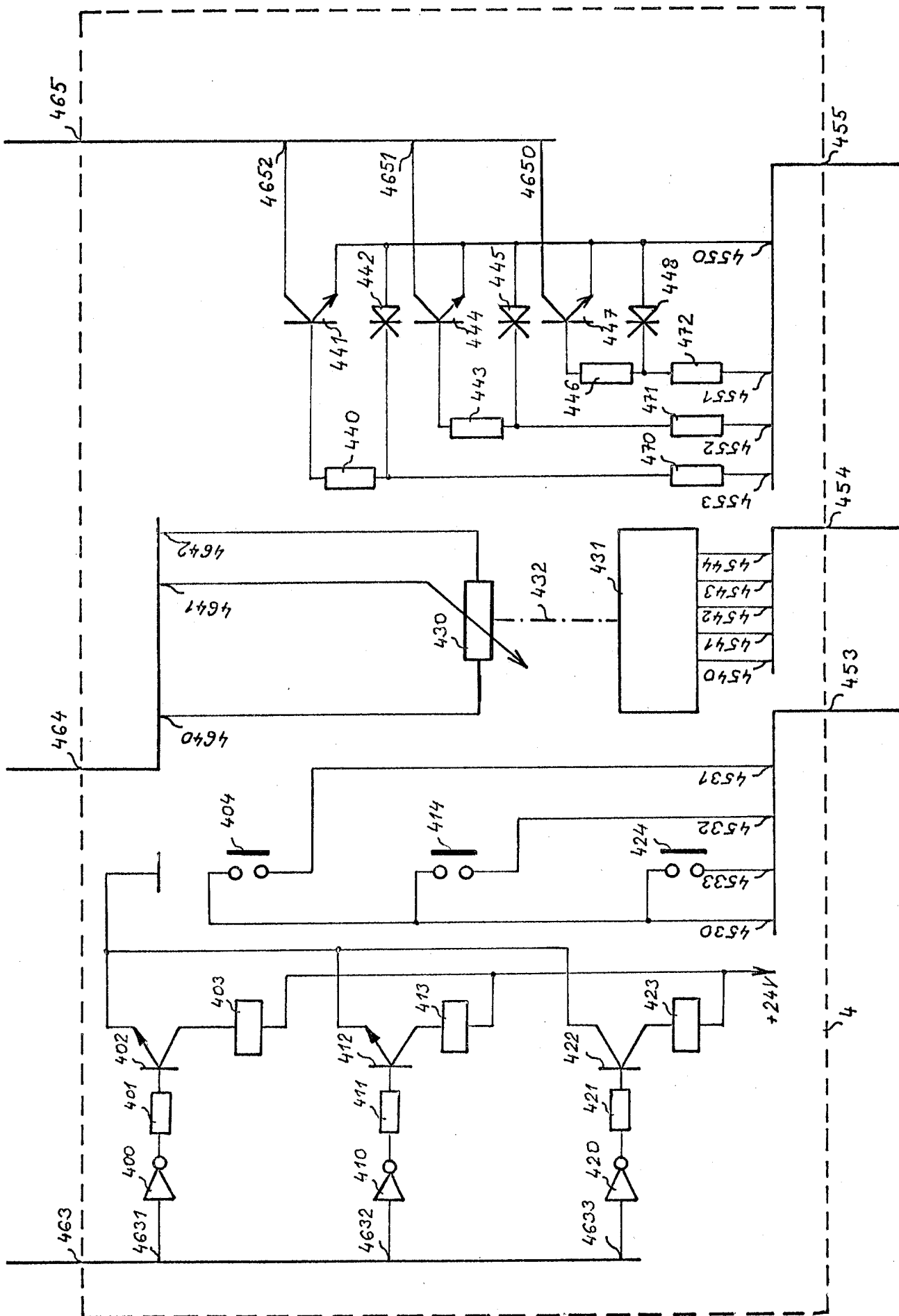
Obr. 1



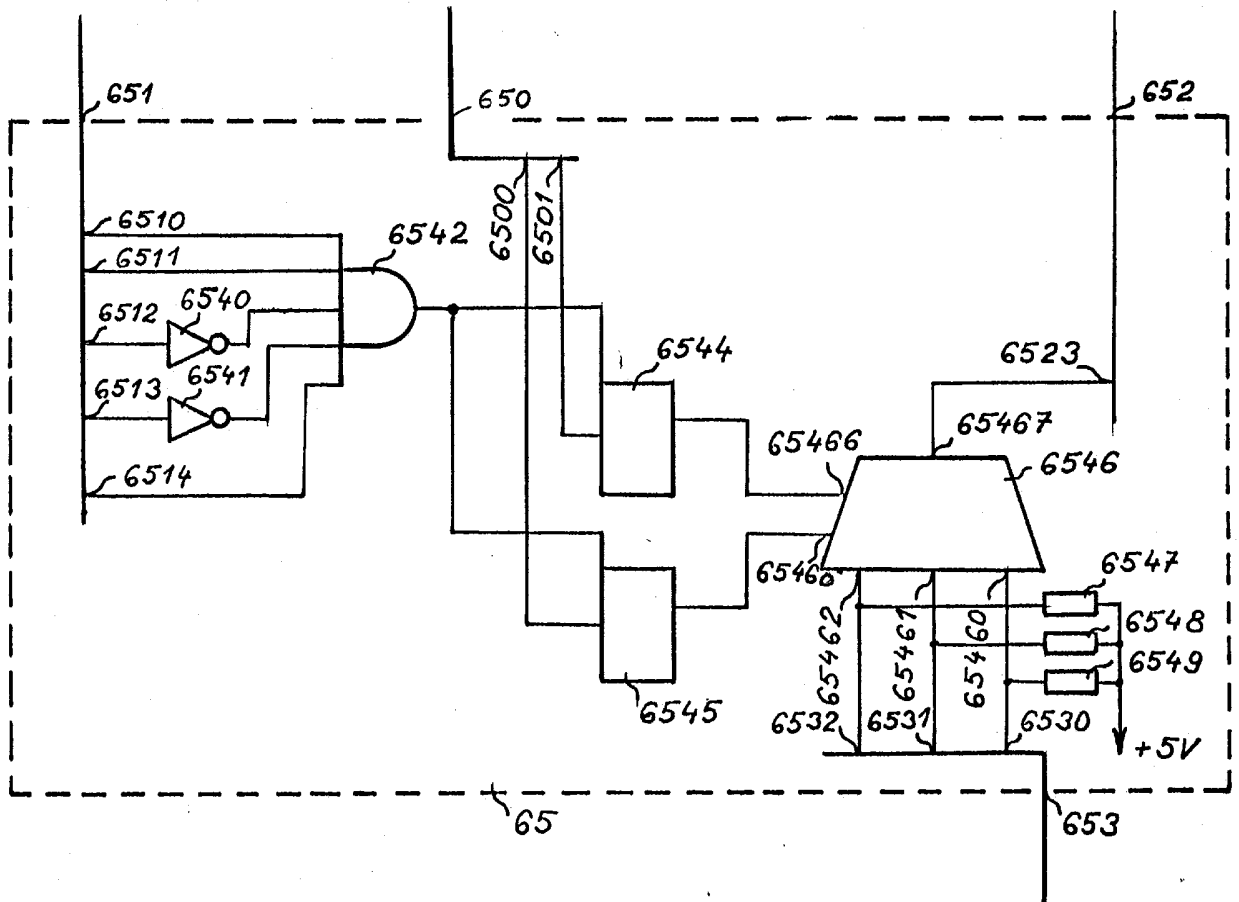
Obr. 2



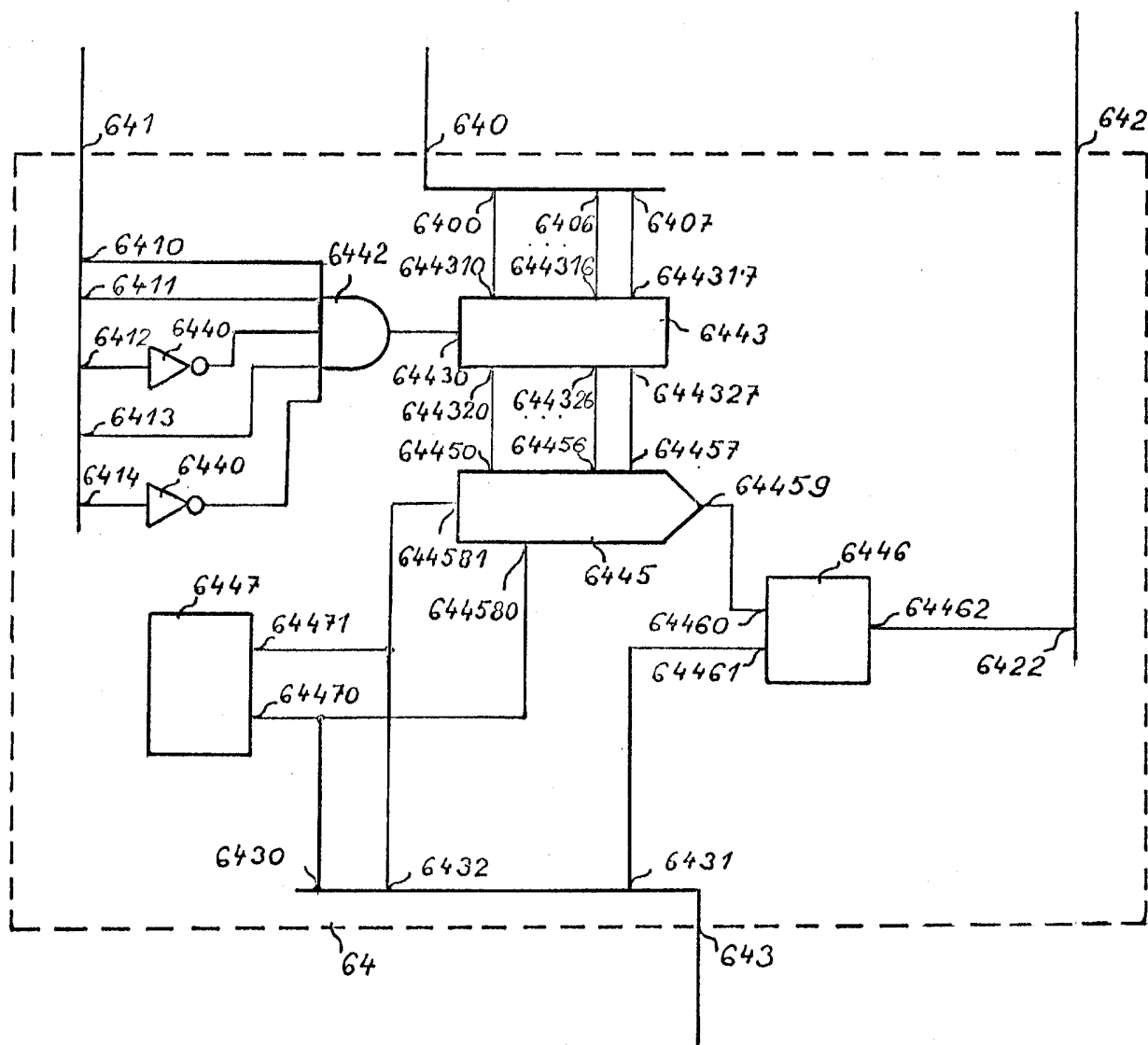
Obr. 3



Obr. 4



Obr. 5



Obzr. 6