



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0001910
(43) 공개일자 2022년01월06일

(51) 국제특허분류(Int. Cl.)
G01T 1/17 (2006.01) G01T 1/20 (2006.01)
G01T 1/208 (2006.01)
(52) CPC특허분류
G01T 1/17 (2013.01)
G01T 1/20184 (2020.05)
(21) 출원번호 10-2020-0080408
(22) 출원일자 2020년06월30일
심사청구일자 2020년06월30일

(71) 출원인
창원대학교 산학협력단
경상남도 창원시 의창구 창원대학로 20(퇴촌동)
한국전자통신연구원
대전광역시 유성구 가정로 218 (가정동)
(72) 발명자
김영희
경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)
김홍주
경상남도 창원시 의창구 창원대학로 20, 학생생활관 2동 216호
박경환
대전광역시 유성구 어은로 57, 107동 1001호(어은동, 한빛아파트)
(74) 대리인
이철희, 고윤호

전체 청구항 수 : 총 8 항

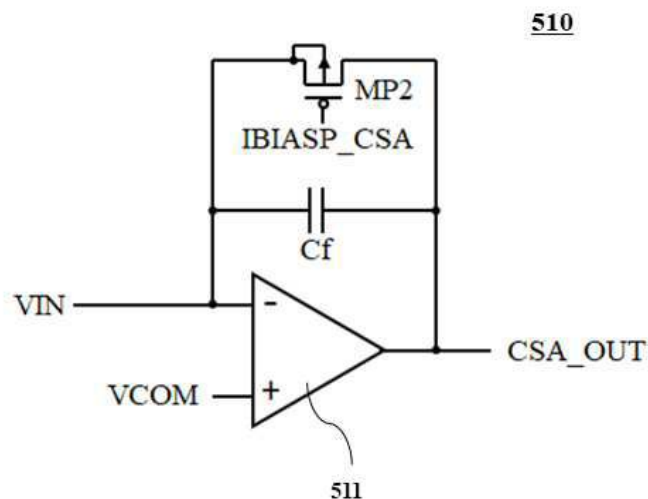
(54) 발명의 명칭 전하증폭기 및 이를 포함하는 방사선 센서

(57) 요약

본 발명은 피드백 트랜지스터의 게이트에 바이어스 직류전류를 인가함으로써 출력 신호의 신호 전압의 변동을 최소화할 수 있도록 한 전하증폭기 및 이를 포함하는 방사선 센서에 관한 것이다.

본 발명에 따른 전하증폭기 및 이를 포함하는 방사선 센서에 의하면, 피드백 트랜지스터의 게이트에 PVT 변동에 둔감하도록 설계된 전류 바이어스 회로를 미러링(mirroring)하여 형성된 전류를 인가하여 전하증폭기 출력 신호의 신호 전압(signal voltage)의 변동을 최소화할 수 있으며, 밴드갭 기준 (Bandgap Reference:BGR) 회로를 통해 공급된 정전류를 이용하여 신호 전압을 공통전압(VCOM)의 레벨까지 충전하므로 충전 시간의 변동을 줄여 고속 감지가 가능한 장점이 있다.

대표도 - 도6



(52) CPC특허분류

G01T 1/208 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711105039
과제번호	2018M2A8A1083094
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	원자력원천기술개발사업
연구과제명	난수 발생 회로 개발 및 집적화 기술개발
기 여 율	1/2
과제수행기관명	한국전자통신
연구기간	2018.09.18 ~ 2021.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	EA20191825
과제번호	EA20191825
부처명	한국전자통신연구원
과제관리(전문)기관명	한국전자통신연구원
연구사업명	학술연구용역
연구과제명	방사선 검출용 CMOS 전하감응증폭기 실리콘 다이 개발
기 여 율	1/2
과제수행기관명	창원대학교 산학협력단
연구기간	2019.07.05 ~ 2019.11.30

명세서

청구범위

청구항 1

제1 입력 단자에 입력전압(VIN)이 연결되고 제2 입력 단자에 공통전압(VCOM)이 연결되며 출력단자를 통해 전하 증폭기 출력신호(CSA_OUT)를 출력하는 연산증폭기;

상기 제1 입력단자와 상기 출력단자 사이에 연결된 피드백 커패시터; 및

상기 제1 입력단자와 상기 출력단자 사이에서 상기 피드백 커패시터에 병렬로 연결된 피드백 모스트랜지스터;를 포함하는 것을 특징으로 하는 전하증폭기.

청구항 2

제1 항에 있어서, 상기 피드백 모스트랜지스터는

전류 바이어스 회로에서 생성된 바이어스 직류전류가 게이트에 인가되는 것을 특징으로 하는 전하증폭기.

청구항 3

제2 항에 있어서, 상기 전류 바이어스 회로는

제1 단자가 공급전압(VDD)에 연결된 정전류원;

제1 단자가 상기 정전류원의 제2 단자에 연결되고 제2 단자는 접지되며 제1단자와 게이트 단자가 공통으로 연결된 제1 엔모스 트랜지스터;

게이트가 상기 제1 엔모스 트랜지스터의 게이트에 연결되며 제1단자가 접지된 제2 엔모스 트랜지스터;

제1 단자가 공통전압(VCOM)에 연결되며, 제2 단자가 상기 제2 엔모스 트랜지스터의 제2 단자에 연결되며, 상기 제2 단자와 게이트 단자가 공통으로 연결된 제3 피모스 트랜지스터;를 포함하는 것을 특징으로 하는 전하증폭기.

청구항 4

제3 항에 있어서,

상기 제3 피모스 트랜지스터의 제2 단자 및 게이트 단자에는 상기 바이어스 직류전류가 흐르는 것을 특징으로 하는 전하증폭기.

청구항 5

제3 항에 있어서,

상기 제3 피모스 트랜지스터와 상기 피드백 모스트랜지스터는 커런트 미러 형태로 동작하는 것을 특징으로 하는 전하증폭기.

청구항 6

제1 항 내지 제5 항 중 어느 하나의 항에 따른 전하증폭기를 포함하는 것을 특징으로 하는 방사선 센서.

청구항 7

제6 항에 있어서,

상기 전하증폭기 출력신호(CSA_OUT)를 버퍼링하여 전압 팔로워 출력신호(VF_OUT)를 출력하는 전압 팔로워;

상기 전압팔로워 출력신호(VF_OUT)와 상기 공통전압(VCOM)을 입력받아 미분기 출력신호(DIFF_OUT)를 출력하는 미분기;

상기 미분기 출력신호(DIFF_OUT)와 상기 공통전압(VCOM)을 입력받아 적분기 출력신호(INT_OUT)를 출력하는 적분기; 및

상기 적분기 출력신호(INT_OUT)와 스레시홀드 전압(VTHR_PS)을 비교하여 처리하는 비교기;를 더 포함하는 것을 특징으로 하는 방사선 센서.

청구항 8

제7 항에 있어서, 상기 방사선 센서는

니켈 동위원소(Ni-63)을 이용한 베타선 센서인 것을 특징으로 하는 방사선 센서.

발명의 설명

기술 분야

[0001] 본 발명은 전하증폭기 및 이를 포함하는 방사선 센서에 관한 것으로, 더욱 상세하게는, 피드백 트랜지스터의 게이트에 바이어스 직류전류를 인가함으로써 출력 신호의 신호 전압의 변동을 최소화할 수 있도록 한 전하증폭기 및 이를 포함하는 방사선 센서에 관한 것이다.

배경 기술

[0002] 난수 (random number)는 암호화와 모의실험 등의 다양한 과학, 기술 분야에서 활용되고 있다. 대부분은 유사난수 (pseudo random number)를 사용하고 있으나 높은 보안등급, 고신뢰성을 요구하는 사물인터넷(IoT) 보안 분야에서는 날로 고도화되고 있는 해킹 (hacking)을 방지하는데 가장 효과적인 진성 난수 (true random number)를 사용하고 있다.

[0003] 한편 양자역학적 물리현상을 이용한 난수 생성기는 하드웨어 기반의 난수생성기중 가장 이상적인 난수를 생성할 수 있다. 베타선이나 감마선 또는 X선과 같은 방사성 동위원소의 자연붕괴 현상은 붕괴 이벤트의 랜덤성, 이전 이벤트와의 무상관성, 물리적 환경 조건에의 무관성 등 진성 난수용 엔트로피로 사용될 수 있는 특징을 모두 가지고 있으므로 이상적인 난수를 발생할 수 있으며, 동위원소 기반의 난수 생성기에 대한 연구가 계속 진행되어 왔다.

[0004] 특히, 방사선 중 베타선의 베타 붕괴를 이용하는 경우, 차폐가 용이하고, 크기가 작고, 휴대성이 높고, 발생속도가 높고 반도체 손상이 낮은 장점이 있다. Ni-63 베타선원은 PIN 다이오드에서 생성된 전하를 전하증폭기 (Charge Sensitive Amplifier:CSA)를 이용한 모듈 회로를 통해 검출이 가능하다. 한편, X선의 경우는 전하증폭기를 포함한 ASIC 칩에 대한 연구가 별도로 진행되어 왔다.

[0005] 도 1은 종래기술에 따른 베타선 검출용 센서의 회로도이다.

[0006] 도 1에 도시된 바와 같이 종래기술에 따른 베타선 검출용 센서(100)는 전하증폭기(110), 전압 팔로워(120), 미분기(130), 적분기(140) 및 비교기(150)를 포함하여 구성된다.

[0007] 일반적으로 전하증폭기는 CMOS 연산증폭기(OPAMP)의 네거티브(negative) 입력단과 전하증폭기의 출력 노드(CSA_OUT)에 피드백 커패시터(C_f)와 피드백 저항(R_f)이 병렬로 연결되어 있다.

[0008] 전하증폭기는 핀(PIN) 다이오드에서 생성되는 입력 전하 펄스 (input charge pulse)를 적분하여 신호 전압 (signal voltage)인 출력 전압(ΔV_s)으로 변환하여 공통전압(Common Voltage, VCOM) 레벨에서 떨어진다. 그리고 출력 전압의 펄스는 저항에 의해 연산증폭기의 포지티브(positive) 입력단에 연결된 공통전압(VCOM)으로 $\tau = R_f \circ C_f$ 의 시상수 (time constant)를 가지고 충전된다. 피드백 저항을 사용할 경우 씨모스(CMOS) 공정상에 기생 커패시턴스가 존재하여 신호 전압(signal voltage)이 작고 피드백 저항이 차지하는 레이아웃 면적이 큰 단점이 있으므로 PMOS 트랜지스터를 이용하여 피드백 저항으로 구현하는 것이 일반적이다.

[0009] 피모스(PMOS) 트랜지스터를 사용하는 전하증폭기에서 피모스(PMOS) 트랜지스터의 게이트는 그라운드(GND) 또는 직류(DC) 전압을 인가할 수 있다. 이 경우 피모스(PMOS) 피드백 트랜지스터의 구동 전류가 모스(MOS) 모델 파라미터, 온도와 공급전압(VDD)에 따라 변하므로 피드백 저항이 PVT (Process - Voltage - Temperature) 변동에 따라 민감하게 변하게 된다.

[0010] 도 2는 종래의 베타선 검출용 센서의 전하증폭기의 동작을 테스트하기 위한 아날로그 전단 회로의 회로도이고,

도 3은 종래의 베타선 검출용 센서의 전하증폭기의 회로도이며, 도 4는 종래의 베타선 검출용 센서의 전하증폭기에 인가되는 바이어스 직류 전압을 생성하는 회로의 회로도이다.

- [0011] 도 2를 참고하면 아날로그 전단 회로(200)는 핀 다이오드(PIN Diode)와 테스트 커패시터(C_{TEST}) 및 전하증폭기(210)로 구성된다.
- [0012] 핀 다이오드(PIN Diode)의 양극(anode)은 전하증폭기에 사용되는 연산증폭기(OPAMP)의 네거티브(negative) 입력단에 연결되고, 음극(cathode)은 VHH (=5V) 전압원에 연결된다. 높은 에너지를 갖는 Ni-63 베타선에 의해 발생된 전자-정공 쌍(Electron-Hole Pair:EHP) 중 전자(electron)는 VHH 전압으로 이동하고 정공(hole)은 연산증폭기(111)의 네거티브(negative)입력단으로 이동한다. 이때 전하증폭기(110)에 의해 전하를 적분하여 전하증폭기 출력신호(CSA_OUT)를 출력하며 전하증폭기 출력신호(CSA_OUT)는 신호 전압(ΔV_s)을 출력한다.
- [0013] 만약 도 3의 전하증폭기(110)의 연산증폭기(111)에 있는 네거티브(negative) 입력단인 입력전압(VIN)과 출력단인 전하증폭기 출력신호(CSA_OUT) 사이에 연결된 피드백 저항(R_f)과 피드백 커패시터(C_f)의 시상수인 $\tau = R_f * C_f$ 가 PIN 다이오드에서 입사되는 전하의 펄스 폭보다 훨씬 큰 경우 신호전압(ΔV_s)는 최대 전압인 $-Q_s/C_f$ 를 출력한다
- [0014] Q_s 는 베타선 입자에 의해 PIN 다이오드에 의해 전자-정공 쌍(Electron-Hole Pair:EHP)이 생성되어 연산증폭기(111)의 입력단을 통해 전류에 기여하는 신호 전하(signal charge)이다. 만약 피드백 저항(R_f)이 없는 경우는 적분기처럼 동작하여 신호전압(ΔV_s)을 그대로 유지하겠지만 전하증폭기(110)는 피드백 커패시터(C_f)에 병렬로 피드백 저항(R_f)이 연결되어 있으므로 전하증폭기(110)의 출력 신호인 전하증폭기 출력신호(CSA_OUT)는 τ 의 시상수를 가지고 연산증폭기(111)의 포지티브(positive) 입력단 전압인 공통전압(VCOM) 레벨로 충전하게 된다.
- [0015] 피드백 저항(R_f)이 작을수록 방전시간이 빨라져 고속 감지가 가능한 반면, 신호 전하를 적분하면서 피드백 저항(R_f)에 의해 방전을 빠르게 하므로 신호 전압(ΔV_s)이 낮아지는 단점이 있다. 한편 피드백 저항(R_f)으로 선행 저항인 폴리실리콘을 사용할 경우 CMOS 공정상에 저항 layer인 폴리실리콘과 p형 기판(p-substrate) 사이에 기생 커패시턴스(parasitic capacitance)가 존재하여 신호 전압(ΔV_s)이 작아지고 피드백 저항이 차지하는 레이아웃 면적이 큰 단점이 있으므로 PMOS 트랜지스터를 이용하여 피드백 저항을 구현할 수 있다. 도 2에서 테스트 커패시터(C_{TEST})는 테스트 커패시터(C_{TEST})에 신호 펄스를 인가하여 전하증폭기의 동작을 테스트해보기 위한 회로소자이다.
- [0016] 전하증폭기(110)의 PMOS 피드백 트랜지스터(MP1)의 게이트 노드에는 바이어스 직류전압(VBIASP_CSA)이 인가된다. 바이어스 직류전압(VBIASP_CSA)은 밴드갭 레퍼런스(Bandgap Reference) 회로에서 만들어지는 $2.5\mu A$ 의 정전류인 기준전류(IREF_2p5uA)를 도 4에 도시된 전류-전압 변환기(112)를 통해서 1.522V의 바이어스 기준전압(VREF_VBIASP)으로 변환함으로써 형성된다.
- [0017] 이때 바이어스 기준전압(VREF_VBIASP)은 전류 구동 능력이 떨어지므로 도 4에 도시된 바와 같이 연산증폭기(OPAMP)를 이용한 전압 팔로워(113)로 바이어스 직류전압(VBIASP_CSA=VREF_VBIASP)을 만들어준다.
- [0018] 도 4의 바이어스 직류전압(VBIASP_CSA)을 도 3의 PMOS 피드백 트랜지스터(MP1)의 게이트 노드에 연결하는 경우 MOS 트랜지스터의 저항값은 CMOS 공정(process)과, 공급전압(VDD)과 및 온도(temperature)인 PVT(Process-Voltage-Temperature) 변동에 따라 베타선에 의해 신호 전하(signal charge)가 전하증폭기(110)의 입력단으로 주입되었을 때 PMOS 피드백 트랜지스터(MP1)의 소스-드레인 전류 변동이 크게 나타난다. 그래서 PVT 변동에 따라 전하증폭기(110)의 신호 전압(ΔV_s)의 변동이 크고 전하 축적(charge integration) 이후 공통전압(VCOM)으로 방전하는데 시간이 많이 걸리면서 고속 감지가 불가능하게 되는 문제가 있다.

표 1

VDD	TEMP	SS Model	SF Model	TT Model	FS Model	FF Model
4.5V	-40°C	278mV	224mV	249mV	320mV	199mV
	25°C	229mV	165mV	183mV	262mV	146mV
	85°C	169mV	134mV	142mV	188mV	119mV
5V	-40°C	280mV	219mV	243mV	320mV	192mV
	25°C	220mV	157mV	176mV	253mV	139mV
	85°C	125mV	113mV	117mV	150mV	106mV
5.5V	-40°C	237mV	166mV	189mV	276mV	157mV
	25°C	126mV	109mV	118mV	160mV	105mV
	85°C	66mV	70mV	73mV	82mV	74mV

[0019]

[0020]

표 1은 도 3의 바이어스 직류전압(VBIASP_CSA)을 인가하는 전하증폭기(110)의 PVT 변동에 대한 신호전압 모의실험 결과를 보여주고 있다. MOS 트랜지스터의 모델 파라미터는 표 1에서 보는 바와 같이 SS 모델(Slow NMOS Slow PMOS), SF 모델(Slow NMOS Fast PMOS), TT 모델(Typical NMOS Typical PMOS), FS 모델(Fast NMOS Slow PMOS), FF 모델(Fast NMOS Fast PMOS) 등의 형태가 있다.

표 2

VDD	TEMP	SS Model	SF Model	TT Model	FS Model	FF Model
4.5V	-40°C	2.29 μ s	0.610 μ s	0.733 μ s	1.553 μ s	0.345 μ s
	25°C	1.157 μ s	0.424 μ s	0.481 μ s	0.845 μ s	0.267 μ s
	85°C	0.676 μ s	0.350 μ s	0.362 μ s	0.503 μ s	0.219 μ s
5V	-40°C	2.153 μ s	0.547 μ s	0.655 μ s	1.417 μ s	0.317 μ s
	25°C	0.964 μ s	0.391 μ s	0.430 μ s	0.729 μ s	0.245 μ s
	85°C	0.361 μ s	0.228 μ s	0.248 μ s	0.338 μ s	0.169 μ s
5.5V	-40°C	1.028 μ s	0.365 μ s	0.417 μ s	0.816 μ s	0.255 μ s
	25°C	0.323 μ s	0.207 μ s	0.237 μ s	0.335 μ s	0.161 μ s
	85°C	Fail	Fail	Fail	Fail	Fail

[0021]

[0022]

그리고 표 2는 도 3의 바이어스 직류전압(VBIASP_CSA)을 인가하는 전하증폭기(110)를 사용한 베타선 검출용 센서(100)의 PVT 변동에 대한 비교기 출력 펄스 폭 모의실험 결과를 보여주고 있다. 도 3의 바이어스 직류전압(VBIASP_CSA)을 인가하는 전하증폭기(110)를 사용하여 0.18 μ m CMOS 공정으로 설계된 베타선 검출용 센서(100)는 코너(corner)별 모의실험 결과 표 1 및 표 2에서 보는 바와 같이 전하증폭기 출력 신호(CSA_OUT)의 최소 신호 전압과 최대 신호 전압은 각각 66mV와 320mV이고, 펄스 셰이퍼(pulse shaper) 기능을 하는 미분기(130)와 적분기(140)를 거친 출력 신호를 비교기(150)의 스레시홀드 전압(VTHR_PS)과 비교해서 발생된 펄스의 최소와 최대 폭은 각각 실패(Fail)와 2.29 μ s로 일부 모의실험 조건에서 센싱 불량이나 변동이 큰 것을 볼 수

있다. 이때, 전하증폭기 출력 신호(CSA_OUT)의 신호 전압의 크기는 PIN 다이오드에서 생성되는 입력 전하 펄스를 전하증폭기(110)에서 적분하여 공통전압(VCOM) 레벨에서 신호 전압(ΔV_s) 만큼 떨어지는 전압을 의미한다.

발명의 내용

해결하려는 과제

[0023] 본 발명이 해결하고자 하는 기술적 과제는 피드백 트랜지스터의 게이트를 직류 전압으로 바이어스하는 대신 피드백 트랜지스터의 게이트에 PVT 변동에 둔감하도록 설계된 전류 바이어스 회로를 미러링(mirroring)하여 형성된 바이어스 직류전류를 인가함으로써 출력신호의 신호 전압의 변동을 최소화할 수 있도록 한 전하증폭기 및 이를 포함하는 방사선 센서를 제공하는데 있다.

과제의 해결 수단

[0024] 상기 과제를 해결하기 위하여 본 발명에 따른 전하증폭기는 제1 입력 단자에 입력전압(VIN)이 연결되고 제2 입력 단자에 공통전압(VCOM)이 연결되며 출력단자를 통해 전하증폭기 출력신호(CSA_OUT)를 출력하는 연산증폭기; 상기 제1 입력단자와 상기 출력단자 사이에 연결된 피드백 커패시터; 및 상기 제1 입력단자와 상기 출력단자 사이에서 상기 피드백 커패시터에 병렬로 연결된 피드백 모스트랜지스터;를 포함하는 것을 특징으로 한다.

발명의 효과

[0025] 본 발명에 따른 전하증폭기 및 이를 포함하는 방사선 센서에 의하면, 피드백 트랜지스터의 게이트를 직류 전압으로 바이어스하는 대신 피드백 트랜지스터의 게이트에 PVT 변동에 둔감하도록 설계된 전류 바이어스 회로를 미러링(mirroring)하여 형성된 전류를 인가하여 전하증폭기 출력 신호의 신호 전압(signal voltage)의 변동을 최소화할 수 있으며, 밴드갭 기준 (Bandgap Reference:BGR) 회로를 통해 공급된 정전류를 이용하여 신호 전압을 공통전압(VCOM)의 레벨까지 충전하므로 충전 시간의 변동을 줄여 고속 감지가 가능한 장점이 있다.

도면의 간단한 설명

[0026] 도 1은 종래기술에 따른 베타선 검출용 센서의 회로도이다.
 도 2는 종래의 베타선 검출용 센서의 CSA 회로의 동작을 테스트하기 위한 회로의 회로도이다.
 도 3은 종래의 베타선 검출용 센서의 CSA 회로의 회로도이다.
 도 4는 종래의 베타선 검출용 센서의 CSA 회로에 인가되는 바이어스 직류 전압을 생성하는 회로의 회로도이다.
 도 5는 본 발명에 따른 전하증폭기를 포함하는 방사선 센서의 회로도이다.
 도 6은 본 발명에 따른 전하증폭기의 회로도이다.
 도 7은 본 발명에 따른 전하증폭기에 인가되는 바이어스 직류전류를 생성하는 회로의 회로도이다.
 도 8은 본 발명에 따른 전하증폭기를 포함하는 방사선 센서의 신호 전압에 대한 모의실험결과를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.

[0028] 도 5는 본 발명에 따른 전하증폭기를 포함하는 방사선 센서의 회로도이고, 도 6은 본 발명에 따른 전하증폭기의 회로도이며, 도 7은 본 발명에 따른 전하증폭기에 인가되는 바이어스 직류전류를 생성하는 회로의 회로도이다.

[0029] 도 5 내지 도 7을 참고하면, 본 발명에 따른 전하증폭기를 포함하는 방사선 센서(500)는 전하증폭기(510), 전압 팔로워(520), 미분기(530), 적분기(540) 및 비교기(550)를 포함하여 구성된다.

[0030] 도 6에 도시된 바와 같이 전하증폭기(510)는 연산증폭기(511), 피드백 커패시터(Cf) 및 피드백 모스트랜지스터(MP2)를 포함하여 구성된다.

[0031] 연산증폭기(511)는 입력전압(VIN)이 네거티브 단자에 연결되고 공통전압(VCOM)이 포지티브 단자에 연결된다. 연산증폭기(511)의 네거티브 단자와 출력단자 사이에는 피드백 커패시터(Cf) 및 피드백 트랜지스터(MP2)가 병렬로

연결된다. 이때 피드백 트랜지스터(MP2)에는 바이어스 직류전압 대신 바이어스 직류전류(IBIASP_CSA)가 인가된다.

[0032] 도 7을 참고하면, 바이어스 직류전류를 생성하는 회로(700)는 125nA의 정전류(IADAPTIVE_CSA)를 제1 엔모스 트랜지스터(MN1)와 제2 엔모스 트랜지스터(MN2)의 커런트 미러 비를 25:1로 조정하여 바이어스 직류전류(IBIASP_CSA)를 구현하며, 이때 제3 피모스 트랜지스터(MP3)에 흐르는 전류는 5nA에 해당된다.

[0033] 한편, 도 6의 피드백 모스트랜지스터(MP2)에 신호 전하가 인가되지 않는 구간 동안 입력전압(VIN)은 연산증폭기(511)의 네거티브 피드백 동작에 의해 연산증폭기(511)의 포지티브 단자의 입력인 공통전압(VCOM)을 따라간다.

[0034] 한편, 도 7의 제3 피모스 트랜지스터(MP3)와 도 6의 피드백 모스트랜지스터(MP2)는 커런트 미러 구조는 아니지만 연산증폭기(511)의 네거티브 단자에 입력전압(VIN)이 인가되었을 때 커런트 미러처럼 동작하게 된다.

[0035] 연산증폭기(511)의 네거티브 단자에 입력전압(VIN)이 인가되면 전하증폭기(510)의 출력인 전하증폭기 출력신호(CSA_OUT)의 신호 전압(ΔV_s)이 디벨롭(develop) 되었다가 피드백 모스트랜지스터(MP2)와 제3 피모스 트랜지스터(MP3)에 의해 커런트 미러 형태로 동작하면서 전하증폭기 출력신호(CSA_OUT)의 전압은 공통전압(VCOM)의 레벨로 충전되며, 충전되는 전류는 밴드갭 기준(BGR) 회로에 의해 PVT 변동에 둔감한 전류가 흐르게 된다.

[0036] 피드백 모스트랜지스터(MP2)와 제3 피모스 트랜지스터(MP3)는 그 폭(W)은 동일하지만 길이는 피드백 모스트랜지스터(MP2)가 제3 피모스 트랜지스터(MP3)보다 5배 길게 설계되었으므로, 충전전류는 5분의 1인 1nA 정도로 흐르게 된다.

[0037] 이와 같이 피드백 모스트랜지스터(MP2)의 게이트에 바이어스 직류전압(VBIASP_CSA) 대신 바이어스 직류전류(IBIASP_CSA)가 인가되는 본 발명에 따른 전하증폭기(510)는 방사선에 의해 신호 전하가 전하증폭기(510)의 입력단으로 주입되었을 때 PVT 변동에 따라 피드백 모스트랜지스터(MP2)의 소스-드레인 전류 변동이 작게 나타난다. 따라서 PVT 변동에 따라 전하증폭기(510)의 신호 전압(ΔV_s)의 변동이 작고 전하 축적(charge integration) 이후 공통전압(VCOM)으로 충전하는데 걸리는 시간도 짧아서 고속 감지가 가능한 장점이 있다.

표 3

VDD	TEMP	SS Model	SF Model	TT Model	FS Model	FF Model
4.5V	-40°C	225mV	256mV	253mV	251mV	287mV
	25°C	215mV	243mV	241mV	239mV	274mV
	85°C	205mV	277mV	235mV	215mV	281mV
5V	-40°C	230mV	262mV	258mV	255mV	292mV
	25°C	220mV	251mV	248mV	246mV	280mV
	85°C	211mV	289mV	241mV	222mV	291mV
5.5V	-40°C	233mV	264mV	261mV	260mV	295mV
	25°C	225mV	252mV	251mV	250mV	283mV
	85°C	215mV	293mV	245mV	228mV	303mV

[0038]

표 4

VDD	TEMP	SS Model	SF Model	TT Model	FS Model	FF Model
4.5V	-40°C	1.247 μ s	0.885 μ s	0.876 μ s	0.863 μ s	0.637 μ s
	25°C	1.144 μ s	0.828 μ s	0.812 μ s	0.801 μ s	0.605 μ s
	85°C	1.077 μ s	1.144 μ s	0.805 μ s	0.692 μ s	0.660 μ s
5V	-40°C	1.233 μ s	0.878 μ s	0.861 μ s	0.851 μ s	0.629 μ s
	25°C	1.125 μ s	0.824 μ s	0.806 μ s	0.788 μ s	0.592 μ s
	85°C	1.065 μ s	1.180 μ s	0.794 μ s	0.678 μ s	0.657 μ s
5.5V	-40°C	1.217 μ s	0.864 μ s	0.853 μ s	0.847 μ s	0.619 μ s
	25°C	1.125 μ s	0.807 μ s	0.787 μ s	0.779 μ s	0.579 μ s
	85°C	1.044 μ s	1.183 μ s	0.778 μ s	0.672 μ s	0.668 μ s

[0039]

[0040] 표 3은 전하증폭기(510)의 PVT 변동에 대한 신호 전압 모의 실험 결과를 보여주고 있다. 또한 표 4는 바이어스 직류전류(IBIASP_CSA)가 인가되는 본 발명에 따른 전하증폭기(510)를 포함하는 방사선 센서의 PVT 변동에 대한 비교기 출력의 펄스 폭 모의 실험 결과를 보여준다.

[0041] 도 6의 바이어스 직류전류(IBIASP_CSA)가 인가되는 전하증폭기(510)를 포함하며, 0.18 μ m CMOS 공정으로 설계된 본 발명에 따른 방사선 센서는 코너별 모의 실험 결과 표 3 및 표4에서 보는 바와 같이 전하증폭기 출력신호(CSA_OUT)의 최소 신호 전압과 최대 신호 전압은 각각 205mV와 303mV이고, 전압 팔로워(520)와 펄스 셰이퍼(pulse shaper)인 미분기(530) 및 적분기(540)를 거친 출력 신호를 비교기의 스레시홀드 전압(VTHR_PS)과 비교하여 발생된 펄스의 최소와 최대 폭은 각각 0.579 μ s 및 1.247 μ s임을 알 수 있다.

[0042] 이로부터 바이어스 직류전압(VBIASP_CSA)을 인가하는 기존의 전하증폭기(110)를 사용한 베타선 검출용 센서에 비해 바이어스 직류전류(IBIASP_CSA)가 인가되는 본 발명에 따른 전하증폭기(510)를 적용한 방사선 센서의 비교기 출력의 펄스 폭 변동이 더 작은 것을 확인할 수 있다.

[0043] 도 8은 본 발명에 따른 전하증폭기를 포함하는 방사선 센서의 신호 전압에 대한 모의실험결과를 나타내는 그래프이다.

[0044] 즉, 도 8은 모스트랜지스터의 모델 파라미터(SS/SF/TT/FS/FF)와 공급전압(VDD=4.5V/5V/5.5V) 및 온도(Temp. = -40°C/25°C/85°C)를 달리하면서 본 발명에 따른 방사선 센서의 구성 회로 각각의 출력에 대한 모의 실험 결과를 보여주고 있다.

[0045] 도 8에서 (a)는 전하증폭기 출력신호(CSA_OUT), (b)는 미분기 출력신호(DIFF_OUT), (c)는 적분기 출력신호(INT_OUT), (d)는 비교기 출력신호(COMP_OUT)에 대한 모의 실험 결과를 보여주고 있다.

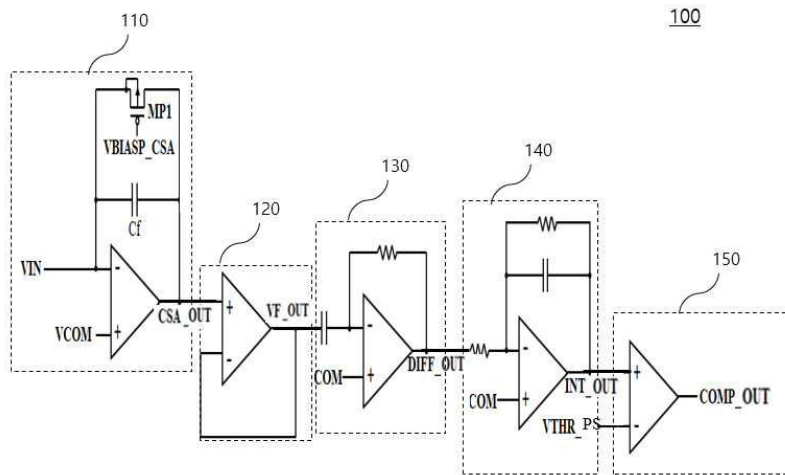
[0046] 미분기(530)와 적분기(540)를 사용한 펄스 셰이퍼(pulse shaper)는 저주파와 고주파 노이즈를 필터링 하는 밴드 패스필터(Band Pass Filter : BPF) 역할을 한다. 비교기(350)는 미분기(530)와 적분기(540)를 통과한 적분기 출력신호(INT_OUT)의 전압을 스레시홀드 전압(VTHR_PS)과 비교하여 비교기 출력신호(COMP_OUT)를 출력한다.

[0047] 비교기 출력신호(COMP_OUT)의 모의실험 결과는 도 8의 (d)에 도시된 바와 같으며, 비교기 출력신호(COMP_OUT)의

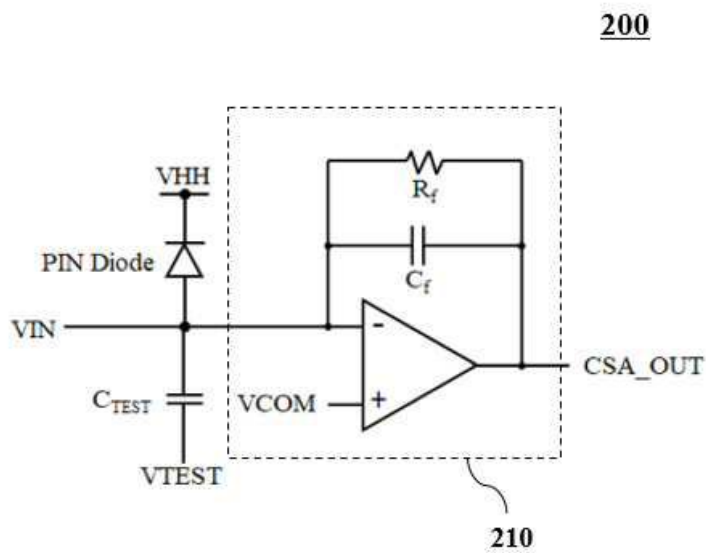
펄스 폭은 표 4에서 보는 바와 같다. 한편, 비교기 출력신호(COMP_OUT)의 펄스의 최소와 최대 폭은 각각 0.579 μ s 및 1.247 μ s로 바이어스 직류전압을 인가하는 종래의 CSA 회로를 사용하는 경우에 비해 폭의 변동이 작은 것을 알 수 있다. 이상에서 본 발명의 바람직한 실시 예에 대하여 상세히 설명하였지만, 본 발명의 권리범위가 이에 한정되는 것이 아니라 다음의 청구범위에서 정의하는 본 발명의 기본 개념을 바탕으로 보다 다양한 실시 예로 구현될 수 있으며, 이러한 실시 예들 또한 본 발명의 권리범위에 속하는 것이다.

도면

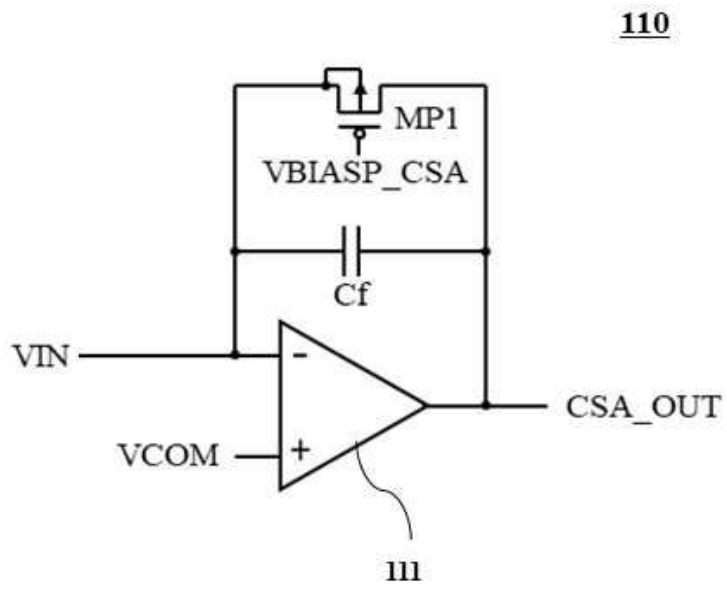
도면1



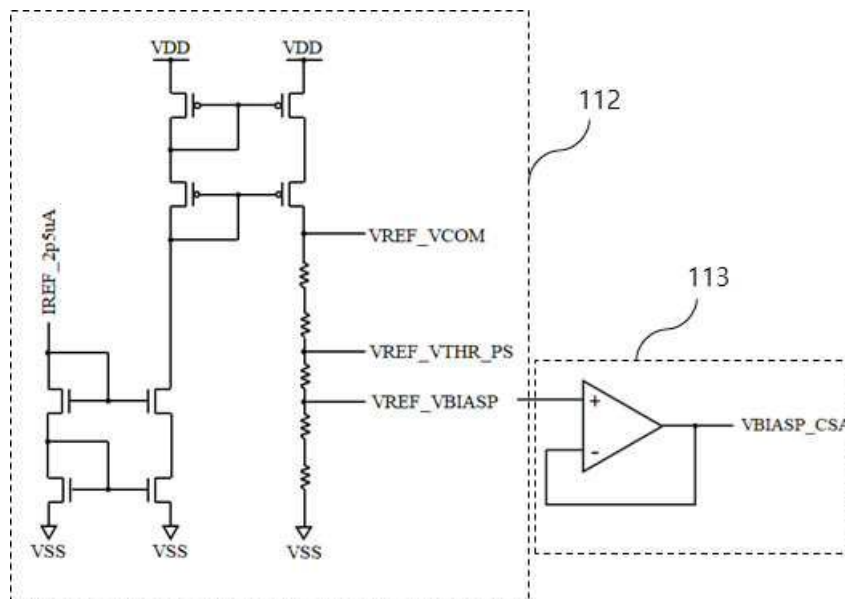
도면2



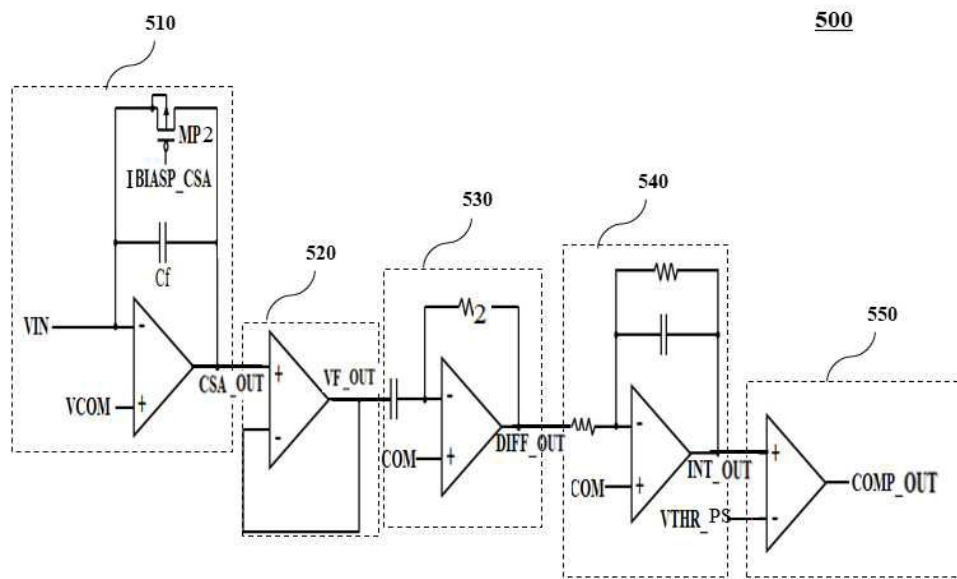
도면3



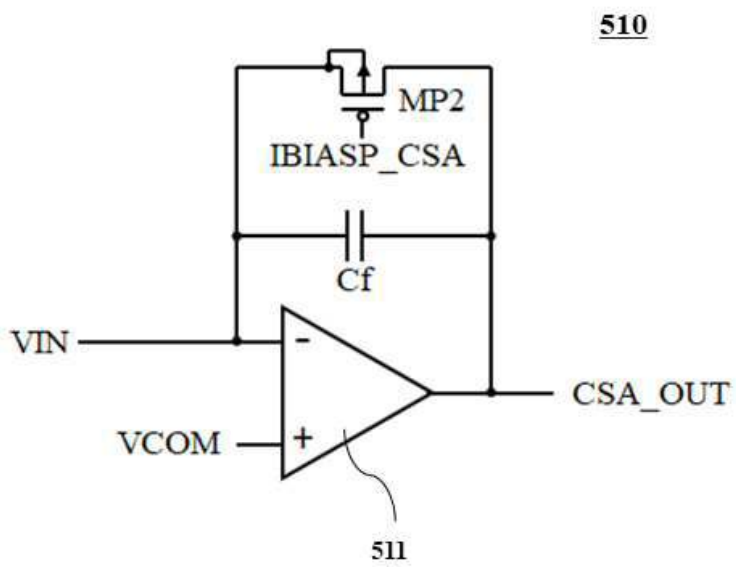
도면4



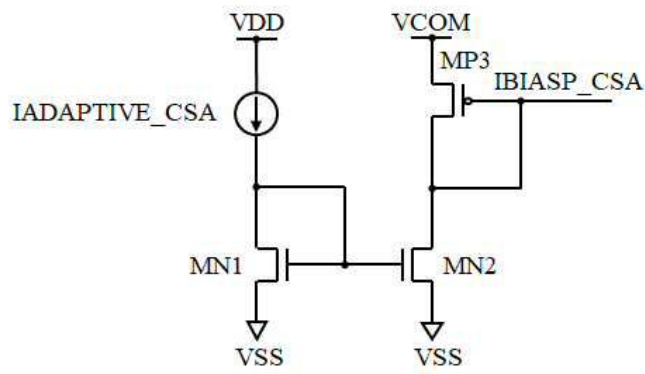
도면5



도면6



도면7



도면8

