



(12) 发明专利

(10) 授权公告号 CN 114068552 B

(45) 授权公告日 2025. 07. 15

(21) 申请号 202110749363.5
(22) 申请日 2021.07.02
(65) 同一申请的已公布的文献号
 申请公布号 CN 114068552 A
(43) 申请公布日 2022.02.18
(30) 优先权数据
 10-2020-0094363 2020.07.29 KR
(73) 专利权人 三星电子株式会社
 地址 韩国京畿道
(72) 发明人 朴商五 李东俊 金根楠 梁承薰
(74) 专利代理机构 北京市柳沈律师事务所
 11105
 专利代理师 岳永娟

(51) Int.Cl.
 H10B 12/00 (2023.01)
(56) 对比文件
 US 2007155150 A1,2007.07.05
 US 2015214291 A1,2015.07.30
 审查员 柳倩

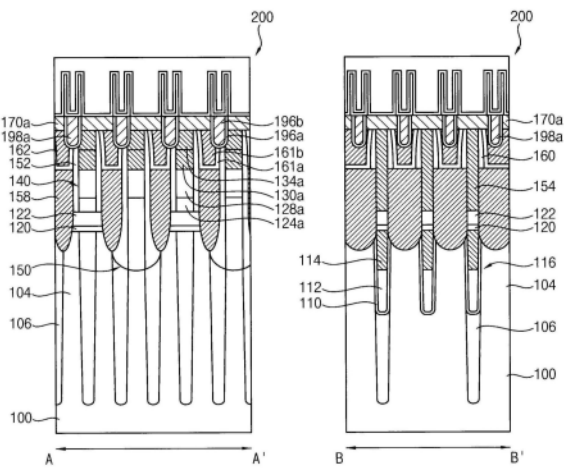
权利要求书2页 说明书16页 附图45页

(54) 发明名称

半导体器件以及制造该半导体器件的方法

(57) 摘要

半导体器件可以包括基板,该基板包括单元区域以及核心/外围区域。多个位线结构可以在基板的单元区域中。栅极结构可以在基板的核心/外围区域中。下接触插塞和上接触插塞可以在位线结构之间。下接触插塞和上接触插塞可以在竖直方向上堆叠。着陆焊盘图案可以接触上接触插塞的上侧壁。着陆焊盘图案可以在上接触插塞的上部与位线结构中的一个的上部之间。着陆焊盘图案的上表面可以高于位线结构中的每个的上表面。外围接触插塞可以在基板的核心/外围区域中。布线可以电连接到外围接触插塞的上表面。



1. 一种半导体器件,包括:
包括单元区域和核心/外围区域的基板;
在所述基板的单元区域中的多个位线结构;
在所述基板的核心/外围区域中的栅极结构;
在所述位线结构之间的下接触插塞和上接触插塞,所述下接触插塞和所述上接触插塞在竖直方向上堆叠;
与所述上接触插塞的上侧壁接触的着陆焊盘图案,所述着陆焊盘图案在所述上接触插塞的上部与所述多个位线结构中的第一位线结构的上部之间,其中,所述着陆焊盘图案的上表面高于所述位线结构中的每个的上表面;和
在所述基板的核心/外围区域中的外围接触插塞;以及
电连接到所述外围接触插塞的上表面的布线;
其中,所述着陆焊盘图案的上表面与所述布线的上表面彼此共面。
2. 根据权利要求1所述的半导体器件,进一步包括:在所述多个位线结构和所述上接触插塞上的盖绝缘图案,并且所述盖绝缘图案填充在多个着陆焊盘图案之间的空间。
3. 根据权利要求2所述的半导体器件,其中,所述盖绝缘图案在所述核心/外围区域中的所述栅极结构上,并且所述布线形成在所述盖绝缘图案中所包括的开口中的每个中。
4. 根据权利要求1所述的半导体器件,其中,所述着陆焊盘图案、所述外围接触插塞和所述布线的底部被定位在不同的竖直高度处。
5. 根据权利要求1所述的半导体器件,其中,所述着陆焊盘图案、所述外围接触插塞和所述布线包括相同的阻挡图案和相同的金属图案。
6. 根据权利要求1所述的半导体器件,其中,所述下接触插塞的导电材料与所述上接触插塞的导电材料不同。
7. 根据权利要求6所述的半导体器件,其中,所述下接触插塞包括掺杂有杂质的多晶硅,并且其中,所述上接触插塞包括金属。
8. 根据权利要求1所述的半导体器件,其中,所述上接触插塞的最上表面与所述位线结构的最上表面共面。
9. 根据权利要求1所述的半导体器件,其中,所述上接触插塞的最上表面低于所述位线结构的最上表面。
10. 根据权利要求1所述的半导体器件,其中,所述位线结构包括顺序地堆叠的导电图案、金属图案和盖图案,以及
其中,所述着陆焊盘图案与所述盖图案接触。
11. 根据权利要求1所述的半导体器件,其中,所述外围接触插塞包括第一接触插塞和第二接触插塞,以及
其中,所述第一接触插塞接触与所述栅极结构相邻的基板,而所述第二接触插塞电连接到所述位线结构中所包括的导电图案。
12. 根据权利要求1所述的半导体器件,进一步包括:
在所述基板的上表面的下方的单元栅极结构;和
电连接到所述着陆焊盘图案的电容器。
13. 根据权利要求1所述的半导体器件,其中,所述着陆焊盘图案和所述布线中的每个

具有小于20nm的尺寸和小于40nm的间距。

14. 根据权利要求1所述的半导体器件, 其中, 所述外围接触插塞的布置密度低于所述着陆焊盘图案的布置密度, 并且低于所述布线的布置密度。

15. 一种半导体器件, 包括:

包括单元区域和核心/外围区域的基板;

所述基板中的第一栅极结构, 所述第一栅极结构在所述基板的上表面的下方;

在所述基板的单元区域中的多个位线结构;

在所述基板的核心/外围区域中的第二栅极结构;

在所述位线结构之间的下接触插塞和上接触插塞, 所述下接触插塞和所述上接触插塞在竖直方向上堆叠;

在所述位线结构、所述上接触插塞和所述第二栅极结构上的盖绝缘图案;

与所述上接触插塞的上侧壁接触的着陆焊盘图案, 其中, 所述着陆焊盘图案在所述上接触插塞的上部和所述位线结构中的一个的上部的凹陷部分处, 并且其中, 所述着陆焊盘图案的上表面高于所述位线结构中的每个的上表面;

在所述核心/外围区域中的盖绝缘图案的第一开口中的布线;

在与所述第一开口连通的第二开口中的接触插塞, 所述接触插塞电连接到所述布线并且在所述布线的下方; 以及

电连接到所述着陆焊盘图案的电容器,

其中, 所述着陆焊盘图案、所述接触插塞和所述布线包括相同的金属。

16. 根据权利要求15所述的半导体器件, 其中, 所述着陆焊盘图案的上表面与所述布线的上表面彼此共面。

17. 根据权利要求15所述的半导体器件, 其中, 所述着陆焊盘图案、所述接触插塞和所述布线的底部被定位在不同的竖直高度处。

18. 一种半导体器件, 包括:

包括单元区域和核心/外围区域的基板;

在所述基板的单元区域中的导电结构;

在所述基板的核心/外围区域中的栅极结构;

在所述导电结构之间的单元接触插塞;

电连接到所述单元接触插塞的着陆焊盘图案, 并且其中, 所述着陆焊盘图案的上表面高于所述导电结构中的每个的上表面;

绝缘层, 覆盖所述基板的核心/外围区域; 和

在所述绝缘层中所包括的开口中的接触插塞和布线,

其中, 所述布线的上表面与所述绝缘层的上表面共面。

19. 根据权利要求18所述的半导体器件, 其中, 所述绝缘层在多个着陆焊盘图案之间, 并且所述着陆焊盘图案中的每个在通过所述绝缘层暴露所述单元接触插塞的侧壁的凹陷部分中。

半导体器件以及制造该半导体器件的方法

[0001] 对相关申请的交叉引用

[0002] 本申请基于在2020年7月29日向韩国知识产权局提交的韩国专利申请第10-2020-0094363号并且要求其优先权,该韩国专利申请的公开内容通过引用整体并入于此。

技术领域

[0003] 本公开的方面涉及半导体器件以及制造该半导体器件的方法。更具体地,本公开的方面涉及动态随机存取存储器 (DRAM) 器件以及制造该DRAM器件的方法。

背景技术

[0004] 随着DRAM器件的日益地集成,可以减小在形成中使用的图案的尺寸并且可以增加图案的布置密度。因此,可能增加用于形成构成DRAM的图案的光刻工艺的数量。另外,当形成图案时,可能生成图案的缺陷。

发明内容

[0005] 本公开的方面提供了半导体器件以及用于制造该半导体器件的方法。

[0006] 根据本公开的一些方面,提供了一种半导体器件。该半导体器件可以包括基板,该基板包括单元区域以及核心/外围区域。多个位线结构可以在基板的单元区域中。栅极结构可以在基板的核心/外围区域中。下接触插塞(contact plug)和上接触插塞可以在位线结构之间。下接触插塞和上接触插塞可以在竖直方向上堆叠。着陆焊盘图案(landing pad pattern)可以接触上接触插塞的上侧壁。着陆焊盘图案可以在上接触插塞的上部与位线结构中的一个的上部之间。着陆焊盘图案的上表面可以高于位线结构中的每个的上表面。外围接触插塞可以在基板的核心/外围区域中。布线可以电连接到外围接触插塞的上表面。

[0007] 根据一些示例实施例,提供了一种半导体器件。该半导体器件可以包括基板,该基板包括单元区域和核心/外围区域。第一栅极结构掩埋在基板中。第一栅极结构可以在基板的上表面的下方。多个位线结构可以在基板的单元区域中。第二栅极结构可以在基板的核心/外围区域中。下接触插塞和上接触插塞可以在位线结构之间。下接触插塞和上接触插塞可以在竖直方向上堆叠。盖(capping)绝缘图案可以在位线结构、上接触插塞和第二栅极结构上。着陆焊盘图案可以与上接触插塞的上侧壁接触。着陆焊盘图案可以在上接触插塞的上部和位线结构中的一个的上部的凹陷部分中。着陆焊盘图案的上表面可以高于位线结构中的每个的上表面。布线可以在核心/外围区域中的盖绝缘图案的第一开口中。接触插塞可以在与第一开口连通的第二开口中。接触插塞可以电连接到布线,并且接触插塞可以在布线的下方。电容器可以电连接到着陆焊盘图案。着陆焊盘图案、接触插塞和布线包括相同的金属。

[0008] 根据一些示例实施例,提供了一种半导体器件。该半导体器件可以包括基板,该基板包括单元区域和核心/外围区域。导电结构可以形成在基板的单元区域中。栅极结构可以在基板的核心/外围区域中。单元接触插塞可以在导电结构之间。着陆焊盘图案可以电连接

到单元接触插塞。着陆焊盘图案的上表面可以高于导电结构中的每个的上表面。绝缘层可以覆盖基板的核心/外围区域。接触插塞和布线可以在绝缘层中所包括的开口中。布线的上表面可以与绝缘层的上表面共面。

[0009] 根据一些示例实施例,提供了一种制造半导体器件的方法。该方法可以包括在基板的单元区域中形成位线结构。栅极结构可以形成在基板的核心/外围区域中。下接触插塞和上接触插塞可以形成在位线结构之间。下接触插塞和上接触插塞可以在竖直方向上堆叠。盖绝缘层可以形成在单元区域中的位线结构和上接触插塞上以及核心/外围区域中的栅极结构上。可以通过执行第一曝光工艺在盖绝缘层上形成用于在单元区域中形成着陆焊盘图案并且在核心/外围区域中形成接触插塞的第一光刻胶图案。可以使用第一光刻胶图案作为刻蚀掩模来刻蚀层,以在单元区域中形成第一开口并且在核心/外围区域中形成第二开口。可以通过执行第二曝光工艺在盖绝缘层上形成用于在核心/外围区域中形成布线的第二光刻胶图案。可以使用第二光刻胶图案作为刻蚀掩模来刻蚀层,以形成与核心/外围区域中的第二开口连通的第三开口。可以采用金属材料来填充第一开口、第二开口和第三开口,以在第一开口中形成着陆焊盘图案,在第二开口中形成接触插塞以及在第三开口中形成布线。

[0010] 在一些示例实施例中,可以通过潜在地具有减少的操作数量的工艺来制造半导体器件。例如,在一些实施例中,可以通过单个光工艺来形成与基板在竖直方向上具有不同水平的底表面的半导体器件、图案和/或接触插塞的制造。在DRAM器件的情况下,可以通过使用EUV光的单个光工艺来形成:电连接到单元区域中的电容器的焊盘图案以及与基板或核心/外围区域中的布线接触的外围接触插塞。外围导线可以形成在外围接触插塞上。

附图说明

[0011] 通过以下结合附图进行的详细描述,将更加清楚地理解本发明构思的示例实施例。图1至图47表示本文所描述的非限制性示例实施例。

[0012] 图1至图5是示出根据一些示例实施例的半导体器件的各方面的横截面图和平面图;

[0013] 图6至图31是示出根据一些示例实施例的制造半导体器件的方法的方面的横截面图;

[0014] 图32是示出根据一些示例实施例的半导体器件的方面的横截面图;

[0015] 图33是示出根据一些示例实施例的制造半导体器件的方法的方面的横截面图;

[0016] 图34是示出根据一些示例实施例的半导体器件的方面的横截面图;

[0017] 图35至图41是示出根据一些示例实施例的制造半导体器件的方法的方面的横截面图;

[0018] 图42和图43是示出根据一些示例实施例的半导体器件的方面的横截面图;和

[0019] 图44至图47是示出根据示例实施例的制造半导体器件的方法的方面的横截面图。

具体实施方式

[0020] 图1至图5是示出根据示例实施例的半导体器件的方面的横截面图和平面图。

[0021] 图1、图2、图4和图5是横截面图,以及图3是平面图。

[0022] 图1包括沿着图3的线A-A'和线B-B'截取的横截面图,以及图2包括沿着图3的线C-C'和线D-D'截取的横截面图。图1至图5示出了单元区域I以及核心/外围区域II中的结构。在图2中,沿着图3的线C-C'截取的横截面图示出了单元区域I和核心/外围区域II中的结构,并且沿着图3的线D-D'截取的横截面图示出了核心/外围区域II中的结构。图4示出了着陆焊盘图案的一部分的放大横截面图,以及图5是核心/外围区域II中的晶体管的一部分的放大横截面图。

[0023] 参考图1至图5,基板100可以包括单元区域I以及核心/外围区域II。可以在基板100的单元区域I中形成第一栅极结构116、位线结构140、间隔物(spacer)结构152、绝缘图案154、下接触插塞158和上接触插塞162、着陆焊盘图案198a以及电容器200。可以在基板100的核心/外围区域II中形成第二栅极结构142、下绝缘夹层(interlayer)132、接触插塞198b和布线198c。

[0024] 基板100可以包括硅、锗、硅-锗或者诸如GaP、GaAs或GaSb的III-V族化合物。在一些示例实施例中,基板100可以是绝缘体上硅(SOI)基板或绝缘体上锗(GOI)基板。

[0025] 基板100可以包括隔离沟槽(isolation trench),并且可以在隔离沟槽中形成器件隔离图案106。隔离沟槽之间的基板100可以用作有源图案104。器件隔离图案106可以包括例如氧化硅和/或氮化硅。

[0026] 第一栅极结构116可以掩埋在单元区域I的基板100中。也就是说,第一栅极结构116可以在第一方向上(参见图3)延伸穿过有源图案104和器件隔离图案的上部106。多个第一栅极结构可以在第二方向上彼此间隔开。第一栅极结构116可以包括第一栅极绝缘层110、栅极电极112和盖掩模图案114。

[0027] 第一栅极绝缘层110可以形成在有源图案104的表面上。栅极电极112可以形成在第一栅极绝缘层110和器件隔离图案106上。栅极电极112可以在第一方向上延伸。盖掩模图案114可以覆盖栅极电极112的上表面。

[0028] 第一栅极绝缘层110可以包括诸如氧化硅的氧化物。栅极电极112可以包括例如:诸如钨(W)、钛(Ti)、钽(Ta)等的金属,和/或诸如氮化钨、氮化钛、氮化钽等的金属氮化物。盖掩模图案114可以包括诸如氮化硅的氮化物。

[0029] 第一绝缘层120和第二绝缘层122可以顺序地堆叠在单元区域I中的有源图案104上、器件隔离图案106上以及盖掩模图案114上。第二栅极绝缘层121可以形成在核心/外围区域II中的有源图案104上。

[0030] 单元区域I中的位线结构140可以包括顺序地堆叠的第一导电图案124a、第一阻挡图案(未示出)、第一金属图案128a、第一盖层图案130a和第二盖层图案134a。在示例实施例中,位线结构140可以形成在有源图案104和第二绝缘层122上。位线结构140可以在第二方向上延伸。

[0031] 位线结构140中所包括的第一导电图案124a的一部分可以形成在有源图案104、器件隔离图案106和与有源图案104相邻的盖掩模图案114的上表面中的第一开口150中。因此,第一导电图案124a的一部分可以接触通过第一开口150暴露的有源图案104的上表面。第一导电图案124a可以包括例如掺杂有杂质的多晶硅。

[0032] 第一阻挡图案可以包括例如:诸如钛(Ti)、钽(Ta)等的金属,和/或诸如氮化钛、氮化钽等的金属氮化物。在一些实施例中,第一阻挡图案可以包括多种金属和/或多种金属氮

化物。第一金属图案128a可以是例如：诸如钨(W)的金属。第一盖层图案130a和第二盖层图案134a可以包括诸如氮化硅的氮化物。

[0033] 核心/外围区域II中的第二栅极结构142可以包括顺序地堆叠的栅极绝缘层121、第一导电图案124a、第一金属图案128a和第一盖层图案130a。

[0034] 如上所述,核心/外围区域II中的第二栅极结构142以及单元区域I中的位线结构140中的每个可以包括堆叠结构,该堆叠结构包括第一导电图案124a、第一金属图案128a和第一盖层图案130a。即,第二栅极结构142和位线结构140可以具有相同的堆叠结构。

[0035] 间隔物136可以形成在第二栅极结构142的侧壁上。此外,位线结构140可以从单元区域I延伸到核心/外围区域II的一部分。间隔物136可以在第二方向上形成在位线结构140的边缘上。

[0036] 下绝缘夹层132可以形成在第二栅极结构142之间的基板上。第二盖层图案134a可以形成在核心/外围区域II中的第二栅极结构142和下绝缘夹层132上。

[0037] 间隔物结构152可以形成在位线结构140的侧壁上,并且间隔物结构152可以在第二方向上延伸。在一些示例实施例中,间隔物结构152可以包括从位线结构140的侧壁起堆叠的多个间隔物。在一些示例实施例中,间隔物结构152可以包括空气间隔物,其用作空的空间。

[0038] 绝缘图案154可以形成在第二绝缘层122上。绝缘图案154可以形成在位线结构140之间的第一栅极结构116上。

[0039] 在一些示例实施例中,绝缘图案154的上表面可以与位线结构140的上表面共面。绝缘图案154可以包括诸如氮化硅的氮化物。

[0040] 第三开口可以形成在位线结构140之间的部分和绝缘图案154之间的部分处,并且第三开口可以暴露有源图案104。下接触插塞158和上接触插塞162可以形成在第三开口中。

[0041] 下接触插塞158可以填充第三开口的下部。下接触插塞158可以包括例如掺杂有杂质的多晶硅。

[0042] 在一些示例实施例中,下接触插塞158的上表面可以高于位线结构140中所包括的第一导电图案124a的上表面,并且下接触插塞158的上表面可以低于第一盖层图案130a的上表面。换句话说,下接触插塞158的上表面可以在第一导电图案124a的上表面和第一盖层图案130a的上表面之间。在一些实施例中,下接触插塞158的上表面可以布置在沿着第一金属图案128a的侧壁的位置处。然而,下接触插塞158的上表面的位置可以不限于此。当形成下接触插塞158时,下接触插塞158和位线结构140之间的寄生电容可以减小。

[0043] 上间隔物160可以形成在绝缘图案154的上侧壁上。具体地,上间隔物160可以形成在绝缘图案154的上侧壁上,使得上间隔物160定位成高于下接触插塞158的上表面。尽管未示出,但是上间隔物可以进一步形成在间隔物结构152上。

[0044] 上接触插塞162可以接触下接触插塞158的上表面。上接触插塞162可以形成在第三开口的上部中。

[0045] 上接触插塞162可以包括第二阻挡图案161a和第二金属图案161b。第二阻挡图案161a可以形成在间隔物结构152、上间隔物160和下接触插塞158的上表面上,并且第二阻挡图案161a可以与间隔物结构152、上间隔物160以及下接触插塞158的上表面的表面一致(conform),该第二阻挡图案161a形成在下接触插塞158的上表面上。因此,第二阻挡图案

161a可以围绕第二金属图案161b的侧壁和底部。第二阻挡图案161a可以包括例如：诸如钛(Ti)或钽(Ta)等的金属,和/或诸如氮化钛或氮化钽等的金属氮化物。在一些实施例中,第二阻挡图案161a可以包括多种金属和/或多种金属氮化物。第二金属图案161b可以包括诸如钨(W)的金属。

[0046] 在一些示例实施例中,上接触插塞162的最上表面可以与位线结构140的最上表面共面。

[0047] 第三盖绝缘图案170a可以形成在单元区域I中的上接触插塞162和位线结构140上,并且第三盖绝缘图案170a可以形成在核心/外围区域II中的第二盖层图案134a上。第三盖绝缘图案170a可以包括诸如氮化硅的氮化物。

[0048] 单元区域I中的第三盖绝缘图案170a可以包括第六开口180。上接触插塞162、间隔物结构152和位线结构140的一部分可以通过第六开口180暴露。上接触插塞162、间隔物结构152和位线结构140的通过第六开口180暴露的部分可以具有刻蚀的形状,使得通过第六开口暴露的并且具有刻蚀的形状的部分可以对应于凹陷部分。在上接触插塞162、间隔物结构152和位线结构140中,面对凹陷部分的部分可以不具有刻蚀的形状。

[0049] 电连接到上接触插塞162的着陆焊盘图案198a可以形成在第六开口180中。着陆焊盘图案198a的下部可以接触上接触插塞162的侧壁以及位线结构140的第一盖层图案130a和第二盖层图案134a的侧壁。着陆焊盘图案198a的底部可以低于位线结构140的最上表面和上接触插塞162的最上表面。

[0050] 第三盖绝缘图案170a可以在着陆焊盘图案198a的上侧壁上。第三盖绝缘图案170a可以填充着陆焊盘图案198a之间的空间。

[0051] 着陆焊盘图案198a可以包括第三阻挡图案196a和第三金属图案196b。第三阻挡图案196a可以形成在通过第六开口180暴露的层的侧壁和底部上,并且第三阻挡图案196a可以与在其上形成第三阻挡图案196a的表面一致。第三金属图案196b可以形成在第三阻挡图案196a上以填充第六开口180。

[0052] 第三阻挡图案196a可以包括例如：诸如钛(Ti)或钽(Ta)等的金属,和/或诸如氮化钛或氮化钽等的金属氮化物。在一些实施例中,第三阻挡图案196a可以包括多种金属和/或多种金属氮化物。第三金属图案196b可以包括诸如钨(W)的金属。

[0053] 着陆焊盘图案198a的上表面可以与第三盖绝缘图案170a的上表面基本上共面。

[0054] 着陆焊盘图案198a可以具有大约20nm或更小的尺寸。该尺寸可以是关键尺寸。着陆焊盘图案198a可以具有40nm或更小的间距。间距可以是图案中的每个的宽度与图案之间的间隔的和。着陆焊盘图案198a可以密集地布置,并且着陆焊盘图案198a可以具有第一布置密度。在一些示例实施例中,在平面图中,着陆焊盘图案198a可以布置为蜂窝形状。

[0055] 因此,着陆焊盘图案198a可以形成在上接触插塞162上。第三阻挡图案196a可以布置在上接触插塞162和着陆焊盘图案198a之间的接触部分处。

[0056] 核心/外围区域II中的第三封盖绝缘图案170a可以包括第九开口194。第九开口194可以在一个方向上延伸以具有沟槽形状。此外,第七开口182a可以形成在第九开口194的下方,并且可以与第九开口194连通。

[0057] 接触插塞198b可以形成在第七开口182a中。布线198c可以形成在第九开口194中。接触插塞198b的布置可以不比着陆焊盘图案198a的布置更密集。接触插塞198b的布置密度

可以低于着陆焊盘图案198a的布置密度。换句话说,接触插塞198b可以具有第二布置密度,该第二布置密度低于着陆焊盘图案198a的第一布置密度。接触插塞198b的间距可以大于着陆焊盘图案198a的间距和布线198c的间距。

[0058] 接触插塞198b可以包括第一接触插塞和第二接触插塞。第一接触插塞可以形成在核心/外围区域II中的位线结构140的第二方向上的端部上。第一接触插塞可以穿过位线结构140的上部,并且第一接触插塞可以接触位线结构140中的第一导电图案124a。此外,第二接触插塞可以穿过下绝缘夹层132,并且第二接触插塞可以接触与第二栅极结构142的侧面相邻的基板。

[0059] 布线198c可以延伸以与接触插塞198b的上部接触。

[0060] 布线198c可具有大约20nm或更小的尺寸(例如,线宽)。该尺寸可以是关键尺寸。布线198c的间距可以有大约40nm或更小。布线198c可以比接触插塞的布置更密集地布置。布线198c可以具有高于接触插塞198b的第二布置密度的第三布置密度。

[0061] 接触插塞198b和布线198c可以包括第三阻挡图案196a和第三金属图案196b。第三阻挡图案196a可以形成在通过第七开口182a和第九开口194暴露的表面上,并且第三阻挡图案196a可以与在其上形成第三阻挡图案196a的表面一致。第三金属图案196b可以形成在第三阻挡图案196a上以填充第七开口182a和第九开口194。

[0062] 可以通过相同的一个或多个工艺来形成着陆焊盘图案198a、接触插塞198b和布线198c,使得着陆焊盘图案198a、接触插塞198b和布线198c可以包括相同的导电材料。在着陆焊盘图案198a、接触插塞198b和布线198c中所包括的第三阻挡图案196a可以具有相同的材料,并且在着陆焊盘图案198a、接触插塞198b和布线198c中所包括的第三金属图案196b可以具有相同的材料。

[0063] 电容器200可以形成在着陆焊盘图案198a的上表面上。

[0064] 如上所述,半导体器件可以在位线结构140之间包括下接触插塞158和上接触插塞162。着陆焊盘图案198a的下部可以定位在上接触插塞162的上部与位线结构140的上部之间。着陆焊盘图案198a的下部可以分别地接触上接触插塞162的上侧壁和位线结构140的上侧壁。

[0065] 着陆焊盘图案198a可以包括第三金属图案196b和形成在第三金属图案196b的侧壁和底表面上的第三阻挡图案196a。

[0066] 核心/外围区域II中的接触插塞198b和布线198c可以具有与着陆焊盘图案198a的导电材料基本上相同的导电材料。

[0067] 在一些实施例中,可以通过具有减少的操作数量的工艺来制造半导体器件的组件,诸如着陆焊盘图案198a、接触插塞198b和布线198c。

[0068] 图6至图31是示出根据一些示例实施例的制造半导体器件的方法的方面的横截面图。

[0069] 具体地,图6、图8、图10、图12、图14、图15、图16、图18、图20、图22、图24、图26、图28和图30是沿图3的线A-A'和线B-B'截取的横截面。图7、图9、图11、图13、图17、图19、图21、图23、图25、图27、图29和图31是沿图3的线C-C'和D-D'截取的横截面。在图6至图31中,沿图3的线A-A'和B-B'截取的横截面是单元区域I的横截面。在图6至图31中,沿图3的线C-C'截取的横截面是单元区域I和核心/外围区域II的横截面,以及沿图3的线D-D'截取的横截面是

核心/外围区域II的横截面。

[0070] 参考图6和图7,基板100可以包括单元区域I和核心/外围区域II。单元区域I可以是其中形成存储单元的区域,而核心/外围区域II可以是其中形成外围电路或核心电路的区域。

[0071] 可以刻蚀基板100的上部以形成隔离沟槽102,并且可以形成器件隔离图案106以填充隔离沟槽102。在器件隔离图案106之间的基板100的部分可以是有源图案104。器件隔离图案106可以用作场(field)区域,并且有源图案104可以用作有源区域。

[0072] 参考图8和图9,可以通过执行离子注入工艺在单元区域I的基板100中形成杂质区域(未示出)。可以刻蚀单元区域I中的有源图案104和器件隔离图案的部分,以形成在第一方向上延伸的第一凹陷108。

[0073] 之后,可以在第一凹陷108中形成第一栅极结构116。第一栅极结构116可以包括第一栅极绝缘层110、栅极电极112和盖掩模图案114。

[0074] 参考图10和图11,可以在单元区域I中的有源图案104、器件隔离图案106和盖掩模图案114中的每个上顺序地形成第一绝缘层120和第二绝缘层122。第二栅极绝缘层121可以形成在核心/外围区域II中的有源图案104上。

[0075] 第一导电层124可以形成在第二绝缘层122和第二栅极绝缘层121上。

[0076] 可以刻蚀单元区域I中的第一导电层124、第二绝缘层122和第一绝缘层120的部分以形成暴露单元区域I中的有源图案104的一部分的第一开口150。在一些示例实施例中,第一开口150可以暴露单元区域I中的有源图案104中的每个的上表面的中心部分。

[0077] 可以形成第二导电层126以填充第一开口150。第一导电层124和第二导电层126的上表面可以彼此共面。第一导电层124和第二导电层126可以包括掺杂有杂质的多晶硅。第一导电层124和第二导电层126可以包括相同的材料,使得第一导电层124和第二导电层126可以合并或可以合并为一层。

[0078] 第一阻挡层(未示出)、第一金属层128和第一盖层130可以顺序地形成在第一导电层124和第二导电层126的上表面上。

[0079] 可以在第一盖层130上形成第一刻蚀掩模图案(未示出)以覆盖单元区域I并且暴露核心/外围区域II的一部分。可以使用第一刻蚀掩模图案顺序地刻蚀核心/外围区域II中的第一盖层130、第一金属层128、第一阻挡层和第一导电层124。因此,可以在单元区域I上形成初步(preliminary)位线结构。此外,可以在核心/外围区域II上形成第二栅极结构142。第二栅极结构142可以包括可以被顺序地堆叠的第二栅极绝缘层121、第一导电图案124a、第一金属图案128a和第一盖层图案130a。

[0080] 间隔物136可以形成在初步位线结构的侧壁和第二栅极结构142的侧壁上。在用于形成间隔物136的刻蚀工艺中,可以去除在间隔物136之间的第一绝缘层120、第二绝缘层122和第二栅极绝缘层121的部分。在一些示例实施例中,这些部分可以例如在单个工艺中一起被去除。在一些示例实施例中,氮化物衬垫(liner)(未示出)可以进一步形成在初步位线结构的上表面、第二栅极结构142的上表面、间隔物136以及在间隔物之间的基板100上。氮化物衬垫可以包括氮化硅。

[0081] 参考图12和图13,下绝缘夹层132可以形成在核心/外围区域II的基板100上,以填充第二栅极结构142之间的区域。

[0082] 可以在初步位线结构,第二栅极结构142和下绝缘夹层132上形成第二盖层。第二盖层可以包括氮化硅。第一盖层130、氮化物衬垫和第二盖层包括氮化硅,并且因此,第一盖层130、氮化物衬垫和第二盖层可以合并为一个氮化硅层。

[0083] 可以对单元区域I中的第二盖层和第一盖层130进行图案化,以在单元区域I和核心/外围区域II中形成第二盖层图案134a和第一盖层图案130a。单元区域I中的第一盖层图案130a和第二盖层图案134a的堆叠可以具有在第二方向上延伸的线形形状。第二盖层图案134a可以形成在核心/外围区域II的整体上。

[0084] 可以使用第一盖层图案130a和第二盖层图案134a作为刻蚀掩模来刻蚀单元区域I中的第一金属层128、第一阻挡层、第二导电层126和第一导电层124。因此,可以在第一开口150中的有源图案104上顺序地堆叠第一导电图案124a、第一阻挡图案(未示出)、第一金属图案128a以及第一盖层图案130a和第二盖层图案134a。另外,第一导电图案124a、第一阻挡图案、第一金属图案128a、第一盖层图案130a和第二盖层图案134a可以顺序地堆叠在与第一开口150相邻的第二绝缘层122上。第一导电层和第二导电层可以具有相同的材料,使得通过将第一导电层和第二导电层图案化而形成的导电图案可以被称为第一导电图案124a。

[0085] 包括第一导电图案124a、第一阻挡图案、第一金属图案128a、第一盖层图案130a和第二盖层图案134a的堆叠结构可以被称为位线结构140。

[0086] 位线结构140可以在第二方向上延伸,并且多个位线结构140布置在第一方向上。位线结构140可以在第二方向上延伸,以便接触通过第一开口150暴露的有源图案104的表面。

[0087] 参考图14,可以形成间隔物结构152以覆盖位线结构140的侧壁。在图14中,间隔物结构152可以被简单地示出为一个间隔物,但是在一些示例实施例中,间隔物结构152可以包括横向地堆叠的多个间隔物。

[0088] 在一些示例实施例中,间隔物结构152可以包括第一间隔物和第二间隔物。第一间隔物可以覆盖被定位在第一开口150中的位线结构140的下侧壁,并且第二间隔物可以形成在第一间隔物的最上表面上以覆盖位线结构140的上侧壁。此外,第三间隔物和第四间隔物可以顺序地堆叠在第二间隔物的表面上。

[0089] 可以形成第一绝缘夹层(未示出)以填充间隔物结构152之间的空间。在第一绝缘夹层和间隔物结构152上形成第二刻蚀掩模图案(未示出)之后,可以使用刻蚀掩模图案来刻蚀第一绝缘夹层以形成第二开口(未示出)。

[0090] 在一些示例实施例中,第二刻蚀掩模图案可以在第一方向上延伸。多个第二刻蚀掩模图案可以在第二方向上彼此间隔开。在一些示例实施例中,第二开口可以形成为与在其下方的第一栅极结构116重叠。之后,可以形成绝缘图案154以填充第二开口。绝缘图案154可以形成为包括诸如氮化硅的氮化物。

[0091] 可以刻蚀第一绝缘夹层,并且然后可以刻蚀第二绝缘层122、第一绝缘层120以及其下的基板100的表面部分,以形成暴露基板100的表面的第三开口156。

[0092] 参考图15,可以形成下接触插塞158以填充第三开口156的下部。

[0093] 在一些示例实施例中,可以形成导电层以填充第三开口156,并且然后可以去除导电层的上部以形成下接触插塞158。导电层可以包括掺杂有杂质的多晶硅。当导电层由多晶硅层形成时,导电层可以填充具有高纵横比(aspect ratio)的第三开口156。

[0094] 当执行参考图14和图15示出的工艺时,可以维持形成在核心/外围区域II中的结构。换句话说,当执行参考图14和图15示出的工艺时,核心/外围区域II可以基本上不被修改。

[0095] 参考图16和图17,可以在绝缘图案154的上侧壁上形成上间隔物160。在形成上间隔物160的工艺中,上间隔物(未示出)也可以形成在间隔物结构152上。

[0096] 第二阻挡层可以形成在单元区域I中的下接触插塞158、位线结构140和上间隔物以及核心/外围区域II中的第二盖层图案134a的表面上。第二阻挡层可以与在其上形成第二阻挡层的表面一致。可以在第二阻挡层上形成第二金属层以填充位线结构140之间的空间和绝缘图案154之间的空间。

[0097] 第二阻挡层可以包括例如:诸如钛(Ti)或钽(Ta)等的金属,和/或诸如氮化钛或氮化钽等的金属氮化物。第二金属层可以包括例如诸如钨(W)的金属。

[0098] 之后,可以对第二金属层和第二阻挡层进行平坦化,直到可以暴露位线结构140的上表面和绝缘图案154的上表面。在平坦化工艺中,可以完全地去除形成在核心/外围区域II中的第二金属层和第二阻挡层,并且可以部分去除第二盖层图案134a的上部。在单元区域I中,上接触插塞162可以形成在下接触插塞158的上表面上以填充第三开口。

[0099] 上接触插塞162可以包括第二阻挡图案161a和第二金属图案161b。第二阻挡图案161a可以形成在间隔物结构152、上间隔物160和下接触插塞158的表面上,并且第二阻挡图案161a可以与在其上形成第二阻挡图案161a的表面一致。因此,第二阻挡图案161a可以围绕第二金属图案161b的侧壁和底部。

[0100] 在一些示例实施例中,上接触插塞162的最上表面可以与位线结构140的最上表面共面。

[0101] 在一些示例实施例中,在形成上接触插塞162之后,可以去除间隔物结构152中所包括的间隔物中的一些以形成空气间隔物。

[0102] 参考图18和图19,可以在上接触插塞162、位线结构140和第二盖层图案134a上形成第三盖绝缘层170。在第三盖绝缘层170上顺序地形成第一层172和第二层174。

[0103] 第三盖绝缘层170可以包括氮化硅。第一层172可以包括例如旋涂硬掩模(SOH)。第二层174可以包括氮氧化硅。

[0104] 第一光刻胶层可以被涂覆在第二层174上。可以通过对第一光刻胶层执行光工艺来形成第一光刻胶图案176。第一光刻胶图案176可以用作刻蚀掩模,以在单元区域I中形成着陆焊盘图案并且在核心/外围区域II中形成接触插塞。

[0105] 着陆焊盘图案可以形成在上接触插塞162和电容器之间,并且着陆焊盘图案可以与上接触插塞162和电容器电连接。核心/外围区域II中的接触插塞可以电连接到基板100的表面,或者可以电连接到位线结构140。

[0106] 在DRAM器件中,着陆焊盘图案可以具有20nm或更小的尺寸和40nm或更小的间距。因此,可以通过使用具有大约13.5nm的短波长的光的EUV曝光工艺来执行用于形成着陆焊盘图案的光工艺。另一方面,接触插塞的布置密度可以低于着陆焊盘图案的布置密度。因此,可以通过具有比EUV曝光工艺更低的分辨率的曝光工艺来图案化接触插塞。例如,可以通过使用具有大约为193nm的波长的光的氟化氩(ArF)浸没曝光工艺来对接触插塞进行图案化。

[0107] 用于形成第一光刻胶图案176的光工艺可以包括EUV曝光工艺。在EUV曝光工艺中使用的第一曝光掩模(即,掩模版)可以分别地包括用于在单元区域I中形成着陆焊盘图案的图案部分和用于在核心/外围区域II中形成接触插塞的图案部分。因此,在一些示例实施例中,可以通过使用第一曝光掩模的单个EUV曝光工艺同时地曝光用于在单元区域I中形成着陆焊盘图案的光刻胶层和用于在核心/外围区域II中形成接触插塞的光刻胶层。

[0108] 另一方面,当在单元区域I和核心/外围区域II中分别地形成具有大约为20nm或更小的尺寸和大约为40nm或更小的间距的图案时,可能难以通过使用单个EUV工艺来在单元区域I和核心/外围区域II中形成光刻胶图案。因此,可以对单元区域I中的光刻胶层执行第一EUV光工艺以在单元区域I中形成光刻胶图案,并且可以独立地对核心/外围区域II中的光刻胶层执行第二EUV光工艺以在核心/外围区域II中形成光刻胶图案。

[0109] 然而,核心/外围区域II中的接触插塞可以具有低的布置密度和40nm或更大的间距,使得用于在单元区域I中形成着陆焊盘图案和在核心/外围区域II中形成接触插塞的第一光刻胶图案176可以通过单个EUV光工艺形成。即,针对形成接触插塞,可以不执行独立的ArF浸没曝光工艺。因此,可以减少用于在单元区域I中形成着陆焊盘图案和在核心/外围区域II中形成接触插塞的曝光工艺的数量,并且可以简化曝光工艺。

[0110] 在单元区域I中的着陆焊盘图案的底部的竖直方向上的水平可以与在核心/外围区域II中的接触插塞的底部的竖直方向上的水平不同。如上所述,可以通过单个EUV工艺来形成用于在不同区域中形成着陆焊盘图案和接触插塞并且具有不同形状和布置密度的光刻胶图案。

[0111] 第一光刻胶图案176可以包括暴露单元区域I中的着陆焊盘图案的一部分第四开口178a。另外,第一光刻胶图案176可以包括暴露核心/外围区域II中的接触插塞的一部分的第五开口178b。

[0112] 参考图20和图21,可以使用第一光刻胶图案176作为刻蚀掩模来顺序地刻蚀第二层174和第一层172,以形成第二图案和第一图案。

[0113] 之后,可以使用第一图案和第二图案作为刻蚀掩模来刻蚀第三盖绝缘层170,以形成第三盖绝缘图案170a。在刻蚀工艺中,可以去除第二图案。

[0114] 在单元区域I和核心/外围区域II中,可以刻蚀第三盖绝缘图案170a之间的层。

[0115] 即,在单元区域I中,可以部分地刻蚀在第三盖绝缘图案170a之间的上接触插塞162、间隔物结构152和位线结构140的一部分,以形成第六开口180。上接触插塞162的上侧壁可以通过第六开口180暴露。第六开口180可以用作用于形成着陆焊盘图案的部分。

[0116] 在核心/外围区域II中,可以刻蚀第二盖层图案134a的部分和第三盖绝缘图案170a之间的位线结构140的上部,以形成初步的第七开口182。另外,在核心/外围区域II中,可以刻蚀在第三盖绝缘图案170a之间的下绝缘夹层132的上部,以形成初步的第七开口182。

[0117] 可以通过灰化(ashing)和/或剥离工艺去除第一图案。

[0118] 参考图22和图23,可以涂覆光刻胶层以覆盖第三盖绝缘图案170a、第六开口180和第七初步开口182。之后,可以对光刻胶层执行光工艺以形成光刻胶图案(未示出)。光工艺可以包括具有低分辨率并且使用长波长的曝光工艺。例如,可以通过使用大约248nm的氟化氪(KrF)光工艺来执行光工艺。

[0119] 光刻胶图案可以覆盖单元区域I中的第三盖绝缘图案170a的整体和第六开口180。此外,光刻胶图案可以仅暴露核心/外围区域II中的第七初步开口182的一部分,并且光刻胶图案可以覆盖第七初步开口182的一部分之外的核心/外围区域II。

[0120] 之后,可以使用光刻胶图案作为刻蚀掩模来进一步刻蚀初步第七开口182下方的层。因此,可以在核心/外围区域II中形成暴露位线结构140的第一导电图案124a的第七开口182a。另外,可以在核心/外围区域II中形成暴露与第二栅极结构142的侧面相邻的基板100的第七开口182a。

[0121] 可以通过灰化和/或剥离工艺去除光刻胶图案。

[0122] 参考图24和图25,可以在第三盖绝缘图案170a上形成第三层186,以填充第六开口180和第七开口182a。第四层188可以顺序地形成在第三层186上。第三层186可以包括例如旋涂硬掩模。第四层188可以包括氮氧化硅。

[0123] 可以在第四层188上涂覆第二光刻胶层。可以对第二光刻胶层执行光工艺以形成第二光刻胶图案190。第二光刻胶图案190可以用作用于在核心/外围区域II中形成布线的刻蚀掩模。

[0124] 核心/外围区域II中的布线可以具有大约为20nm或更小的尺寸(例如,线宽)和大约为40nm或更小的间距。因此,用于形成布线的光工艺可以是使用诸如大约13.5nm的短波长的光的EUV曝光工艺。

[0125] 用于形成第二光刻胶图案190的光工艺可以包括EUV曝光工艺。在EUV曝光工艺中使用的第二曝光掩模可以包括用于在核心/外围区域II中形成布线的图案的一部分。

[0126] 第二光刻胶图案190可以包括暴露核心/外围区域II中的布线的一部分的第八开口192。第八开口192可以在一方向上延伸以具有沟槽形状。第八开口192可以与第七开口182a的一部分重叠。第二光刻胶图案190可以覆盖单元区域I中的第四层188的整体。

[0127] 参考图26和图27,可以使用第二光刻胶图案190作为刻蚀掩模顺序地刻蚀第四层188和第三层186,以形成第四图案和第三图案。

[0128] 之后,可以使用第三图案和第四图案作为刻蚀掩模来刻蚀核心/外围区域II中的第三盖绝缘图案170a,以形成第九开口194。因此,第九开口194可以在一方向上延伸以具有沟槽形状,并且第九开口194可以与第七开口182a连通。

[0129] 可以通过灰化和/或剥离工艺去除第三图案。

[0130] 因此,可以在核心/外围区域II中形成用于形成接触插塞和布线的第七开口182a和第九开口194。另外,可以在单元区域I中形成用于形成着陆焊盘图案的第六开口180。

[0131] 如上所述,可以使用通过EUV曝光工艺形成的第一光刻胶图案176来形成第六开口180和第七开口182a。另外,可以使用通过EUV曝光工艺形成的第二光刻胶图案190来形成第九开口194。即,可以使用两个EUV掩模来形成第六开口180、第七开口182a和第九开口194。

[0132] 参考图28和图29,可以在第三盖绝缘图案170a、第六开口180、第七开口182a和第九开口194的表面上形成第三阻挡层195a,并且第三阻挡层195a可以与在其上形成第三阻挡层195a的表面一致。第三金属层195b可以形成在第三阻挡层195a上以完全地填充第六开口180、第七开口182a和第九开口194。

[0133] 第三阻挡层195a可以形成为包括例如:诸如钛(Ti)、钽(Ta)等的金属,和/或诸如氮化钛、氮化钽等的金属氮化物。第三金属层195b可以形成为包括诸如钨(W)的金属。

[0134] 参考图30和图31,可以对第三金属层195b和第三阻挡层195a进行平坦化,直到第三盖绝缘图案170a的上表面可以被暴露以形成着陆焊盘图案198a、接触插塞198b和布线198c为止。平坦化工艺可以包括化学机械抛光工艺。

[0135] 着陆焊盘图案198a可以形成在单元区域I中的第六开口180中。接触插塞198b可以形成在核心/外围区域II中的第七开口182a中,并且布线198c可以形成在核心/外围区域II中的第九开口194中。

[0136] 着陆焊盘图案198a可以包括第三阻挡图案196a和第三金属图案196b。第三阻挡图案196a可以形成在第六开口180的侧壁和底部上,并且可以与在其上形成第三阻挡图案196a的表面一致。第三金属图案196b可以形成在第三阻挡图案196a上以填充第六开口。着陆焊盘图案198a的下部可以接触上接触插塞162的上侧壁以及位线结构140的第一盖层图案130a和第二盖层图案134a的侧壁。另外,可以部分地刻蚀上接触插塞162的上侧壁以及与着陆焊盘图案198a的下部接触的位线结构140的第一盖层图案130a和第二盖层图案134a的侧壁,以便包括刻蚀的部分。第三盖绝缘图案170a可以设置在着陆焊盘图案198a的上侧壁上。

[0137] 如上所述,核心/外围区域II中的接触插塞198b和布线198c可以通过双镶嵌工艺形成。

[0138] 接触插塞198b和布线198c之间的接触部分可以包括第三阻挡图案196a和第三金属图案196b。第三阻挡图案196a可以形成在第七开口182a和第九开口194的表面上,并且第三阻挡图案196a可以与在其上形成第三阻挡图案196a的表面一致。第三金属图案196b可以形成在第三阻挡图案196a上以填充第七开口182a和第九开口194。

[0139] 在接触插塞198b中,第一接触插塞可以接触位线结构140的第一导电图案124a,并且第二接触插塞可以接触与第二栅极结构142的侧面相邻的基板。

[0140] 再次参考图1和图2,电容器200可以形成在着陆焊盘图案的上表面上。

[0141] 如上所述,可以制造DRAM器件。

[0142] 图32是示出根据一些示例实施例的半导体器件的方面的横截面图。

[0143] 图32是着陆焊盘图案的一部分的放大横截面图。

[0144] 除了上接触插塞的形状之外,图32的半导体器件可以与参考图1至图5所示的半导体器件基本上相同或相似。

[0145] 例如,核心/外围区域II中的结构可以与参考图1至图5示出的半导体器件中的核心/外围区域II中的结构基本上相同或相似。因此,相同的元件被给予相同的附图标记,并且省略其重复描述。

[0146] 参考图32,上接触插塞162a的最上表面可以低于位线结构140的最上表面。因此,第三盖绝缘图案170a可以形成在位线结构140之间的第三开口的上部。

[0147] 当上接触插塞162a的最上表面低于位线结构140的最上表面时,上接触插塞162a和其他导电图案(例如,相邻的着陆焊盘图案)之间的电短路缺陷可以减少。

[0148] 图33是示出根据一些示例实施例的制造半导体器件的方法的方面的横截面图。

[0149] 图33是沿图3的线A-A'和线B-B'截取的横截面图。

[0150] 参考图33,首先,可以执行与参考图6至图15示出的工艺基本上相同或相似的工艺。

[0151] 之后,可以在绝缘图案154的侧壁上形成上间隔物160。在形成上间隔物160的工艺中,上间隔物可以进一步形成在间隔物结构152上。

[0152] 第二阻挡层可以形成在单元区域I中的下接触插塞158、位线结构140和上间隔物160的表面上以及核心/外围区域II中的第二盖层图案134a的表面上。第二阻挡层可以与在其上形成第二阻挡层的表面一致。可以在第二阻挡层上形成第二金属层以填充位线结构140之间的空间和绝缘图案154之间的空间。

[0153] 可以对第二金属层和第二阻挡层进行平坦化,直到可以暴露位线结构140和绝缘图案154的上表面。在平坦化工艺中,核心/外围区域II中的第二盖层图案134a的上部可以被部分地去除。

[0154] 之后,可以额外地和部分地刻蚀在第三开口中的第二阻挡层和第二金属层,以形成上接触插塞162a。上接触插塞162a可以形成在第三开口中的下接触插塞158的上表面上。

[0155] 上接触插塞162a的上表面可以低于第三开口的上入口(entrance)部分。上接触插塞162a的上表面可以低于位线结构140的上表面。另外,第三开口的上部空间可以保留在上接触插塞162a的上方。

[0156] 随后,可以执行与参考图18至图31示出的相似或相同的工艺以形成半导体器件。

[0157] 然而,当执行参考图18和图19示出的工艺时,第三盖绝缘层可以形成在上接触插塞162a、位线结构140和第二盖层图案上以填充第三开口的上部空间。因此,在半导体器件中所包括的第三盖绝缘图案(图32,170a)可以填充上接触插塞162a上方的第三开口。

[0158] 图34是示出根据一些示例实施例的半导体器件的方面的横截面图。

[0159] 图34是着陆焊盘图案的一部分的放大横截面图。

[0160] 除了上接触插塞的形状之外,图34的半导体器件可以与参考图1至图5示出的半导体器件基本相同或相似。例如,核心/外围区域II中的结构可以与参考图1至图5示出的半导体器件中的核心/外围区域II中的结构基本相同或相似。因此,相同的元件被赋予相同的附图标记,并且省略其重复描述。

[0161] 参考图34,可以在下接触插塞158上形成着陆焊盘图案214。位线结构140的上部可以包括刻蚀的部分。

[0162] 在一些示例实施例中,金属硅化物图案(未示出)可以进一步形成在下接触插塞158和着陆焊盘图案214之间。

[0163] 着陆焊盘图案214可以堆叠在下接触插塞158上。着陆焊盘图案214可以形成在位线结构140的未刻蚀的部分的最上表面上。

[0164] 着陆焊盘图案214的侧壁可以具有刻蚀的形状。着陆焊盘图案214的刻蚀的部分和位线结构140的刻蚀的部分可以用作凹陷部分216。

[0165] 着陆焊盘图案214可以包括第二阻挡图案210a和第二金属图案212a。第二阻挡图案210a可以形成在间隔物结构152和下接触插塞158的表面以及位线结构140的上表面上。第二阻挡图案210a可以与在其上形成第二阻挡图案210a的表面一致。第二金属图案212a可以形成在第二阻挡图案210a的上表面上。即,第二阻挡图案210a可以形成在凹陷部分216之间的第二金属图案212a的下表面上。

[0166] 上绝缘图案218可以形成在凹陷部分216中。

[0167] 着陆焊盘图案214可以直接地接触下接触插塞158的上表面。

[0168] 图35至图41是示出根据一些示例实施例的制造半导体器件的方法的方面的横截面图。

[0169] 图35、图37、图39和41包括沿图3的线A-A'和B-B'截取的横截面图,而图36、图38和图40包括沿图3的线C-C'和D-D'截取的横截面图。

[0170] 参考图35和图36,首先,可以执行与参考图6至图15示出的工艺基本上相同或相似的工艺。

[0171] 之后,可以在绝缘图案154的侧壁上形成上间隔物160。在形成上间隔物的工艺中,上间隔物可以进一步形成在间隔物结构152上。

[0172] 第二阻挡层可以形成在单元区域I中的下接触插塞158、位线结构140和上间隔物160的表面上以及核心/外围区域II中的第二盖层图案134a的表面上。可以在第二阻挡层上形成第二金属层以填充位线结构140之间的空间和绝缘图案154之间的空间。在一些示例实施例中,第二金属层212的上表面可以高于位线结构140的上表面。

[0173] 之后,可以去除核心/外围区域II中的第二阻挡层210和第二金属层212。因此,第二盖层图案134a可以在核心/外围区域II中暴露。

[0174] 参考图37和图38,可以在单元区域I中的第二金属层和在核心/外围区域II中的第二盖层图案上形成第三盖绝缘层170。第一层172和第二层174可以顺序地形成在第三盖绝缘层170上。

[0175] 第三盖绝缘层170可以包括氮化硅。第一层172可以包括例如旋涂硬掩模(SOH)。第二层174可以包括氮氧化硅。

[0176] 第一光刻胶层可以被涂覆在第二层174上。可以通过对第一光刻胶层执行光工艺来形成第一光刻胶图案176a。

[0177] 第一光刻胶图案176a可以用作刻蚀掩模,以在单元区域I中形成着陆焊盘图案并且在核心/外围区域II中形成接触插塞。

[0178] 用于形成第一光刻胶图案176a的工艺可以与参考图18和图19示出的工艺相同。即,用于形成第一光刻胶图案176a的工艺可以包括EUV光工艺。

[0179] 在一些示例实施例中,可以通过压印(emboss)工艺形成着陆焊盘图案,单元区域I中的第一光刻胶图案176a的第四开口179a的位置可以与图18和图19的该位置不同。第一光刻胶图案176a可以覆盖单元区域I中的着陆焊盘图案的一部分。因此,第一光刻胶图案176a的第四开口179a可以暴露未形成着陆焊盘图案的部分。第一光刻胶图案176a可以包括暴露核心/外围区域II中的接触插塞的一部分的第五开口178b。

[0180] 参考图39和图40,可以使用第一光刻胶图案176a作为刻蚀掩模来顺序地刻蚀第二层174和第一层172,以形成第二图案和第一图案。

[0181] 之后,可以使用第一图案和第二图案作为刻蚀掩模来刻蚀单元区域I中的第二金属层、位线结构和绝缘图案,以形成着陆焊盘图案214。着陆焊盘图案214可以形成在下接触插塞上。此外,凹陷部分216可以形成在着陆焊盘图案214之间。着陆焊盘图案214可以具有包括堆叠的第二阻挡图案210a和第二金属图案212a的结构。第二阻挡图案210a可以形成在凹陷部分之间的第二金属图案212a的下表面上。

[0182] 另外,可以使用第一图案和第二图案作为刻蚀掩模来刻蚀第二盖层图案和核心/外围区域II中的位线结构的上部,以形成第七初步开口。可以刻蚀核心/外围区域II中的第

二盖层图案的上部和下绝缘夹层132,以形成第七初步开口。

[0183] 之后,可以执行与参考图22和图23示出的工艺基本上相同或相似的工艺,使得可以进一步刻蚀在第七初步开口下方的层以形成第七开口182a。暴露位线结构140的第一导电图案124a的第七开口182a可以形成在核心/外围区域II中。另外,可以在核心/外围区域II中形成暴露与第二栅极结构142的侧面相邻的基板100的第七开口182a。

[0184] 参考图41,可以形成上绝缘图案218以填充单元区域I中的凹陷部分216。

[0185] 之后,可执行与参考图24至图31以及图1和图2示出的工艺基本上相同或相似的工艺。

[0186] 在一些示例实施例中,单元区域I中的着陆焊盘图案214可以通过压印工艺形成,并且然后,核心/外围区域II中的接触插塞和布线可以通过双镶嵌工艺形成。

[0187] 因此,可以通过执行参考图28和图29示出的工艺,在单元区域I中的着陆焊盘图案214和上绝缘图案218上形成第三阻挡层和第三金属层。在参考图30和图31示出的平坦化工艺中,单元区域I中的第三阻挡层和第三金属层可以被完全地去除。在一些示例实施例中,可以进一步去除单元区域I中的第三阻挡层和第三金属层。

[0188] 如上所述,可以制造包括如图34示出的着陆焊盘图案216的半导体器件。

[0189] 图42和图43是示出根据一些示例实施例的半导体器件的方面的横截面图。

[0190] 图42是核心/外围区域II中的晶体管的一部分的放大横截面图。图43是在单元区域I和核心/外围区域II中的位线结构的一部分的放大横截面图。

[0191] 除了核心/外围区域II中的接触插塞和布线之外,半导体器件可以与参考图1至图5示出的半导体器件基本上相同或相似。例如,单元区域I中的结构可以与参考图1至图5示出的半导体器件中的单元区域I中的结构基本上相同或相似。因此,相同的元件被给予相同的附图标记并且省略其重复描述。

[0192] 参考图42和图43,核心/外围区域II中的接触插塞198b可以包括第一接触插塞(参考图42)和第二接触插塞(参考图43)。

[0193] 第一接触插塞可以穿过第三盖绝缘图案170a、第二盖图案134a和下绝缘夹层,并且第一接触插塞可以接触基板100的表面。第二接触插塞可以通过第三盖绝缘图案170a和位线结构140的上部接触位线结构140的第一导电图案124a。

[0194] 接触插塞198b的上表面可以与第三盖绝缘图案170a的上表面共面。

[0195] 布线234可以形成在接触插塞198b上。布线234的上表面可以高于第三盖绝缘图案170a的上表面。布线234可以具有包括在竖直方向上堆叠的第四阻挡图案230a和第四金属图案232a的结构。

[0196] 图44至图47是示出根据一些示例实施例的制造半导体器件的方法的方面的横截面图。

[0197] 图44和图46是沿图3的线A-A'和B-B'截取的横截面图,而图45和图47是沿图3的线C-C'和D-D'截取的横截面图。

[0198] 参考图44和图45,首先,可以执行与参考图6至图23示出的工艺基本上相同或相似的工艺。

[0199] 之后,可以在第三盖绝缘图案170a、第六开口180和第七开口182a的表面上形成第三阻挡层,并且第三阻挡层可以与在其上形成第三阻挡层的表面一致。可以在第三阻挡层

上形成第三金属层以完全地填充第六开口180和第七开口182a。

[0200] 可以对第三金属层和第三阻挡层进行平坦化,直到可以暴露第三盖绝缘图案170a的上表面以形成着陆焊盘图案和接触插塞。平坦化工艺可以包括化学机械抛光工艺。

[0201] 着陆焊盘图案198a可以形成在单元区域I中的第六开口180中。接触插塞198b可以形成在核心/外围区域II中的第七开口182a中。着陆焊盘图案198a和接触插塞198b中的每个可以包括第三阻挡图案196a和第三金属图案196b。

[0202] 参考图46和图47,第四阻挡层和第四金属层可以顺序地形成在第三盖绝缘图案170a、着陆焊盘图案和接触插塞上。

[0203] 第三层和第四层可以顺序地形成在第四金属层上。第三层可以包括例如旋涂硬掩模。第四层可以包括氮氧化硅。

[0204] 可以在第四层上涂覆第二光刻胶层。可以对第二光刻胶层执行光工艺以形成第二光刻胶图案。第二光刻胶图案可以用作刻蚀掩模,以通过压印工艺在核心/外围区域II中形成布线。因此,第二光刻胶图案可以选择性地覆盖布线的一部分。用于形成第二光刻胶图案的光工艺可以包括EUV曝光工艺。

[0205] 之后,可以使用第二光刻胶图案作为刻蚀掩模来刻蚀第四金属层和第四阻挡层以形成布线。布线234可以形成在核心/外围区域II中的第三盖绝缘图案170a和接触插塞198b上。布线234可以包括第四阻挡图案230a和第四金属图案232a。第四阻挡图案230a可以形成在第四金属图案232a的底部上。

[0206] 如上所述,在制造半导体器件时,可以通过单个EUV曝光工艺来形成单元区域I中的着陆焊盘图案和核心/外围区域II中的接触插塞。因此,可以通过具有减少的操作数量的工艺来制造半导体器件。

[0207] 前述是示例实施例的说明并且不应解释为对其的限制。尽管已经描述了一些示例实施例,但是本领域技术人员将容易地理解,在实质上不脱离本发明构思的新颖的教导和优点的情况下,示例实施例中的许多修改是可能的。因此,所有这样的修改旨在被包括在如权利要求中所限定的本发明构思的范围内。

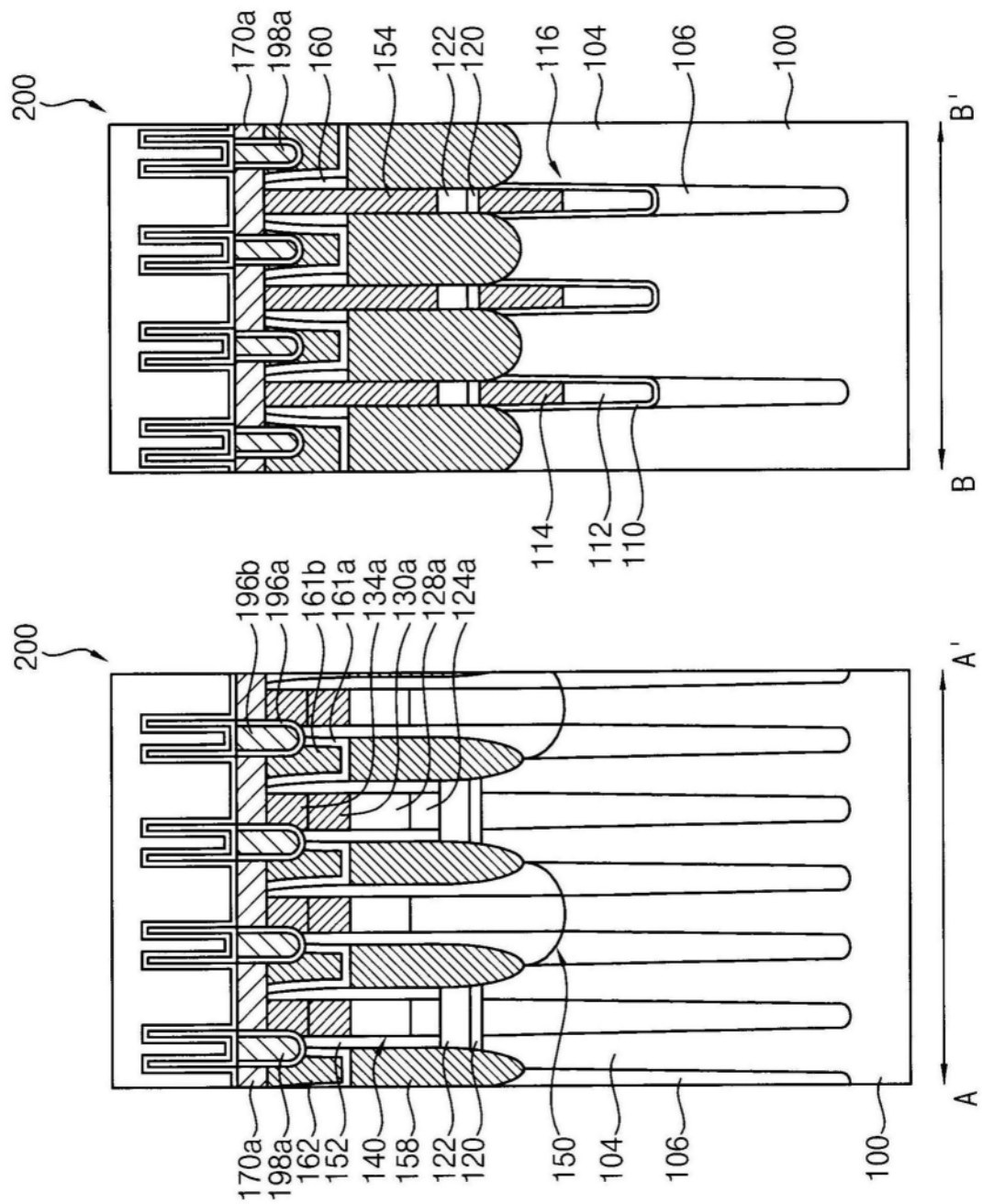


图1

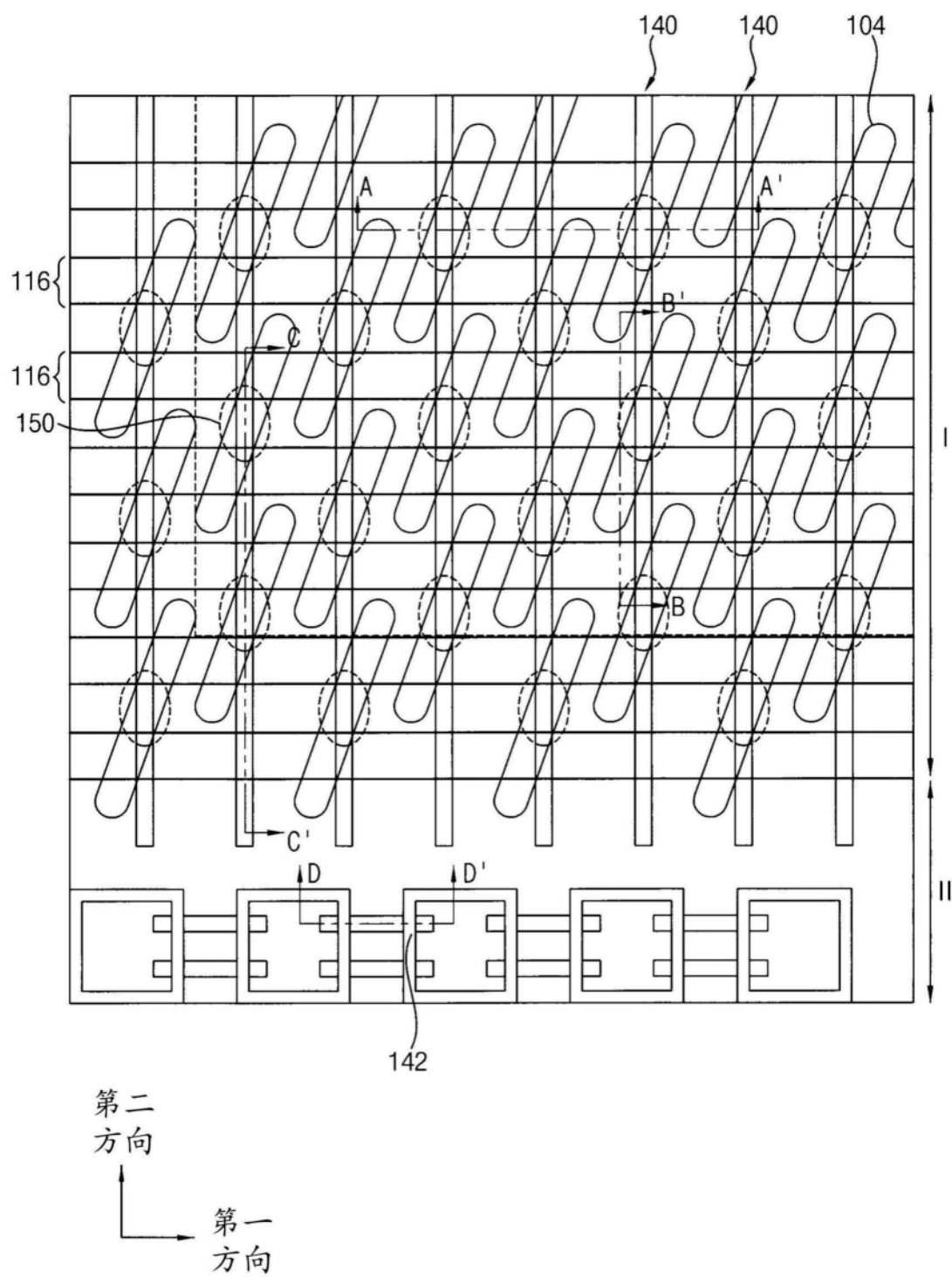


图3

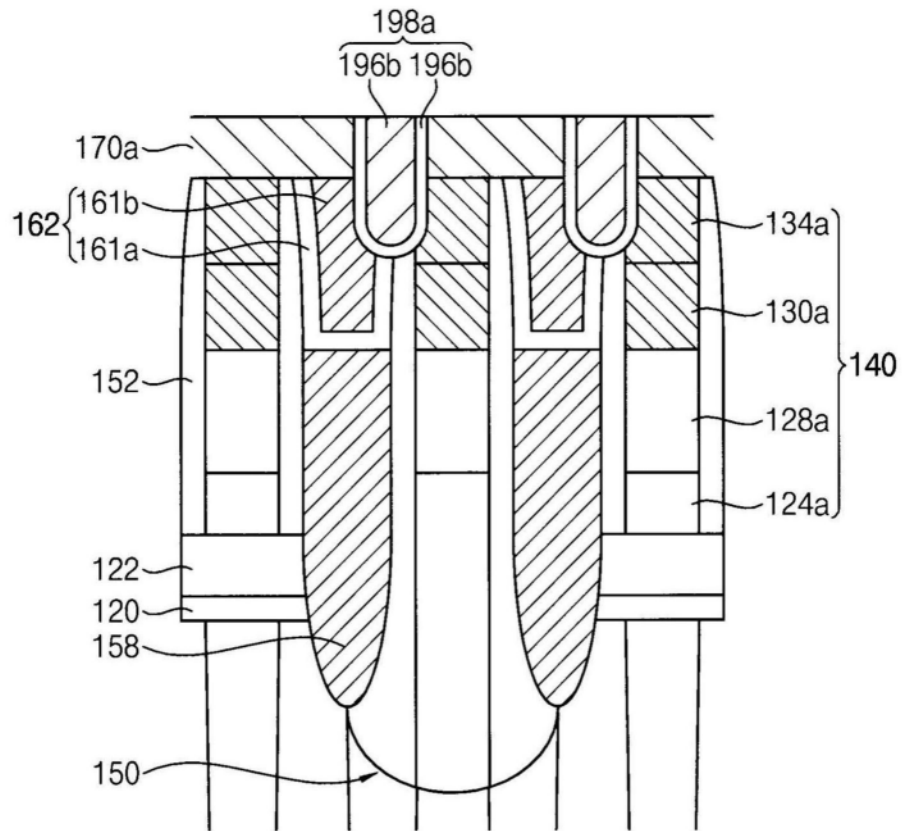


图4

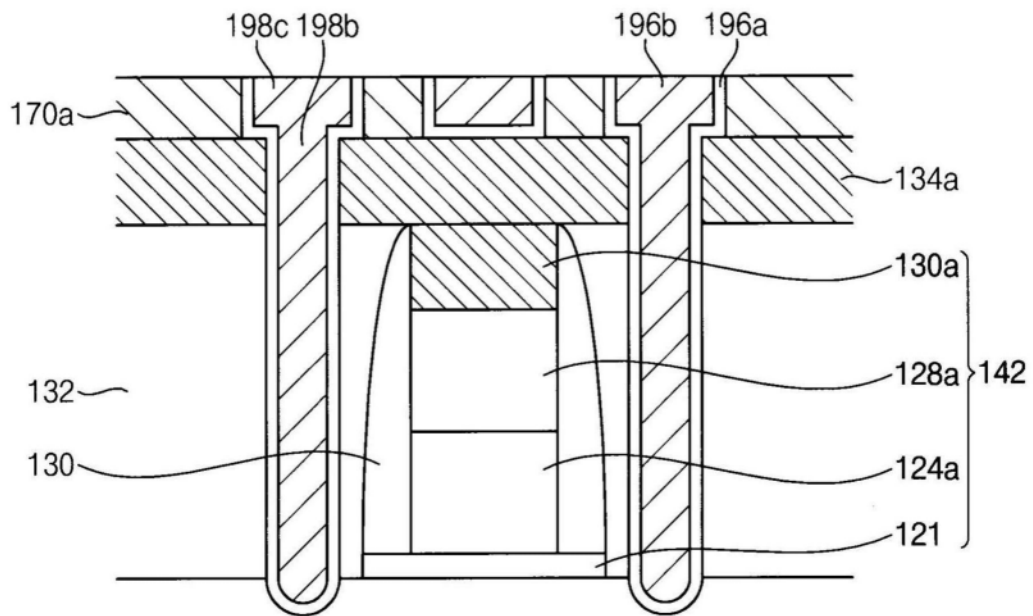


图5

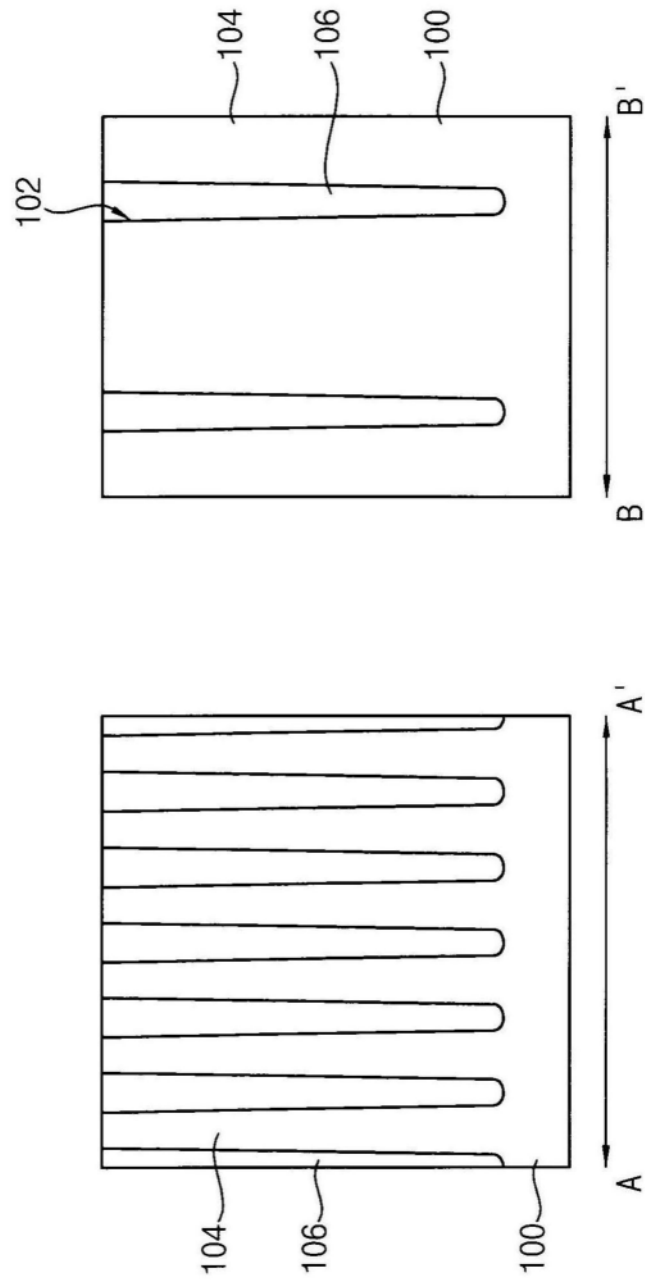


图6

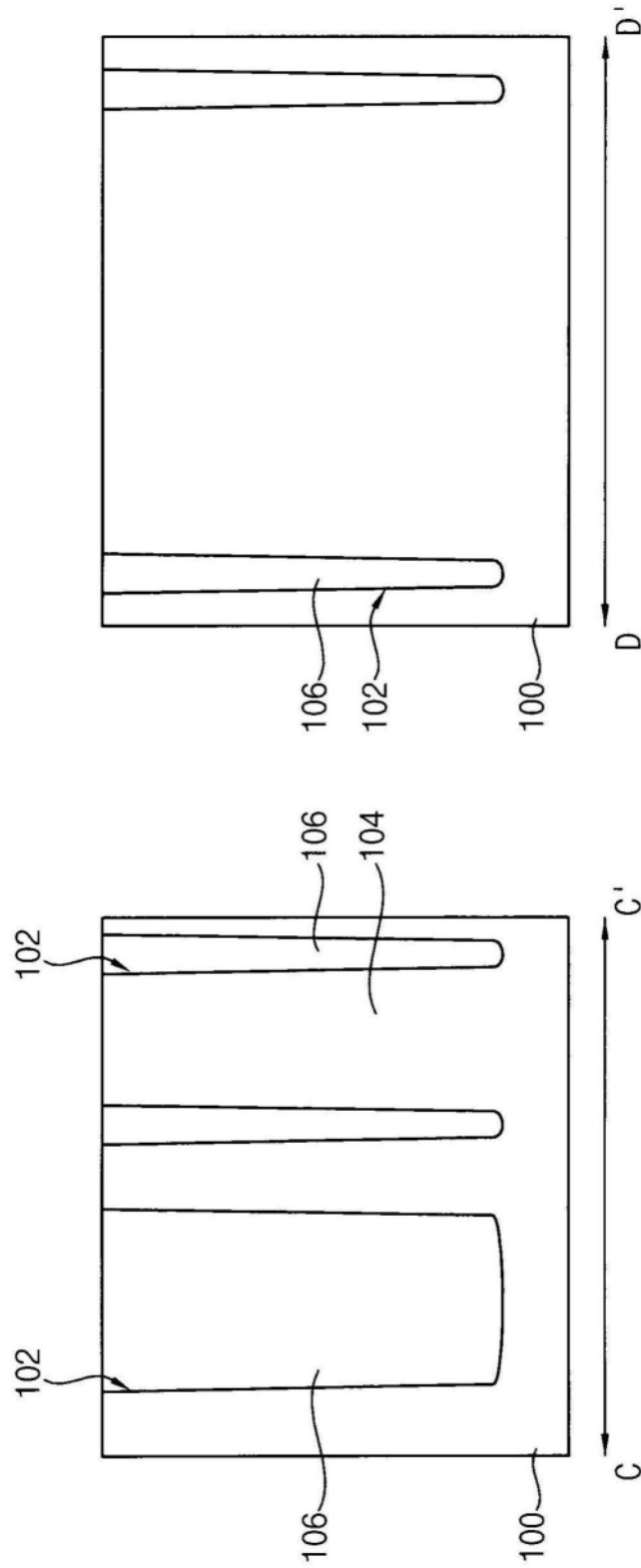


图7

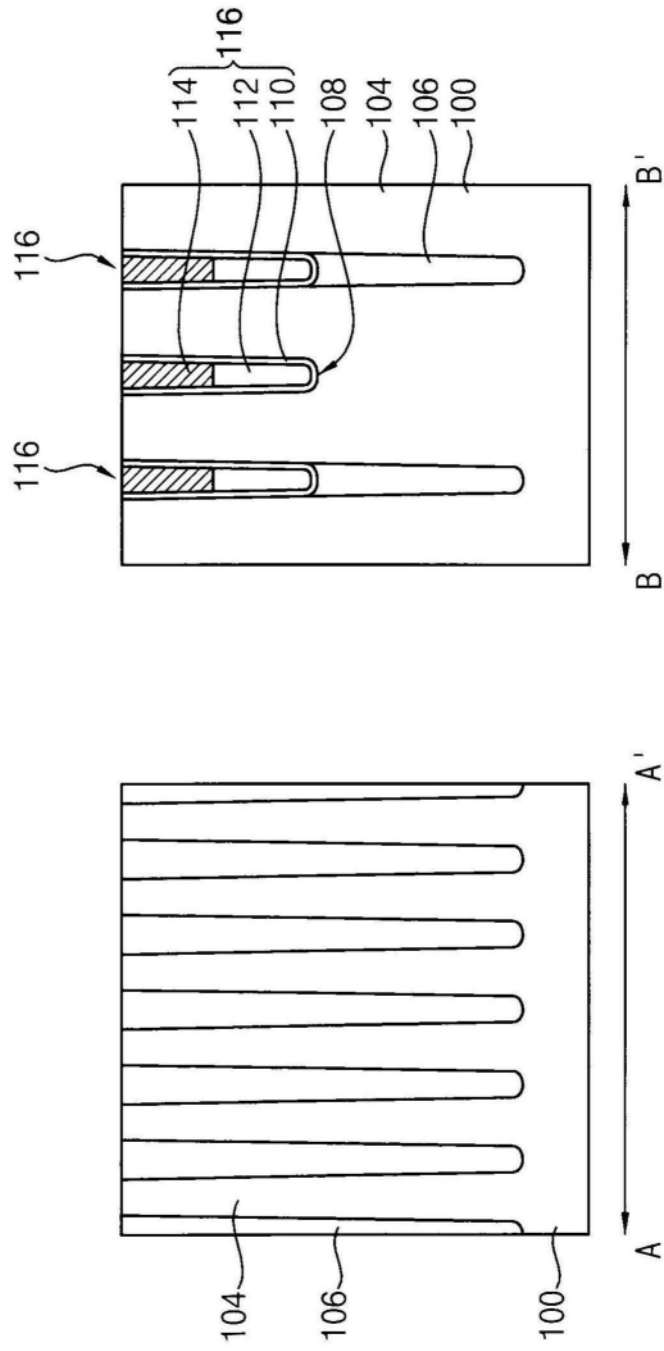


图8

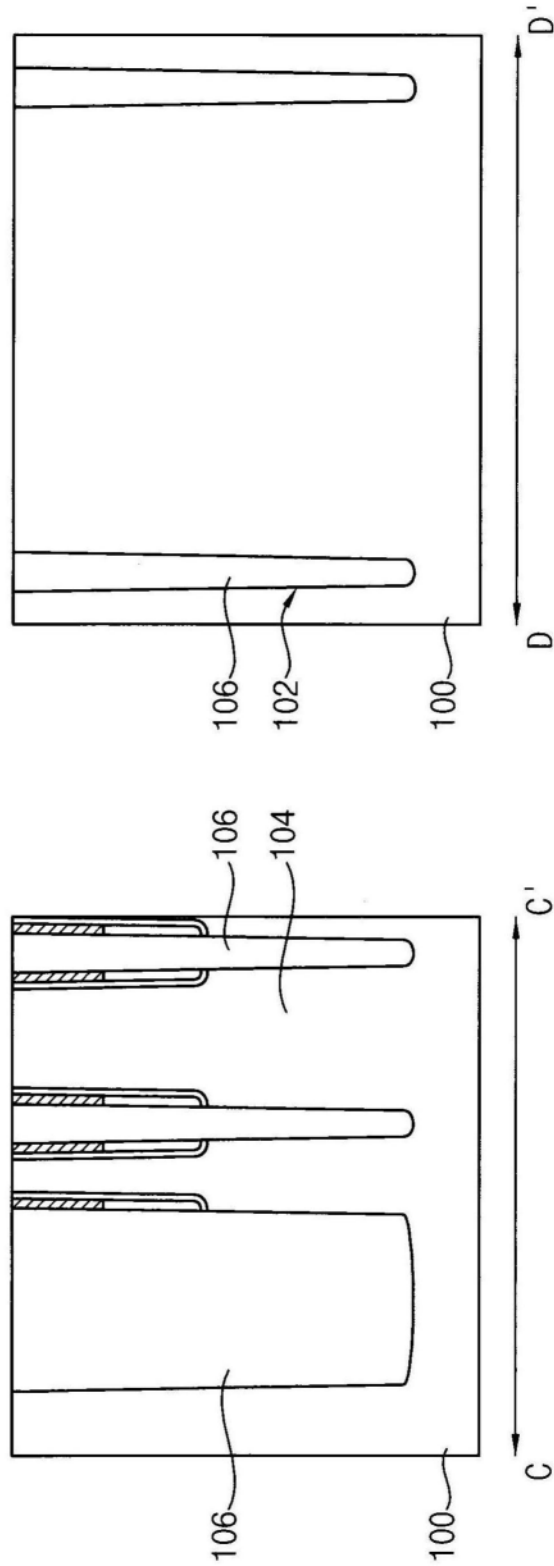


图9

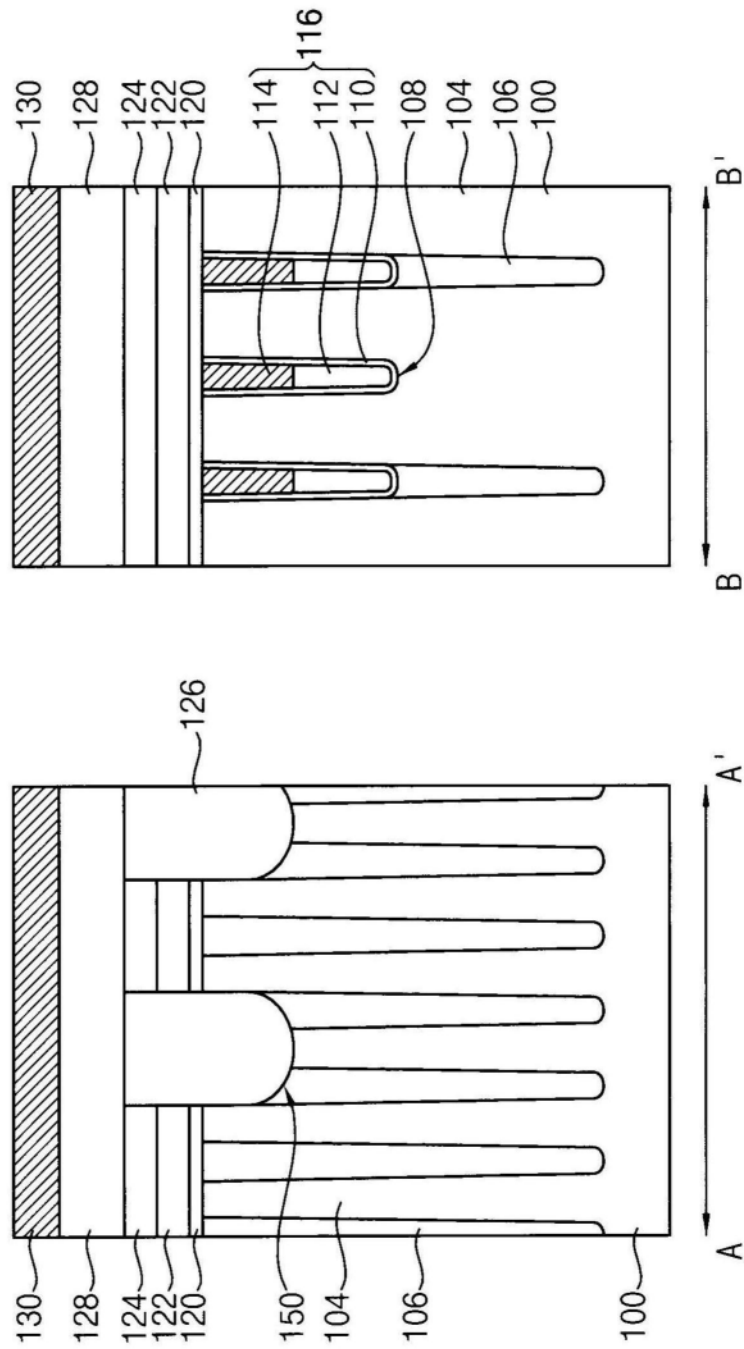


图10

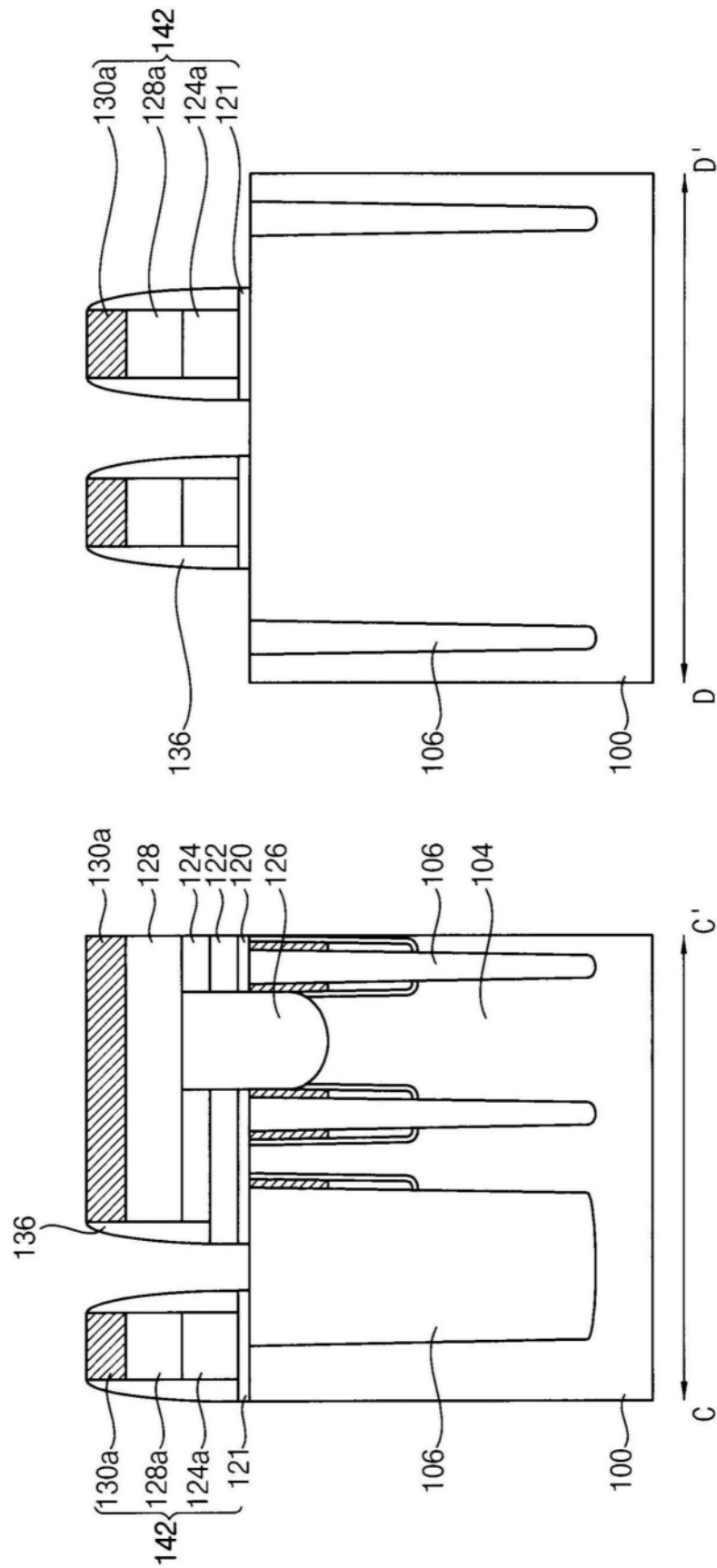


图11

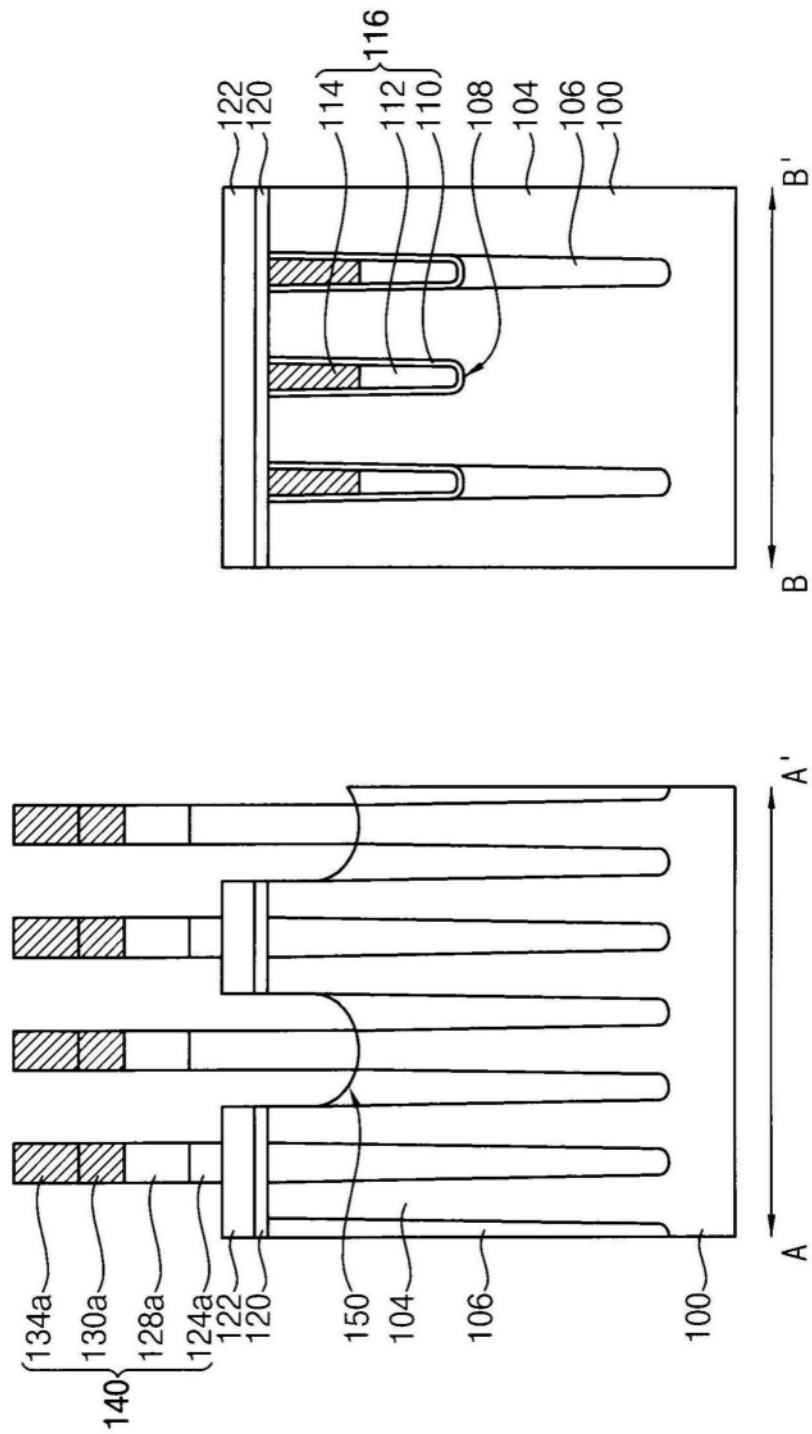


图12

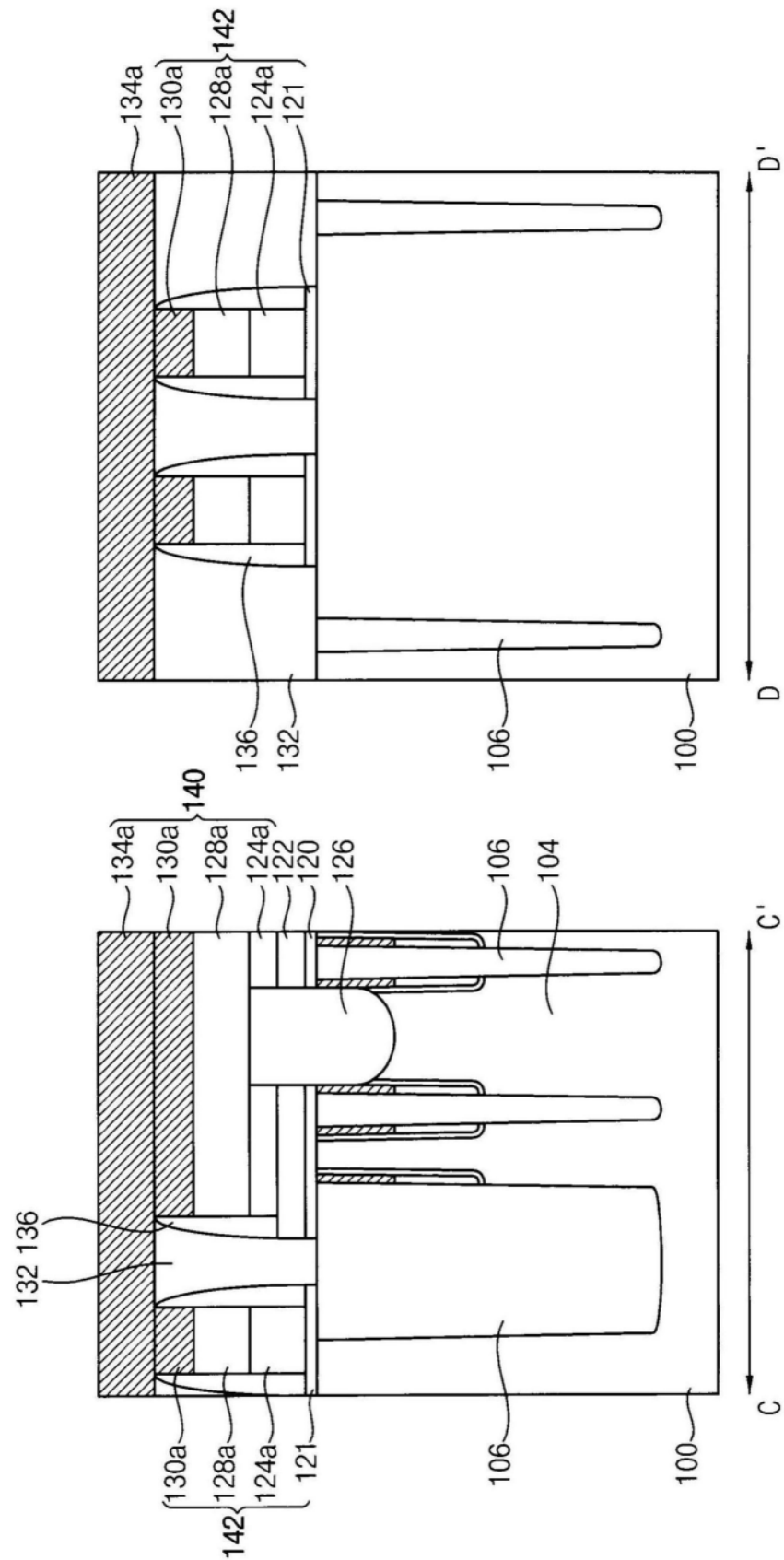


图13

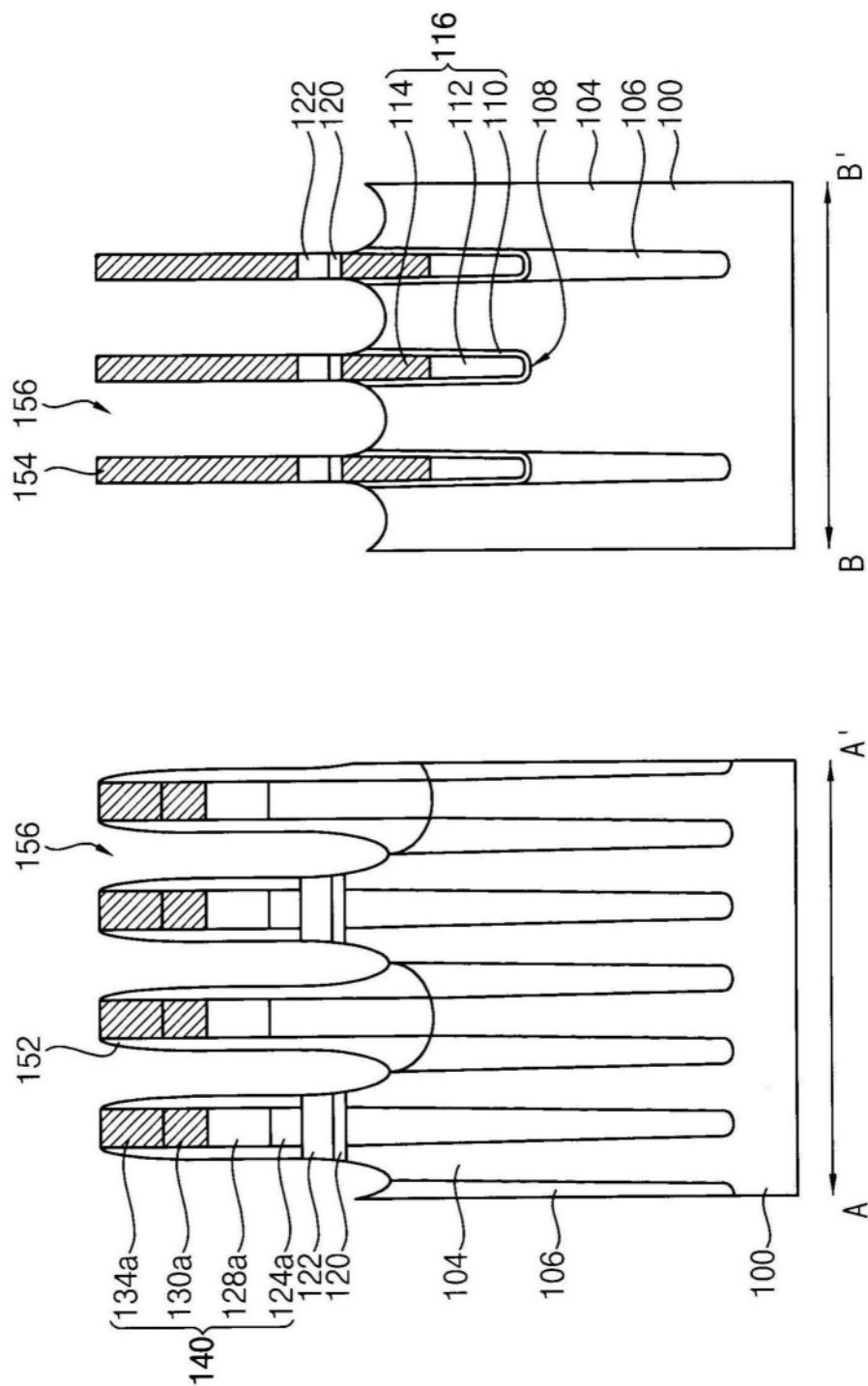


图14

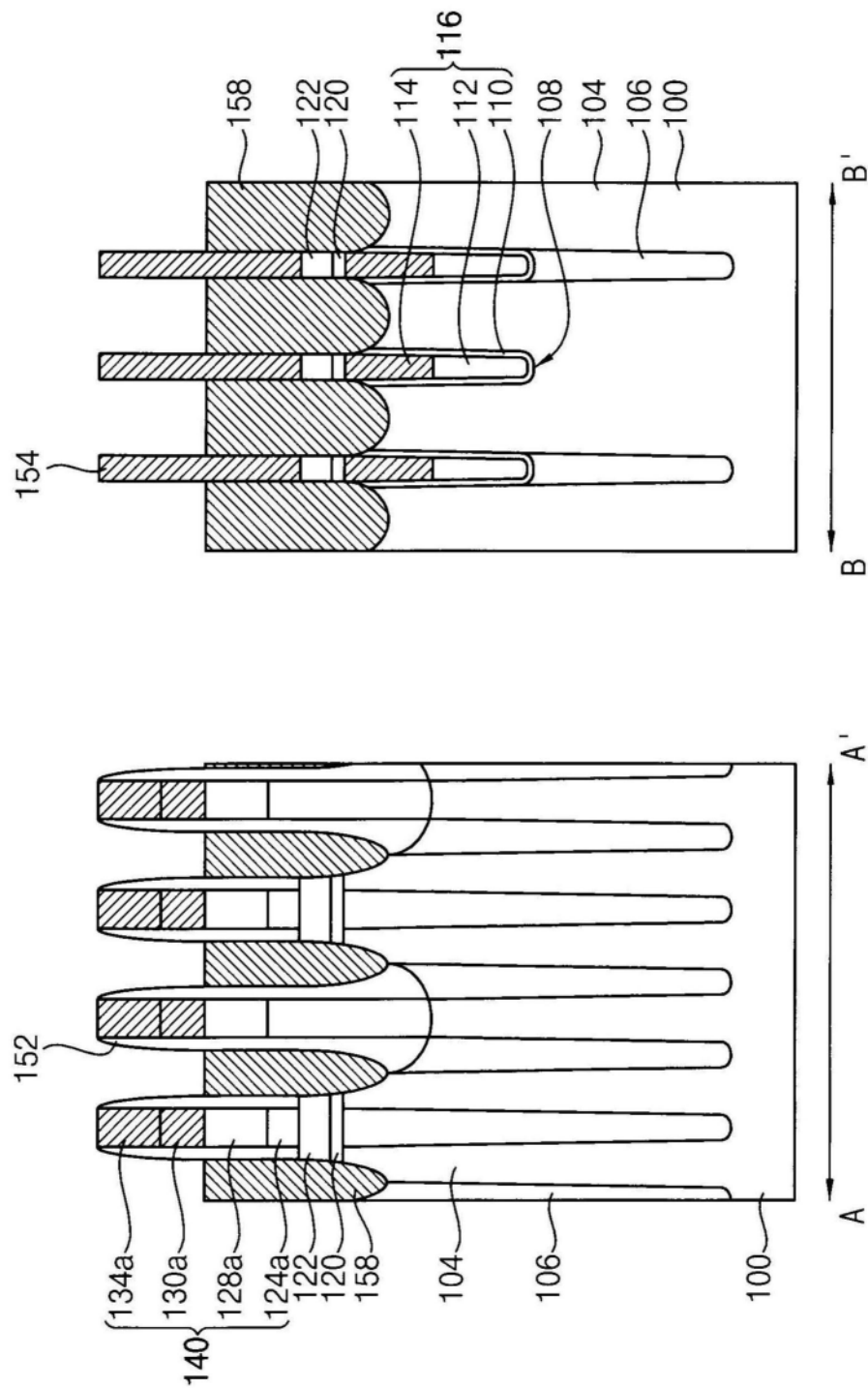


图15

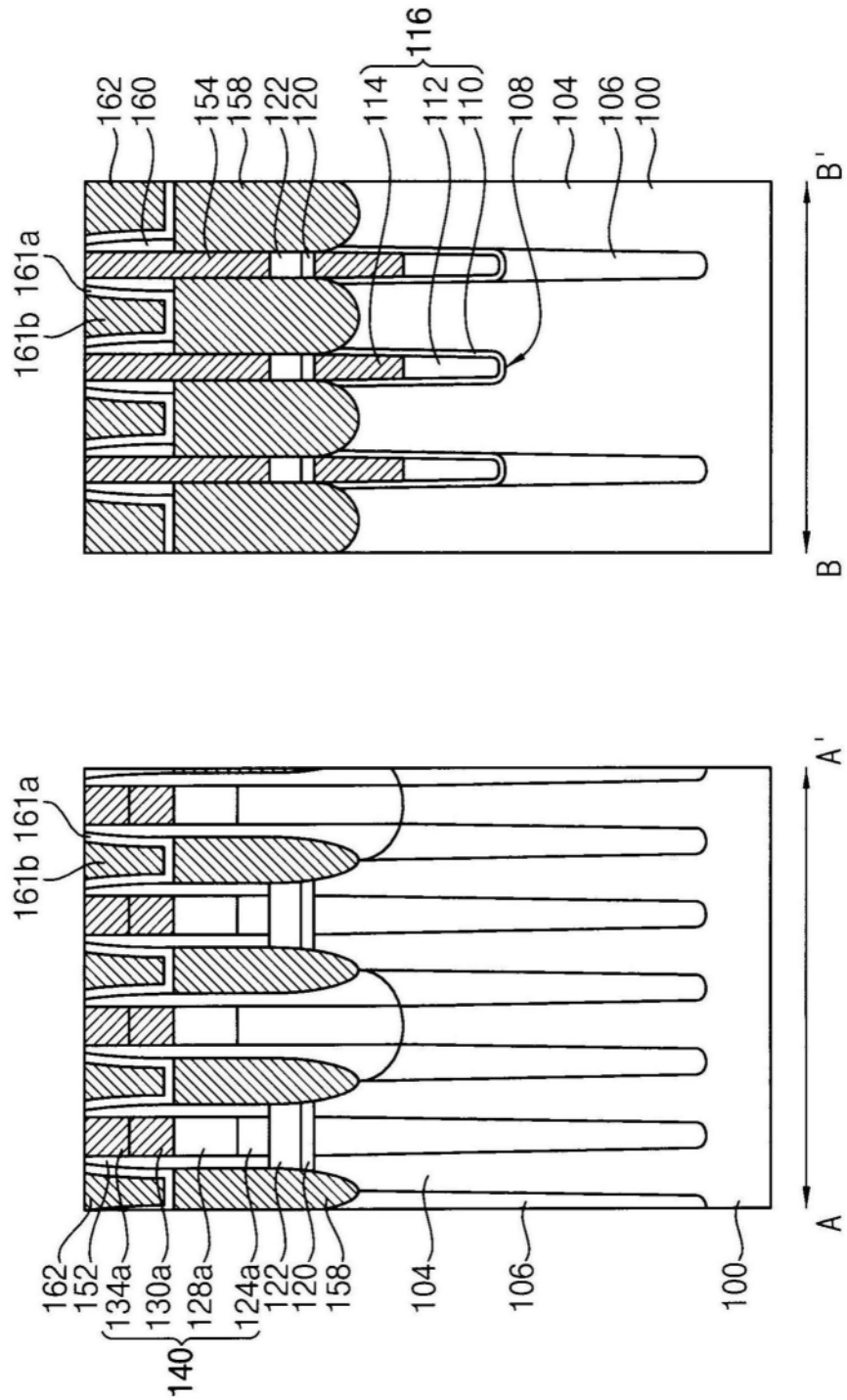


图16

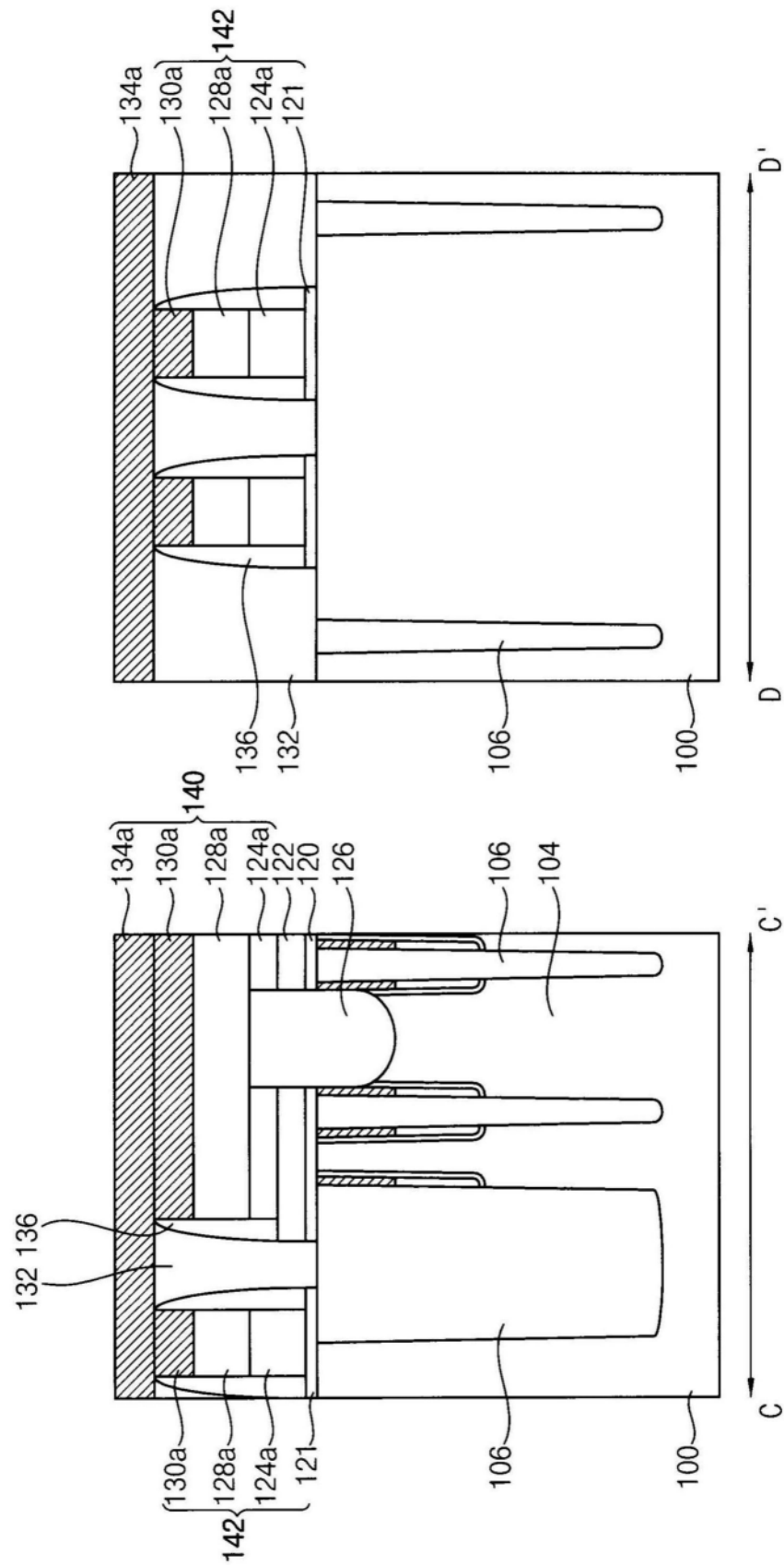


图17

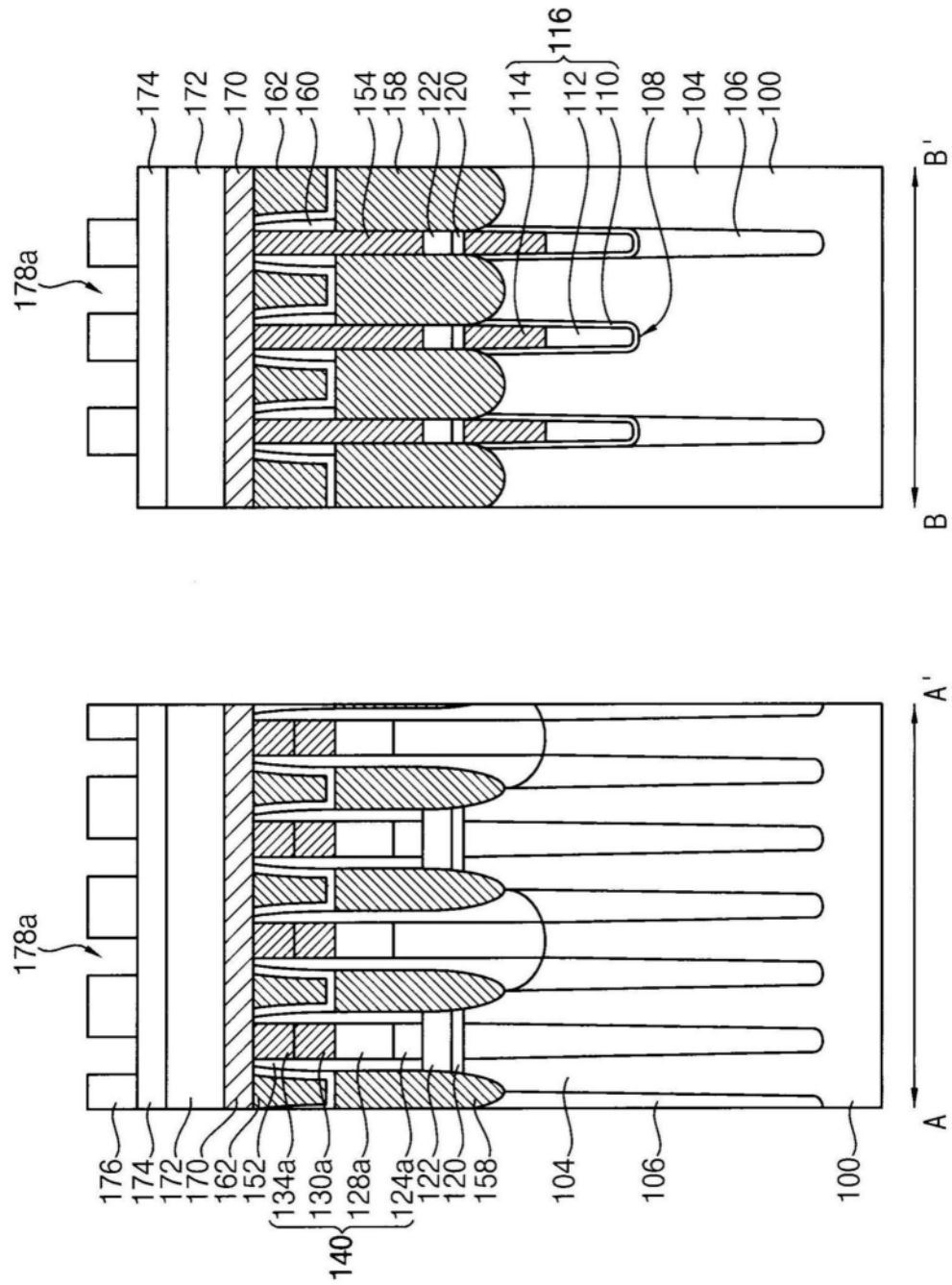


图18

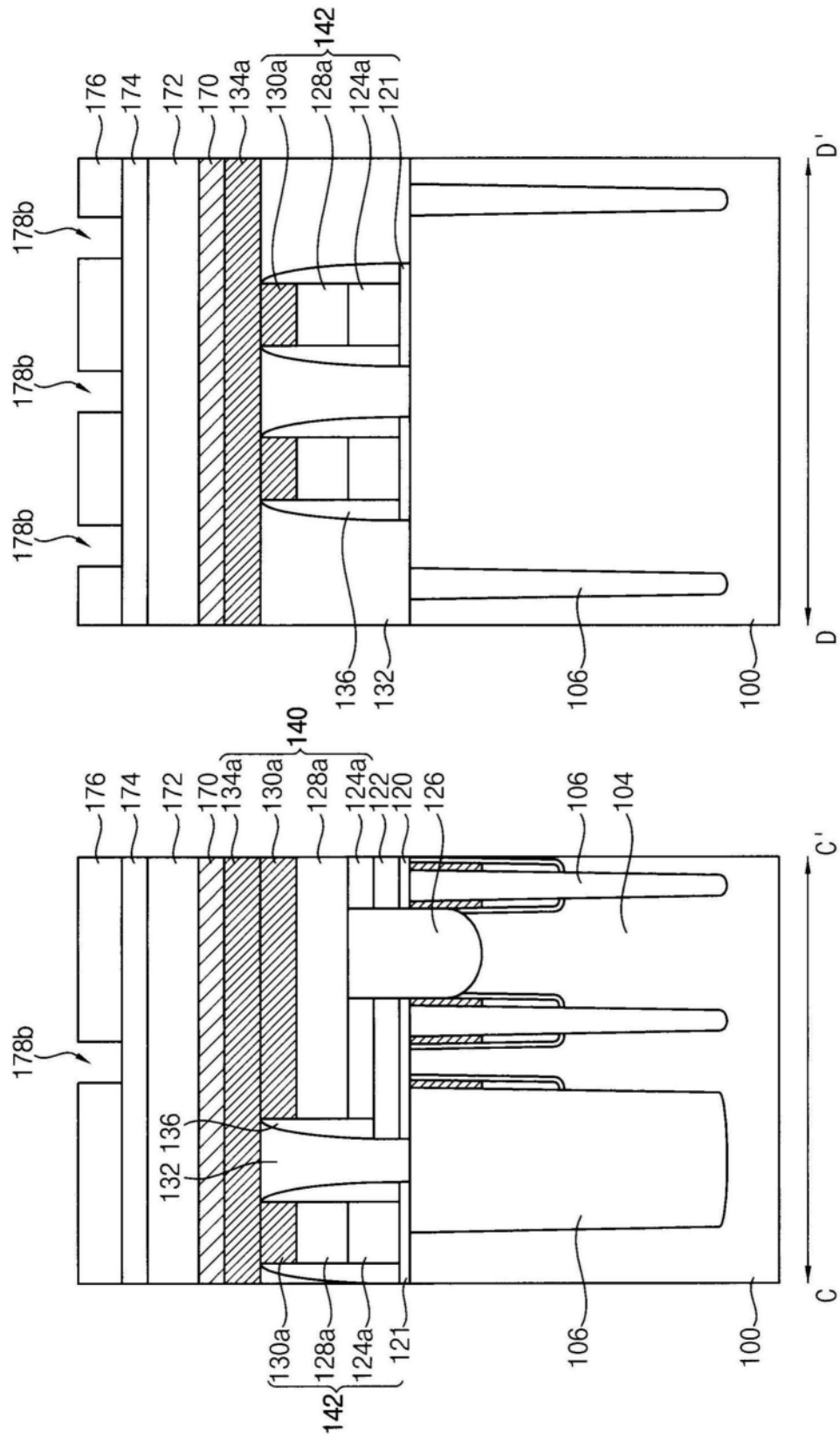


图19

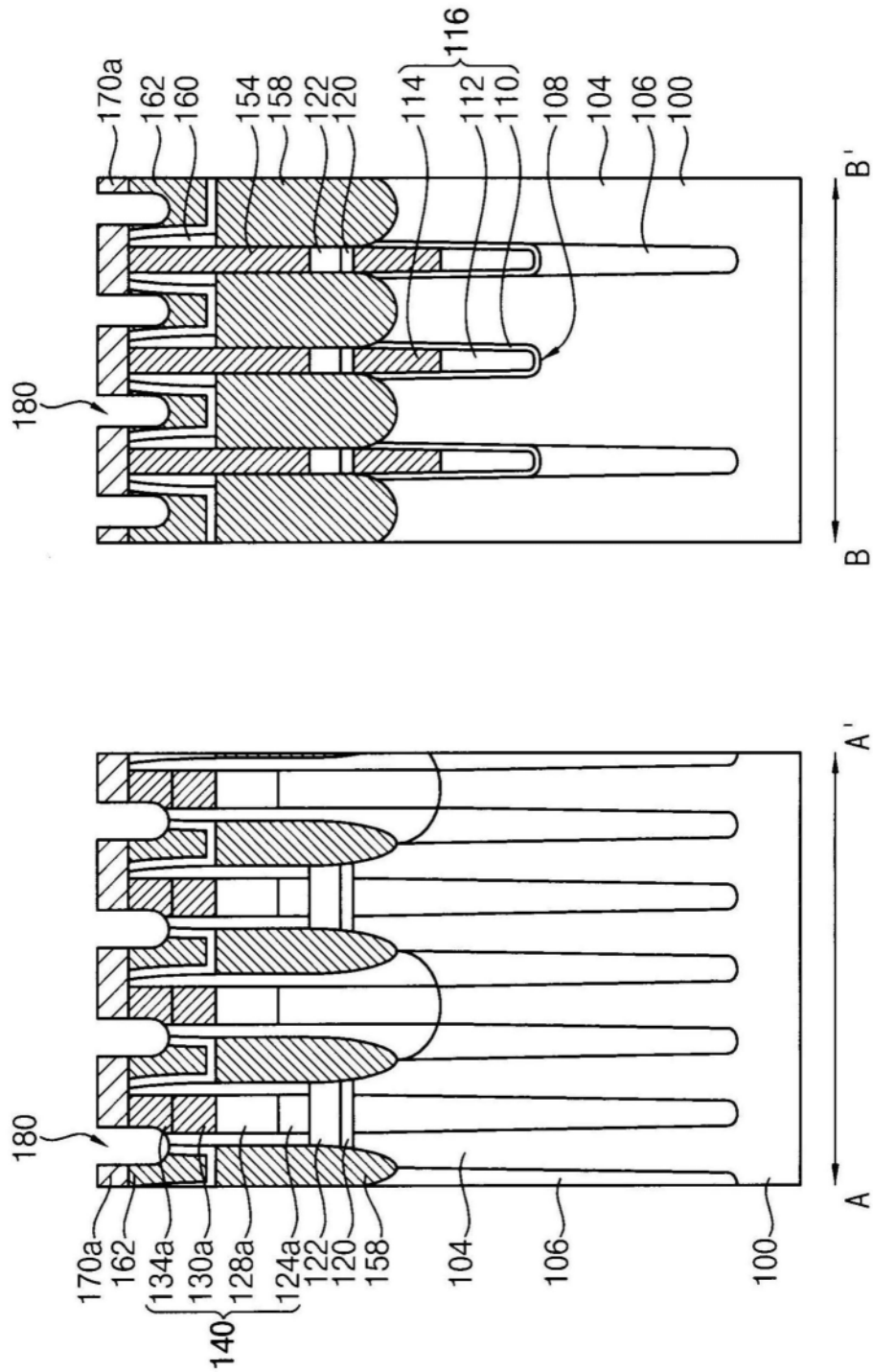


图20

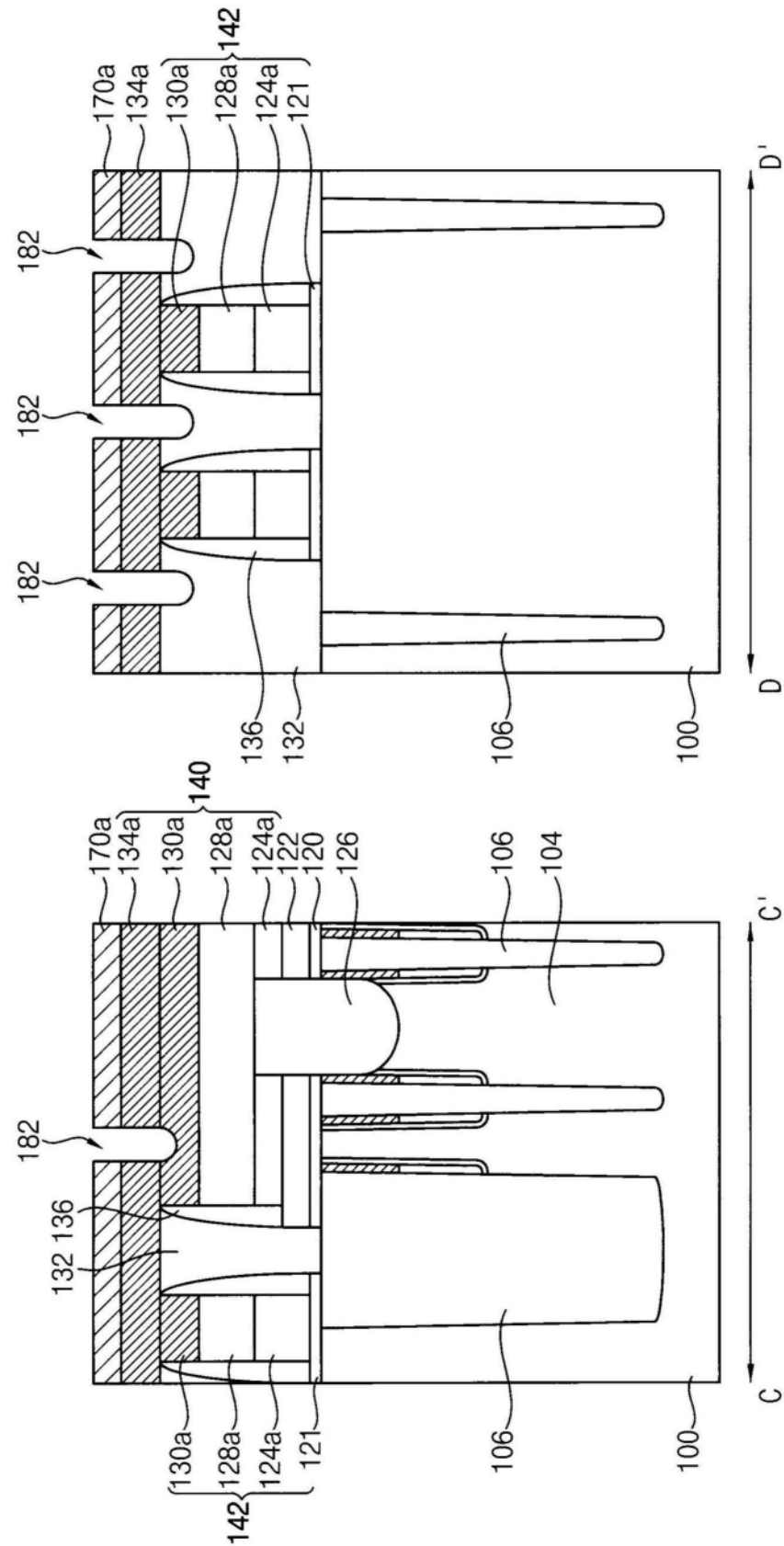


图21

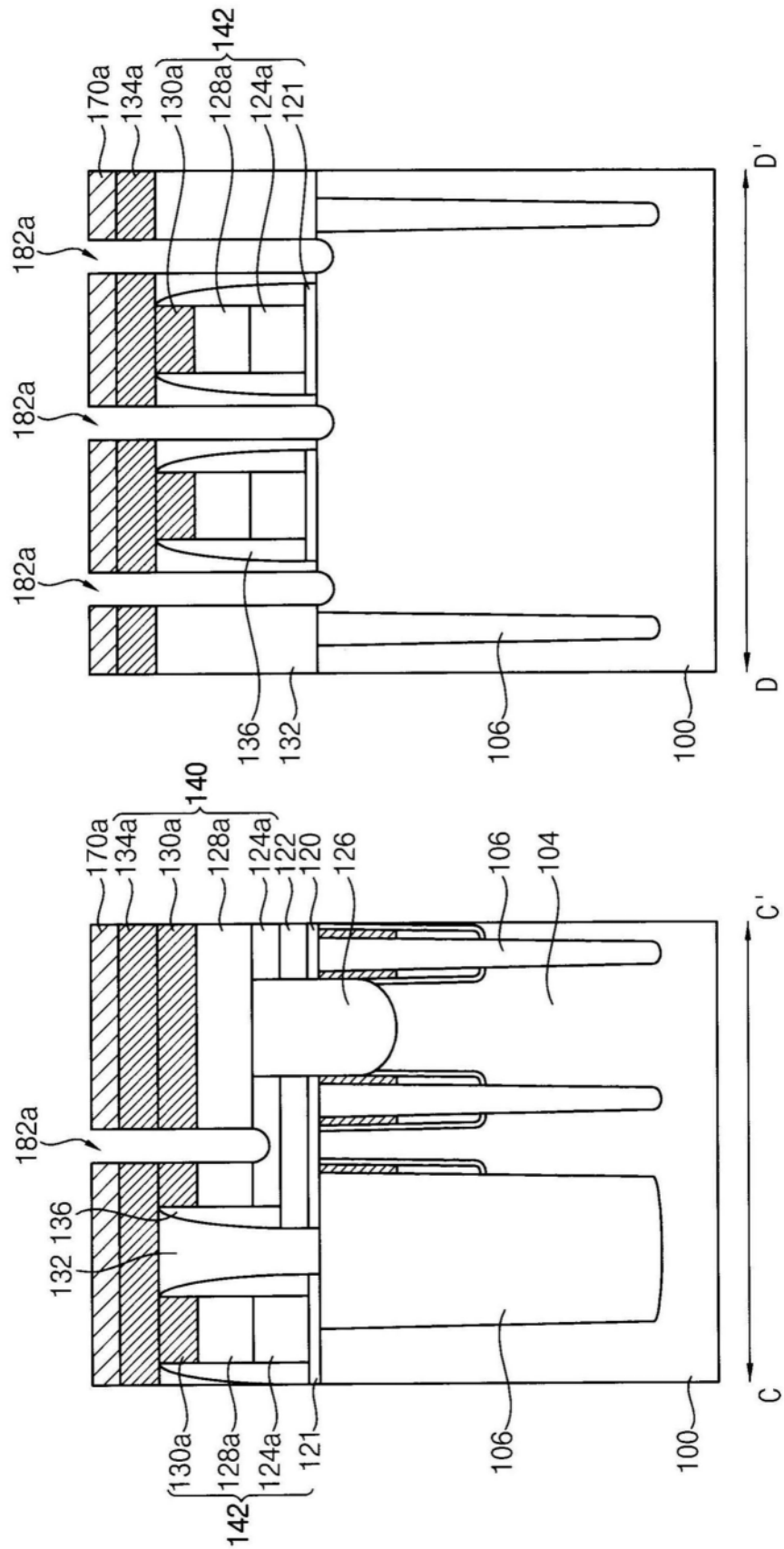


图23

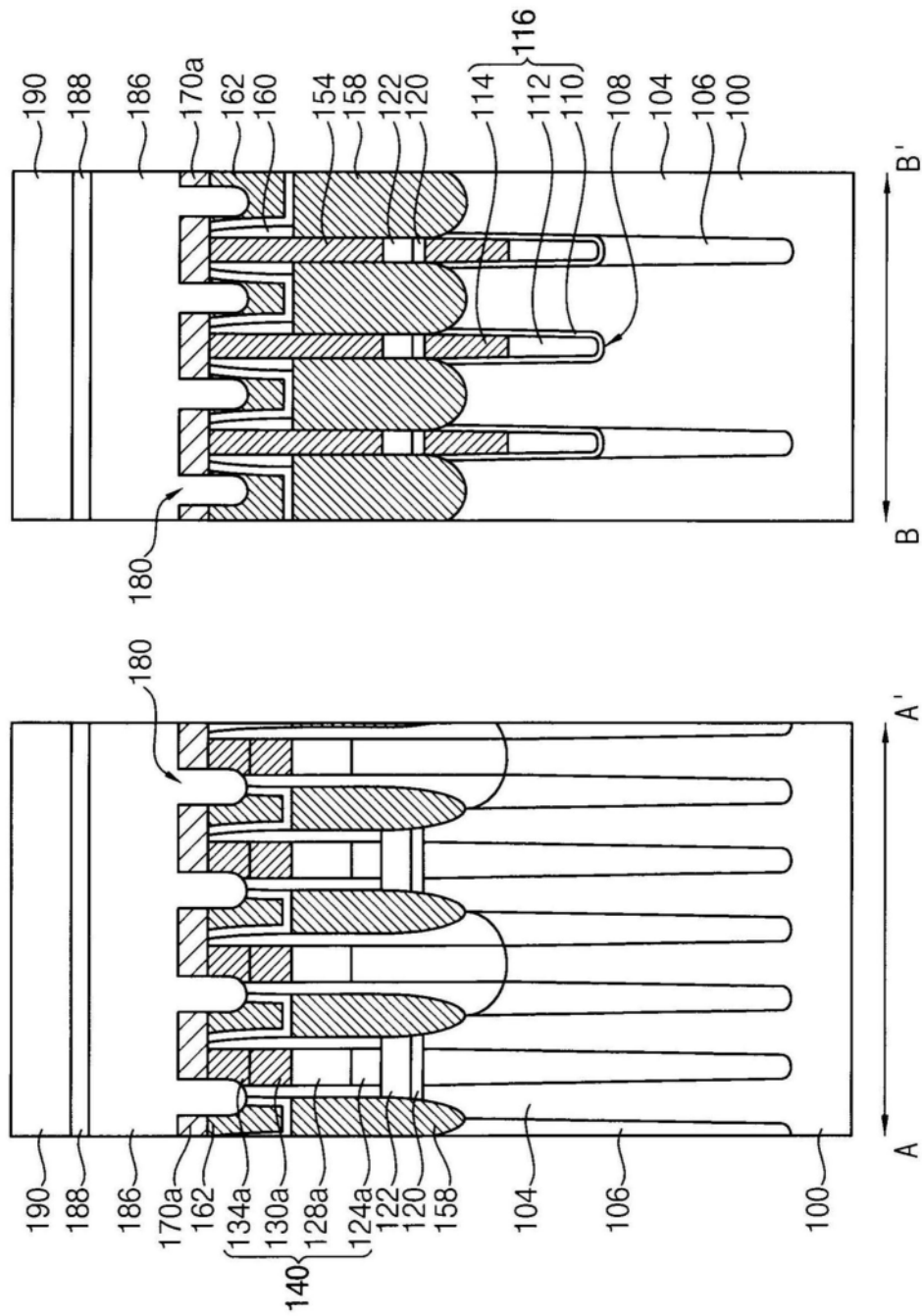


图24

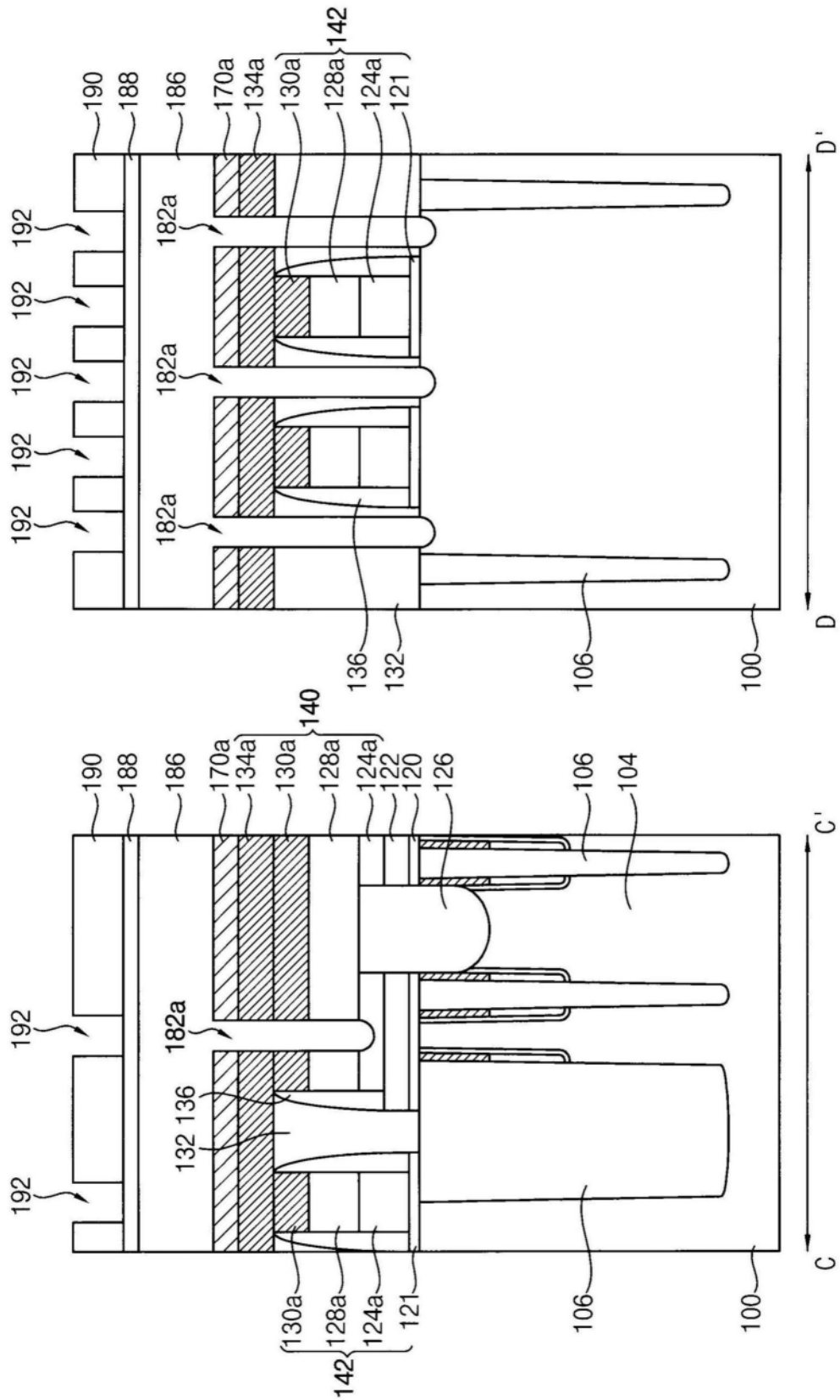


图25

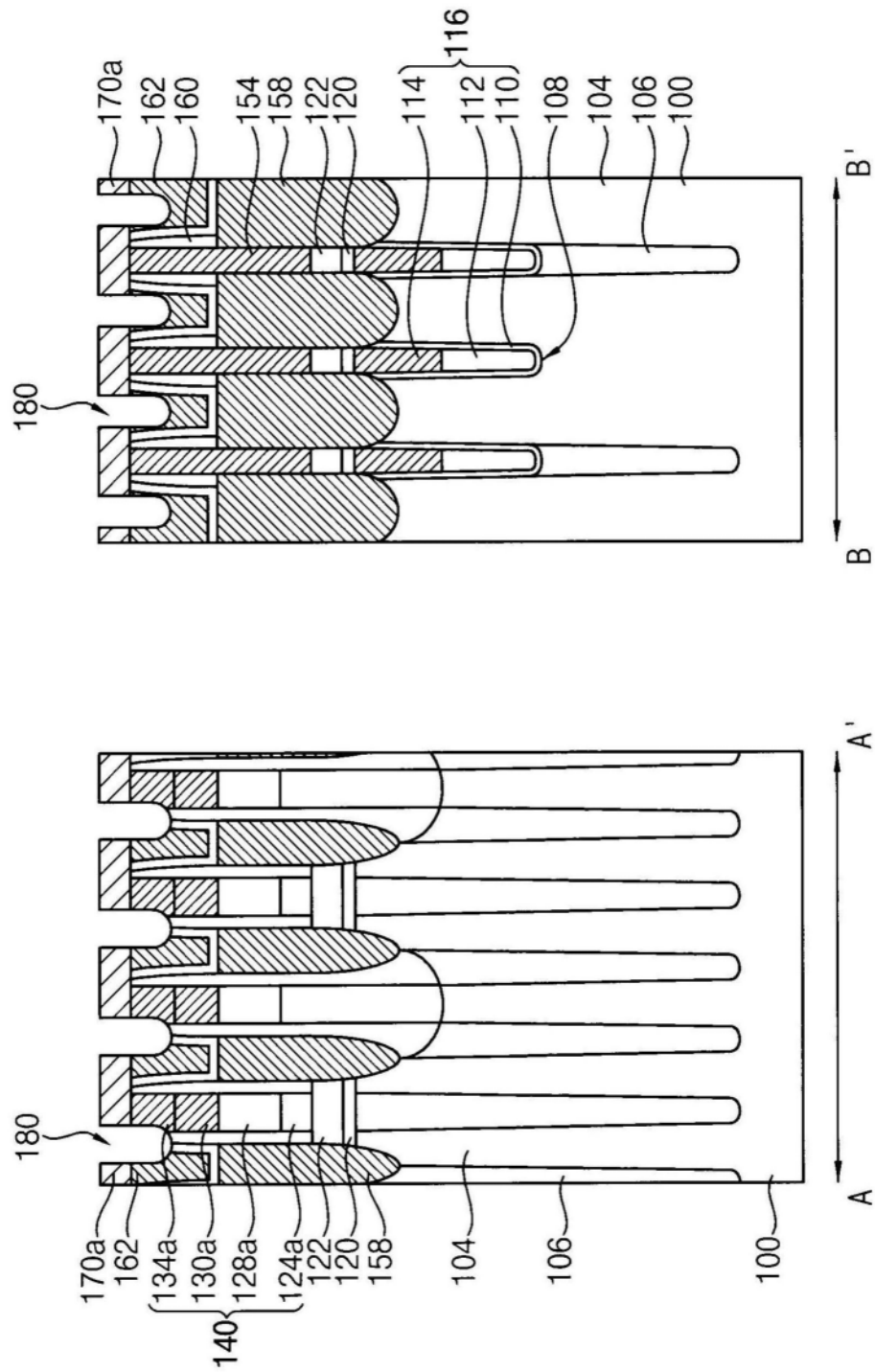


图26

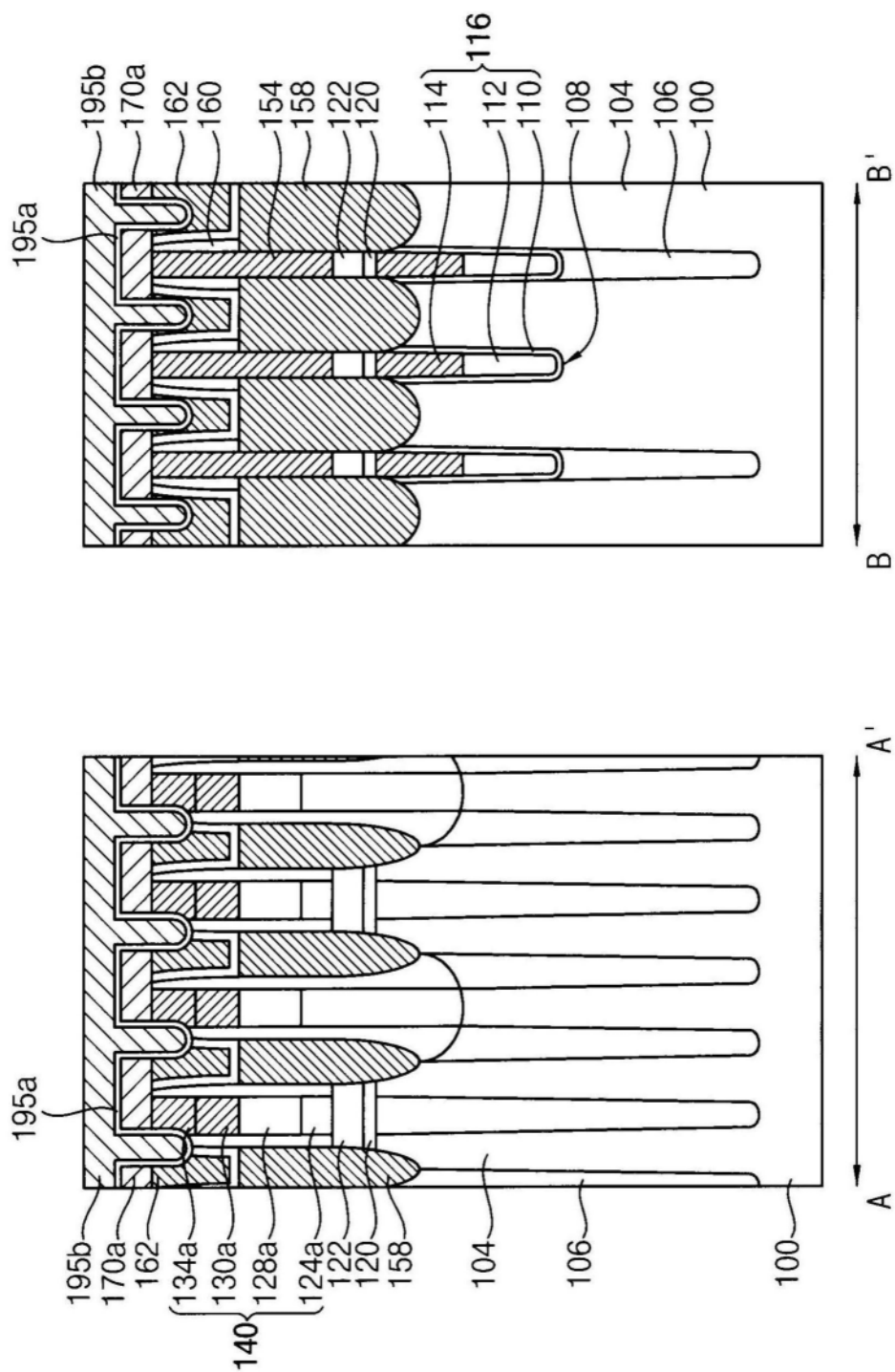


图28

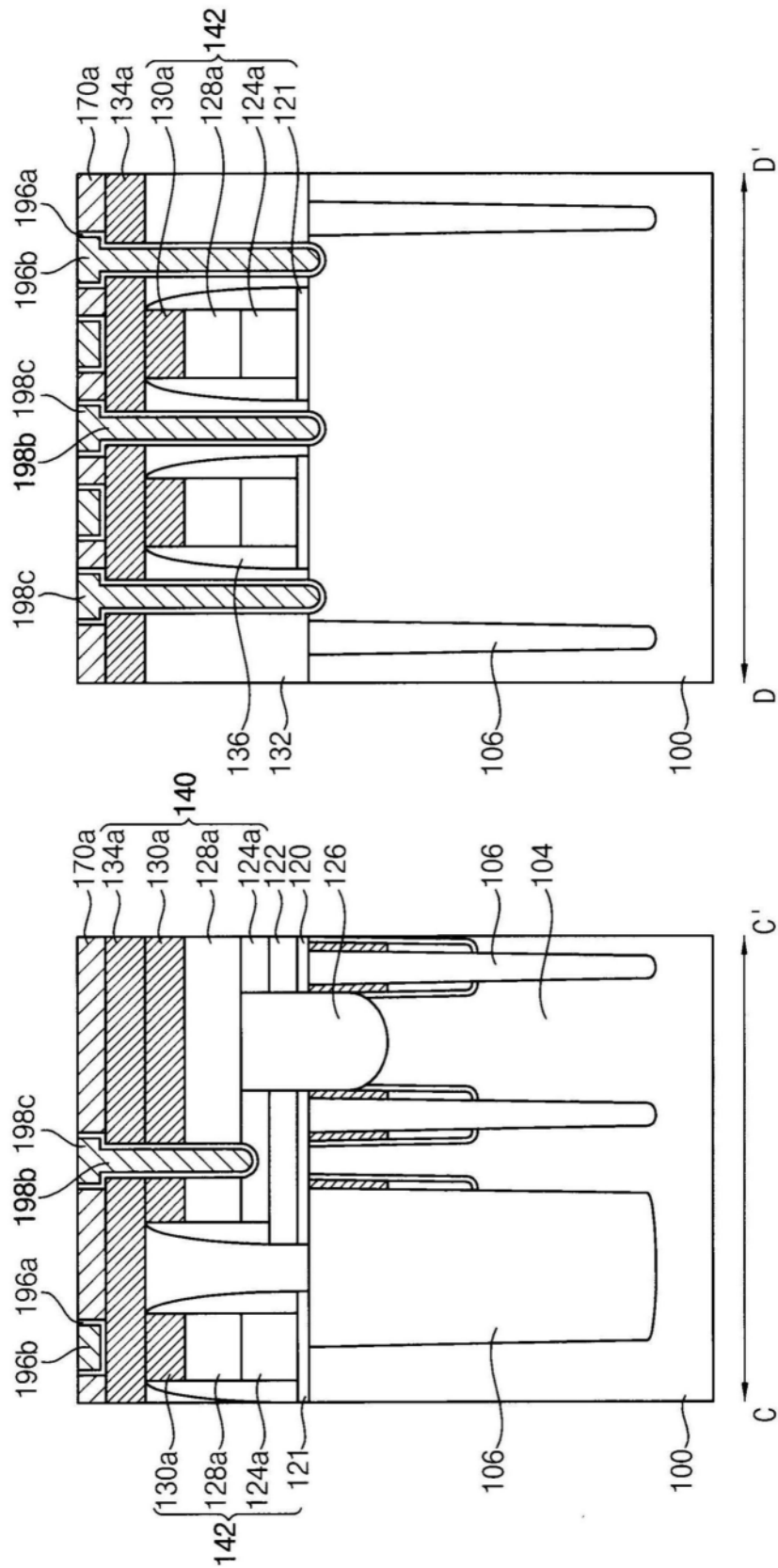


图31

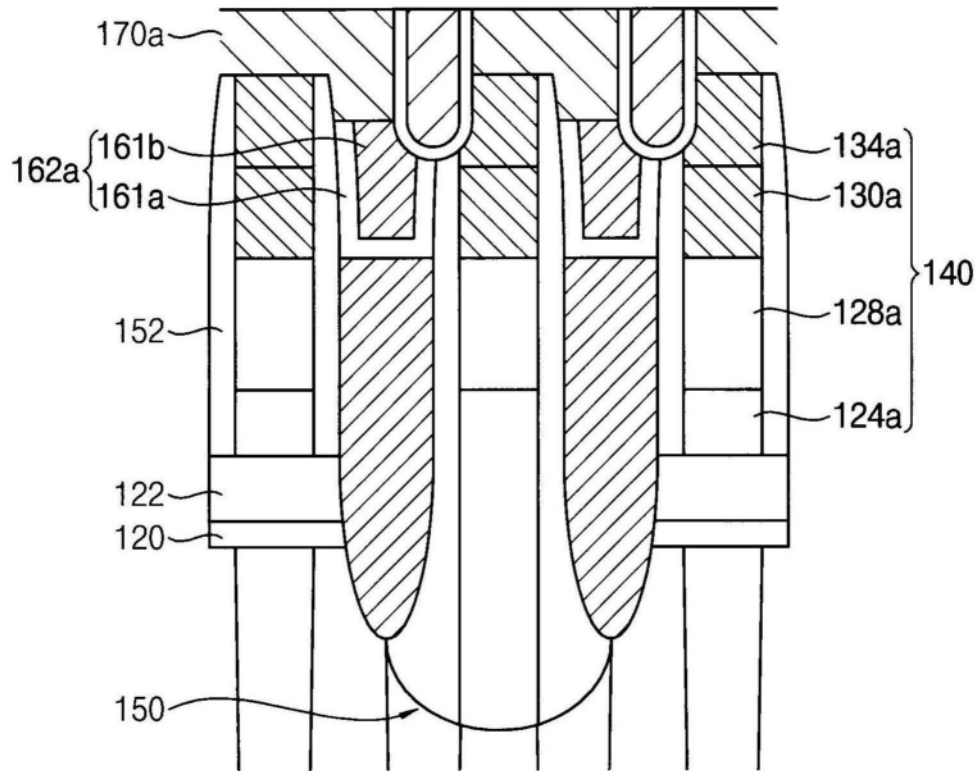


图32

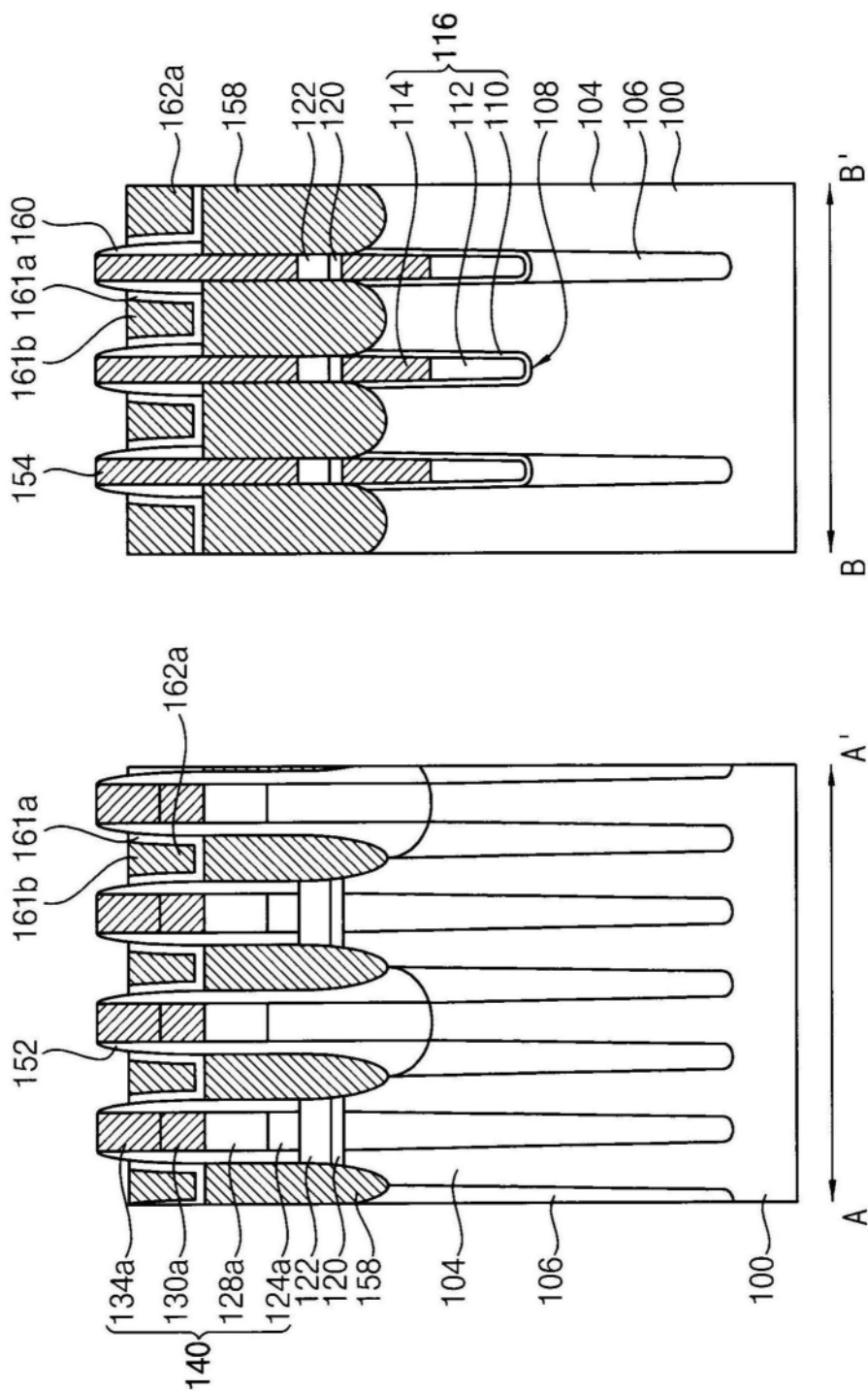


图33

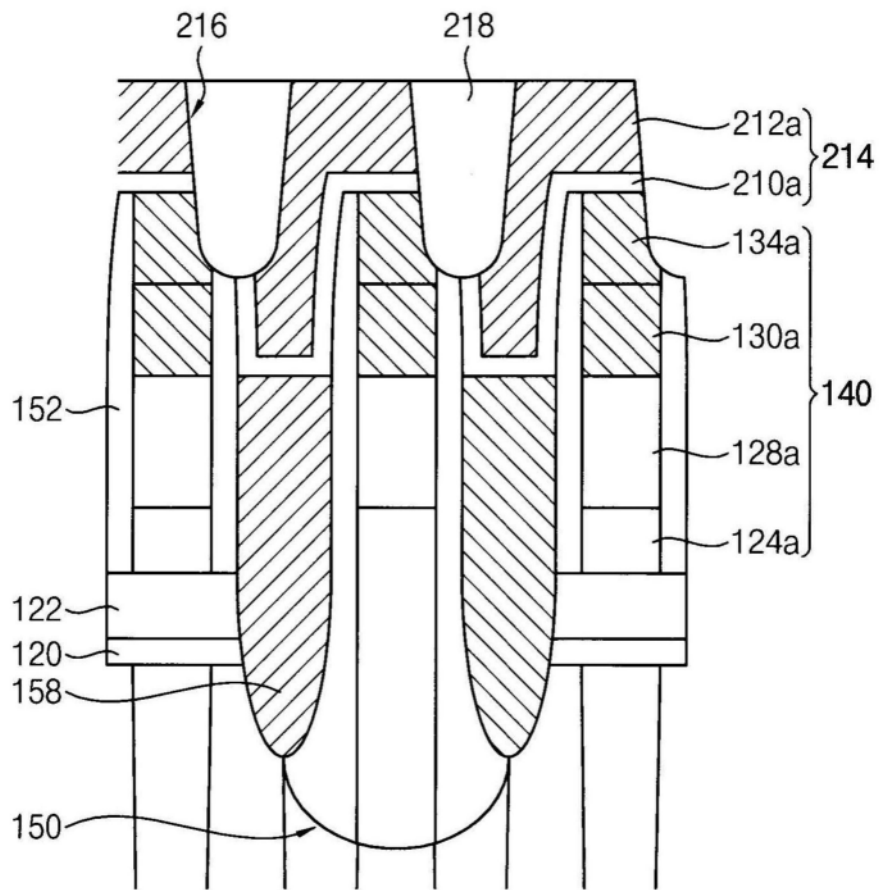


图34

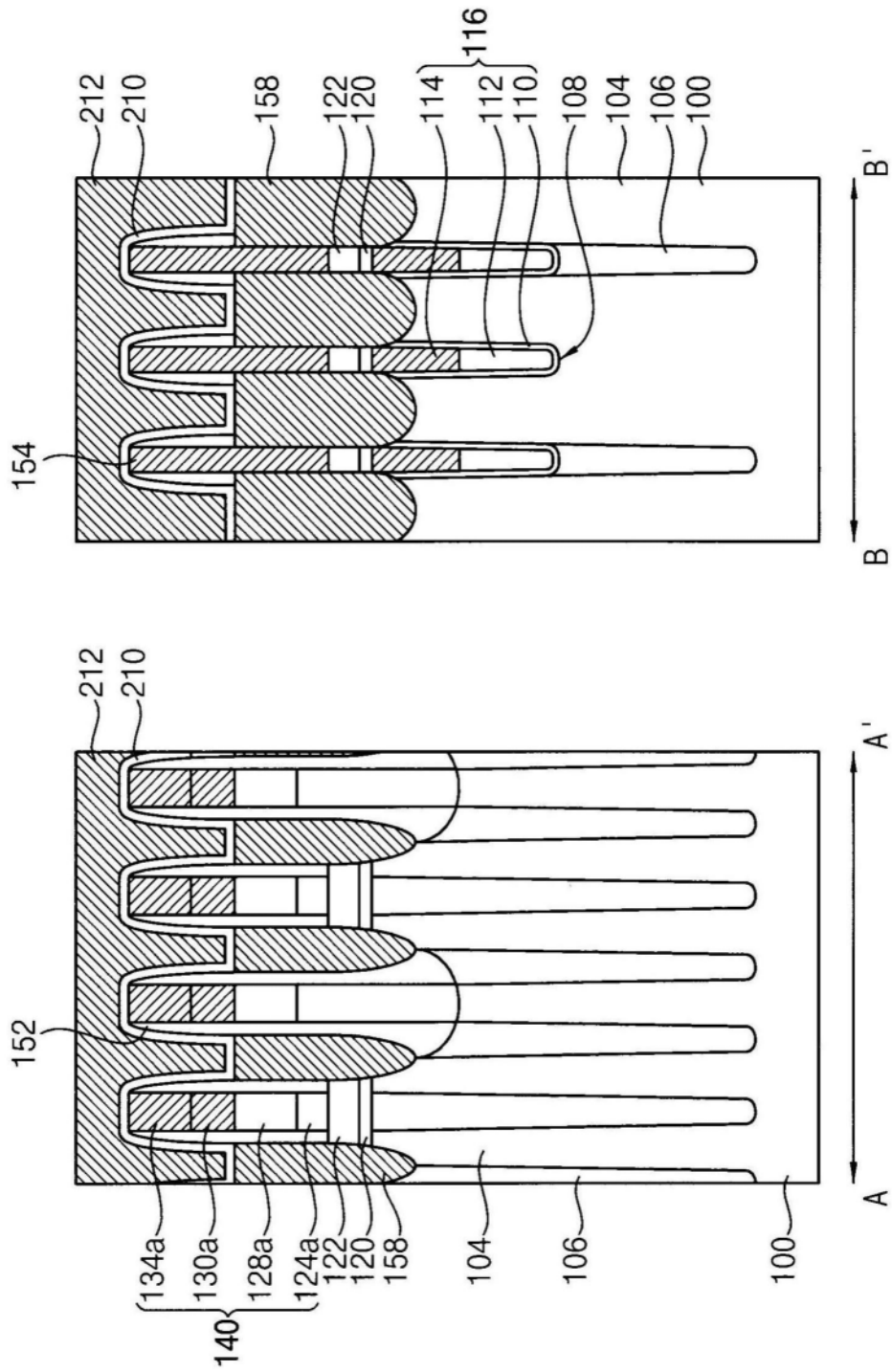


图35

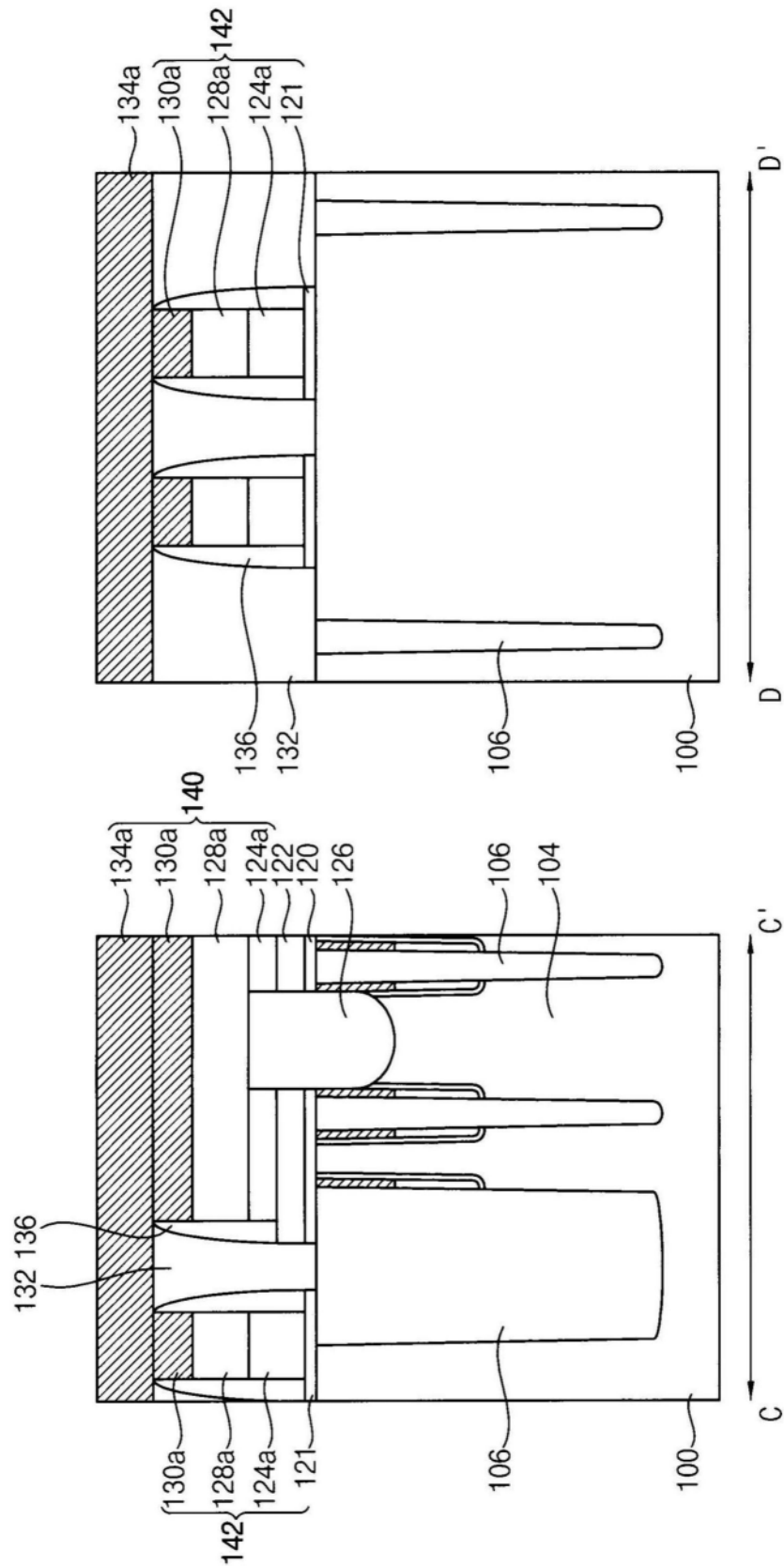


图36

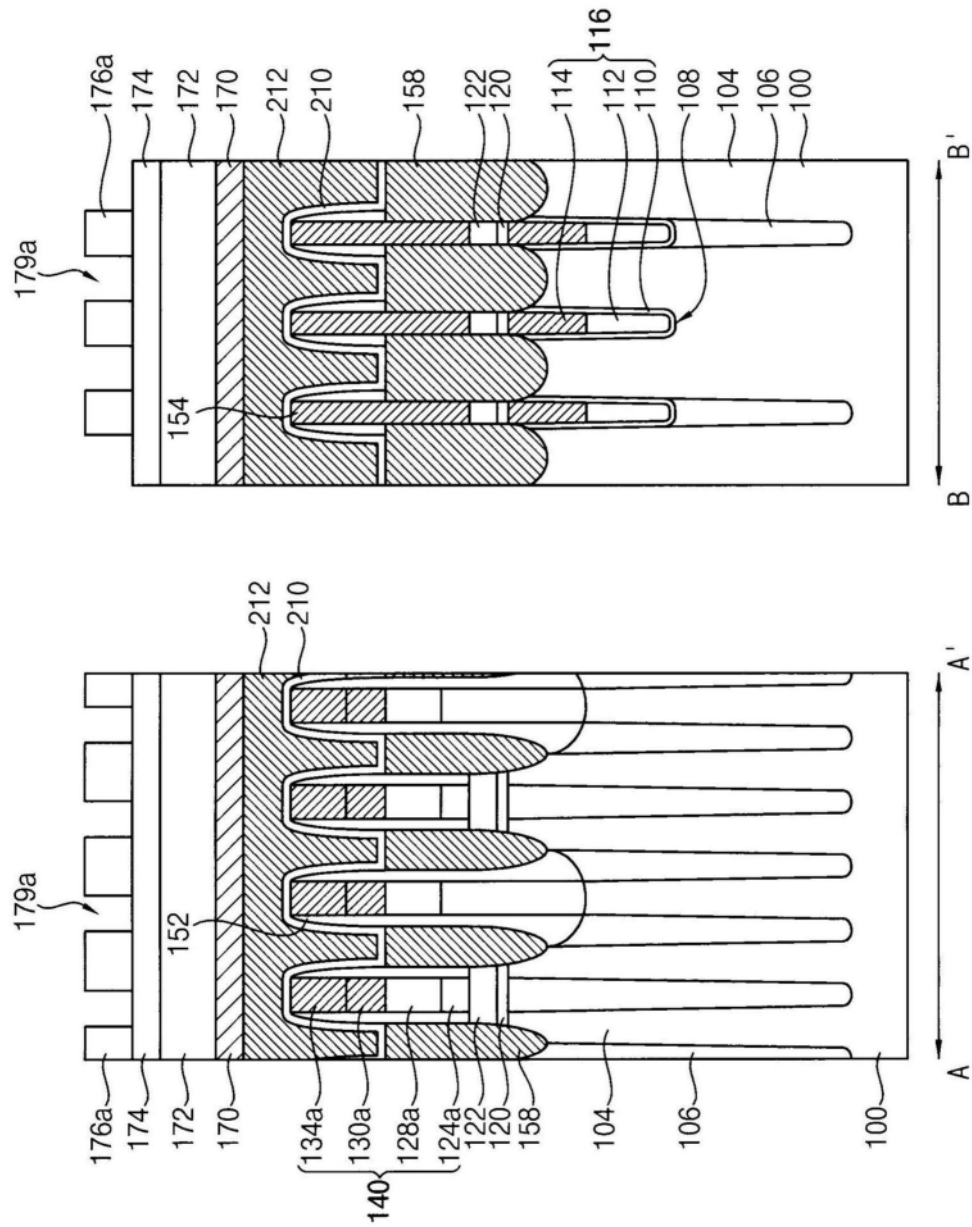


图37

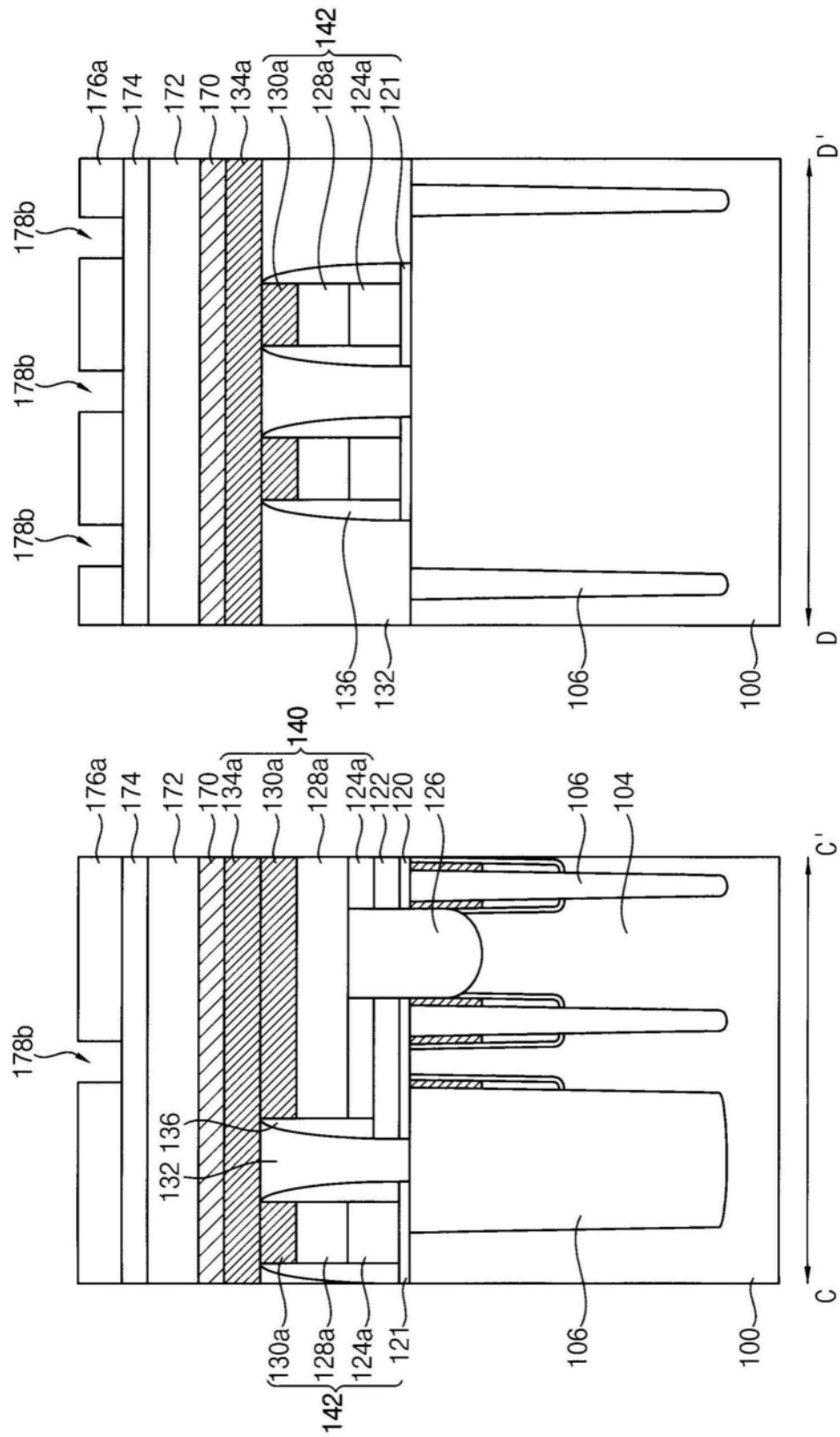


图38

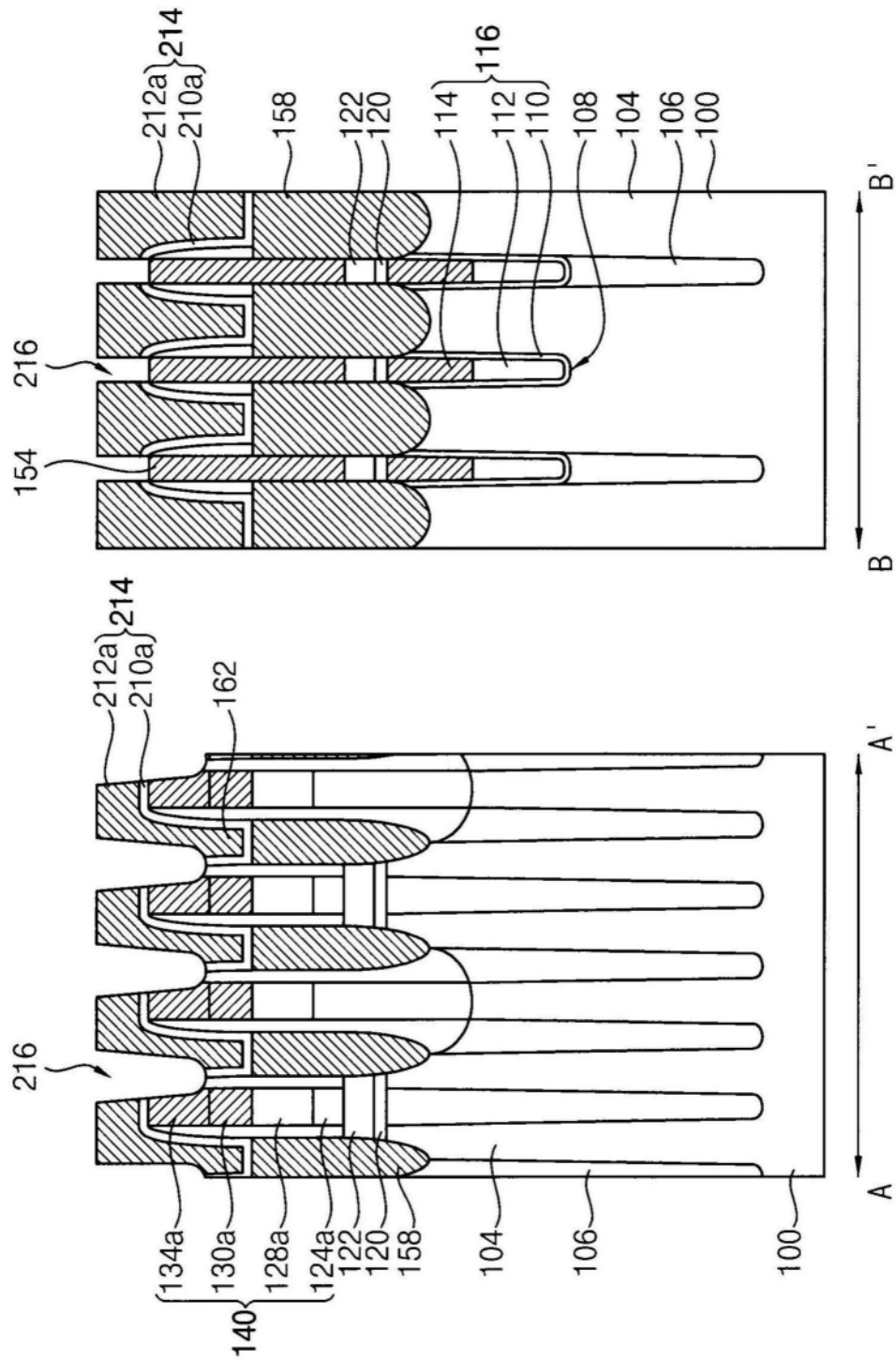


图39

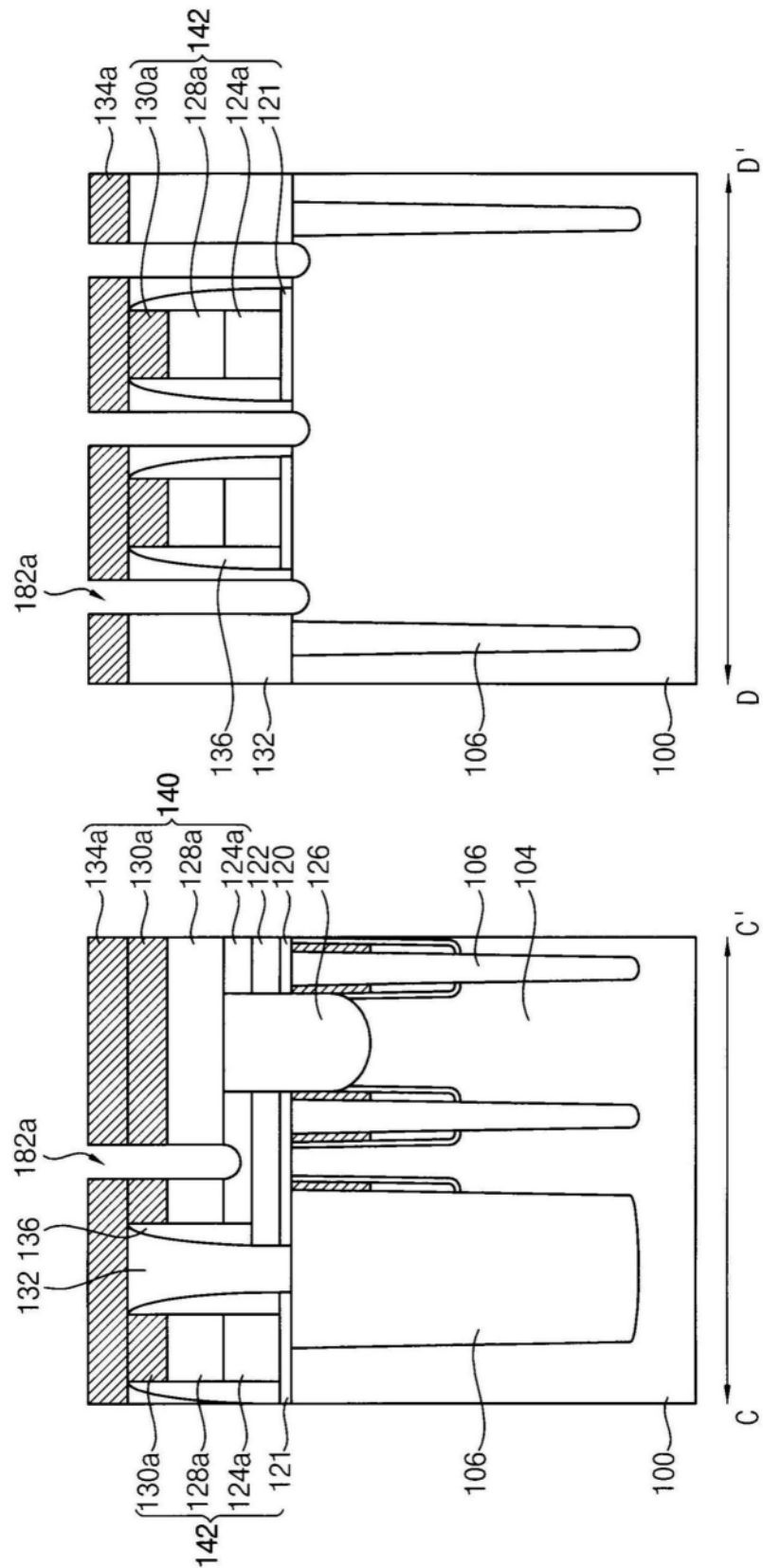


图40

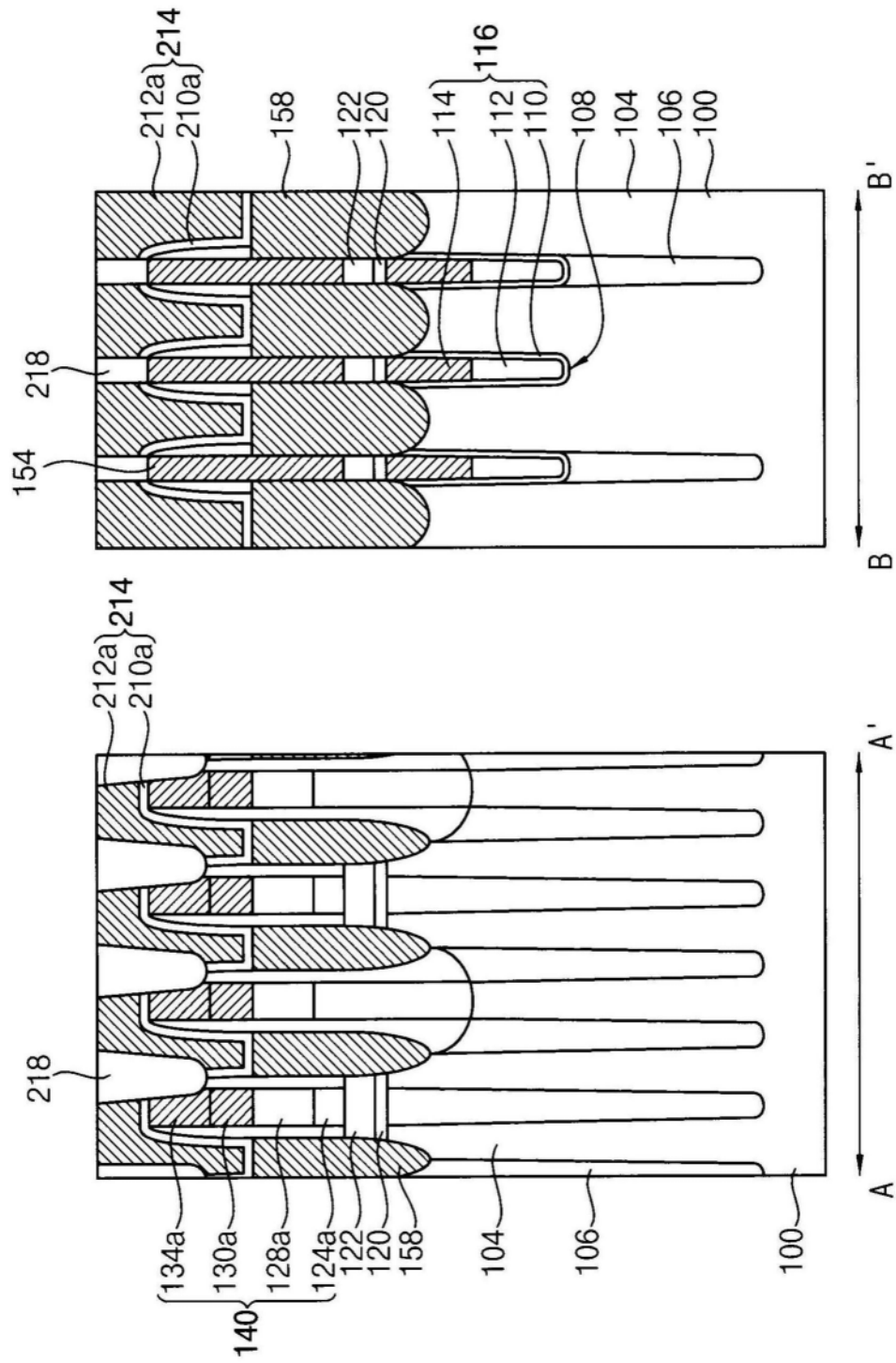


图41

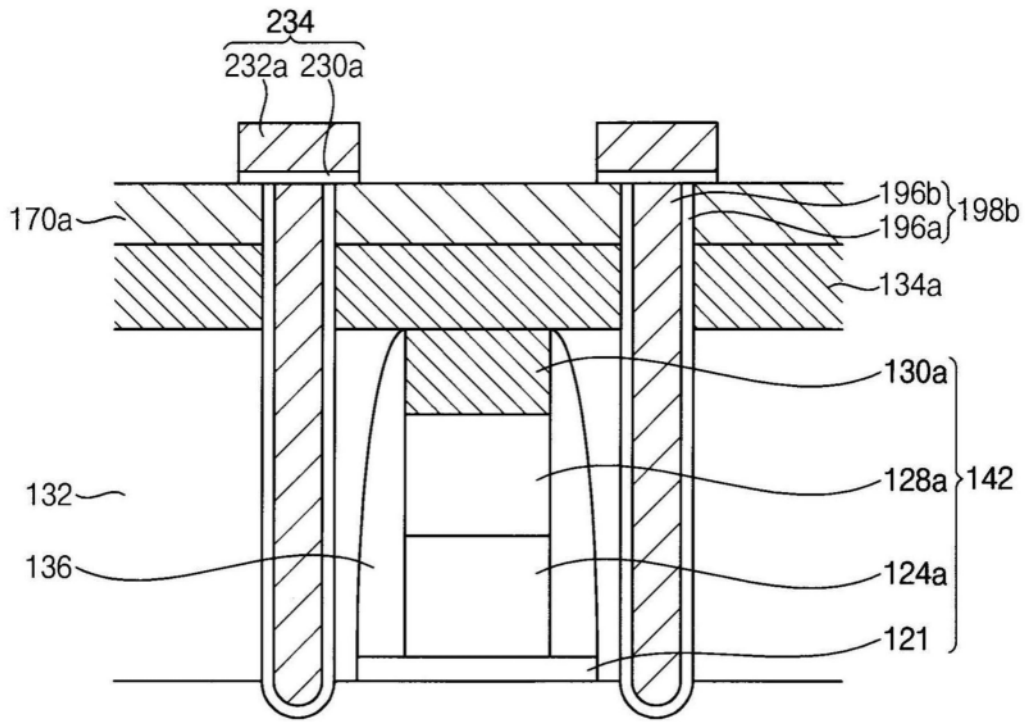


图42

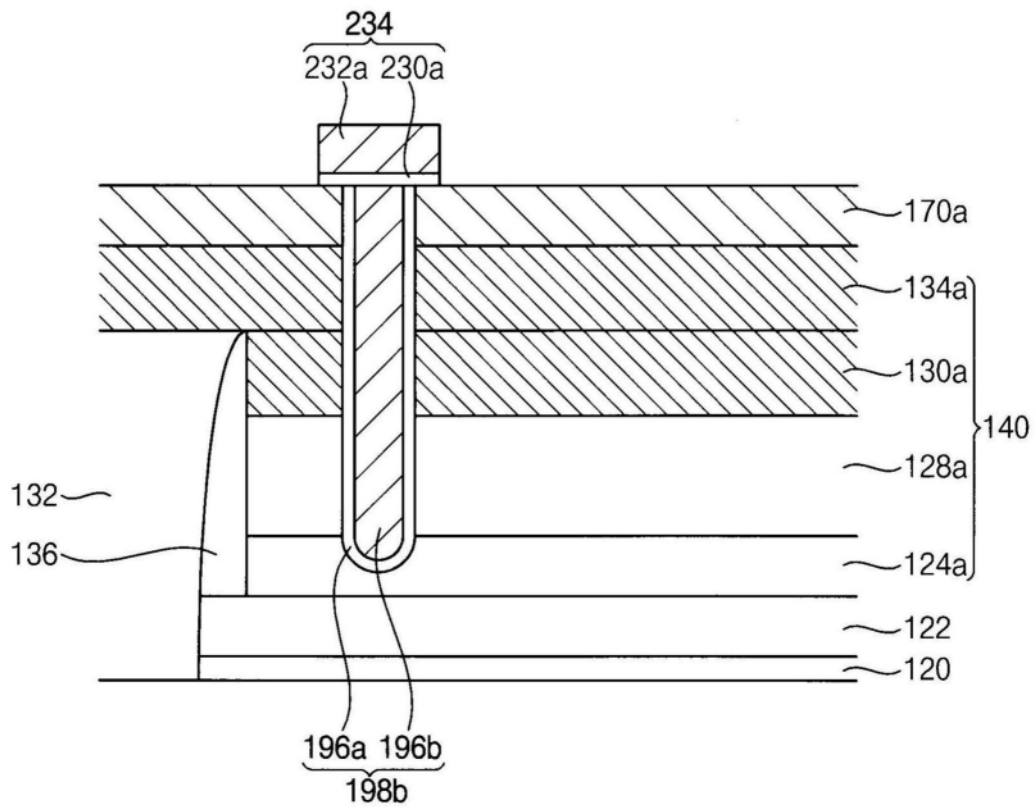


图43

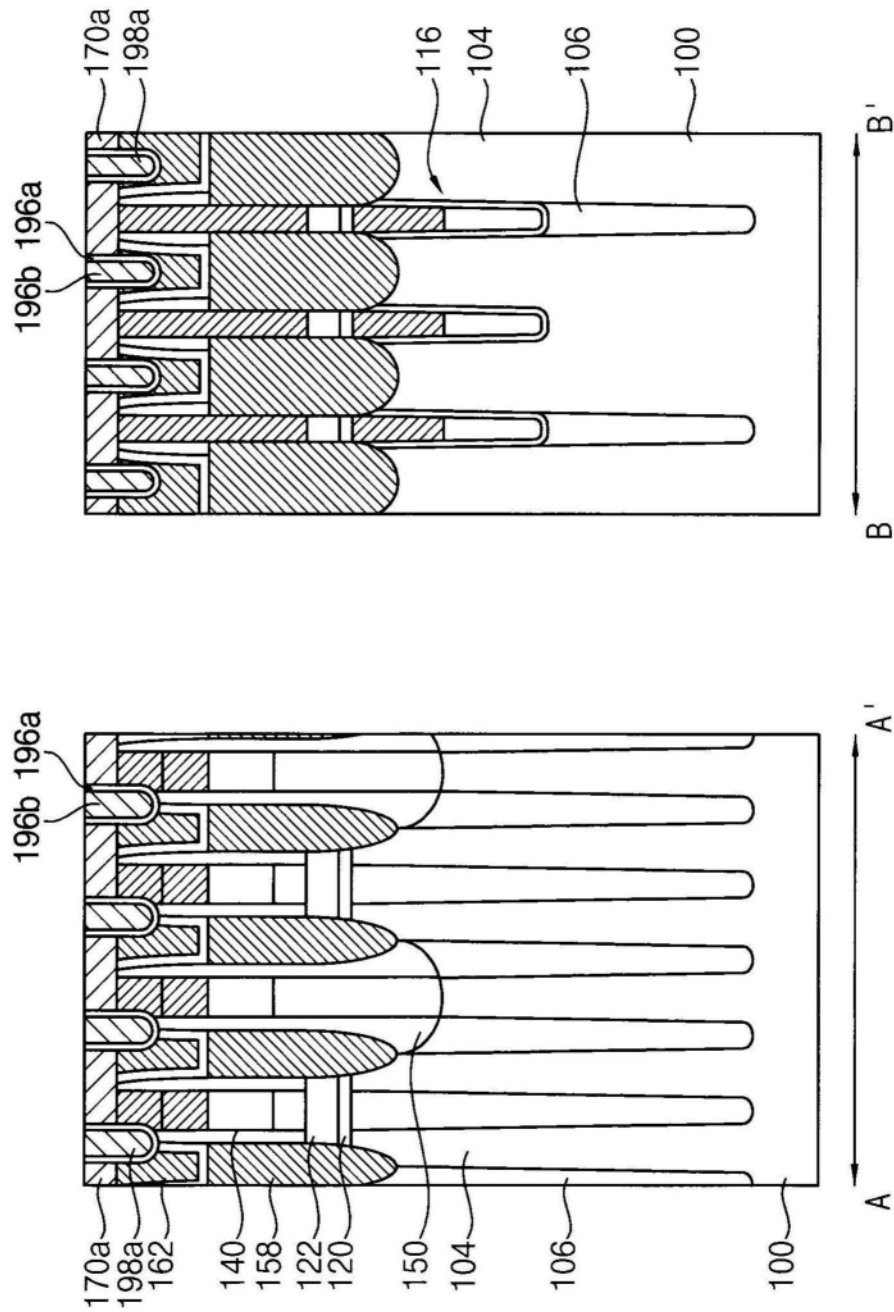


图44

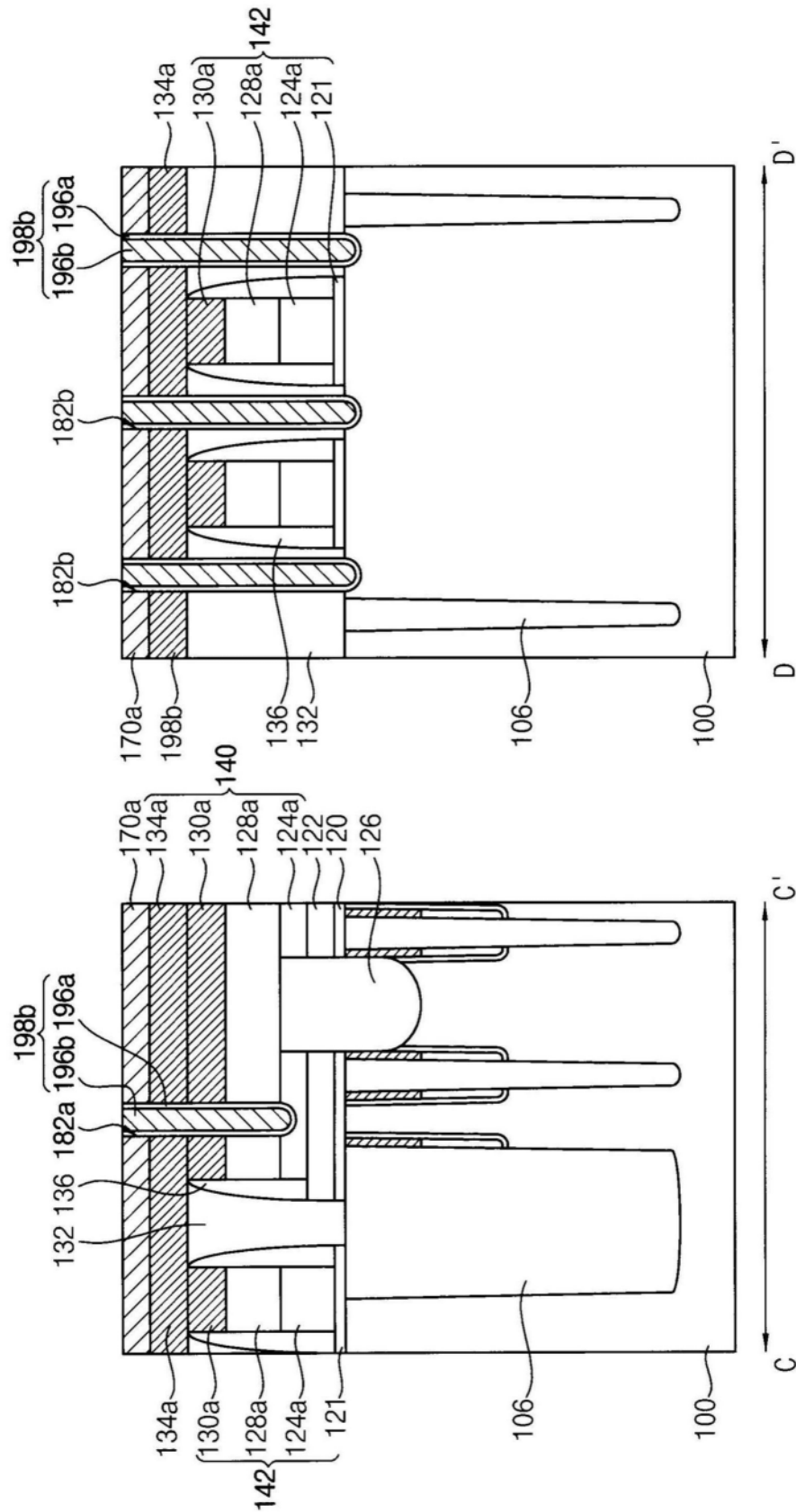


图45

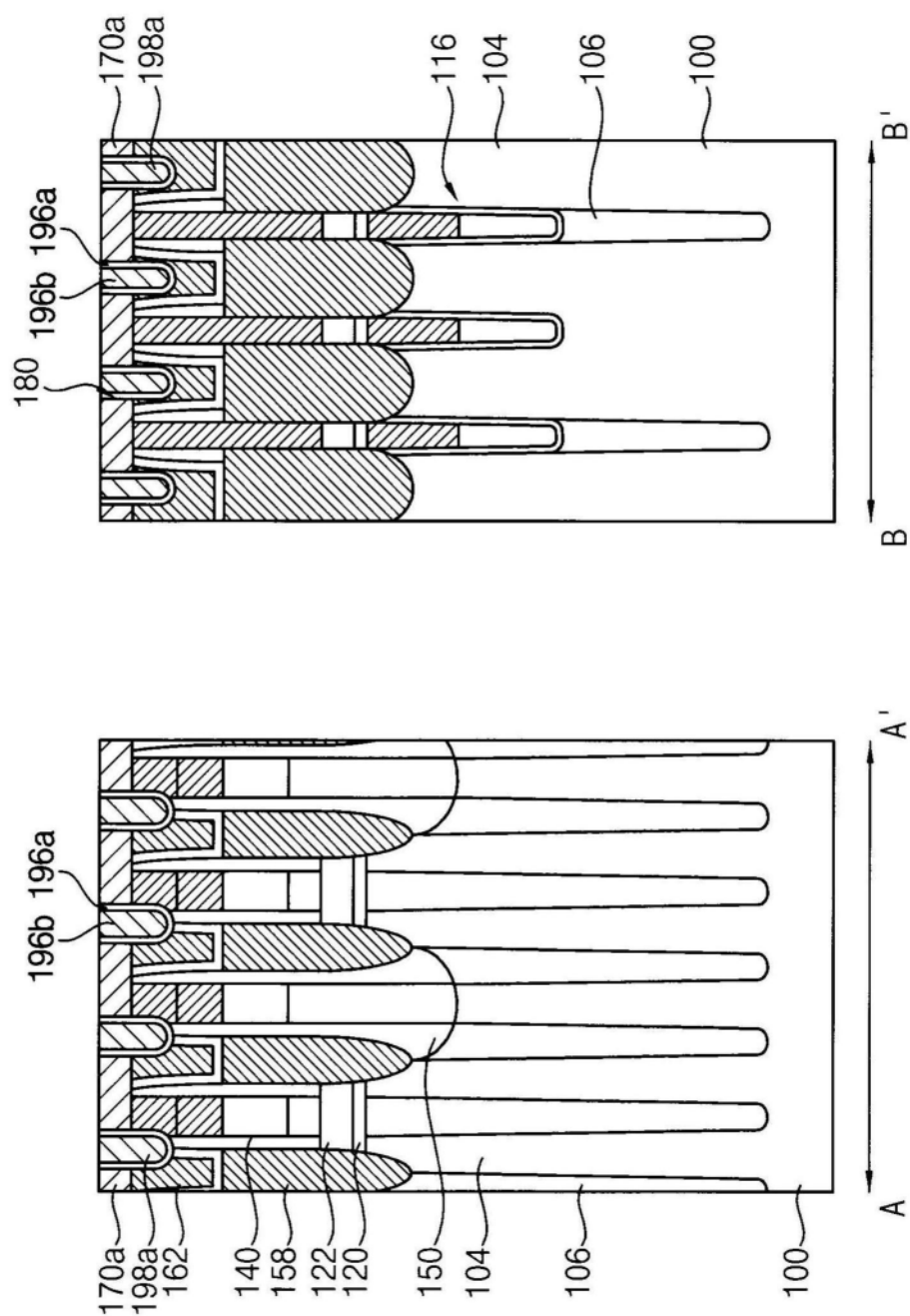


图46

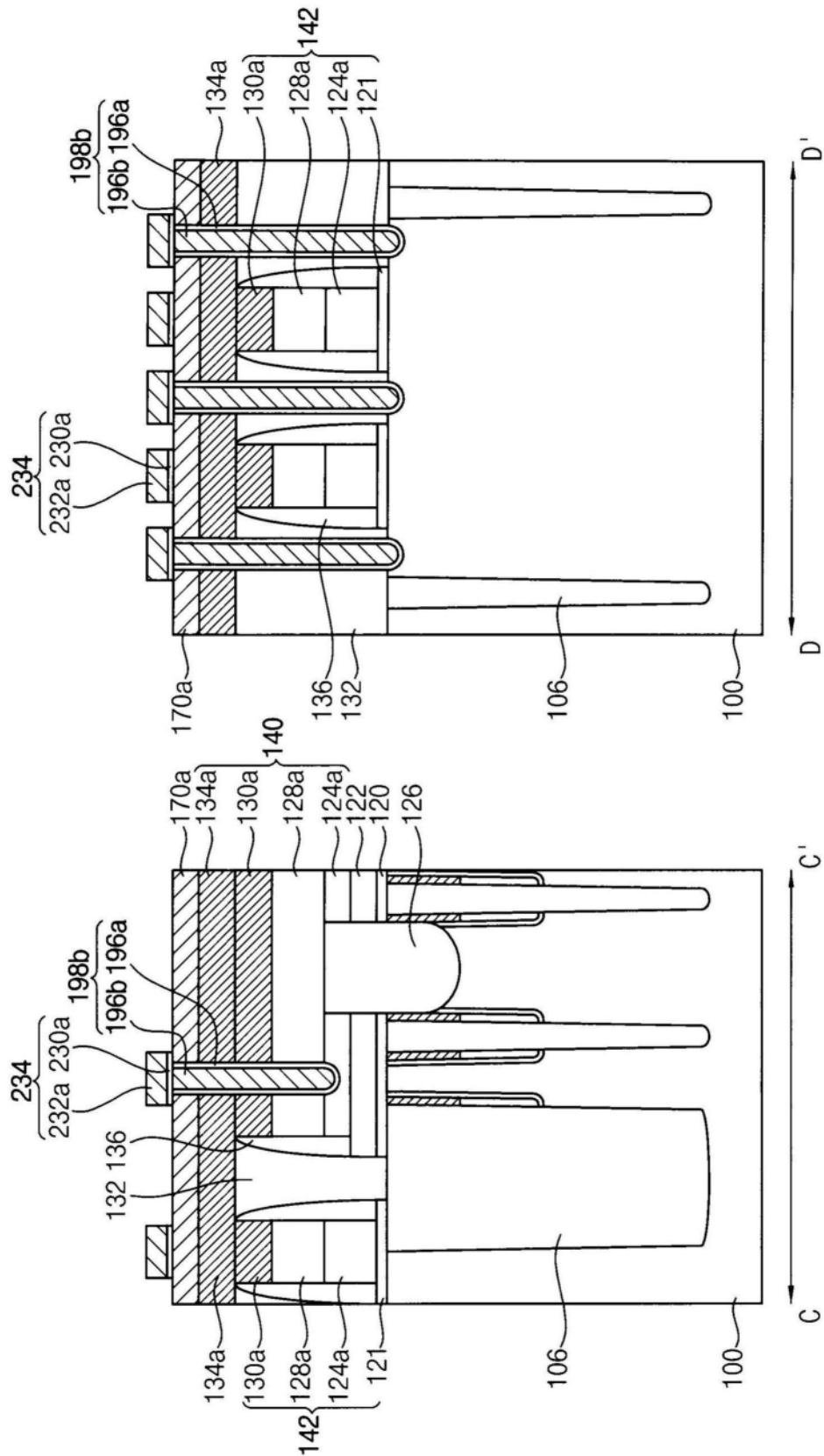


图47