

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3594856号
(P3594856)

(45) 発行日 平成16年12月2日(2004.12.2)

(24) 登録日 平成16年9月10日(2004.9.10)

(51) Int.C1.⁷

F 1

GO9F	9/30	GO9F	9/30	338
GO9G	3/20	GO9G	3/20	624A
GO9G	3/30	GO9G	3/20	641A
		GO9G	3/30	J
		GO9G	3/30	K

請求項の数 5 (全 14 頁)

(21) 出願番号

特願平11-322726

(22) 出願日

平成11年11月12日(1999.11.12)

(65) 公開番号

特開2001-142413(P2001-142413A)

(43) 公開日

平成13年5月25日(2001.5.25)

審査請求日

平成15年12月12日(2003.12.12)

早期審査対象出願

(73) 特許権者 000005016

パイオニア株式会社

東京都目黒区目黒1丁目4番1号

(74) 代理人 100079119

弁理士 藤村 元彦

(72) 発明者 石塚 真一

埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社 総合研究所内

審査官 鈴野 幹夫

(56) 参考文献 特開平10-319909 (JP, A)
特開平10-333641 (JP, A)

最終頁に続く

(54) 【発明の名称】アクティブマトリクス型表示装置

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に配置された走査線及びデータ線の交差位置に配された複数の発光素子、前記複数の発光素子の各々を駆動する駆動回路及び前記複数の発光素子の各々の一方の端子に接続された導電部を含む表示パネルと、入力映像信号に応じて前記駆動回路を制御する表示制御部と、前記複数の発光素子に前記導電部を経て電力を供給する電源回路を含む電源部と、を有するアクティブマトリクス型の表示装置であって、

前記発光素子の発光時に印加される電圧とは逆方向の逆バイアス電圧を生成する逆バイアス電圧生成回路と、

逆バイアス電圧印加回路と、を有し、

前記導電部は、前記走査線の少なくとも1つ毎に設けられて互いに電気的に分離された複数の帯状電極からなり、前記電源部は前記複数の帯状電極の各々を前記電源回路に選択的に接続するスイッチ回路を含み、

前記逆バイアス電圧印加回路は、前記複数の帯状電極を介して前記複数の発光素子に前記逆バイアス電圧を選択的に印加することを特徴とする表示装置。

【請求項2】

マトリクス状に配置された走査線及びデータ線の交差位置に配された複数の発光素子、前記複数の発光素子の各々を駆動する駆動回路及び前記複数の発光素子の各々の一方の端子に接続された導電部を含む表示パネルと、入力映像信号に応じて前記駆動回路を制御する表示制御部と、前記複数の発光素子に前記導電部を経て電力を供給する電源回路を含む電

源部と、を有するアクティブマトリクス型の表示装置であって、
前記発光素子の発光時に印加される電圧とは逆方向の逆バイアス電圧を生成する逆バイアス電圧生成回路と、

逆バイアス電圧印加回路と、を有し、

前記導電部は、前記データ線の少なくとも1つ毎に設けられて互いに電気的に分離された複数の帯状電極からなり、前記電源部は前記複数の帯状電極の各々を前記電源回路に選択的に接続するスイッチ回路を含み、

前記逆バイアス電圧印加回路は、前記複数の帯状電極を介して前記複数の発光素子に前記逆バイアス電圧を選択的に印加することを特徴とする表示装置。

【請求項3】

10

マトリクス状に配置された走査線及びデータ線の交差位置に配された複数の発光素子、前記複数の発光素子の各々を駆動する駆動回路及び前記複数の発光素子の各々の一方の端子に接続された導電部を含む表示パネルと、入力映像信号に応じて前記駆動回路を制御する表示制御部と、前記複数の発光素子に前記導電部を経て電力を供給する電源回路を含む電源部と、を有するアクティブマトリクス型の表示装置であって、

前記発光素子の発光時に印加される電圧とは逆方向の逆バイアス電圧を生成する逆バイアス電圧生成回路と、

前記逆バイアス電圧を印加する逆バイアス電圧印加回路と、

タイマと、を有し、

前記導電部は、前記走査線の少なくとも1つ毎に設けられて互いに電気的に分離された複数の帯状電極からなり、前記電源部は前記複数の帯状電極の各々を前記電源回路に選択的に接続するスイッチ回路を含み、

前記逆バイアス電圧印加回路は、前記タイマの出力に応じて前記複数の帯状電極を介して前記複数の発光素子に前記逆バイアス電圧を選択的に印加することを特徴とする表示装置

。

【請求項4】

20

マトリクス状に配置された走査線及びデータ線の交差位置に配された複数の発光素子、前記複数の発光素子の各々を駆動する駆動回路及び前記複数の発光素子の各々の一方の端子に接続された導電部を含む表示パネルと、入力映像信号に応じて前記駆動回路を制御する表示制御部と、前記複数の発光素子に前記導電部を経て電力を供給する電源回路を含む電源部と、を有するアクティブマトリクス型の表示装置であって、

前記発光素子の発光時に印加される電圧とは逆方向の逆バイアス電圧を生成する逆バイアス電圧生成回路と、

前記逆バイアス電圧を印加する逆バイアス電圧印加回路と、

タイマと、を有し、

前記導電部は、前記データ線の少なくとも1つ毎に設けられて互いに電気的に分離された複数の帯状電極からなり、前記電源部は前記複数の帯状電極の各々を前記電源回路に選択的に接続するスイッチ回路を含み、

前記逆バイアス電圧印加回路は、前記タイマの出力に応じて前記複数の帯状電極を介して前記複数の発光素子に前記逆バイアス電圧を選択的に印加することを特徴とする表示装置

。

【請求項5】

30

前記表示制御部は、前記タイマの出力に応じて前記スイッチ回路を制御して前記複数の帯状電極の各々を前記電源回路に選択的に接続することを特徴とする請求項3又は4に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はアクティブマトリクス型表示装置、特に、有機エレクトロルミネセンス素子等の発光素子を有するアクティブマトリクス型表示パネルを用いた表示装置に関する。

40

50

【0002】

【従来の技術】

発光素子をマトリクス状に配置して構成される発光表示パネルを用いたマトリクス型ディスプレイの開発が広く進められている。このような表示パネルに用いられる発光素子としては、例えば、有機材料を発光層として用いたエレクトロルミネセンス素子（以下、有機EL素子と称する）がある。かかる有機EL素子においては、素子を流れる電流によってその発光輝度を制御することができる。有機EL素子を用いた表示パネルとして、有機EL素子を単にマトリクス状に配置した単純マトリクス型表示パネルと、マトリクス状に配置した有機EL素子の各々にトランジスタからなる駆動素子を加えたアクティブマトリクス型表示パネルがある。アクティブマトリクス型表示パネルは単純マトリクス型表示パネルに比べて、低消費電力であり、また画素間のクロストークが少ないなどの利点を有し、特に大画面ディスプレイや高精細度ディスプレイに適している。

10

【0003】

図1は、従来のアクティブマトリクス型表示パネルの1つの画素10に対応する回路構成の1例を示している。

図1において、FET(Field Effect Transistor)11(アドレス選択用トランジスタ)のゲートGは、アドレス信号が供給されるアドレス走査電極線(走査ライン)に接続され、FET11のソースSはデータ信号が供給されるデータ電極線(データライン)に接続されている。FET11のドレインDはFET12(駆動用トランジスタ)のゲートGに接続され、キャパシタ13の一方の端子に接続されている。FET12のソースSはキャパシタ13の他方の端子と共に共通の陽極16に接続されている。FET12のドレインDは有機EL素子15の陽極に接続され、有機EL素子15の陰極は共通の陰極17に接続されている。

20

【0004】

図2に示すように、共通陽極16及び各有機EL素子15の陰極が接続された共通陰極17は、これらに電力を供給する電圧源18に接続されている。

この回路の発光制御動作について述べると、先ず、図1においてFET11のゲートGにオン電圧が供給されると、FET11はソースSに供給されるデータの電圧に対応した電流をソースSからドレインDへ流す。FET11のゲートGがオフ電圧であるとFET11はいわゆるカットオフとなり、FET11のドレインDはオープン状態となる。従って、FET11のゲートGがオン電圧の期間に、キャパシタ13は充電され、その電圧がFET12のゲートGに供給されて、FET12にはそのゲート電圧とソース電圧に基づいた電流が有機EL素子15を通じてソースSからドレインDへ流れ、有機EL素子15を発光せしめる。また、FET11のゲートGがオフ電圧になると、FET11はオープン状態となり、FET12はキャパシタ13に蓄積された電荷によりゲートGの電圧が保持され、次の走査まで駆動電流を維持し、有機EL素子15の発光も維持される。尚、FET12のゲートGとソースSの間にはゲート入力容量が存在するのでキャパシタ13を設けなくとも上記と同様な動作が可能である。

30

【0005】

アクティブマトリクス駆動により発光制御を行う表示パネルの1画素に対応する回路はこのように構成され、当該画素の有機EL素子15が駆動された場合に当該画素の発光が維持される。

40

上記したように、アクティブマトリクス型表示パネルにおいては、各発光素子の発光制御はFET等の駆動素子を含む駆動回路を制御することによってなされていた。

【0006】

【発明が解決しようとする課題】

しかしながら、従来のアクティブマトリクス型表示装置においては、駆動回路のみによって各発光素子の発光制御を行うので発光素子制御の自由度が低いという問題があった。本発明はかかる点に鑑みてなされたものであり、その目的とするところは、発光素子制御の自由度が高いアクティブマトリクス型の表示装置を提供することにある。

50

【0007】

【課題を解決するための手段】

本発明による表示装置は、マトリクス状に配置された走査線及びデータ線の交差位置に配された複数の発光素子、複数の発光素子の各々を駆動する駆動回路及び複数の発光素子の各々の一方の端子に接続された導電部を含む表示パネルと、入力映像信号に応じて駆動回路を制御する表示制御部と、複数の発光素子に導電部を経て電力を供給する電源回路を含む電源部と、を有するアクティブマトリクス型の表示装置であって、上記導電部は、走査線又はデータ線の少なくとも1つ毎に設けられて互いに電気的に分離された複数の帯状電極からなり、電源部は複数の帯状電極の各々を電源回路に選択的に接続するスイッチ回路を含むことを特徴としている。

10

【0008】

また、本発明による表示装置は、上記発光素子の発光時に印加される電圧とは逆方向の逆バイアス電圧を生成する逆バイアス電圧生成回路と、複数の帯状電極を介して複数の発光素子に逆バイアス電圧を選択的に印可する逆バイアス電圧印可回路とを更に有することを特徴としている。

本発明の他の特徴として、上記表示制御部はタイマを有し、タイマの出力に応じて上記スイッチ回路を制御して複数の帯状電極の各々を上記電源回路に選択的に接続する。

【0009】

本発明による表示パネルは、マトリクス状に配置された走査線及びデータ線の交差位置に配された複数の発光素子と、複数の発光素子の各々を駆動する駆動回路と、複数の発光素子の各々の一方の端子に接続された導電部を含む表示パネルであって、上記導電部は、走査線又はデータ線の少なくとも1つ毎に設けられて互いに電気的に分離された複数の帯状電極からなることを特徴としている。

20

【0010】

【発明の実施の形態】

本発明の実施例を図面を参照しつつ詳細に説明する。尚、以下に説明する図において、実質的に同等な部分には同一の参照符を付している。

図3は、本発明の第1の実施例であるアクティブマトリクス型表示パネルを用いた有機EL表示装置20の構成を概略的に示している。

【0011】

30

図3において、アナログ/デジタル(A/D)変換器21は、アナログ映像信号入力を受けてデジタル映像信号データに変換する。変換により得られたデジタル映像信号はA/D変換器21からフレームメモリ24へ供給され1フレーム単位のデジタル映像信号データが一旦フレームメモリ24に記憶される。

一方、有機EL表示装置20内の各部の制御をなす表示制御部26は、相異なる発光時間をパラメータとする複数のサブフィールドによって、上記フレームメモリ24に記憶されたデジタル映像信号データを、列アドレスカウンタ22及び行アドレスカウンタ23を用いて制御することにより、複数(すなわち、サブフィールドの数)の階調表示データに変換し、それぞれ発光表示パネル30の画素のアドレスに対応する発光・非発光データと共に順次マルチプレクサ25に供給する。

40

【0012】

また、表示制御部26は、マルチプレクサ25に供給された発光・非発光データの中から各サブフィールドに対応する列データを第1行目(第1走査ライン)から順次画素の配列順にデータドライバ28が有するデータラッチ回路に保持させるように制御する。

表示制御部26は、データラッチ回路によって順次保持された各サブフィールド毎の列データを、走査ライン毎に表示パネル30に供給すると共に、走査ドライバ27によって、対応する走査ラインに含まれるEL素子15を同時に発光させる。また、表示制御部26は計時装置(タイマ)を内部に有し、後述するように、帯状電極に接続された電極制御ドライバ35(以下、帯状電極制御ドライバと称する)を制御する。帯状電極制御ドライバ35には電源回路36が接続されており、表示制御部26の制御の下、各EL素子15の

50

発光制御及び後述する逆バイアス電圧印加制御がなされる。

【0013】

尚、図4に示すように、本実施例においては、サブフィールド 2^n 階調法($n=8$)に基づいた方法により、輝度階調の制御がなされる。すなわち、上記入力映像信号における1フレーム期間を8個のサブフィールド(SF1~SF8)に分割し、各サブフィールド期間内における輝度(すなわち、各サブフィールド期間内における各EL素子15の発光期間:T1~T8)の相対比がそれぞれ順に $1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256$ (すなわち、 $1/2^1 \sim 1/2^8$)、となるように設定され、それらのサブフィールドの選択的組合せにより256通りの輝度階調表示が可能なように制御される。

10

【0014】

各EL素子15の発光制御は、各サブフィールド毎に行われる。すなわち、1フレームのデータ単位で、第1サブフィールドから第8サブフィールドまでのそれぞれの列データに関する行なわれる(すなわち、8回)。表示パネル30の各EL素子15は、供給される各サブフィールドの各々に対し、後述する所定の発光期間だけ発光制御され、1フレーム分の発光表示を多階調表示によって行うことができる。尚、かかるサブフィールド 2^n 階調法を用いた画像表示装置は、例えば、本願と同一の出願人による特開平10-312173号公報に開示されている。

【0015】

また、本実施例においては、有機EL発光層に形成不良部が有る場合、その部分でリーク電流が発生して発光不良が生じることを防ぐために、有機EL素子に逆バイアス電圧を印加して不良部の除去が行えるようにしている。

20

図5は、表示パネル30の構造の一部を模式的に示す、表示パネル30を裏面から見た場合の平面図である。

【0016】

この表示パネル30は、ガラスなどの透明な基板上に走査ライン5及びデータライン7がマトリクス状に配置されている。走査ライン5及びデータライン7の交差位置にはそれぞれ、アドレス選択用FET11、駆動用FET12、キャパシタ13及び発光部を構成する有機EL素子15が設けられている。尚、これらの回路構成は図1に示したものと同様である。

30

【0017】

表示パネル30の裏面には、走査ライン(A1-An)に沿って延びた帯状の金属膜からなる帯状電極45(SE1-SEN)が形成されている。帯状電極45は走査ライン毎に設けられており、互いに電気的に分離されている。第k走査ライン(Ak)にFET11, 12を介して接続されたEL素子15(EL_{k,j}, j=1~m)の陰極は、対応する帯状電極45(SEk)に接続されている。すなわち、EL素子15の陰極は走査ライン毎に互いに電気的に分離され、走査ライン毎に独立して制御することができるようになっている。一方、EL素子15の陽極は駆動FET12を介してアノードライン47に接続されている。各アノードライン47は互いに電気的に接続されて表示パネル30内のEL素子15の共通の陽極として機能し、電源回路36の正の電圧出力端V_Dに接続されている。

40

【0018】

図6は、本実施例における表示パネル30及び帯状電極制御ドライバ35を模式的に示している。各帯状電極45は帯状電極制御ドライバ35内に設けられたスイッチS1~Snにより選択的に電源回路36の電圧出力端V_G、V_B、又はV_D(又はオープン)に接続されるようになっている。ここで、電圧V_Gは、EL素子15を発光せしめる場合に接続される電圧である。すなわち、電圧V_Gはアノードライン47に印加される電圧V_Dとの電圧差(=V_D-V_G)がEL素子15の所定の駆動電圧となるように選べばよい。また、EL素子15を非発光とする場合、アノードライン47は電圧V_D(又はオープン)に切り換えられる。尚、この電圧は必ずしもV_Dでなくともよく、EL素子15を非発光と

50

する電圧であればよい。更に、電圧 V_B は E L 素子 15 に上記した逆バイアス電圧を印加するための電圧であり、アノードライン 47 に印加される電圧 V_D との電圧差 ($= V_D - V_B < 0$) が所定の逆バイアス電圧となるように選ばれる。帯状電極制御ドライバ 35 は、表示制御部 26 からの制御信号に基づいて各帯状電極 45 に印加する電圧の切替えを行う。

【0019】

本発明における有機 E L 表示装置 20 は、このように構成され、入力映像信号に対し、各サブフィールド毎に表示パネルの画面全体のアドレス走査による発光制御を繰り返すことにより、フレーム単位の発光表示を多階調表示によって行うことができる。

以下に、表示制御部 26 が、表示パネル 30 の発光・非発光を制御して多階調表示を実現する発光制御動作について、図 7 に示すタイムチャートを参照しつつ詳細に説明する。

【0020】

先ず、表示制御部 26 は、列アドレスカウンタ 22、行アドレスカウンタ 23、フレームメモリ 24、及びマルチプレクサ 25 を制御し、1 フレーム分のデジタル映像信号データを各サブフィールドに対応する階調表示データに変換し、マルチプレクサ 25 に供給する。次に、第 1 サブフィールド (SF1) に関する表示データのうち、第 1 走査ラインに対応する表示データをデータドライバ 28 内のデータラッチ回路 (図示しない) にラッチさせる。表示制御部 26 はラッチされた第 1 走査ラインの列データのそれぞれを、対応する各アドレスに書き込む。すなわち、走査ドライバ 27 からアドレス信号を送出して第 1 走査ラインの各アドレス選択用 FET 11 を導通せしめる。これと同時に、表示制御部 26 は帯状電極制御ドライバ 35 のスイッチ S1 を開状態 (OPEN) から V_G に切替える。これにより、第 1 走査ラインに対応する帯状電極 45 は電圧 V_G に接続され、映像信号データに応じて第 1 走査ライン内の発光すべき E L 素子 15 は発光する。すなわち、発光を示すデータが供給されるアドレスの E L 素子 15 を発光せしめる。

【0021】

表示制御部 26 は、発光開始後、所定の期間 (T_0) が経過したときに帯状電極制御ドライバ 35 を制御してスイッチ S1 を V_G から V_B に切替えて、所定の逆バイアス期間 (T_B) の間、帯状電極 45 を逆バイアス電圧に保持する。所定逆バイアス期間経過の後、スイッチ S1 を V_B から V_G に切替えて、再度 E L 素子 15 を発光せしめる。発光開始から所定の発光期間 ($T_{L,1}$) が経過の後、スイッチ S1 を V_G から開状態 (OPEN) に切替えて、E L 素子 15 の発光を停止せしめる。尚、この場合、実際に E L 素子 15 が発光している期間は、所定の発光期間から所定の逆バイアス期間を減じた期間 ($= T_{L,1} - T_B$) である。

【0022】

表示制御部 26 は、第 1 走査ラインの列データがラッチされた後のステップとして、上記した第 1 走査ラインの場合と同様にして第 2 走査ラインの各 E L 素子 15 の発光及び逆バイアス印加に関する制御動作を実行する。

全ての走査ライン、すなわち第 n 走査ラインまでの制御動作が終了した後、表示制御部 26 は、第 2 サブフィールド (SF2) に関する制御を実行する。第 2 サブフィールドにおいては第 1 サブフィールドと同様の発光制御がなされるが、帯状電極 45 への逆バイアス電圧印加はなされない。第 3 ~ 第 n サブフィールド (SF3 ~ SFn) については、第 2 サブフィールドと同様に、逆バイアス電圧を印加しない発光制御がなされる。すなわち、本実施例においては、1 フレーム期間に対して、1 つのサブフィールド期間においてのみ逆バイアス電圧印加が行われる。尚、本実施例において、各サブフィールド (SFk) 内の各走査ラインの発光期間は同一 ($= T_{L,k}$) であるように制御される。

【0023】

本発明によれば、上記したように逆バイアス電圧印加制御が実行されるので、逆バイアス電圧を印加するタイミング及び印加期間の長さを走査ライン毎に任意に設定できる。一方、例えば各走査ラインに共通の電極を用いた場合には、図 8 に示すように、各走査ラインに同時に逆バイアス電圧が印加される。この場合、アドレス信号のパルス幅である書き込み

10

20

30

40

50

期間と逆バイアス電圧期間の相対的なタイミングに応じて各走査ラインの発光状態は変化し、走査ライン毎に輝度が異なってしまう。図9(a)に示すように、書き込み期間と逆バイアス電圧期間が離れている場合と、図9(b)、(c)に示すように、これらの期間が重なっている場合とでは輝度に違いが生じる。この発光状態の変化はEL素子15を充電する際の時定数に起因するものである。しかしながら、本発明によれば、このような影響が生じないように逆バイアス電圧期間を設けることができるので、各走査ラインの発光状態を同一に維持しつつ逆バイアス電圧を印加することができる。

【0024】

また、アドレス信号に基づいて発光を停止(又は開始)する場合には、全ての走査ラインの走査が終了するまでEL素子15の発光データを更新できないので、発光期間をアドレス期間(T_A)よりも短くすることができない。従って、階調表示の精度が制限されるという不都合が生じる。しかしながら、本発明によれば、前述のように、EL素子15の発光の開始及び停止のタイミングを任意に設定できるので、全ての走査ラインを走査するために要する期間であるアドレス期間(T_A)よりも短い任意の発光期間をサブフィールドに対し割り当てることが可能であり、高精度の多階調表示が可能である。

【0025】

更に、本発明によれば、EL素子15の発光期間を任意に設定でき、その期間の長さによって輝度調整ができるので、例えば、駆動TFTへの輝度制御信号の振幅変調による輝度調整の場合と異なり、S/N比の劣化を生じさせることなく表示パネルの輝度を調整することが可能である。

上記した実施例においては、アドレス信号と同時にEL素子15の発光を開始するように帯状電極制御ドライバ35のスイッチを制御する場合を例に説明したが、前述のように発光の開始及び停止は任意に設定することができる。

【0026】

更に、1フレーム期間内の1つのサブフィールド期間においてのみ逆バイアス電圧を印加する場合を例に説明したが、これに限らず適宜逆バイアス電圧を印加するようにしてもよい。例えば、逆バイアス電圧の印加は数フレーム毎に1回でもよい。また、フレーム期間内における逆バイアス電圧の印加タイミングは任意でよい。

【0027】

図10は、発光期間及び逆バイアス電圧印加タイミングの他の例を示すタイムチャートである。発光期間はサブフィールド期間内の所定のタイミングに設けられ、逆バイアス印加が行われるサブフィールドにおいては、逆バイアス印加期間は発光期間と重ならないよう非発光期間内に設けられている。

図11は、本発明の第2の実施例であるアクティブマトリクス型表示パネル30の構成を模式的に示している。有機EL表示装置20の構成は第1の実施例の場合と同様である。

【0028】

本実施例が上記した実施例と異なるのは、表示パネル30の帯状電極45が、各々が少なくとも1つの走査ラインを含む走査ラインブロック(SLB1-SLBp)毎に設けられている点である。すなわち、図11に示すように、例えば、走査ラインブロック1(SLB1)に含まれる走査ライン(A1-Ai)上のEL素子15(EL_{q,r}, (q=1~i, r=1~m))の陰極は同じ帯状電極45(SE1)に接続されている。他の各走査ラインブロック(SLB2~SLBp)のEL素子15も同様にして帯状電極45(SE2~SEp)の各々に接続されている。すなわち、EL素子15の陰極は走査ラインブロック毎に互いに電気的に分離されている。

【0029】

また、帯状電極制御ドライバ35は表示制御部26からの制御信号に応答して各スイッチS1~Spを切替え、各帯状電極45を選択的に電源回路36の電圧出力端V_B、V_D又は接地電圧(GND)に接続する。すなわち、EL素子15を発光せしめる場合には接地電圧(GND)に、発光を停止する場合には共通陽極と同電圧のV_Dに、逆バイアス電圧を印加する場合には逆バイアス電圧V_Bに帯状電極45を接続する。このように、走査ラ

10

20

30

40

50

インプロック毎に独立して帯状電極 45 の接続を制御することができるようになっている。

【0030】

図12は、表示制御部26が実行する表示パネル30の制御動作を示すタイムチャートである。走査ラインプロック毎にEL素子15の発光制御及び逆バイアス電圧印加制御を行う点において、走査ライン毎に制御を行う第1の実施例の場合と異なる。各走査ラインプロックにおいて、発光制御及び逆バイアス電圧印加は、同一の走査ラインプロックに含まれる走査ラインに対して同時に行われる。また、各サブフィールドにおける発光期間の長さは同一のサブフィールド(SFk)内においては全ての走査ラインプロックに対して一定($T_{L,k}$)であるように制御される。

10

【0031】

図13は、本発明の第3の実施例であるアクティブマトリクス型表示パネル30の構成を模式的に示している。有機EL表示装置20の構成は第1の実施例の場合と同様である。本実施例が上記した実施例と異なるのは、表示パネル30の帯状電極45(SE1-SEm)がデータライン(B1-Bm)に沿って形成されている点である。帯状電極45はデータライン毎に設けられており、互いに電気的に分離されている。第kデータライン(Bk)上のEL素子15(EL_{j,k}, j=1~n)の陰極は、対応する帯状電極45(SEk)に接続されている。各帯状電極45の電圧は帯状電極制御ドライバ35内に設けられたスイッチにより選択的に切替えることが可能である。すなわち、表示パネル30のEL素子15はデータライン毎に独立して制御することができるようになっている。従って、EL素子15に関して自由度の高い制御が可能である。

20

【0032】

例えば、各走査ラインに赤、緑及び青で発光する3種類のEL素子15が順に繰り返し接続されたカラー表示パネル30に本発明を適用することができる。この場合、帯状電極45の1つには1種類の発光色のEL素子15が接続されている。図12に示すように、EL素子15を発光させる場合、各帯状電極45は当該帯状電極45に接続されたEL素子15の種類に応じて、電源回路36の3種類の出力電圧(V₁, V₂, V₃)のうち所定の1つに接続される。従って、EL素子15の種類に応じて、EL素子15の発光時の印加電圧を最適な電圧にすることができる。

30

【0033】

図14は、上記したカラー表示パネル30において発光時に電圧V₁に接続される帯状電極45に関する制御動作を示すタイムチャートである。各走査ラインにおいてEL素子15は同時に発光し、また逆バイアス電圧印加も同時に行われる。電圧V₂, V₃に接続される帯状電極45も同様に制御される。また、印加電圧のみならず、発光期間をEL素子15の種類に応じて変化させてもよい。

【0034】

尚、上記した実施例においては、陰極を電気的に分離して帯状電極とした場合を例に説明したが、陽極を同様に帯状電極としてもよい。

更に、上記した実施例は例示であって、適宜組み合わせて用いることができる。

上記したように、本発明によれば、互いに電気的に分離された帯状の電極を少なくとも1つの走査ライン又はデータライン毎に設けているので、発光素子に印加する電圧及び印加のタイミングを自由に制御でき、安定性が高く高精度の多階調表示が可能である。

40

【0035】

【発明の効果】

上記したことから明らかなように、本発明によれば、安定性が高く高精度の多階調表示が可能なアクティブマトリクス型の表示装置を実現できる。

【図面の簡単な説明】

【図1】従来のアクティブマトリクス型表示パネルの1つの画素に対応する回路構成の1例を概略的に示す図である。

【図2】従来のアクティブマトリクス型表示パネルの概略的構成及び共通陽極及び共通陰

50

極の接続を模式的に示す図である。

【図 3】本発明の第 1 の実施例であるアクティブマトリクス型表示パネルを用いた有機 E-L 表示装置の構成を概略的に示す図である。

【図 4】デジタル映像信号の 1 フレーム期間、サブフィールド期間、及びアドレス期間を示す図である。

【図 5】本発明の第 1 の実施例である表示パネルの構造の一部を模式的に示す平面図である。

【図 6】本発明の第 1 の実施例である表示パネル及び帯状電極制御ドライバを模式的に示す図である。 10

【図 7】表示制御部が実行する表示パネルの発光制御及び逆バイアス印加動作を示すタイムチャートである。

【図 8】各走査ラインに同時に逆バイアス電圧を印加した場合のサブフィールド期間と逆バイアス期間の関係を模式的に示す図である。

【図 9】図 8 における書き込み期間と逆バイアス電圧期間の相対的なタイミングに応じて各走査ラインの発光状態が変化することを示す図である。

【図 10】本発明の第 1 の実施例である表示パネルにおける、発光期間及び逆バイアス電圧印加タイミングの他の例を示すタイムチャートである。 20

【図 11】本発明の第 2 の実施例であるアクティブマトリクス型表示パネルの構成を模式的に示す図である。

【図 12】図 11 に示す表示パネルに関し表示制御部が実行する制御動作を示すタイムチャートである。 20

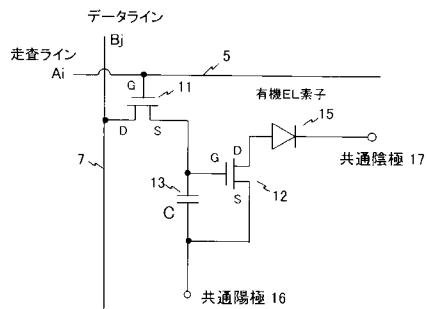
【図 13】本発明の第 2 の実施例であるアクティブマトリクス型表示パネルの構成を模式的に示す図である。

【図 14】図 13 に示す表示パネルに関し表示制御部が実行する制御動作を示すタイムチャートである。

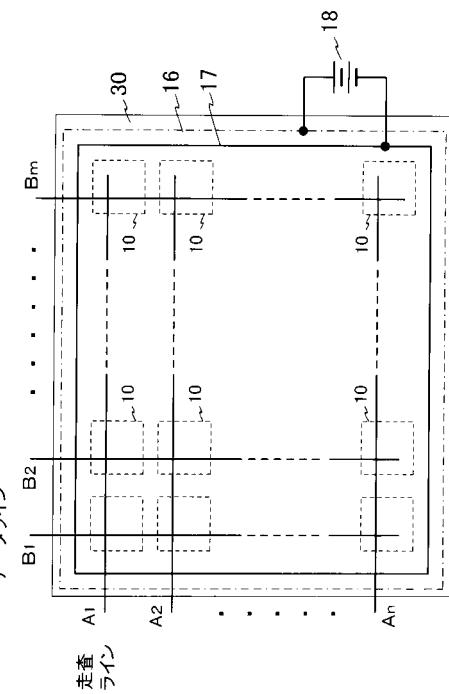
【主要部分の符号の説明】

1 0	画素	
1 1	アドレス選択用 F E T	
1 2	駆動用 F E T	
1 3	キャパシタ	30
1 5	発光素子	
2 0	表示装置	
2 1	A / D 変換器	
2 2	列アドレスカウンタ	
2 3	行アドレスカウンタ	
2 4	フレームメモリ	
2 5	マルチプレクサ	
2 6	表示制御部	
2 7	走査ドライバ	
2 8	データドライバ	40
3 0	表示パネル	
3 5	帯状電極制御ドライバ	
3 6	電源	
4 5	帯状電極	

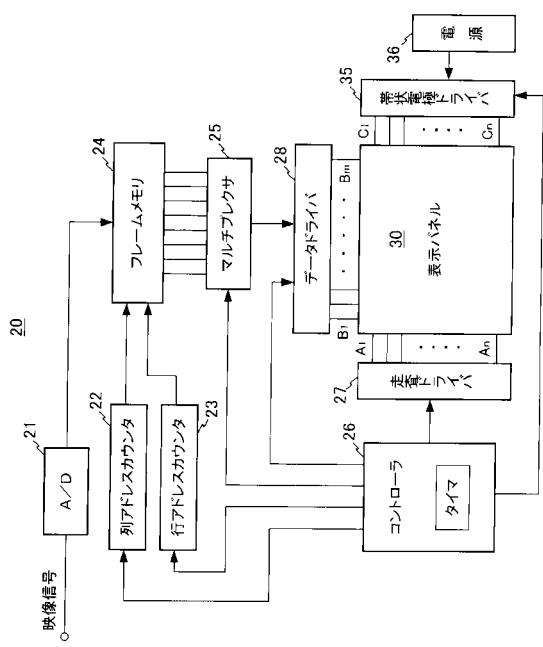
【図1】



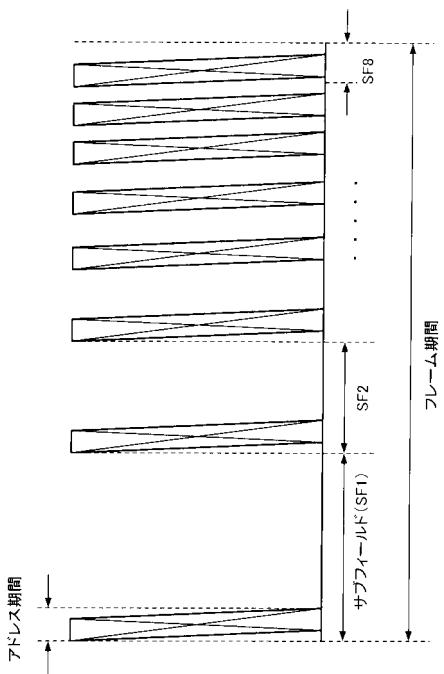
【図2】



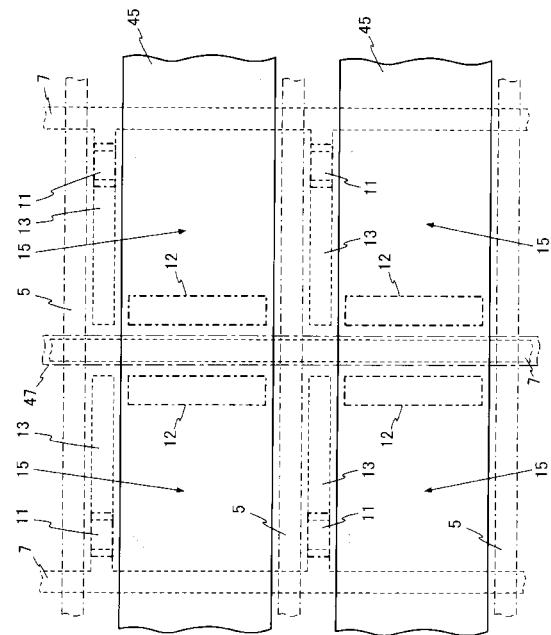
【図3】



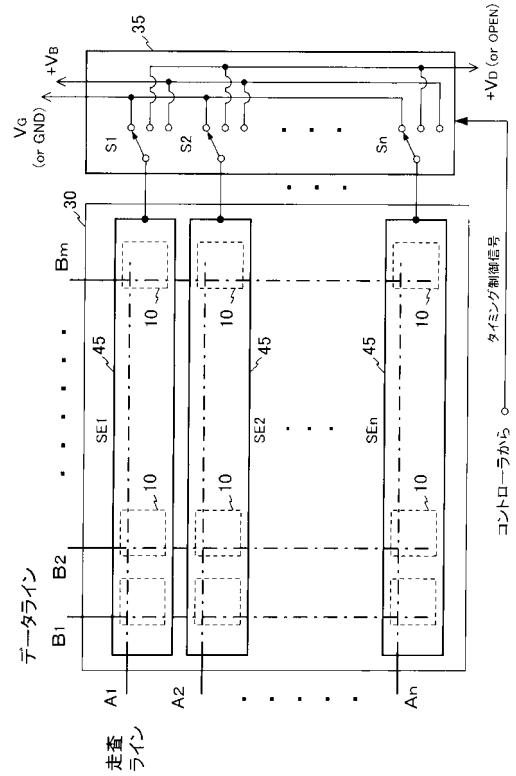
【図4】



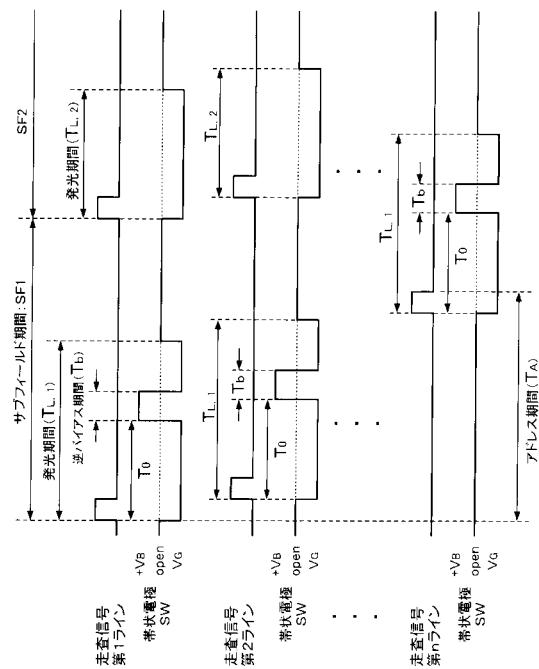
【図5】



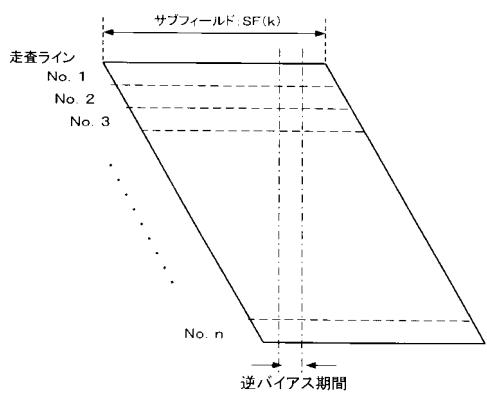
【図6】



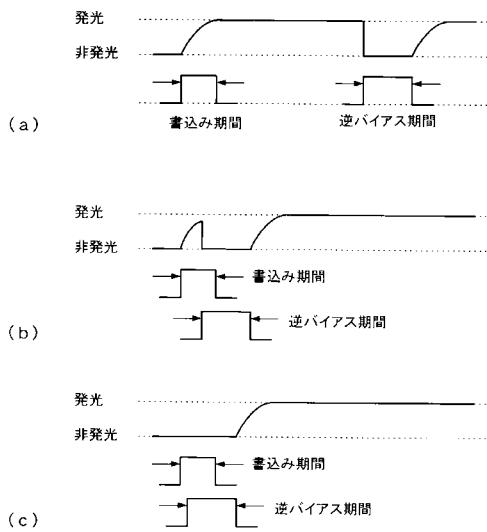
【図7】



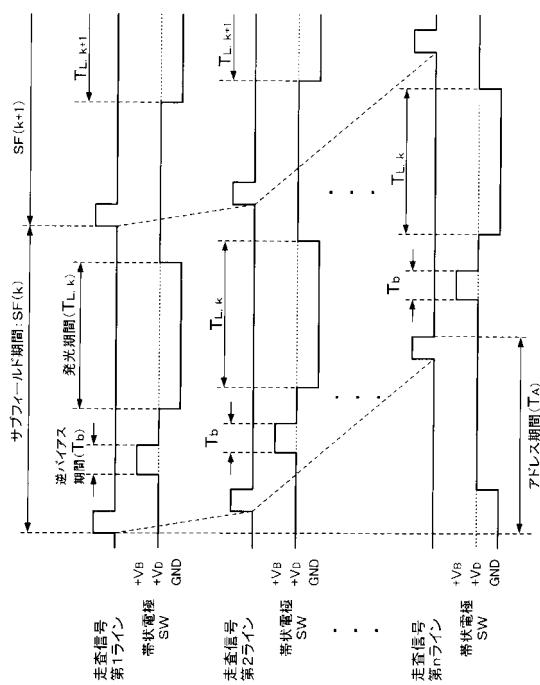
【図8】



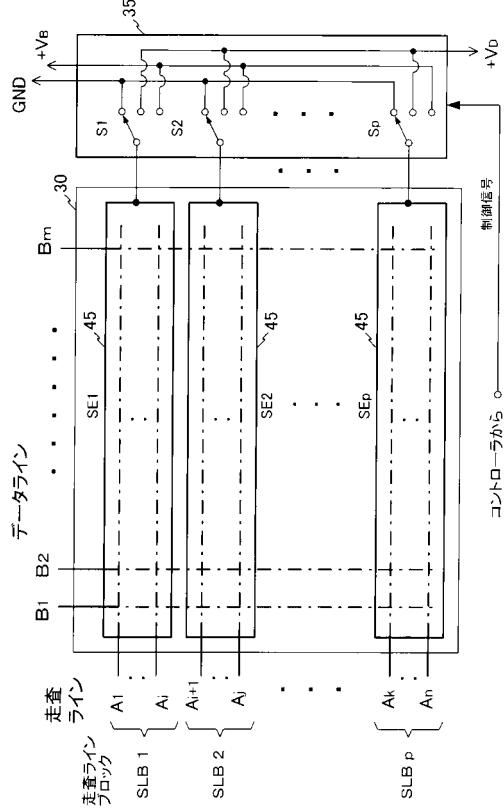
【図9】



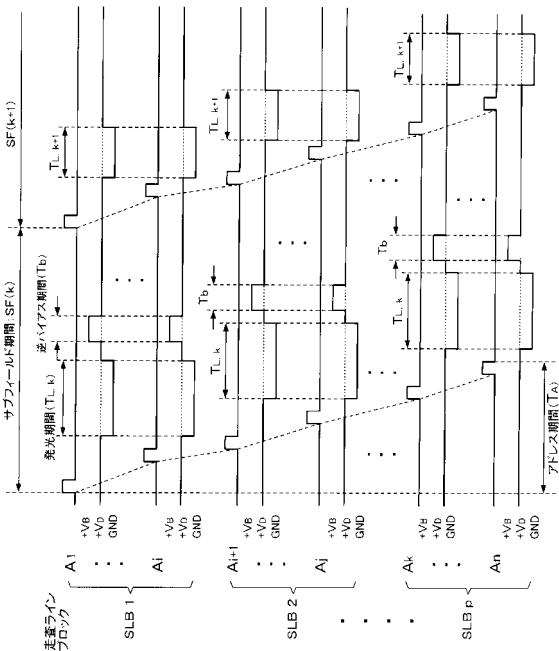
【図10】



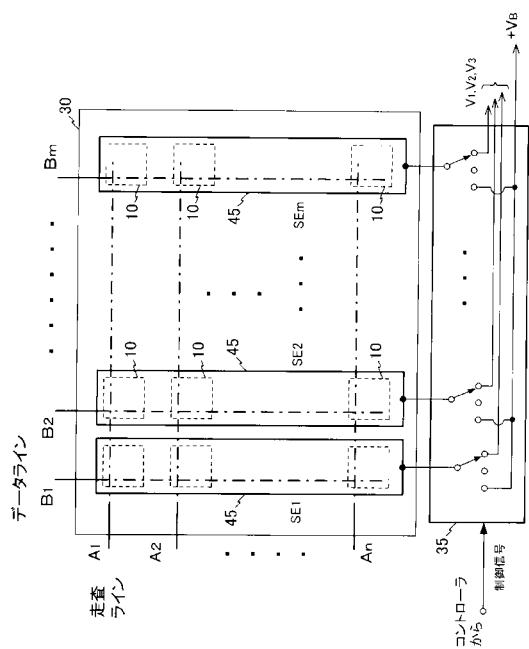
【図11】



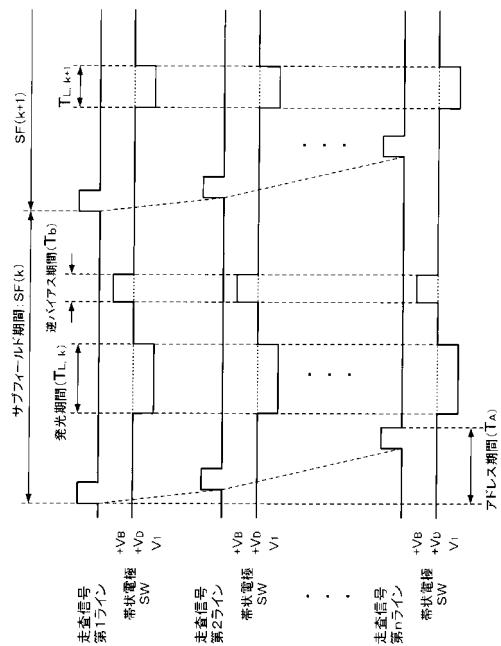
【図12】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

G09F 9/30 338

G09G 3/20 624

G09G 3/20 641

G09G 3/30