

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



PCT



(10) 国际公布号

WO 2011/079602 A1

(43) 国际公布日

2011 年 7 月 7 日 (07.07.2011)

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2010/074497
- (22) 国际申请日: 2010 年 6 月 25 日 (25.06.2010)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
200910244514.0 2009 年 12 月 30 日 (30.12.2009) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院
微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)
[CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 朱慧珑 (ZHU, Hui-long) [US/US]; 美国纽约州波基普西市奥特姆路 93 号, New York 12603 (US)。尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11 号, New York 12603 (US)。骆志炯 (LUO, Zhi-jiong) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11 号, New York 12603 (US)。梁擎擎 (LIANG, Qingqing) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

[见续页]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

(54) 发明名称: 半导体器件及其制造方法

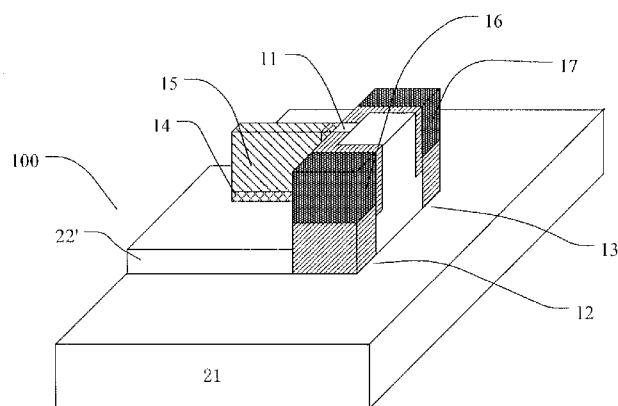


图1A / FIG. 1A

(57) Abstract: A semiconductor device (100) and a method for producing the same are provided. The semiconductor device (100) comprises: a semiconductor material fin formed in a semiconductor material layer on a semiconductor substrate (21); a source region (12) and a drain region (13) formed in the semiconductor substrate (21) adjacent to the two ends of the fin; a channel region (11) formed in the middle portion of the fin; a stack of a gate dielectric (14) and a gate (15) formed on one side of the fin which extends back to the side of the fin and is parallel to the surface of the semiconductor substrate (21) and is isolated from the semiconductor substrate (21) by an insulator layer (22'). The semiconductor device (100) reduced the effect of the short channel, the parasitic capacitance and the parasitic resistance, and is helpful for reducing the dimension of the transistor and enhancing the performance of the transistor thereby.

[见续页]

WO 2011/079602 A1



CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, **本国际公布:**
TG)。

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

提供了一种半导体器件(100)及其制造方法,所述半导体器件(100)包括在半导体衬底(21)上方的半导体材料层中形成的半导体材料的鳍片;紧邻鳍片的两端设置在半导体衬底(21)中的源区(12)和漏区(13);设置在鳍片的中间部分的沟道区(11);以及设置在鳍片的一个侧面上的栅极电介质(14)和栅极(15)的叠层,所述栅极电介质(14)和栅极(15)的叠层沿着平行于所述半导体衬底(21)表面的方向背离所述鳍片的所述一个侧面延伸,并且与半导体衬底(21)之间由绝缘层(22')隔离。所述半导体器件(100)减小了短沟道效应,减小了寄生电容和寄生电阻,从而有利于缩小晶体管尺寸和提高晶体管性能。

半导体器件及其制造方法

技术领域

本发明涉及一种半导体器件及其制造方法，更具体地，涉及在半导体衬底上形成
5 的改进的 FinFET。

背景技术

集成电路技术的一个重要发展方向是金属氧化物半导体场效应晶体管（MOSFET）的尺寸按比例缩小，以提高集成度和降低制造成本。然而，众所周知的是随着 MOSFET 的尺寸减小会产生短沟道效应。在 MOSFET 的尺寸按比例缩小时，
10 栅极的有效长度减小，使得实际上由栅极电压控制的耗尽层电荷的比例减少，从而阈值电压随沟道长度减小而下降。

常规的平面 MOSFET 包括由栅电极、栅绝缘层和半导体层构成的三明治结构，在半导体层中包括位于栅电极下方的沟道区和位于沟道区两侧的源/漏区。在源/漏区上
15 可以形成硅化物层，利用通孔将硅化物层与源/漏电极相连，从而减小了器件的寄生电阻和寄生电容。平面 MOSFET 受到短沟道效应的不利影响，导致器件的阈值电压随沟道长度的变化而波动。

为了抑制短沟道效果，在美国专利 US6, 413, 802 中公开了在 SOI 上形成的 FinFET，包括在半导体材料的鳍片（fin）的中间形成的沟道区，以及在鳍片两端形成的源/漏区。栅电极在沟道区的两个侧面包围沟道区（即双栅结构），从而反型层形成
20 在沟道各侧上。鳍片中的沟道区厚度很薄，使得整个沟道区都能受到栅极的控制，因此能够起到抑制短沟道效应的作用。

然而，在常规的 FinFET 中，由于在源/漏区之间存在着与源/漏区平行延伸的栅极，并且源/漏区与栅极之间的距离很近，因此在源/漏区和栅极之间存在着电容耦合，
25 导致了寄生电阻和寄生电容较大的问题。

源/漏区和栅极之间的电容耦合限制了器件设计的自由度。如果希望减小寄生电阻，则需要增加源/漏区的厚度。然而，源/漏区厚度的增加将导致源/漏区与栅极之间的耦合面积增加，从而导致寄生电容的增加，反之亦然。因此，本领域的技术人员还不能利用常规的 FinFET 结构实现寄生电阻和寄生电容的同时减小。

30 结果，在常规的 FinFET 中，由于时间常数 RC 的值较大而导致延迟增加，进而

降低了器件的开关速度。

此外，在 SOI 上形成的 FinFET 还存在着以下缺点：其制造成本比在体半导体衬底上形成的 FinFET 要贵得多。

5 发明内容

本发明的目的是提供一种在体半导体衬底上形成的、能够抑制短沟道效应、并且减小寄生电阻和寄生电容的半导体器件。

本发明的另一目的是进一步提供利用应力提高器件性能的半导体器件。

根据本发明的一方面，提供一种半导体器件，包括在半导体衬底上方的半导体材料层中形成的半导体材料的鳍片，所述鳍片包括垂直于半导体衬底表面的两个相对侧面；紧邻鳍片的两端设置半导体衬底中的源区和漏区，所述鳍片桥接所述源区和漏区；设置在鳍片的中间部分的沟道区；以及设置在鳍片的一个侧面上的栅极电介质和栅极的叠层，所述栅极与所述沟道区之间由所述栅极电介质隔离，其中，所述栅极电介质和栅极的叠层沿着平行于所述半导体衬底表面的方向背离所述鳍片的所述一个侧面延伸，并且与半导体衬底之间由绝缘层隔离。

根据本发明的另一方面，提供一种制造半导体器件的方法，包括以下步骤：a) 通过自对准方法在半导体衬底上方的半导体材料层中形成半导体材料的鳍片，所述鳍片包括垂直于半导体衬底表面的两个相对侧面；b) 在鳍片的一个侧面上形成栅极电介质和栅极的叠层，所述栅极沿着平行于所述半导体衬底表面的方向背离所述鳍片的所述一个侧面延伸，并且与半导体衬底之间由绝缘层隔离；c) 紧邻鳍片的两端，在半导体衬底中注入掺杂剂以形成源区和漏区，所述鳍片桥接所述源区和漏区；以及 d) 在鳍片的中间部分形成沟道区。

应当注意，本发明的半导体器件包含半导体材料的鳍片，但其结构不同于常规的 FinFET，因为其栅极仅设置在鳍片的一个侧面上并背离鳍片延伸，而常规的 FinFET 设置成双栅结构并包围鳍片的中间部分的沟道区。而且，源/漏区设置成紧邻鳍片的两端，朝着与栅极的延伸方向相反的方向延伸。

在本发明的半导体器件中没有包括在源/漏区之间与源/漏区平行延伸的栅极，因此不存在源/漏区与栅极之间的电容耦合，从而减小了寄生电容。同时，本发明的半导体器件允许通过使用较厚的源/漏区而减小寄生电阻。

并且，该半导体器件不需要使用 SOI 晶片，而是使用常规的半导体衬底，并利用

其上方的半导体材料层形成鳍片，沟道区位于鳍片中，而源/漏区位于半导体衬底中。通过使用常规的半导体衬底代替 SOI 晶片，本发明降低了半导体器件的制造成本。

还可以在鳍片紧邻沟道区的部分形成延伸区，减小载流子的传导路径长度，从而进一步减小与寄生电容和寄生电阻有关的寄生作用。

5 另外，还可以在源/漏区形成应力层，用来增加沟道区的应力，从而进一步提高器件的开关速度。

10 为了有效地控制短沟道效应，自对准沟道区非常薄：约为 5-40nm。并且，在优选的工艺中，利用超陡后退阱（SSRW）工艺进一步减小了沟道区的厚度。即使仅在沟道的一侧设置栅极，沟道区仍然可以受到栅极的完全控制，从而减小了短沟道效应的影响。

附图说明

图 1A 和 1B 是示意性说明根据本发明的半导体器件的结构的三维透视图和俯视图，线 A-A'、1-1'和 2-2'表示以下截面图的截取位置。

15 图 2-9 是根据本发明的制造半导体器件的方法的各个步骤所形成的半导体结构沿 A-A'线的截面图，其中示出了形成鳍片区域和栅极区域的各个步骤。

图 10-16 是根据本发明的制造半导体器件的方法的随后步骤所形成的半导体结构沿 1-1'线的截面图，其中示出了形成源/漏区的各个步骤。

20 图 17-21 是根据本发明的制造半导体器件的方法的随后步骤所形成的半导体结构沿 A-A'线的截面图，其中示出了形成沟道区的各个步骤。

图 22A、22B、23A、23B 分别是根据本发明的制造半导体器件的方法的随后步骤所形成的半导体结构沿 A-A'线和 2-2'线的截面图，其中示出了在源/漏区和栅极上形成硅化物层的各个步骤。

25 具体实施方式

以下将参照附图更详细地描述本发明。在各个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。

应当理解，在描述器件的结构时，当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时，可以指直接位于另一层、另一个区域上面，或者在其与另一层、另一个区域之间还包含其它的层或区域。并且，如果将器件翻转，该一层、一个

30

区域将位于另一层、另一个区域“下面”或“下方”。

如果为了描述直接位于另一层、另一个区域上面的情形，本文将采用“直接在……上面”或“在……上面并与之邻接”的表述方式。

在下文中描述了本发明的许多特定的细节，例如器件的结构、材料、尺寸、处理
5 工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。

除非在下文中特别指出，半导体器件中的各个部分可以由本领域的技术人员公知的材料构成。作为初始结构的半导体衬底例如包括 IV 族半导体（如，硅或锗）以及 III 族-IV 族半导体（如，砷化镓）。栅极导体可以是金属层、掺杂多晶硅层、或包括金属
10 层和掺杂多晶硅层的叠层栅导体。金属层的材料为 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTax，MoNx、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni₃Si、Pt、Ru、Ir、Mo、HfRu、RuOx 和所述各种金属材料的组合。栅极电介质可以由 SiO₂ 或介电常数大于 SiO₂ 的材料构成，例如包括氧化物、氮化物、氧氮化物、硅酸盐、铝酸盐、钛酸盐，其中，氧化物例如包括 SiO₂、HfO₂、ZrO₂、Al₂O₃、TiO₂、
15 La₂O₃，氮化物例如包括 Si₃N₄，硅酸盐例如包括 HfSiOx，铝酸盐例如包括 LaAlO₃，钛酸盐例如包括 SrTiO₃，氧氮化物例如包括 SiON。并且，栅极电介质不仅可以由本领域的技术人员公知的材料形成，也可以采用将来开发的用于栅极电介质的材料。

图 1A 和 1B 是示意性说明根据本发明的半导体器件的结构的三维透视图和俯视图。图 1B 中的线 A-A'、1-1'、2-2' 表示截面图的截取位置，其中线 A-A' 垂直于沟道长度
20 度方向并经过栅极，线 1-1' 沿着沟道长度方向并经过沟道区，线 2-2' 沿着沟道长度方向并经过源/漏区之间的绝缘材料填充物。

如图 1A 和 1B 所示，在半导体衬底 21 中形成了半导体器件 100，包括位于半导体材料的鳍片的中间部分的沟道区 11、紧邻鳍片的两端并设置在半导体衬底 21 中的源区 12 和漏区 13、设置成邻接鳍片的一个侧面的栅极电介质 14 和栅极 15 的叠层，
25 以及用于填充鳍片的另一个侧面中的开口的绝缘材料填充物。鳍片桥接所述源区 12 和漏区 13。栅极电介质 14 和栅极 15 的叠层沿着平行于半导体衬底 21 的表面的方向背离鳍片延伸，并且通过绝缘层 22'（例如氧化物）与半导体衬底 21 隔离。

位于鳍片的中间部分的沟道区的厚度非常薄，例如在约 5-40nm 的范围内。该厚度与常规的 FinFET 中的沟道区的厚度相近，并可以采用类似的自对准工艺形成。

30 本发明人发现，尽管未采用双栅结构，但如果沟道区的厚度在上述范围，位于鳍

片一侧的栅极仍然可以作用在整个沟道区上，从而抑制短沟道效应。

优选地，该半导体器件还包括用于在沟道区 11 中产生应力的应力层（stressor）16 和 17。应力层 16 和 17 分别位于源区 12 和漏区 13 紧邻上方，并且之间可夹有导电的接触层。

5 应力层 16 和 17 的材料应当能够在沟道区中产生有利于提高晶体管性能的应力。当形成的器件是 n 型 MOSFET 时，应力层 16 和 17 应当向沟道区施加沿源/漏极方向的拉应力，以提高作为载流子的电子的迁移率。相反，当晶体管是 p 型 MOSFET 时，应力层 16 和 17 应当向沟道区施加沿源/漏极方向的压应力，以提高作为载流子的空穴的迁移率。

10 应当注意，在图 1A 和 1B 所示的半导体器件结构的实例中，应力层 16、17 分别位于源区 12 与源极接触（未示出）、漏区 13 与漏极接触（未示出）之间的导电路径上，因此应力层 16、17 还应当是导电性的。对于 n 型 MOSFET，可以采用掺 B 的 SiGe 材料，而对于 p 型 MOSFET，可以采用掺杂 As 或 P 的 Si:C 材料。

 在图 1A 和 1B 中没有示出源区 12、漏区 13 及栅极 15 上方的附加层和部分，例如栅极的侧壁间隔侧壁、硅化物层、源极接触、漏极接触和栅极接触、层间绝缘层、
15 在层间绝缘层中形成的通孔以及钝化层等。

 在下文描述制造该半导体器件的步骤中，将说明与该半导体器件密切相关的一些附加层和部分，但省去了对本领域公知的那些附加层和部分（如源极接触、漏极接触和栅极接触）的详细描述。为了简明起见，可以在一幅图中描述经过数个步骤后获得的
20 的半导体结构。

 参见图 2，本发明的制造半导体器件的方法开始于半导体晶片，例如硅晶片或硅锗晶片。

 通过已知的沉积工艺，如 CVD、原子层沉积、溅射等，在半导体晶片 21 上依次外延生长 Ge 含量约为 3-7%、厚度约为 20-50nm 的第一 SiGe 层 22，厚度约为 50-150nm
25 的第一 Si 层 23，Ge 含量约为 5-20%、厚度约为 3-20nm 的第二 SiGe 层 24，厚度约为 30-100nm 的第二 Si 层 25。Si 层可以在单独的沉积步骤中形成，也可以在外延生长 SiGe 层之后通过使用 Si 靶或前体原位形成。

 然后，通过原子层沉积或磁控溅射，在第二 Si 层 25 上形成厚度约为 3-10nm 的 HfO₂ 层 26。

30 参见图 3，通过包括曝光和显影步骤的常规光刻工艺，在 HfO₂ 层 26 上形成了条

形的光抗蚀剂图案 27。

参见图 4，利用光抗蚀剂图案 27 作为掩模，通过干法蚀刻，如离子铣、等离子蚀刻、反应离子蚀刻、激光烧蚀，去除 HfO_2 层 26、第二 Si 层 25、第二 SiGe 层 24 的一部分，形成 HfO_2 层 26、第二 Si 层 25、第二 SiGe 层 24 的构图的叠层结构。

- 5 如果采用反应离子蚀刻，可以分为两个步骤进行。在第一步骤，选择蚀刻气氛的气体组分，使得去除 HfO_2 层 26 和第二 Si 层 25 的一部分，并在第二 SiGe 层 24 顶部停止。在第二步骤，通过改变蚀刻气氛的气体组分，使得去除第二 SiGe 层 24 的一部分，并在半导体衬底的第一 Si 层 23 上停止。本领域的技术人员已知在反应离子蚀刻中，可以通过改变蚀刻气氛的气体组分控制材料的选择性去除 SiGe 层和 Si 层中的一种。
- 10 种。

然后，通过在溶剂中溶解或灰化去除光抗蚀剂图案 27。

在构图的叠层结构和半导体衬底的第一 Si 层 23 的暴露部分上形成厚度约为 2-5nm 的共形氧化物层 28。

可通过已知的沉积工艺形成氧化物薄层 28，如 CVD、原子层沉积、溅射等。

- 15 然后，首先形成共形氮化物层，然后去除该层的一部分，从而在包括 HfO_2 层 26、第二 Si 层 25、第二 SiGe 层 24 的叠层结构两侧形成厚度约为 5-50nm 的氮化物间隔侧壁 29。

参见图 5，通过包括曝光和显影步骤的常规光刻工艺，在图 4 所示的结构上形成光抗蚀剂层图案 30，以遮挡左侧的间隔侧壁以及构图的叠层结构的左侧部分。

- 20 参见图 6，利用抗蚀剂图案 30 作为掩模，通过各向同性蚀刻，例如使用蚀刻剂溶液的常规湿法蚀刻，去除右侧的间隔侧壁。

- 替代地，可以分为三个步骤去除右侧的间隔侧壁。在第一步骤，利用抗蚀剂图案 30 作为掩模，利用倾角离子注入在右侧的间隔侧壁中注入 Ge 以造成损伤。在第二步骤，通过在溶剂中溶解或灰化去除光抗蚀剂图案 30。在第三步骤，通过湿法蚀刻或干法蚀刻，相对于左侧的间隔侧壁选择性地去除右侧的间隔侧壁。
- 25

在去除右侧的间隔侧壁之后，选择蚀刻气氛的气体组分，例如通过反应离子蚀刻选择性地去除氧化物层 28 在半导体结构的表面上暴露的部分。

- 接着，利用氧化物层 28 的剩余部分、侧壁间隔侧壁 29 和包括 HfO_2 层 26、第二 Si 层 25、第二 SiGe 层 24 的叠层结构作为硬掩模，改变蚀刻气氛的气体组分，例如通过反应离子蚀刻选择性去除第一 Si 层 23 和第一 SiGe 层 22，该蚀刻在半导体衬底 21
- 30

的表面上停止，从而以自对准的方式形成半导体材料的鳍片 23'，并露出半导体衬底 21 的部分表面。

参见图 7，通过 HDP 工艺，在图 6 所示的半导体结构表面上形成氧化物，然后进行回蚀刻。由于在半导体衬底 21 的露出表面上形成的氧化物比其他部分上形成的氧化物更厚，因此，可以控制回蚀刻仪在半导体衬底的露出表面上留下绝缘层 22'。

接着，例如通过 CVD 或 ALD，半导体结构的整个表面上依次形成厚度约为 2-4nm 的共形氧化物（如 HfO_2 ）薄层 26' 作为栅极电介质、厚度约为 3-10nm 的共形金属（如 TiN，金属陶瓷）层 31 作为叠层栅导体的金属层、以及覆盖的多晶硅层 32 作为叠层栅导体中的多晶硅层。

10 优选地，可以对多晶硅层 32 进行原位掺杂以提高导电性。

多晶硅层 32 覆盖半导体结构的整个顶部。然后，对多晶硅层 32 进行平面化处理（CMP）。该平面化处理停止在叠层栅导体的金属层的顶部，从而获得了半导体结构的平整表面。

参见图 8，通过湿法蚀刻或干法蚀刻，相对于金属层 31 选择性地去除多晶硅层 32 的一部分，对多晶硅层 32 进行回蚀刻。然后，例如通过 CVD，在半导体结构的整个表面上形成覆盖的氧化物层 33。

对氧化物层 33 进行平面化处理，该平面化处理停止在叠层栅导体的金属层的顶部，从而获得了半导体结构的平整表面。结果，氧化物层 33 填充了多晶硅层 32 的通过回蚀刻去除的部分。

20 然后，例如通过 CVD，在半导体结构的表面上形成氮化物层 34。

参见图 9，通过包括曝光和显影步骤的常规光刻工艺，形成条形的光抗蚀剂图案 35，用于限定器件的栅极区域，叠层的栅导体包括金属层 31 和多晶硅层 32。

然后，利用光抗蚀剂图案 35 作为掩模，通过干法蚀刻，如离子铣、等离子蚀刻、反应离子蚀刻、激光烧蚀，依次去除氮化物层 34、氧化物层 33、多晶硅层 32、金属层 31、氧化物薄层 26' 的位于鳍片 23' 两侧的一部分，该蚀刻在绝缘层 22' 的顶部停止。

与图 9 所示的半导体结构沿 A-A' 线的截面图相对应，在图 10 中示出了半导体结构沿 1-1' 线的截面图。利用光抗蚀图案 35 作为掩模的蚀刻步骤获得了位于第二 Si 层 25 上方的氮化物层 34、氧化物层 33、多晶硅层 32、金属层 31、氧化物薄层 26' 的叠层。

30 在上述蚀刻步骤之前或之后，通过附加的掩模形成步骤和蚀刻步骤，可以去除鳍

片 23'、第二 SiGe 层 24 和第二 Si 层 25 的一部分，以限定鳍片的长度，该蚀刻在绝缘层 22' 的顶部停止。在图 10 中示出了由此限定的鳍片 23' 沿水平方向的尺寸。

参见图 11，仍然利用光抗蚀剂图案 35 作为掩模，通过干法蚀刻，如离子铣、等
离子蚀刻、反应离子蚀刻、激光烧蚀，依次去除第二 Si 层 25 和第二 SiGe 层 24 的一
5 部分，该蚀刻在鳍片 23' 的顶部停止。结果，在鳍片 23' 上方形成了包括氮化物层 34、
金属层 31、氧化物薄层 26'、第二 Si 层 25、第二 SiGe 层 24 的多层叠层 101。

参见图 12，通过在溶剂中溶解或灰化去除光抗蚀剂图案 35。

然后，例如通过 CVD，在半导体结构的整个表面上依次形成厚度约为 2-5nm 的
共形氧化物层 36 和厚度约为 10-20nm 的共形氮化物层 37。

10 通过干法蚀刻，如离子铣、等离子蚀刻、反应离子蚀刻、激光烧蚀，去除氮化物
层 37 的一部分，该蚀刻在氧化物层 36 的表面停止，从而在鳍片 23' 和多层叠层 101
的两侧分别形成氮化物间隔侧壁 37。

参见图 13，利用多层叠层 101 及两侧的氮化物间隔侧壁 37 作为硬掩模，通过干
法蚀刻，如离子铣、等离子蚀刻、反应离子蚀刻、激光烧蚀，去除氧化物层 36 的暴露
15 表面、鳍片 23' 的一部分以及第一 SiGe 层 22 的一部分，该蚀刻在半导体衬底 21 的顶
部停止，从而在鳍片 23 沿长度方向（即图中的水平方向）的两端形成开口 38。

该蚀刻步骤是自对准的，其中开口 38 的尺寸基本上由氧化物层 36 和氮化物间隔
侧壁 37 确定。

图 14 示出了某些实施例中的可选步骤，利用倾角离子注入从开口 38 向鳍片 23'
20 的中间部分进行晕圈注入（halo implantation）。对于 n 型 MOSFET，采用 B 或 BF₂ 作
为掺杂剂。对于 p 型 MOSFET，采用 As 或 P 作为掺杂剂。

图 15 示出了某些实施例中的可选步骤，利用倾角离子注入向鳍片 23' 的中间部分
进行延伸注入（extension implantation）。对于 n 型 MOSFET，采用 As 或 P 作为掺杂剂。
对于 p 型 MOSFET，采用 B 或 BF₂ 作为掺杂剂。

25 与晕圈注入相比，延伸注入采用的倾角较小而能量较大，从而在延伸注入中，大
多数注入的离子穿过半导体衬底 21 表面的半导体材料薄层，使得该半导体材料薄层没
有非晶化。

由于开口 38 提供了离子注入的窗口，并且位于半导体结构的表面上的氮化物层
34、氧化物层 36、氮化物间隔侧壁 37 提供了硬掩模，因此上述延伸注入、晕圈注入
30 和源/漏区注入可以在原位进行，从而减少了掩模数量并简化了工艺。

参见图 16, 对所形成的半导体结构进行退火处理, 例如尖峰退火 (spike anneal)。退火步骤用来激活通过先前的注入步骤而注入的掺杂剂并消除注入导致的损伤。

经过退火处理之后, 在半导体鳍片 23' 中的掺杂剂分布如图中所示, 在开口 38 的底部露出的半导体衬底 21 表面的半导体材料薄层中分别形成了源区 12 和漏区 13, 在鳍片中与源区 12 和漏区 13 相邻的位置分别形成了源延伸区 12' 和漏延伸区 13', 在与源延伸区 12' 和漏延伸区 13' 相邻并朝着鳍片 23' 的中间部分延伸的位置分别形成了源晕圈区 12'' 和漏晕圈区 13''。

然后, 通过已知的沉积工艺, 如 CVD、原子层沉积、溅射等, 在开口 38 中依次外延生长硅接触层 39、应力层 40 及其上的外延硅层 41。硅接触层 39 接触源区 12 和漏区 13, 为后者提供连接到外部电极的导电路径。由于外延生长, 硅接触层 39 仅形成在开口 38 底部露出的半导体衬底 21 表面上。对于 p 型 MOSFET, 硅接触层 39 的厚度约为 10nm 并原位掺 P, 应力层 40 的材料是 Ge 含量约为 20-50% 的 SiGe 并原位掺 B, 外延硅层 41 原位掺 B。在外延生长后, 在沟道区延源漏方向产生压应力, 这可以增强 p 型 MOSFET 的性能。对于 n 型 MOSFET, 硅接触层 39 的厚度约为 10nm 并原位掺 B, 应力层 40 的材料是 C 含量约为 0.5-2% 的 Si:C 并原位掺 As 或 P, 外延硅层 41 原位掺 As 或 P。在外延生长后, 在沟道区延源漏方向产生拉应力, 这可以增强 n 型 MOSFET 的性能。

然后, 对所形成的半导体结构进行氧化处理, 外延硅层 41 的顶部发生氧化从而形成厚度约为 3-10nm 的氧化薄层 36'。在应力层 40 的顶部形成的外延硅层 41 用于获得良好质量的 SiO₂。

参见图 17, 利用在图 8 所示的步骤中形成的氧化物层 33 作为硬掩模, 通过干法蚀刻, 如离子铣、等离子蚀刻、反应离子蚀刻、激光烧蚀, 依次去除金属层 31、氮化物薄层 26'、第二 Si 层 25、第二 SiGe 层 24、鳍片 23'、第一 SiGe 层 22 的一部分, 该蚀刻在半导体衬底 21 的顶部停止, 从而以自对准的方式形成开口 42。结果, 鳍片 23' 的厚度减小到大致等于氧化物层 28 和氮化物间隔侧壁 29 的厚度之和的数值。如下文所述, 该鳍片用于形成沟道区, 由于蚀刻所去除的材料, 在沟道区中的应力进一步增加, 此应力可对进一步增强器件性能。

在开口 42 的右侧保留着包括氮化物薄层 26'、金属层 31、多晶硅层 32、氧化物层 33 的一部分的叠层材料。在制造含有相同结构的多个 MOSFET 的集成电路时, 位于开口 42 右侧的叠层材料可以作为相邻的 MOSFET (未示出) 的栅极区域, 而开口

42 中的填充材料可以起到浅沟隔离区的作用。

此外，如图 17 所示，在图 12 所示步骤中形成的氮化物间隔侧壁 37 还存在于栅极叠层的侧面上。

参见图 18，通过湿法蚀刻或干法蚀刻，相对于 Si 选择性地去除 SiGe，从而去除了鳍片 23' 下方的第一 SiGe 层 22，然后，通过干法蚀刻，如离子铣、等离子蚀刻、反应离子蚀刻、激光烧蚀，相对于氧化物层 33，选择性地去除开口内部残留的氧化物薄层 26' 和金属层 31（图 18 中的右侧侧壁部分）。

然后，优选地，利用倾角离子注入向半导体材料的鳍片 23' 注入离子，然后进行退火（例如激光退火），以激活注入的掺杂剂，从而在鳍片 23' 靠近开口 42 的一侧形成 SSRW 43。开口 42 提供了离子注入的窗口。有关 SSRW 的形成工艺可参见以下文件：

1) G.G. Shahidi, D.A. Antoniadis and H.I. Smith, *IEEE TED Vol.36*, p.2605, 1989

2) C. Fiegna, H. Iwai, T. Wada, M. Saito, E. Sangiorgi and B. Riccò, *IEEE TED Vol.41*, p.941, 1994.

3) J.B. Jacobs and D.A. Antoniadis, *IEEE TED Vol.42*, p.870, 1995.

4) S.E. Thompson, P.A. Packan and M.T. Bohr, *VLSI Tech Symp.*, p.154, 1996.

参见图 19 和 20，分为三个步骤去除左侧的间隔侧壁 37。在第一步骤，利用氧化物层 33 作为掩模，利用倾角离子注入在左侧的间隔侧壁中注入 Ge 以造成损伤，如图 19 所示。在第二步骤，通过在溶剂中溶解或灰化去除光抗蚀剂图案 30。在第三步骤，通过湿法蚀刻或干法蚀刻，相对于右侧的间隔侧壁选择性地去除左侧的间隔侧壁，如图 20 所示。

参见图 21，例如通过 CVD，在半导体结构的整个表面上形成厚度约为 2-5nm 的共形氧化物薄层 33'。然后，例如通过 CVD 沉积氮化物，其厚度至少能够填充开口 42。相对于氧化物层 33'，选择性地回蚀刻氮化物，使得完全去除开口周围的氮化物层，仅在开口中留下氮化物填充材料 44。

参见图 22A 和 22B，通过干法蚀刻，如离子铣、等离子蚀刻、反应离子蚀刻、激光烧蚀，相对于氮化物填充材料 44 选择性地去除氧化物，

该蚀刻完全去除了氧化物层 33' 在半导体结构表面上暴露的部分，只留下氧化物层 33' 在已填充的开口侧壁和底部的部分，从而暴露出栅极叠层中的多晶硅层 32 的上表面和左侧表面，以及源极区域和漏极区域的外延硅层 41 的上表面。

参见图 23A 和 23B，利用常规的硅化工艺，将栅极叠层中的多晶硅层 32 的上表面和左侧表面的一部分，以及源极区域和漏极区域的外延硅层 41 的至少一部分，转化为硅化物层 45，以减小栅极、源/漏极与相应的金属接触之间的接触电阻。

例如，首先沉积厚度约为 5-12nm 的 Ni 层，然后在 300-500℃ 的温度下热处理 1-10 秒钟，使得多晶硅层 32 和外延硅层 41 的至少一部分形成 NiSi，最后利用湿法蚀刻去除未反应的 Ni。

在完成图 2-23 所示的步骤之后，按照本领域公知的方法，在所得到的半导体结构上形成层间绝缘层、位于层间绝缘层中的通孔、位于层间绝缘层上表面的布线或电极，从而完成半导体器件的其它部分。

10 以上描述只是为了示例说明和描述本发明，而非意图穷举和限制本发明。因此，本发明不局限于所描述的实施例。对于本领域的技术人员明显可知的变型或更改，均在本发明的保护范围之内。

权 利 要 求

- 1、一种半导体器件，包括
在半导体衬底上方的半导体材料层中形成的半导体材料的鳍片，所述鳍片包括垂
5 直于半导体衬底表面的两个相对侧面；
紧邻鳍片的两端设置半导体衬底（21）中的源区（12）和漏区（13），所述鳍片
桥接所述源区（12）和漏区（13）；
设置在鳍片的中间部分的沟道区（11）；以及
设置在鳍片的一个侧面上的栅极电介质（14）和栅极（15）的叠层，所述栅极（15）
10 与所述沟道区（11）之间由所述栅极电介质（14）隔离，
其中，所述栅极电介质（14）和栅极（15）的叠层沿着平行于所述半导体衬底表
面的方向背离所述鳍片的所述一个侧面延伸，并且与半导体衬底（21）之间由绝缘层
（22'）隔离。
- 2、根据权利要求1所述的半导体器件，还包括位于所述源区（12）和漏区（13）
15 上方的接触层（39）。
- 3、根据权利要求1所述的半导体器件，还包括超陡后退阱（43），所述超陡后退
阱（43）设置在所述鳍片中紧邻沟道区并靠近所述鳍片的另一个侧面的位置。
- 4、根据权利要求1至3中任一项所述的半导体器件，其中所述沟道区（11）的
厚度在5-40nm的范围内。
- 20 5、根据权利要求1至3所述的半导体器件，其中所述栅极（15）为金属层、掺
杂多晶硅层、或包括金属层和掺杂多晶硅层的叠层栅导体。
- 6、根据权利要求5所述的半导体器件，其中所述金属层由选自自由 TaC、TiN、
TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTax，MoNx、TiSiN、
TiCN、TaAlC、TiAlN、TaN、PtSix、Ni3Si、Pt、Ru、Ir、Mo、HfRu、RuOx 及其组合
25 构成的组中的一种材料形成。
- 7、根据权利要求1至3中任一项所述的半导体器件，其中所述栅极电介质（14）
由选自自由 SiO₂、Si₃N₄、HfSiOx、HfO₂、ZrO₂、Al₂O₃、TiO₂、La₂O₃、SrTiO₃、LaAlO₃
及其组合构成的组中的一种材料形成。
- 8、根据权利要求1至3中任一项所述的半导体器件，还包括应力层（16，17），
30 所述应力层（16，17）设置在接触层（39）上，并用于在沟道区（11）中产生应力。

9、根据权利要求 8 所述的半导体器件，其中所述应力层（16，17）由 SiGe 或 Si:C 形成。

10、根据权利要求 1 至 3 中任一项所述的半导体器件，还包括在所述鳍片中与所述源区（12）和漏区（13）紧邻并朝着所述沟道区（11）延伸的源延伸区（12'）和漏延伸区（13'）。

11、根据权利要求 10 所述的半导体器件，还包括在所述鳍片中与所述源延伸区（12'）和漏延伸区（13'）紧邻并朝着所述沟道区（11）延伸的源晕圈区（12''）和漏晕圈区（13''）。

12、一种制造半导体器件的方法，包括以下步骤：

- 10 a) 通过自对准方法在半导体衬底（21）上方的半导体材料层（23）中形成半导体材料的鳍片（23'），所述鳍片（23'）包括垂直于半导体衬底表面的两个相对侧面；
- b) 在鳍片（23'）的一个侧面上形成栅极电介质（14）和栅极（15）的叠层，所述栅极（15）沿着平行于所述半导体衬底表面的方向背离所述鳍片（23'）的所述一个侧面延伸，并且与半导体衬底（21）之间由绝缘层（22'）隔离；
- 15 c) 紧邻鳍片（23'）的两端，在半导体衬底（21）中注入掺杂剂以形成源区（12）和漏区（13），所述鳍片桥接所述源区（12）和漏区（13）；以及
- d) 在鳍片（23'）的中间部分形成沟道区（11）。

13、根据权利要求 12 所述的方法，其中形成半导体材料的鳍片（23'）的步骤 a) 包括以下步骤：

- 20 在所述半导体材料层（23）上形成构图的叠层结构（24，25，26）；
- 在所述叠层结构（24，25，26）上和所述半导体材料层（23）的整个暴露表面上形成共形氧化物层（28）和共形氮化物层；

选择性去除所述共形氧化物层（28）和所述共形氮化层的一部分，以便在叠层结构（24，25，26）的一个侧壁上留下所述共形氧化物层（28）的一部分和氮化物间隔侧壁（29）；以及

利用所述共形氧化物层（28）的所述一部分、所述氮化物间隔侧壁（29）、以及所述叠层结构（24，25，26）作为硬掩模，选择性去除所述半导体材料层（23），在鳍片（23'）的中间部分留下第一厚度的半导体材料。

14、根据权利要求 13 所述的方法，其中形成沟道区的步骤 d) 包括以下步骤：

- 30 利用所述共形氧化物层（28）的所述一部分、以及所述氮化物间隔侧壁（29）作

为硬掩模，选择性去除所述叠层结构（24，25，26）及半导体材料的鳍片（23'）的一部分，在鳍片（23'）的中间部分留下第二厚度的半导体材料作为沟道区（11）。

15、根据权利要求 12 所述的方法，在形成沟道区的步骤 d）之后，还包括以下步骤：

- 5 在所述鳍片的中间部分，在靠近鳍片的另一个侧面的位置形成与沟道区（11）紧邻的超陡后退阱（43）。

16、根据权利要求 12 所述的方法，其中所述栅极（15）为金属层、掺杂多晶硅层、或包括金属层和掺杂多晶硅层的叠层栅导体

- 17、根据权利要求 12 所述的方法，在形成源区和漏区的步骤 c）和形成沟道区的步骤 d）之间，还包括在所述源区（12）和漏区（13）上依次形成接触层（39）和
10 应力层（16，17），用于在沟道区（11）中产生应力。

18、根据权利要求 12 所述的方法，在形成源区和漏区的步骤 c）和形成沟道区的步骤 d）之间，还包括以下步骤：

- 采用倾角离子注入，向鳍片（23'）的中间部分进行延伸注入以形成延伸区（12'，
15 13'）。

19、根据权利要求 18 所述的方法，在延伸注入步骤之前，还包括以下步骤：

采用倾角离子注入，向鳍片（23'）的中间部分进行晕圈注入以形成晕圈区（12''，
13''）。

- 20、根据权利要求 19 所述的方法，其中延伸注入步骤中使用的注入倾角小于晕
20 圈注入步骤，而延伸注入步骤中使用的注入能量大于晕圈注入步骤。

1/13

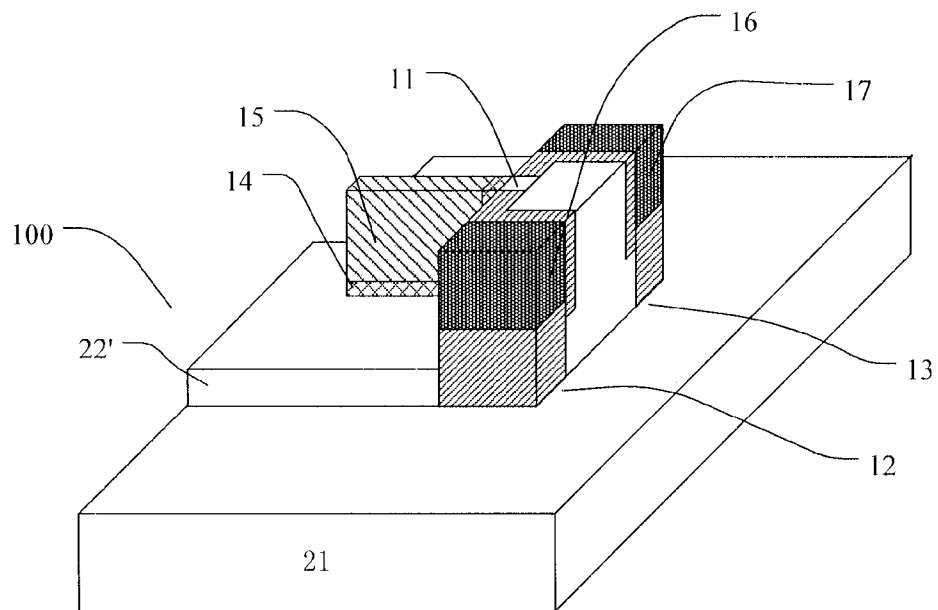


图1A

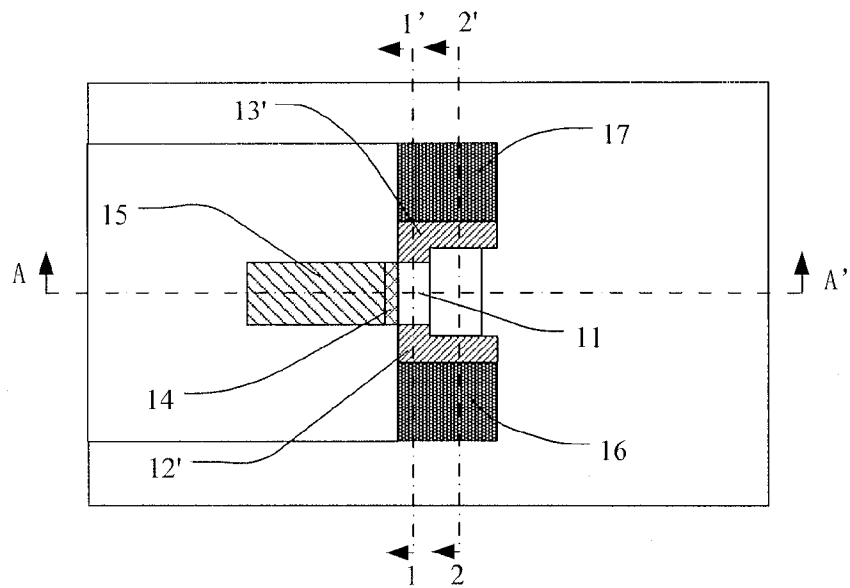


图1B

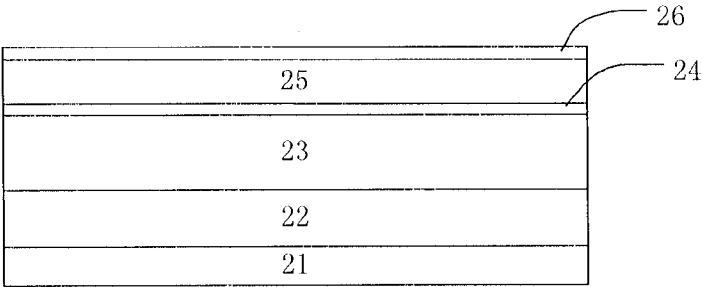


图2

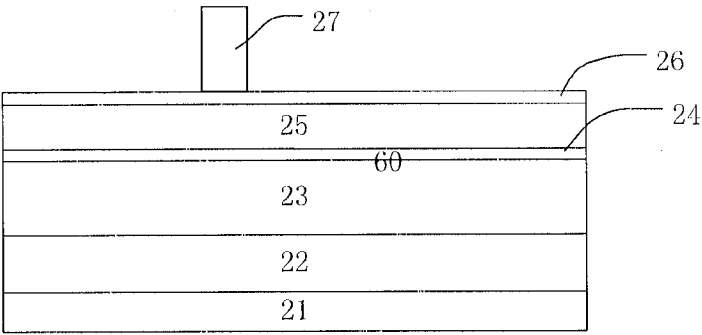


图3

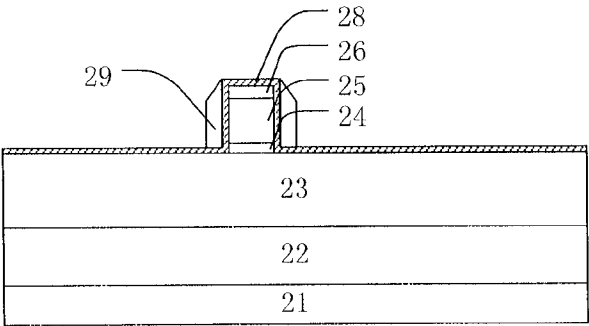


图4

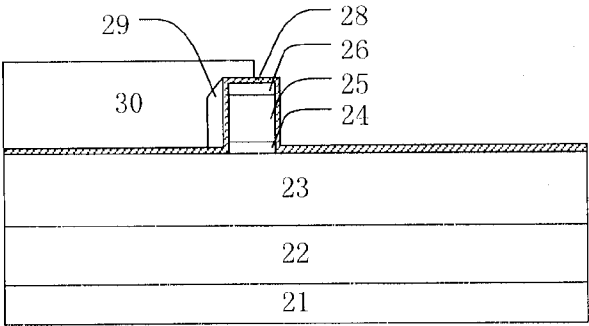


图5

4/13

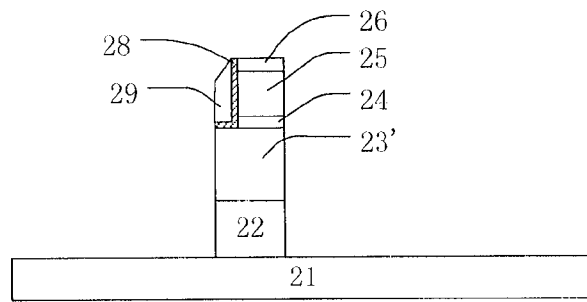


图6

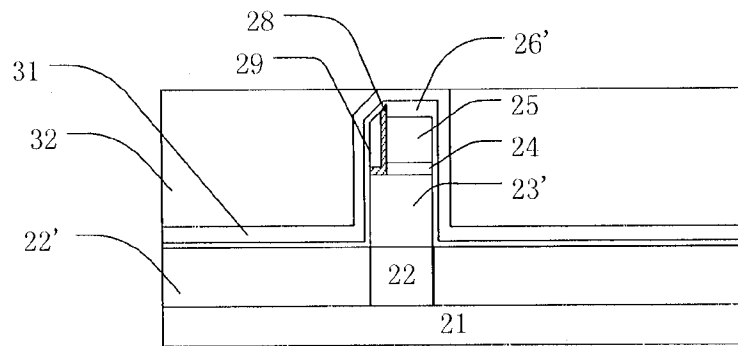


图7

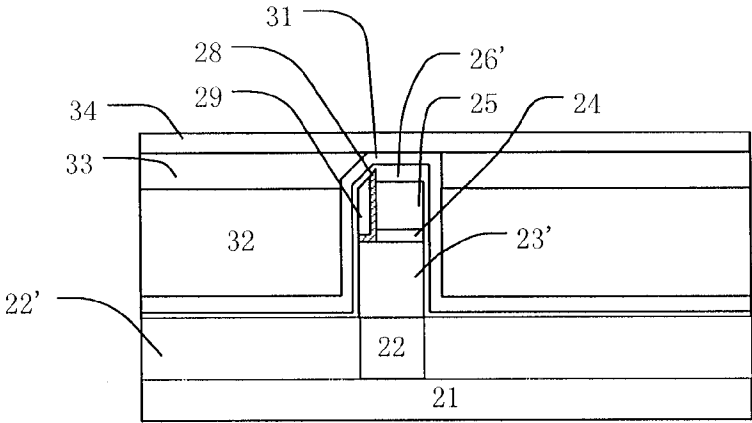


图8

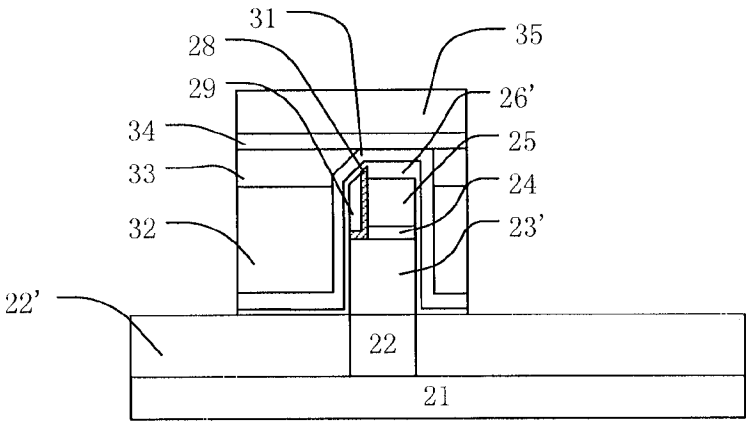


图9

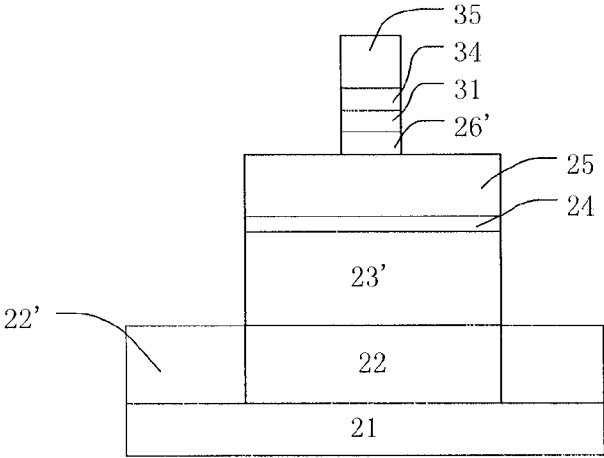


图10

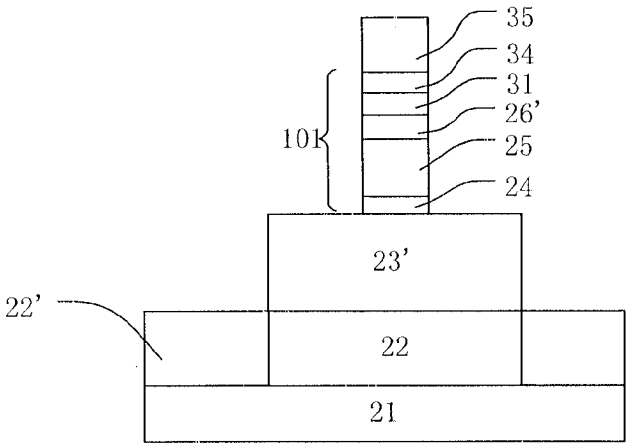


图11

7/13

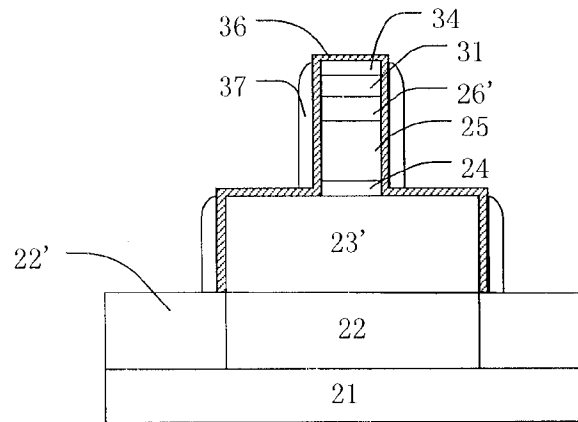


图12

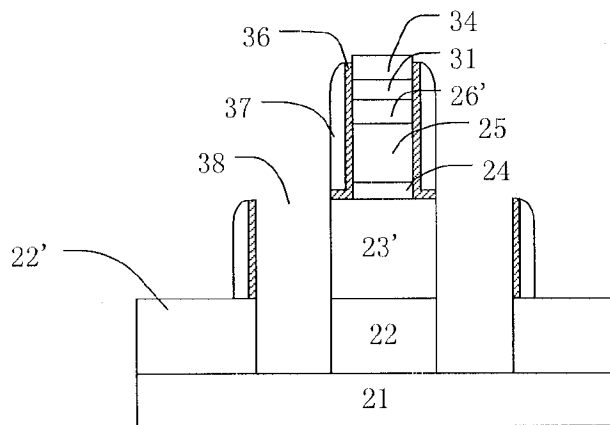


图13

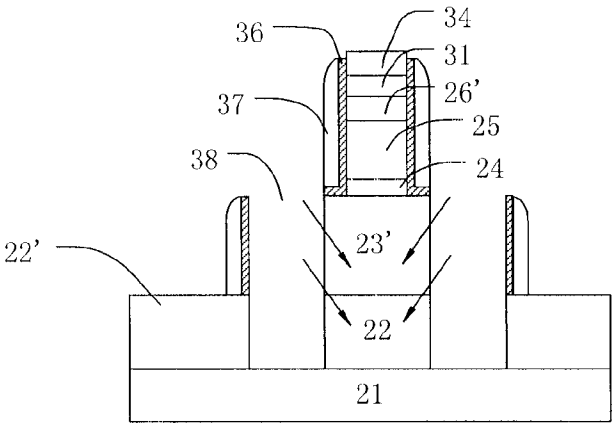


图14

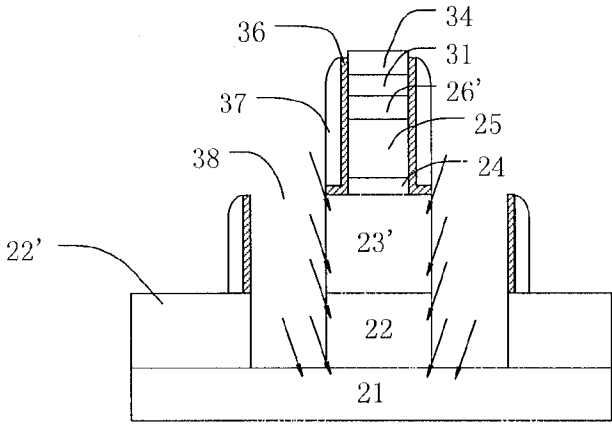


图15

9/13

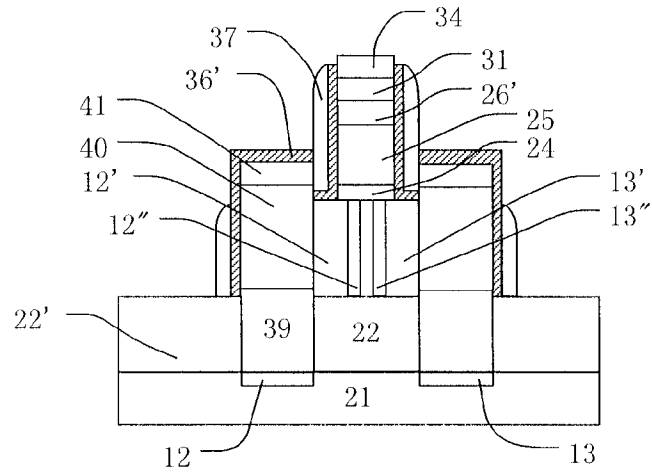


图16

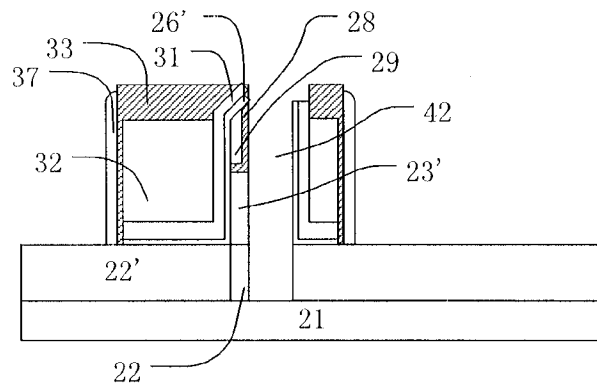


图17

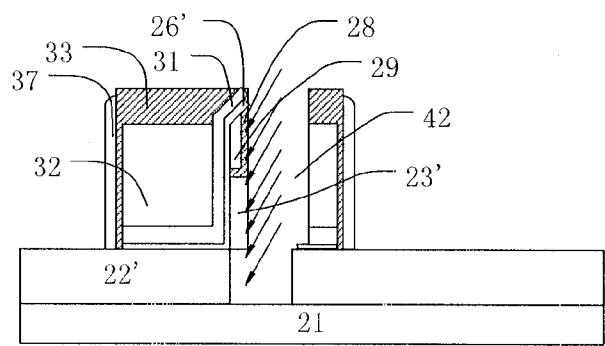


图18

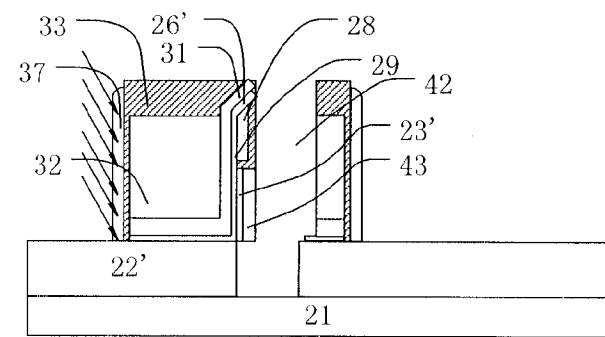


图19

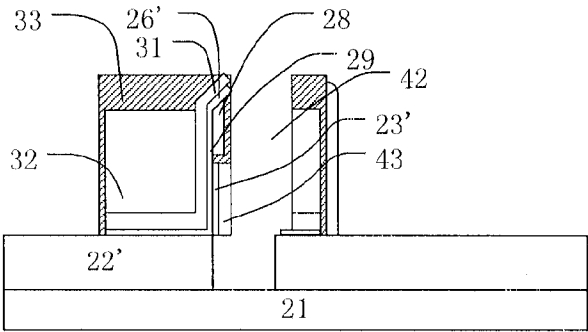


图20

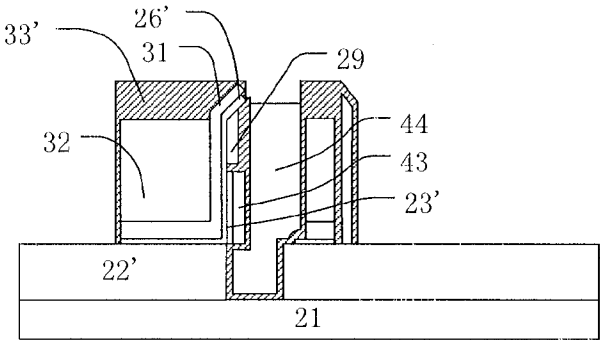


图21

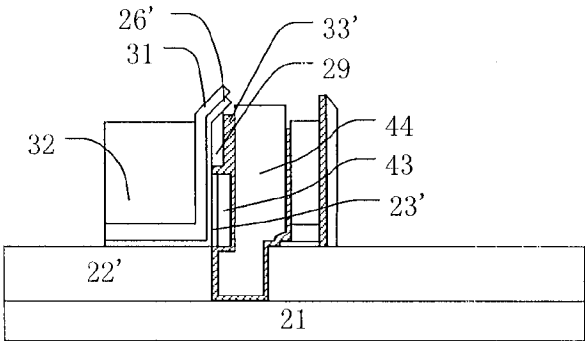


图22A

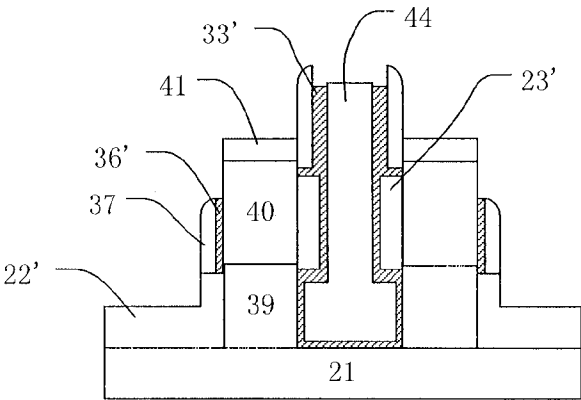


图22B

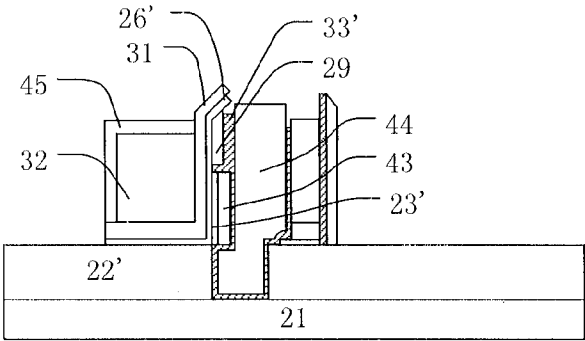


图23A

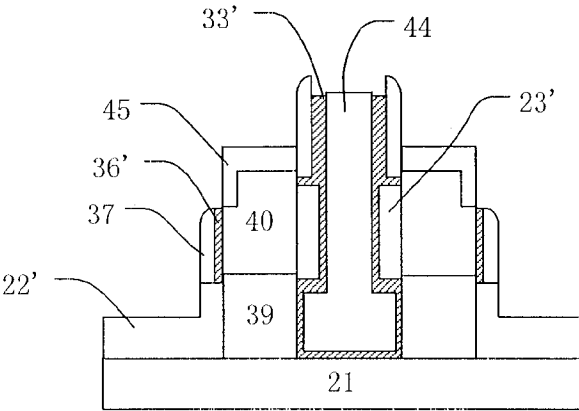


图23B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/074497

A. CLASSIFICATION OF SUBJECT MATTER

see extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L21/-,H01L29/-,H01L27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRS,CNKI,EPODOC,WPI:gate,grid,source,drain,tensile,stress,compress,strain+,fin,finfet,vertical+,side+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US2008/0197384A1 (Hartwich et al.) 21 Aug. 2008(21.08.2008) the whole document	1-20
A	CN1933113A (ZHONGXIN INT INTEGRATED CIRCUIT MFG SHANGHAI) 21. Mar. 2007 (21.03.2007) the whole document	1-20
A	US2007/0132000A1 (Hsu et al.)14 Jun. 2007(14.06.2007) the whole document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&”document member of the same patent family

Date of the actual completion of the international search

26 Sep. 2010(26.09.2010)

Date of mailing of the international search report

28 Oct. 2010 (28.10.2010)

Name and mailing address of the ISA/CN

The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer

MENG, Chao

Telephone No. (86-10)62411784

Information on patent family members

PCT/CN2010/074497

Form PCT/ISA /210 (patent family annex) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/074497

CLASSIFICATION OF SUBJECT MATTER

H01L21/336 (2006.01) i

H01L29/78 (2006.01) i

国际检索报告

国际申请号
PCT/CN2010/074497

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L21/-,H01L29/-,H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CPRS,CNKI: 栅, 源, 漏, 拉, 压, 应力, 鳍, 垂直, 侧

EPODOC,WPI:gate,grid,source,drain,tensile,stress,compress,strain+,fin,finfet,vertical+,side+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US2008/0197384A1(Hartwich et al.)21. 8 月 2008(21.08.2008)全文	1-20
A	CN1933113A(中芯国际集成电路制造(上海)有限公司)21. 3 月 2007 (21.03.2007) 全文	1-20
A	US2007/0132000A1(Hsu et al.)14.6 月 2007(14.06.2007)全文	1-20

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
26. 9 月 2010(26.09.2010)

国际检索报告邮寄日期
28.10 月 2010 (28.10.2010)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

孟超
电话号码: (86-10) **62411784**

国际申请号
PCT/CN2010/074497

PCT/ISA/210 表(同族专利附件) (2009 年 7 月)

主题的分类

H01L21/336 (2006.01) i

H01L29/78 (2006.01) i