



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

205275

(11)

(B1)

/22/ Přihlášeno 01.11.79
/21/ /PV 7440-79/

(51) Int. Cl.³
G 06 F 7/06

(40) Zveřejněno 31.07.80

(45) Vydáno 15.11.82

(75)

Autor vynálezu

SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení pro ovládání čítače instrukcí

1

Předmětem vynálezu je zapojení pro ovládání čítače instrukcí, obsahující zvláštní čítač s možností paralelního nahrávání a se schopností čítání nahoru.

V praxi se používá několik způsobů realizace instrukčního čítače. Jedním z nich je použití zvláštního čítače s možností paralelního nahrávání a se schopností čítání nahoru na základě hodinových signálů. Přitom zpravidla po čtyřech bitech dochází k zápornému impulsu do vyššího řádu, jestliže všechny čtyři bity mají hodnotu logická jednička. Hodinové signály pro zvyšování obsahu čítače přicházejí z řadiče procesoru do nejnižšího řádu adresy v průběhu právě prováděné instrukce. V praxi se často používají počítače s šestnáctibitovým čítačem instrukcí. Přitom struktura skokových instrukcí je řešena tak, že cílová adresa je obsažena přímo v jednotlivých bitech instrukce a bývá zpravidla dvanáctibitová u nepodmíněných skoků a osmibitová u podmíněných skoků. Pro zápis do vyšších bitů čítače instrukcí jsou obsaženy v operačním souboru instrukce skoku podle obsahu buňky zápisníkové nebo operační paměti, které mají rozsah šestnácti bitů. Podmíněné skoky tedy ovládají pouze dvě spodní čtveřice čítače instrukcí a nepodmíněné skoky ovládají tři spodní čtveřice čítače instrukcí. Může nastat případ, že všechny bity dvou spodních čtveřic nabudou hodnoty logická jednička v průběhu libovolné instrukce. Při následující instrukci podmíněného skoku byla splněna a do čítače instrukcí se zapíše chybná hodnota cílové adresy. Podobný problém nastává, když všechny bity tří spodních čtveřic nabudou hodnoty logická jednička a na této adrese programu se nachází instrukce podmíněného nebo nepodmíněného skoku.

Tuto nevýhodu odstraňuje zapojení pro ovládání čítače instrukcí, obsahující zvláštní čítač s možností paralelního nahrávání a se schopností čítání nahoru, podle vynálezu, jehož podstatou je, že výstup přenosu druhé čtveřice bitů čítače instrukcí je spojen s prvním vstupem prvního přenosového modulu, jehož výstup je spojen s hodinovým vstupem třetí čtve-

řice bitů čítače instrukcí a výstup přenosu třetí čtveřice bitů čítače instrukcí je spojen s prvním vstupem druhého přenosového modulu, jehož výstup je spojen s hodinovým vstupem čtvrté čtveřice bitů čítače instrukcí. Výhodou tohoto zapojení je možnost použít instrukce podmíněného a nepodmíněného skoku na libovolné adrese programu a odstraňuje tak omezení kladené na programátora. Dosáhne se potlačení nežádoucích přenosů z nižších do vyšších řádů při skokových operacích.

Na výkrese je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

Výstup přenosu 21 druhé čtveřice bitů čítačů instrukcí 2 je spojen s prvním vstupem 30 prvního přenosového modulu 3, jehož výstup 34 je spojen s hodinovým vstupem 40 třetí čtveřice bitů čítače instrukcí 4. Výstup přenosu 41 třetí čtveřice bitů čítače instrukcí 4 je spojen s prvním vstupem 50 druhého přenosového modulu 5, jehož výstup 54 je spojen s hodinovým vstupem 60 čtvrté čtveřice bitů čítače instrukcí 6. Výstup 11 nejméně významného bitu první čtveřice bitů čítače instrukcí 1 je spojen s třetím vstupem 32 prvního přenosového modulu 3 a s třetím vstupem 52 druhého přenosového modulu 5. První výstup 80 dekodéru instrukcí 8 je spojen s druhým vstupem 31 prvního přenosového modulu 3 a druhý výstup 81 dekodéru instrukcí 8 je spojen s druhým vstupem 51 druhého přenosového modulu 5. Hodinový vstup 20 druhé čtveřice bitů čítače instrukcí 2 je spojen s výstupem přenosu 12 první čtveřice bitů čítače instrukcí 1, která je ovládána hodinovým signálem 10 z řadiče procesoru. Funkce zapojení je následující.

Předpokládejme, že v průběhu libovolné instrukce dojde následkem hodinového signálu 10 ke změně z hodnoty logická jednička na hodnotu logická nula na výstupu přenosu 21. Tato změna se však nedostane na hodinový vstup 40 třetí čtveřice bitů čítače instrukcí 4, protože je zahradlována z třetího vstupu 32. Jestliže následuje instrukce podmíněného skoku, objeví se hradlovací signál z výstupu 80 dekodéru instrukcí 8 na druhém vstupu 31 prvního přenosového modulu 3 a spodní hladina na prvním vstupu 30 se opět nedostane na výstup 34 a k přenosu nedojde. Podobný případ nastane, jestliže v průběhu libovolné instrukce dojde ke změně hladiny logického signálu na výstupu přenosu 41 třetí čtveřice bitů čítače instrukcí 4. Změna se zahradluje signálem na třetím vstupu 52 druhého přenosového modulu 5. Následující instrukce podmíněného nebo nepodmíněného skoku vyvolá na druhém výstupu 81 dekodéru instrukcí 8 hradlovací signál, který se objeví na druhém vstupu 51 druhého přenosového modulu 5 a nedojde k přenosu na hodinový vstup 60 čtvrté čtveřice bitů čítače instrukcí 6.

Možnost použití uvedeného zapojení je v počítači, který má řešen čítač instrukcí popsaným způsobem.

P R E D M Ě T V Y N Á L E Z U

1. Zapojení pro ovládání čítače instrukcí, obsahující zvláštní čítač s možností paralelního nahrávání a se schopností čítání nahoru, vyznačující se tím, že výstup přenosu (21) druhé čtveřice bitů čítače instrukcí (2) je spojen s prvním vstupem (30) prvního přenosového modulu (3), jehož výstup (34) je spojen s hodinovým vstupem (40) třetí čtveřice bitů čítače instrukcí (4) a výstup přenosu (41) třetí čtveřice bitů čítače instrukcí (4) je spojen s prvním vstupem (50) druhého přenosového modulu (5), jehož výstup (54) je spojen s hodinovým vstupem (60) čtvrté čtveřice bitů čítače instrukcí (6).

2. Zapojení podle bodu 1, vyznačující se tím, že výstup (11) nejméně významného bitu první čtveřice bitů čítače instrukcí (1) je spojen s třetím vstupem (32) prvního přenosového modulu (3) a se třetím vstupem (52) druhého přenosového modulu (5), první výstup (80) dekodéru instrukcí (8) je spojen s druhým vstupem (31) prvního přenosového modulu (3) a druhý výstup (81) dekodéru instrukcí (8) je spojen s druhým vstupem (51) druhého přenosového modulu (5).

1 list výkresů

Severografis, n. p., závod 7. Most

