



Patent dodatkowy
do patentu nr _____

Zgłoszono: 06.01.78 (P. 203854)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 24.09.79

Opis patentowy opublikowano: 25.02.1983

Int. Cl.³

G01R 13/32

G01R 13/24

CZYTELNIJA

Urzędu Patentowego
Polskiej Rzeczypospolitej

Twórca wynalazku: Jerzy Rydzewski

**Uprawniony z patentu: Zakłady Maszyn i Urządzeń Technologicznych
„UNITRA-UNIMA”, Zakład Urządzeń Elektro-
nicznych, Warszawa (Polska)**

Układ liniowej podstawy czasu

1

Przedmiotem wynalazku jest układ liniowej podstawy czasu stosowany w konstrukcji oscyloskopu, zwłaszcza oscyloskopu z podwójną podstawą czasu.

Znany jest układ liniowej podstawy czasu z polskiego opisu patentowego nr 60998, w którym kondensator ładowany jest stałym prądem w układzie Millera a słaboprądowe sprzężenie zwrotne uzyskuje się przez połączenie jednej okładki kondensatora z drugą układem złożonym z szeregowo połączonej pierwszej diody impulsowej, rezystora diody tunelowej, wtórnika emiterowego i drugiej diody impulsowej. Obie diody impulsowe stanowią układ klucza, który otwiera się na czas generacji napięcia piłokształtnego, a dioda tunelowa klucz ten steruje. Układ ten jest wyzwalany wyłącznie impulsami o ujemnej polaryzacji, co wymaga rozbudowy układów współpracujących. Układ ten jest trudny do zastosowania bezpośredniego w podwójnej podstawie czasu. Dalszą wadą tego układu jest konieczność temperaturowej kompensacji obwodu stałoprądowego sprzężenia zwrotnego oraz możliwości przenikania przez pojemności złącza diody pierwszej i drugiej impulsów wyzwalających szczególnie przy wysokiej częstotliwości ich powtarzania.

Zacisk wejściowy impulsu ujemnego jest połączony z bazą tranzystora czwartego a zacisk wejściowy impulsu dodatniego jest połączony z bazą tranzystora piątego. Emitery tych tranzystorów są połączone ze sobą przez rezystor jedenasty a emiter tranzystora czwartego łączy się ze źródłem za-

2

silającym ujemnym przez rezystor dwunasty. Emiter tranzystora piątego łączy się także ze źródłem zasilającym ujemnym przez rezystor trzynasty a kolektor tranzystora czwartego łączy się z bazą tranzystora trzeciego i katodą diody pierwszej, której anoda jest połączona z kolektorem tranzystora wzmacniającego i źródłem prądowym, którego drugi koniec łączy się ze źródłem zasilającym piątym.

Kolektor tranzystora trzeciego jest połączony z masą a jego emiter przez rezystor drugi łączy się ze źródłem zasilającym pierwszym i przez rezystor trzeci z emiterem tranzystora pierwszego, gdy emiter tego tranzystora przez rezystor pierwszy jest dołączony do źródła zasilającego pierwszego a baza tranzystora pierwszego jest dołączona do dzielnika rezystorowego czwartego i piątego, który dzieli napięcie źródła zasilającego pierwszego. Kolektor tranzystora pierwszego jest połączony z emiterem tranzystora drugiego i z rezystorem szóstym, którego drugi koniec łączy się ze źródłem zasilającym ujemnym, trzecim zaś baza tranzystora drugiego jest połączona do dzielnika rezystorowego siódmego i ósmego dzielącego napięcie źródła zasilającego trzeciego ujemnego.

Kolektor tranzystora drugiego łączy się z wejściem wtórnika o dużej rezystancji wejściowej oraz z rezystorem czternastym i kondensatorem pierwszym, którego druga okładzina jest połączona z kolektorem tranzystora wzmacniającego, z któ-

rym jest połączony zacisk wyjściowy liniowo malejącego napięcia piłokształtnego, a drugi koniec rezystora czternastego jest połączony ze źródłem zasilającym czwartym.

Układ według wynalazku umożliwia wyzwalanie podstawy czasu jednym lub dwoma impulsami o przeciwnej polaryzacji, co znacznie upraszcza realizację podwójnej podstawy czasu z wzajemną współpracą układu czasu i innymi układami oscyloskopu. Dużą szybkość działania układu umożliwia realizację liniowej podstawy czasu w zakresie nanosekundowych.

Przedmiot wynalazku jest bliżej objaśniony w przykładzie wykonania układu przedstawionego w postaci schematu ideowego na rysunku.

Zacisk wejściowy impulsu ujemnego WE_1 jest połączony z bazą tranzystora czwartego T_4 , a zacisk wejściowy impulsu dodatniego WE_2 jest połączony z bazą tranzystora piątego T_5 . Emitery tych tranzystorów są połączone ze sobą przez rezystor jedenasty R_{11} , a emiter tranzystora czwartego T_4 łączy się ze źródłem zasilającym ujemnym E_3 przez rezystor dwunasty R_{12} i emiter tranzystora piątego T_5 łączy się także, ze źródłem zasilającym ujemnym $-E_3$ przez rezystor trzynasty R_{13} . Kolektor tranzystora czwartego T_4 łączy się z bazą tranzystora trzeciego T_3 i katodą diody pierwszej D_1 , której anoda jest połączona z kolektorem tranzystora wzmacniającego T_1 i źródłem prądowym I , którego drugi koniec łączy się ze źródłem zasilającym piątym $+E_5$. Kolektor tranzystora trzeciego T_3 jest połączony z masą a jego emiter przez rezystor drugi R_2 łączy się ze źródłem zasilającym pierwszym $+E_1$ i przez rezystor trzeci R_3 z emitern tranzystora pierwszego T_1 , gdy emiter tego tranzystora przez rezystor pierwszy R_1 jest dołączony do źródła zasilającego pierwszego $+E_1$. Baza tranzystora pierwszego T_1 jest dołączona do dzielnika rezystorowego czwartego R_4 i piątego R_5 , który dzieli napięcie źródła zasilającego pierwszego $+E_1$. Kolektor tranzystora pierwszego T_1 jest połączony z emitern tranzystora drugiego T_2 i z rezystorem szóstym R_6 , którego drugi koniec łączy się ze źródłem zasilającym ujemnym trzecim $-E_3$. Baza tranzystora drugiego T_2 jest dołączona do dzielnika rezystorowego siódmego R_7 i ósmego R_8 dzielącego napięcie źródła zasilającego trzeciego ujemnego $-E_3$. Kolektor tranzystora drugiego T_2 łączy się z wejściem wtórnika WT o dużej rezystancji wejściowej oraz rezystorem czternastym R_{14} i kondensatorem pierwszym C_1 , którego druga okładzina jest połączona z kolektorem tranzystora wzmacniającego T_1 , z którym jest połączony zacisk wyjściowy WY , liniowo malejącego napięcia piłokształtnego. Drugi koniec rezystora czternastego R_{14} jest połączony ze źródłem zasilającym czwartym $+E_4$.

W stanie spoczynku oba zaciski wejściowe impulsu ujemnego i impulsu dodatniego WE_1 i WE_2 znajdują się na jednakowym potencjale. W tym stanie przewodzą oba tranzystory czwarty i piąty T_4 i T_5 . Przez kolektor tranzystora czwartego T_4 płynie prąd przewodzącej diody pierwszej D_1 i prąd rezystora dziewiątego R_9 . Napięcie na kolektorze tranzystora czwartego T_4 i połączonej z nim

bazy tranzystora trzeciego T_3 jest niższe od napięcia na kolektorze tranzystora szóstego T_6 o około 0,6 V, to jest o spadek napięcia na diodzie pierwszej D_1 . Napięcie z emitera tranzystora trzeciego T_3 steruje przez rezystor trzeci R_3 od strony emitera tranzystor pierwszy T_1 pracujący w układzie ze wspólną bazą.

Prąd kolektora tranzystora pierwszego T_1 płynie przez rezystor szósty R_6 do źródła zasilającego ujemnego $-E_3$. Przez ten sam rezystor szósty R_6 płynie prąd emitera tranzystora drugiego T_2 którego prąd kolektora równy jest prądowi płynącemu ze źródła zasilającego czwartego E_4 przez rezystor czternasty R_{14} . Napięcie kolektorowe tranzystora drugiego T_2 przez wtórnik WT steruje bazę tranzystora wzmacniającego T_1 . W ten sposób cały układ objęty jest zamkniętą pętlą ujemnego sprzężenia zwrotnego która utrzymuje na stałym poziomie napięcie wyjściowe na zacisku wyjściowym WY . Z chwilą pojawienia się ujemnego impulsu wyzwalającego na zacisku wyjściowym impulsu ujemnego WE_1 lub dodatniego na zacisku wejściowym impulsu dodatniego WE_2 lub obu tych impulsów na raz, tranzystor czwarty T_4 zostaje zablokowany, napięcie na kolektorze tranzystora czwartego T_4 wzrasta do wartości napięcia równej napięciu źródła zasilającego pierwszego $+E_1$ co z kolei zablokuje diodę pierwszą D_1 .

Wzrost napięcia na bazie tranzystora trzeciego T_3 powoduje wzrost napięcia na jego emiterze, który to wzrost napięcia powoduje wzrost prądu emiterowego i kolektorowego tranzystora pierwszego T_1 . Wzrost prądu kolektora tranzystora pierwszego T_1 powoduje wzrost napięcia na emiterze tranzystora drugiego T_2 , który zostaje zablokowany. Prąd rezystora czternastego R_{14} który dotychczas płynął przez tranzystor drugi T_2 , zacznie ładować kondensator C_1 . Rosnące napięcie na wejściu wtórnika WT przenosi się na bazę tranzystora szóstego T_6 powodując, że na jego kolektorze napięcie zacznie liniowo opadać, tworząc napięcie liniowej podstawy czasu. Czas trwania opadającego napięcia liniowego równy jest czasowi trwania impulsu wyzwalającego. Szybkość opadania zależy od doboru wartości rezystora czternastego R_{14} i pojemności kondensatora C_1 , które w oscyloskopie zmieniane są skokowo za pomocą przełącznika pokrywając wymagany zakres współczynników czasu.

Zastrzeżenie patentowe

Układ liniowej podstawy czasu, zwłaszcza do oscyloskopów z podwójną podstawą czasu, znamien-
ny tym, że zacisk wejściowy impulsu ujemnego (WE_1) jest połączony z bazą tranzystora czwartego (T_4) a zacisk wejściowy impulsu dodatniego (WE_2) jest połączony z bazą tranzystora piątego (T_5) zaś emitery tych tranzystorów są połączone ze sobą przez rezystor jedenasty (R_{11}) a emiter tranzystora czwartego (T_4) łączy się z trzecim źródłem zasilającym ujemnym ($-E_3$) przez rezystor dwunasty (R_{12}) i emiter tranzystora piątego (T_5) łączy się także z trzecim źródłem zasilającym ujemnym ($-E_3$) przez rezystor trzynasty (R_{13}) a kolektor tranzystora czwartego (T_4) łączy się z bazą tran-

5

zystora trzeciego (T_3) i katodę diody pierwszej (D_1) której anoda jest połączona z kolektorem tranzystora wzmacniającego (T_4) i źródłem prądowym (I) którego drugi koniec łączy się ze źródłem zasilającym piątym ($+E_5$), natomiast kolektor tranzystora trzeciego (T_3) jest połączony z masą a jego emiter przez rezystor drugi (R_2) łączy się ze źródłem zasilającym pierwszym ($+E_1$) i przez rezystor trzeci (R_3) z emiterem tranzystora pierwszego (T_1) gdy emiter tego tranzystora przez rezystor pierwszy (R_1) jest dołączony do źródła zasilającego pierwszego ($+E_1$) a baza tranzystora pierwszego (T_1) jest dołączona do dzielnika rezystorowego czwartego (R_4) i piątego (R_5) który dzieli napięcie źródła zasilającego pierwszego ($+E_1$) a poza tym kolektor tranzystora pierwszego (T_1) jest połączony

6

z emiterem tranzystora drugiego (T_2) i z rezystorem szóstym (R_6) którego drugi koniec łączy się ze źródłem zasilającym ujemnym trzecim ($-E_3$) zaś baza tranzystora drugiego (T_2) jest połączona do dzielnika rezystorowego siódmego (R_7) i ósmego (R_8) dzielącego napięcie źródła zasilającego trzeciego ujemnego ($-E_3$), natomiast kolektor tranzystora drugiego (T_2) łączy się z wejściem wtórnika (WT) o dużej rezystancji wejściowej oraz z rezystorem czternastym (R_{14}) i kondensatorem pierwszym (C_1) którego druga okładzina jest połączona z kolektorem tranzystora wzmacniającego (T_4) z którym jest połączony zacisk wyjściowy (WY) linowo malejącego napięcia piłokształtnego a drugi koniec rezystora czternastego (R_{14}) jest połączony ze źródłem zasilającym czwartym ($+E_4$).

