(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 698 23 158 T2** 2005.04.14

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 935 371 B1**
(21) Deutsches Aktenzeichen: **698 23 158.9**
(96) Europäisches Aktenzeichen: **98 309 952.4**
(96) Europäischer Anmeldetag: **04.12.1998**
(97) Erstveröffentlichung durch das EPA: **11.08.1999**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **14.04.2004**
(47) Veröffentlichungstag im Patentblatt: **14.04.2005**

(51) Int Cl.[7]: **H04L 25/03**
H03H 21/00

(30) Unionspriorität:
996869 **23.12.1997** **US**

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Lucent Technologies Inc., Murray Hill, N.J., US

(74) Vertreter:
Klunker, Schmitt-Nilson, Hirsch, 80797 München

(72) Erfinder:
Larsson, Patrik, Matawan, New Jersey 07747, US;
Nicol, Christopher John, Red Bank, New Jersey 07701, US

(54) Bezeichnung: **Mehrfachtor-Registersatz für die Speicherung von Koeffizienten eines adaptiven FIR-Filters**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Technisches Gebiet

[0001] Die Erfindung betrifft adaptive, nicht-rekursive Filter (FIR; finite impulse response), insbesondere adaptive FIR-Filter unter Einsatz von Zeitmuliplex-Multiplizierern, die Koeffizienten pro Multiplizierer multiplizieren und für eine Burstmodus-Aktualisierung der Filterkoeffizienten sorgen.

Hintergrund der Erfindung

[0002] Zum Stand der Technik zählende nicht-rekursive Filter (FIR-Filter) verwenden feste Verzögerungsleitungen, um die Koeffizienten zu rezirkulieren. Solche Verzögerungsleitungen werden unter Verwendung einer Reihe von flankengesteuerten Flipflops implementiert. Im Ergebnis verbrauchen die herkömmlichen Verzögerungsleitungen mehr Leistung als erwünscht.

[0003] In der anhängigen US-Patentanmeldung 6 377 619, veröffentlicht am 23.4.2002, und der Anmelderin der vorliegenden Anmelderin zuerkannt, werden Multiport-Registersätze verwendet, um die Koeffizientenspeicherung zu besorgen und die Verzögerungen in den Koeffizienten einzurichten, die für die Filtervorgang notwendig sind. Ein Multiport-Registersatz ist ein typischerweise kleiner, beispielsweise eine Kapazität von vier Wörtern aufweisender Speicher mit mindestens einem Leseport und einem Schreibport. In den Multiport-Registersatz eingeschriebene Daten lassen sich in jeder beliebigen Reihenfolge aus dem Registersatz auslesen. Der Multiport-Registersatz kann zusätzliche Ausgangsports aufweisen, aus denen die dort gespeicherten Daten ausgelesen werden können, ebenfalls in beliebiger Reihenfolge, außerdem unabhängig von der Reihenfolge irgendeines anderen Ausgangsports. Was die Koeffizienten angeht, so liefert jeder Multiport-Registersatz Daten von einem Ausgang an den Multiplikations-Additionsteil der zugehörigen FIR-Filterstufe. Man beachte, dass diese Ausgänge gleich sein können. Für die Verwendung bei den Koeffizienten besteht nicht das Erfordernis, den Registersatz im Durchsichtprüfungsmodus zu betreiben, wie es in der mit-anhängigen Anmeldung beschrieben ist.

[0004] Wenn das FIR-Filter ein adaptives Filter mit aktualisierbaren Koeffizienten ist, wird eine Aktualisierungseinheit benötigt, welche neue Koeffizientenwerte berechnet.

[0005] Darüber hinaus haben Multiport-Registersätze gemäß Stand der Technik der mit-anhängigen Anmeldung sämtliche Bits der Koeffizienten ständig zirkuliert. Jedes Bit des Koeffizienten, welches zirkuliert wird, erfordert zusätzliche Leistungsaufnahme.

Offenbarung der Erfindung

[0006] Erfindungsgemäß wird ein Multiport-Registersatz gemäß Anspruch 1 geschaffen.

[0007] Wir haben erkannt, dass verbesserte Multiport-Registersätze zum Speichern von Koeffizienten in adaptiven FIR-Filtern verwendet werden können. Gemäß den Prinzipien der Erfindung werden die Multiport-Registersätze der früheren mit-anhängigen Anmeldung verbessert durch Implementieren einer geteilten Speicherarchitektur mit der Möglichkeit, die niedrigstwertigen Bits und die höchstwertigen Bits von Koeffizientenwerten, die in dem Filter gespeichert sind, separat zu steuern. Wenn das Filter so betrieben wird, dass ein sog. "Burstmodus"-Aktualisieren erfolgt, wie es in dem US-Patent 5 646 957 von Im et al., dessen Inhaber die Anmelderin der vorliegenden Erfindung ist, offenbart, wobei ein Aktualisieren nur dann erforderlich ist, wenn vorab definierte Fehlerbedingungen angetroffen werden, so lässt sich die Aktualisierschaltung des Filters sperren, und lediglich die höchstwertigen Bits der Koeffizienten werden aus dem Multiport-Registersatz ausgelesen, während die niedrigstwertigen Bits unverändert bleiben. Dies erspart Leistung ohne Einbußen von Genauigkeit, da nur ein gewisses Bit unter den Bits der Koeffizienten bei der Multiplikation der Probe verwendet wird. Darüber hinaus wird gemäß einem Aspekt der Erfindung dann, wenn nur die höchstwertigen Bits der Koeffizienten durch das Multiport-Register-Filter zirkuliert werden, sich möglicherweise ändernde Bits daran gehindert, zu der Aktualisierschaltung zu gelangen, so dass die Aktualisierschaltung keinerlei Rechnung durchführt anstatt einer Rechnung, die später überflüssig ist. In vorteilhafter Weise können unter Einsatz derartiger verbesserter Multiport-Registersätze adaptive FIR-Filter aufgebaut werden, die mit geringerer Leistungsaufnahme arbeiten.

[0008] Darüber hinaus können geteilte Architektur und Sperrmethoden eingesetzt werden, um Vorteile bei Architekturen mit rezirkulierenden Registern zu erzielen, wie es oben erläutert wurde.

Kurze Beschreibung der Zeichnungen

[0009] In der Zeichnung zeigen:

[0010] **Fig.** 1 ein Beispiel für die Prinzipien der Erfindung;

[0011] **Fig.** 2 eine weitere Ausführungsform der Erfindung mit einem externen Multiplexer;

[0012] **Fig.** 3 eine noch weitere Ausführungsform der Erfindung mit einem Tri-State-Treiber.

Detaillierte Beschreibung

[0013] Fig. 1 zeigt einen beispielhaften Multiport-Registersatz, der zur Koeffizientenspeicherung in einer Stufe eines nicht-rekursiven Filters (FIR-Filter) gemäß den Prinzipien der Erfindung eingesetzt werden kann. Ein Multiport-Registersatz ist ein typischerweise kleiner Speicher, z. B. ein Speicher mit der Kapazität von vier Wörtern, mit mindestens einem Leseport und einem Schreibport. In den Multiport-Registersatz eingeschriebene Daten können aus dem Registersatz in beliebiger Reihenfolge ausgelesen werden. Der Multiport-Registersatz kann zusätzliche Ausgangsports besitzen, über die die dort gespeicherten Daten ausgelesen werden können, ebenfalls in beliebiger Reihenfolge und unabhängig von der Reihenfolge an irgendeinem anderen Ausgangsport.

[0014] Speziell zeigt **Fig.** 1 einen Multiport-Registersatz **101** mit a) Speicherstellen **102**, aufgeteilt in Speicherstellen **103**, darunter Speicherstellen **103-1** bis **103-H**, und Speicherstellen **104** mit Speicherstellen **14-1** bis **104-H**, und b) Zwischenspeicher **107**, welche Zwischenspeicher **107-1** bis **107-K** umfassen.

[0015] Speicherstellen **103** dienen zum Speichern der höchstwertigen Bits jedes der in einer der Speicherstellen **102** gespeicherten Koeffizienten, während Speicherstellen **104** zum Speichern der niedrigstwertigen Bits jedes der in einer der Speicherstellen **102** gespeicherten Koeffizienten dienen. Damit besitzt jede der Speicherstellen **102** eine "geteilte" Architektur, aufgeteilt zwischen ihren höchstwertigen Bits und ihren niedrigstwertigen Bits. Grundsätzlich beträgt die Anzahl von Bits, die von einem Multiport-Registersatz **101** an einen Multiplizierer des FIR-Filters geliefert werden, in den sie eingebaut sind, so viele Bits, wie in jeder der Speicherstellen **103** gespeichert sind. Die übrigen Bits jedes Koeffizienten sind in jeder der Speicherstellen **104** abgespeichert. In einer beispielhaften Ausführungsform der Erfindung entsprechen solche Speicherstellen der Speicherstelle **103** und **104**, die das gleiche Suffix aufweisen, der gleichen Stelle der Speicherstellen **102** und folglich demselben Koeffizienten. Wie es üblich bei der praktischen Filtergestaltung ist, werden sämtliche Bits eines Koeffizienten einschließlich derjenigen, die in einer der Speicherstellen **103** und **104** gespeichert sind, beim Aktualisieren des Koeffizienten verwendet.

[0016] Obschon dem Belieben des Filterentwerfers bei der Auswahl anheim gestellt, ist die Anzahl von Speicherstellen in dem Multiport-Registersatz typischerweise eine kleine Zahl, beispielsweise 4. Bei einem kleinen Wert von H sind effiziente FIR-Filter-Implementierungen möglich, verglichen mit anderen Alternativen zum Implementieren von FIR-Filtern, um Signale mit einer Abtastrate zu verarbeiten, die in der Größenordnung der schnellsten Taktfrequenzen innerhalb des Systems liegt, wie sie bei Modems zur Verwendung in Breitbandsystemen angetroffen werden.

[0017] Daten werden in den Multiport-Registersatz **101** über ein Schreibport W eingeschrieben, welches N Datenleitungen enthält. Die spezielle Stelle der Speicherstelle **102**, welcher am Schreibport W befindliche Daten angeboten werden, wird beschrieben entsprechend einer Schreibadresse WA. Insbesondere werden die P höchstwertigen Bits in eine der Speicherstellen **103** eingeschrieben, die von der Schreibadresse WA angegeben werden, und in ähnlicher Weise werden Q niedrigstwertigen Bits in eine der Speicherstellen **104** eingeschrieben, die durch die Schreibadresse WA spezifiziert wird.

[0018] Wann und ob Daten in den Multiport-Registersatz **101** eingeschrieben werden, ist eine Funktion des Werts des Schreibfreigabesignals WE. Wenn WE einen ersten Wert hat, werden Daten in den Multiport-Registersatz **101** eingeschrieben. Hat WE den komplementären Wert von dem ersten Wert, so werden keine Daten in den Multiport-Registersatz **101** eingeschrieben.

[0019] Ausgelesen werden Daten aus dem Multiport-Registersatz **101** über irgendeines der Leseports R, darunter Leseports R_1 bis R_K. Jedes der Leseports R_1 bis R_K enthält eine zugehörige Anzahl von Datenleitungen M_1 bis M_K. Bei der in **Fig.** 1 dargestellten Ausführungsform der Erfindung beispielsweise gleicht der Wert M_1 für das Leseport R_1 dem Wert P, während für R_K der Wert von M_K gleich N : P + Q entspricht. Falls erwünscht, kann eine weniger exakte Darstellung eines in dem Multiport-Registersatz **101** gespeicherten Werts aus dem Registersatz ausgelesen werden. Die spezielle Stelle der Speicherstellen **103** und **104**, aus der Daten zur Darstellung an einem der Leseports R_1 bis R_K ausgelesen werden, wird von einer Adresse spezifiziert, die zu dem entsprechenden, beispielsweise ähnlich nummerierten Port der Leseadressenports RA_1 bis RA_K gegeben wird. Typischerweise haben die Schreibadresse WA und die Leseadresse RA_1 bis RA_K die gleiche Anzahl von Adressenleitungen L.

[0020] Während bei früheren Versionen von Multiport-Registersätzen kein Lesefreigabesignal erforderlich ist, damit an irgendeinem der Leseports R_1 bis R_K ein Ausgangsignal erscheint und stattdessen einfach das Zuführen der passenden Leseadresse ausreicht, um das entsprechende Ausgangsignal zu erlangen, ist erfindungsgemäß ein Lesefreigabesignal an einem oder mehreren der Leseports R_1 bis R_K vorhanden, um zu verhindern, dass unerwünschte Daten-Lesevorgänge zu einem unnötigen Leistungsverbrauch führen.

[0021] Daten lassen sich in den Multiport-Registersatz **101** gleichzeitig einschreiben und aus ihm auslesen. Insbesondere können Daten in ein und dieselbe Speicherstelle **102** gleichzeitig eingeschrieben und aus ihr ausgelesen werden. Damit lässt sich ein erster Wert in eine spezielle Stelle der Speicherstellen **102** einschreiben, während gleichzeitig ein anderer Wert aus exakt der gleichen Stelle ausgelesen werden kann, um an einen oder mehreren von den Leseports R_1 bis R_K zu gelangen. Darüber hinaus kann unter speziellen Betriebsbedingungen des FIR-Filters gemäß einem Aspekt der Erfindung lediglich eine Menge der höchstwertigen Bits eines Koeffizienten, abgespeichert in einer der Speicherstellen **103**, zu einem speziellen Port der Leseports R_1 bis R_K geliefert werden.

[0022] Die Zwischenspeicher **107** sind herkömmliche pegelempfindliche Zwischenspeicher, wie sie z. B. beschrieben sind von N. Weste und K. Eshraghian auf den Seiten 19 bis 21 von Principles of CMOS VLSI Design, zweite Ausgabe, Addison Wesley, 1992. Damit kann jede der Speicherstellen **103** als Master-Zwischenspeicher fungieren, während irgendein anderer der Zwischenspeicher **107** als Slave-Zwischenspeicher arbeiten kann, um ein flankengesteuertes Flipflop zu bilden.

[0023] Es gibt unterschiedliche Methoden beim Lesen von Daten aus einer der Speicherstellen **102** über eines der Ports R_1 bis R_K. Beispielsweise liest das Leseport R_1 nur die höchstwertigen Bits eines Koeffizienten aus, die in Speicherstellen **103** gespeichert sind. Alternativ liest das Leseport R_K sämtliche Bits eines in einer Speicherstelle **102** abgespeicherten Koeffizienten, liefert jedoch nur dann ein Ausgangsignal an das Leseport R_K, wenn das Lesefreigabesignal RE einen speziellen Zustand einnimmt, z. B. dann, wenn RE einen hohen Wert hat. Zu sämtlichen übrigen Zeiten bleibt der Wert am Leseport R_K statisch beim letzten in dem Zwischenspeicher 107-K gespeicherten Wert. Die Wirkungsweise des Lesefreigabesignals RE lässt sich in dem Registersatz beispielsweise durch Verknüpfung realisieren, beispielsweise UND-Verknüpfung, wobei das Lesefreigabesignal und der Takt verknüpft werden, der für den Zugriff auf die Speicherstellen **102** verwendet wird.

[0024] Bei einer anderen Ausführungsform der Erfindung lässt sich ein Lesefreigabesignal in Verbindung mit den Speicherstellen **104** verbinden. Wenn das Lesefreigabesignal nicht einen spezifizierten Wert hat, beispielsweise einen hohen Wert hat, werden keine niedrigstwertigen Bitwerte des Koeffizienten aus den Speicherstellen **104** ausgelesen, unabhängig von dem Vorhandensein zulässiger Leseadressen an irgendeinem der Leseadressenports RA_1 bis RA_K.

[0025] Bekanntlich aktualisiert das Burstmode-Koeffizienten-Updating Koeffizienten dann, wenn Fehler einen vorbestimmten Schwellenwert überschreiten, wohingegen die Koeffizienten unverändert bleiben, wenn Fehler unter einem vorbestimmten Schwellenwert liegen. Im Hinblick auf das oben Gesagte ist es vorteilhaft, gemäß einem Aspekt der Erfindung, dieses Burstmode-Koeffizienten-Updating in folgender Weise effizient durchzuführen: Wenn Koeffizienten aktualisiert werden, wird ein Lesefreigabesignal RE zum Lesen der Speicherstellen **104** freigegeben, beispielsweise auf einen hohen Wert gesetzt, so dass Daten aus den Speicherstellen **104** ausgelesen werden. Darüber hinaus dient das Lesefreigabe-Steuersignal RE_K für das Leseport $_K$ zum Auslesen von Koeffizientenwerten aus Speicherstellen **102**, die dort bereits gespeichert sind. Außerdem wird ein Schreibfreigabe-Steuersignal WE in Speicherstellen **102** mit aktualisierten Koeffizientenwerten eingeschrieben, die von einer Koeffizienten-Aktualisiereinheit in herkömmlicher Weise geliefert werden.

[0026] Wenn Koeffizienten nicht aktualisiert werden, werden das Schreibfreigabe-Steuersignal WE und das Lesefreigabe-Steuersignal R_K für das Leseport R_K gesperrt, z. B. auf einen niedrigen Wert gesetzt. Im Ergebnis ergeben sich keine Änderungen bei den Daten, die am Ausgang des Leseports R_K erscheinen. In anderen Worten: Die am Ausgang des Leseports R_K erscheinenden Daten bleiben konstant. Implementieren lässt sich dies durch Verknüpfung, beispielsweise UND-Verknüpfung des Lesefreigabe-Steuersignals RE_K mit dem Takt, der zum Steuern der Zwischenspeicher **107** dient, und durch Verwenden des verknüpften Signals als Taktsignal für die Zwischenspeicher 107-K.

[0027] Darüber hinaus wird ein Lesefreigabesignal RE zum Lesen der Speicherstellen **104** gesperrt, z. B. auf niedrigen Wert gesetzt, so dass die Daten nicht aus den Speicherstellen **104** ausgelesen werden. Implementiert werden kann dies durch Verknüpfen, beispielsweise UND-Verknüpfen des Lesefreigabe-Steuersignals RE mit dem für die Speicherstellen **102** verwendeten Takt und Verwenden des verknüpften Signals als Taktsignal für den Speicher **104**. Wenn der Wert von P typischerweise in der Größenordnung liegt wie derjenige von Q, wird die von den Speicherstellen **102** verbrauchte Leistung in der Größenordnung von etwa 50% verringert, wenn keine Koeffizienten aktualisiert werden.

[0028] Bei einem Filterentwurf wird das Ausgangsignal des Leseports R_k zu einer Aktualisierschaltung, z. B. einem Addierer, gegeben. Wenn es Änderungen bei den an die Aktualisierschaltung gelieferten Daten gibt, werden wie im Stand der Technik Berechnungen von der Aktualisierschaltung durchgeführt. Solche Rechnungen bedingen naturgemäß Leistungsverbrauch. Wenn aber gemäß den Prinzipien der vorlie-

genden Erfindung an die Aktualisierschaltung keine sich ändernden Daten geliefert werden, wird ein solcher Leistungsverbrauch vermieden, da die Eingänge an der Aktualisierschaltung statisch verbleiben, was auch für den Ausgang gilt.

[0029] Wie z. B. aus dem US-Patent 5 646 957 bekannt ist, muss man die anderen Eingänge der Aktualisierschaltung ausschalten, um eine Reduzierung des Leistungsverbrauchs zu erreichen. Wenn dies in Kombination mit der Erfindung geschieht, wird für die Aktualisierschaltung ein minimaler Leistungsverbrauch erreicht, der nahezu null beträgt.

[0030] Bei einigen Anwendungen der Erfindung lässt sich die Gesamtleistungsaufnahme des Filters um mehr als die Hälfte reduzieren.

[0031] Bei einer anderen Implementierung der Erfindung ist es durch Verwendung des Lesefreigabesignals RE zum Sperren des Lesens und folglich von Änderungen aus dem Speicher **104** lediglich notwendig, die niedrigstwertigen Bits daran zu hindern, die Aktualisierschaltung zu erreichen, beispielsweise durch Verwendung des Lesefreigabe-Steuersignals RE_K, um nur die Zwischenspeicherung durch den Zwischenspeicher 107-K der höchstwertigen Bits aus dem Speicher **103** zu steuern.

[0032] Man beachte, dass eine optionale Berechnungseinheit, wie sie in der mit-anhängigen US-Anmeldung entsprechend der US 6 542 539, veröffentlicht am 1.4.2003, beschrieben ist, zwischen die Speicherstellen **102** und ein oder mehrere Ausgangsports R_1 bis R_k eingeschaltet werden kann.

[0033] Gemäß einer weiteren Ausführungsform der Erfindung, die in **Fig.** 2 dargestellt ist, kann, anstatt mit den Lesefreigabesignalen RE die Ausgänge der Zwischenspeicher **107** zu steuern, ein externer Multiplexer **212** dazu benutzt werden, als Ausgangsgröße einen konstanten Wert zu liefern, wenn keine Koeffizienten zu aktualisieren sind. Man beachte, dass in Verbindung mit einem Multiplexer **212** ein konstanter Wert die gleichen Bedeutung hat wie ein und derselbe Wert, der fest an einem Eingangsport des Multiplexers ansteht. In einer noch weiteren Ausführungsform der Erfindung, die in **Fig.** 3 dargestellt ist, kann ein Tri-State-Treiber **315** verwendet werden. Bei den Ausführungsformen nach den **Fig.** 2 und 3 dient ein Lesefreigabesignal RE, zum Steuern des Multiplexers **212** oder des Treibers **315**. Weiterhin kann bei der Ausführungsform nach **Fig.** 3 eine Bushalterschaltung in Verbindung mit dem Tri-State-Treiber **315** eingesetzt werden, um zu garantieren, dass der vorhergehende Wert eines Koeffizienten auf den zu der Aktualisiereinheit führenden Leitung verbleibt. Wenn eine Bushalterschaltung verwendet wird, wird der auf den Leitungen zur Aktualisiereinheit verbleibende Wert als stabiler Wert bezeichnet.

[0034] Ferner können die geteilte Architektur sowie Sperrmethoden dazu benutzt werden, Vorteile in Architekturen zu erzielen, die von Umlaufregistern Gebrauch machen, wie dies in dem vorerwähnten US-Patent 5 646 957 erwähnt ist.

[0035] Man beachte, dass bei einer weiteren Ausführungsform der Erfindung im wesentlichen die gleichen Ergebnisse dadurch erzielt werden können, dass man zwei getrennte Multiport-Registersätze verwendet, einen für die höchstwertigen und einen für die niedrigstwertigen Bits. Diese Multiport-Registersätze könnten in passender Weise die gleichen Lese- und Schreibsignale erhalten. Allerdings ist eine derartige Architektur kostenaufwändiger, da sie besondere Decodierer erfordert, beispielsweise Leseadressen-Decodierer und Schreibadressen-Decodierer.

Patentansprüche

1. Multiport-Registersatz (**101**) zum Speichern von Koeffizienten zur Verwendung in einem adaptiven nicht-rekursiven Filter (FIR-Filter), umfassend:
einen Speicher (**102**) mit Speicherstellen zum Speichern von Koeffizientenwerten,
wobei der Speicher (**102**) eine geteilte Speicherarchitektur implementiert, umfassend eine geteilte Speichergruppierung, wobei jede geteilte Speichergruppe entweder niedrigstwertige Bits oder höchstwertige Bits enthält und die geteilte Speichergruppierung so ausgebildet ist, dass eine separate Steuerung der niedrigstwertigen Bits und der höchstwertigen Bits von mindestens zwei Koeffizientenwerten möglich ist,
eine Steuereinrichtung, konfiguriert zum separaten Steuern von niedrigstwertigen Bits und höchstwertigen Bits durch Anwenden gemeinsamer Steuerungen auf beide geteilte Speichergruppen;
wobei die Steuereinrichtung eine Einrichtung enthält zum Steuern des Auslesens der niedrigstwertigen Bits der mindestens zwei Koeffizientenwerte.

2. Multiport-Registersatz (**101**) nach Anspruch 1, bei dem die Einrichtung zum Steuern auf ein Lesesignal anspricht.

3. Multiport-Registersatz (**101**) nach Anspruch 1, bei dem die Einrichtung zum Steuern ein Gatter ist, welches an ein Lesefreigabesignal (RE-Signal) und einen Takt zur Zeitsteuerung des Speichers (**102**) gekoppelt ist.

4. Multiport-Registersatz (**101**) nach Anspruch 1, weiterhin umfassend:
eine Koeffizienten-Aktualisiereinrichtung; und
eine Einrichtung zum gesteuerten Verhindern, dass Änderungen an die Koeffizienten-Aktualisiereinrichtung gelangen.

5. Multiport-Registersatz (**101**) nach Anspruch 4,

bei dem die Einrichtung zum steuerbaren Verhindern von Änderungen mindestens eine Lesefreigabe-Steuerung (RE) für die niedrigstwertigen Bits des Speichers (**102**) enthält.

6. Multiport-Registersatz (**101**) nach Anspruch 4, weiterhin umfassend einen Zwischenspeicher (**107**), der mit dem Speicher (**102**) gekoppelt ist, um als Ausgangsgröße Koeffizientendaten zur Aktualisierung zu liefern, wobei die Einrichtung zum gesteuerten Verhindern von Änderungen mindestens eine Lesefreigabesteuerung (RE_K) für den Zwischenspeicher (**107**) enthält.

7. Multiport-Registersatz (**101**) nach Anspruch 4, weiterhin umfassend einen Zwischenspeicher (**107**), der an den Speicher (**102**) gekoppelt ist, um als Ausgangsgröße Koeffizientendaten zu aktualisieren und zu liefern, wobei die Einrichtung zum gesteuerten Verhindern von Änderungen mindestens eine Lesefreigabesteuerung (RE_K) für die niedrigstwertigen Bits des Zwischenspeichers (**107**) enthält.

8. Multiport-Registersatz (**101**) nach Anspruch 4, weiterhin umfassend einen Zwischenspeicher (**107**), der an den Speicher (**102**) gekoppelt ist, um als Ausgangsgröße Koeffizientendaten zu aktualisieren und zu liefern, wobei die Einrichtung zum gesteuerten Verhindern von Änderungen mindestens eine Lesefreigabesteuerung (RE_K) für die sämtlichen Bits des Zwischenspeichers (**107**) enthält.

9. Multiport-Registersatz (**101**) nach Anspruch 4, bei dem die Einrichtung zum gesteuerten Verhindern von Änderungen mindestens ein Logikgatter zum Ausblenden eines Taktsignals (CLK) mit einem Lesefreigabesignal (RE) enthält.

10. Multiport-Registersatz (**101**) nach Anspruch 4, bei dem die Einrichtung zum gesteuerten Verhindern von Änderungen einen Multiplexer (**212**) enthält, der in gesteuerter Weise mindestens (i) die niedrigstwertigen Bits, die derzeit aus dem Speicher (**102**) ausgelesen werden und (ii) entweder die höchstwertigen Bits, die derzeit aus dem Speicher (**102**) ausgelesen werden, oder einen konstanten Wert, liefert.

11. Multiport-Registersatz (**101**) nach Anspruch 4, bei dem die Einrichtung zum gesteuerten Verhindern enthält:
einen Multiplexer (**212**), der in gesteuerter Weise mindestens (i) den einen Koeffizienten, der gerade aus dem Speicher (**102**) ausgelesen wird, oder (ii) einen konstanten Wert liefert.

12. Multiport-Registersatz (**101**) nach Anspruch 4, bei dem die Einrichtung zum gesteuerten Verhindern aufweist:
mindestens einen Tri-State-Treiber (**315**), der als Ausgangsgröße mindestens (i) einen ihm als Eingangsgröße zugeführten Wert oder (ii) eine hohe Impedanz liefert.

13. Die Erfindung als Multiport-Registersatz (**101**) nach Anspruch 4, bei dem die Einrichtung zum gesteuerten Verhindern mindestens enthält:
einen Tri-State-Treiber (**315**), der als Ausgangsgröße mindestens (i) den ihm als eine Eingangsgröße zugelieferten Wert oder (ii) eine hohe Impedanz liefert, und einen an den Ausgang des Tri-State-Treibers (**315**) gekoppelten Bushalteschaltkreis.

14. Multiport-Registersatz (**101**) nach Anspruch 4, bei dem die Einrichtung zum gesteuerten Verhindern mindestens einen Tri-State-Treiber (**315**) mit einer Bushalteschaltung (**429**) enthält, die als eine Ausgangsgröße mindestens (i) einen ihr als Eingangsgröße zugelieferten Wert oder (ii) eine hohe Impedanz liefert, so dass ein vorausgehender Koeffizientenwert, der am Ausgang des Tri-State-Treibers (**315**) erscheint, konstant bleibt.

15. Multiport-Registersatz (**101**) nach Anspruch 1, bei dem die Einrichtung zum gesteuerten Auslesen der niedrigstwertigen Bits der mindestens zwei Koeffizientenwerte aufweist:
eine erste Freigabesteuerung zum Ausschalten des Auslesens von niedrigstwertigen Bits der mindestens zwei Koeffizientenwerte aus dem Speicher (**102**); und
eine zweite Freigabesteuerung zum Steuern zumindest eines Teils eines Ausgangszwischenspeichers (107-K), der mit dem Speicher (**102**) gekoppelt ist.

Es folgt ein Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

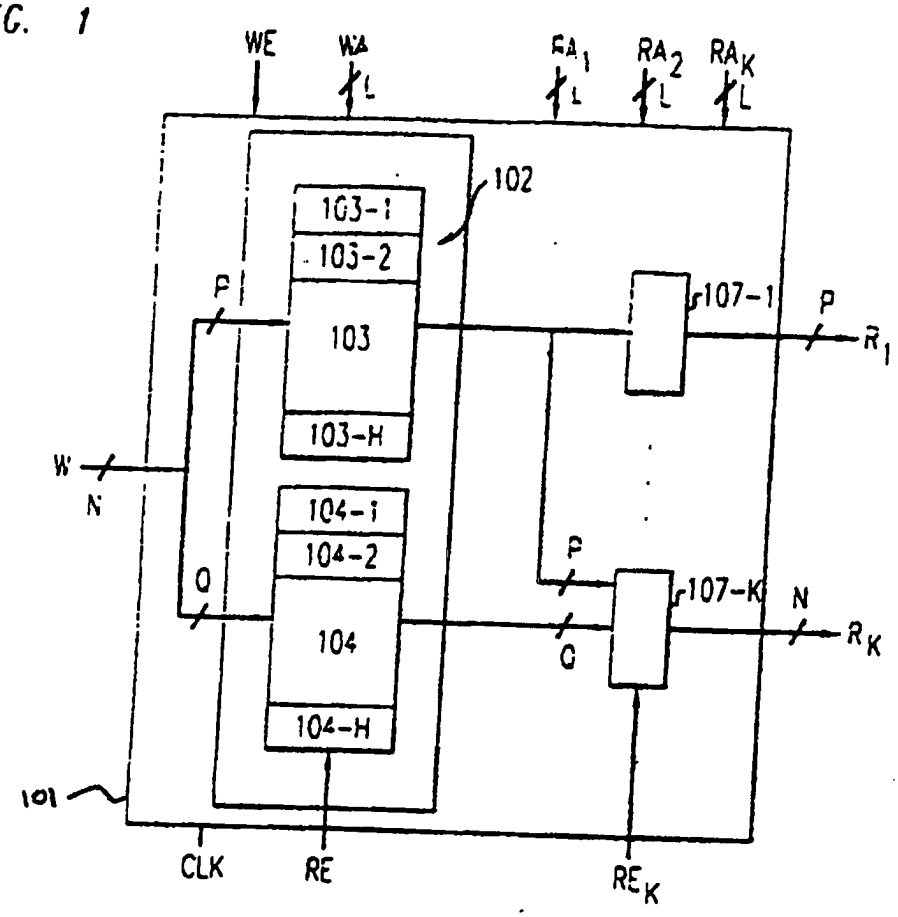


FIG. 2

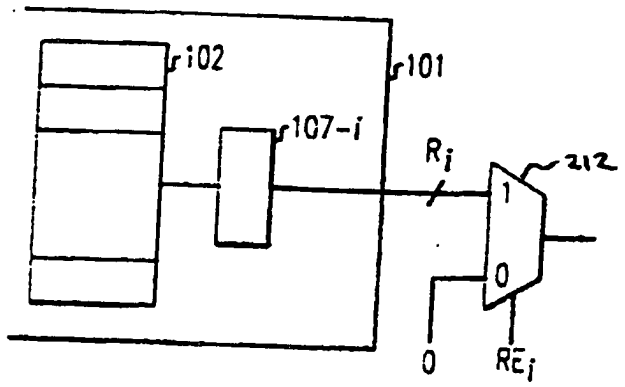


FIG. 3

