

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年4月22日(2010.4.22)

【公開番号】特開2007-294897(P2007-294897A)

【公開日】平成19年11月8日(2007.11.8)

【年通号数】公開・登録公報2007-043

【出願番号】特願2007-67107(P2007-67107)

【国際特許分類】

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 27/00 (2006.01)

【F I】

H 0 1 L 27/10 3 2 1

H 0 1 L 27/08 3 2 1 G

H 0 1 L 27/00 3 0 1 A

【手続補正書】

【提出日】平成22年3月4日(2010.3.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ビット線を有する金属層と、

バルクシリコン層、及び該バルクシリコン層上に製造された相補型 MOS FET (CMOS) トランジスタを有するバルク技術集積回路 (バルク IC) であって、前記 CMOS トランジスタの第 1 のトランジスタは、第 1 のソース領域及び第 1 のドレイン領域のうち一方に対応する第 1 のドープ領域を含む、該バルク IC と、

第 1 の単一トランジスタダイナミックランダムアクセスメモリ (1T-DRAM) セルであって、前記バルク IC に隣接して設けられ且つ一体化された 1T DRAM を有する、該第 1 の 1T-DRAM セルと、

を備え、
前記第 1 の 1T-DRAM セルは、第 2 のソース領域に対応する第 2 のドープ領域を有しており、前記ビット線は、前記第 1 のドープ領域及び前記第 2 のドープ領域に電氣的に接続しており、

前記ビット線は、該ビット線に沿った第 1 の位置で前記 CMOS トランジスタに接続しており、該ビット線に沿った第 2 の位置であって前記第 1 の位置とは異なる該第 2 の位置で前記第 1 の 1T-DRAM セルに接続しており、
集積回路。

【請求項 2】

前記第 1 の 1T-DRAM セルが、

アモルファスシリコン層と、

前記アモルファスシリコン層に隣接して設けられた第 1 及び第 2 のゲート酸化層、並びに、前記第 1 及び第 2 のゲート酸化層内に設けられた第 1 及び第 2 のゲートポリシリコン層を有する第 1 及び第 2 のゲートと、

を備える、請求項 1 に記載の集積回路。

【請求項 3】

前記第 1 の 1 T-D R A Mセルが、前記アモルファスシリコン層並びに前記第 1 及び第 2 のゲートに隣接して設けられた第 1 の層間誘電体 (I L D) を有する、請求項 2 に記載の集積回路。

【請求項 4】

前記バルク I C の前記バルクシリコン層が、第 3 のドープ領域及び第 4 のドープ領域を有する N ウェル、並びに、第 5 のドープ領域を有する P ウェルを備え、

前記バルク I C が、前記バルクシリコン層に隣接して設けられた第 3 及び第 4 のゲート酸化層、並びに、前記第 3 及び第 4 のゲート酸化層内に設けられた第 3 及び第 4 のゲートポリシリコン層を有する第 3 及び第 4 のゲートを更に備える、
請求項 3 に記載の集積回路。

【請求項 5】

前記バルクシリコン層並びに前記第 3 及び第 4 のゲートに隣接して設けられた第 2 の I L D を更に備える、請求項 4 に記載の集積回路。

【請求項 6】

前記第 2 の I L D の内に設けられ、且つ、前記バルクシリコン層の前記第 3 及び第 5 のドープ領域にそれぞれ接続する第 1 及び第 2 のコンタクトを更に備える、請求項 5 に記載の集積回路。

【請求項 7】

前記第 1 の I L D 内に設けられた第 3 及び第 4 のコンタクトを更に備え、前記第 1 及び第 2 のコンタクトがそれぞれ前記第 3 及び第 4 のコンタクトに接続する、請求項 6 に記載の集積回路。

【請求項 8】

前記ビット線が、前記第 3 及び第 4 のコンタクトに接続する、請求項 7 に記載の集積回路。

【請求項 9】

前記アモルファスシリコン層が、前記第 2 のドープ領域及び第 6 のドープ領域を有し、前記 1 T-D R A Mセルの前記第 1 のゲートが前記第 2 及び前記第 1 のドープ領域の一部に隣接して設けられており、前記 1 T-D R A Mセルの前記第 2 のゲートが前記第 2 及び前記第 6 のドープ領域の一部に隣接して設けられており、

前記第 6 のドープ領域が前記ビット線に直接接触していない、
請求項 8 に記載の集積回路。

【請求項 10】

前記第 1 の I L D 内に設けられ、且つ、前記アモルファスシリコン層の前記第 2 のドープ領域に接続する第 5 のコンタクトを更に備える、請求項 9 に記載の集積回路。

【請求項 11】

前記第 1 の 1 T-D R A Mセルが、ゲート領域を有する第 1 のトランジスタを備える、
請求項 1 に記載の集積回路。

【請求項 12】

前記第 1 の 1 T-D R A Mセルが、本体領域及び第 2 のソース領域を有する第 1 のトランジスタを備える、請求項 1 に記載の集積回路。

【請求項 13】

前記本体領域がデータを蓄え、前記 1 T-D R A Mセルがキャパシタ内にデータを蓄えない、請求項 12 に記載の集積回路。

【請求項 14】

前記本体領域がアモルファスシリコン層を有する、請求項 13 に記載の集積回路。

【請求項 15】

前記第 2 のソース領域を前記第 1 の 1 T-D R A Mセルの前記第 1 のトランジスタと共有する第 2 のトランジスタを有する第 2 の 1 T-D R A Mセルを更に備える、請求項 12

に記載の集積回路。

【請求項 16】

前記第 1 の 1 T-D R A Mセル及び前記第 2 の 1 T-D R A Mセルが 2 ビットのデータを蓄える、請求項 16 に記載の集積回路。

【請求項 17】

前記第 1 の 1 T-D R A Mが、

前記第 2 のソース領域と、

本体領域と、

前記第 2 のドレイン領域と、

を備え、

前記第 2 のソース領域と、前記本体領域と、前記第 2 のドレイン領域とが、前記バルク I C に隣接して設けられたドーパモルファスシリコン層内に形成されている、請求項 1 に記載の集積回路。

【請求項 18】

前記第 1 の 1 T-D R A Mセルの前記第 2 のソース領域が、ニッケルを用いてシード形成された結晶化シリコンを備える、請求項 17 に記載の集積回路。

【請求項 19】

前記第 1 の 1 T-D R A Mセルの前記第 2 のソース領域が、シード形成された結晶化シリコンのアイランドを備える、請求項 17 に記載の集積回路。

【請求項 20】

前記結晶化シリコンのアイランドと前記バルク I C とが、共通の配向を有する、請求項 19 に記載の集積回路。