

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-267958

(P2010-267958A)

(43) 公開日 平成22年11月25日(2010.11.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 H	5 F 1 0 2
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 P	5 F 1 1 0
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F 1 4 0
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 2 6 C	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 7 A	

審査請求 有 請求項の数 52 O L 外国語出願 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2010-97156 (P2010-97156)  
 (22) 出願日 平成22年4月20日 (2010. 4. 20)  
 (31) 優先権主張番号 10 2009 018 054.0  
 (32) 優先日 平成21年4月21日 (2009. 4. 21)  
 (33) 優先権主張国 ドイツ (DE)

(71) 出願人 506236358  
 インフィネオン テクノロジーズ オーストリア アクチエンゲゼルシャフト  
 オーストリア 9500 フィラハ シーメンスシュトラッセ 2  
 (74) 代理人 110000338  
 特許業務法人原謙三国際特許事務所  
 (72) 発明者 フランツ, ハーラー  
 ドイツ連邦共和国, 84424 イゼン, モーツァルトシュトラッセ 4  
 (72) 発明者 ウォルター, リーゲー  
 オーストリア, 9601 アーノルドシュタイン, ゼルツサッハ 99

最終頁に続く

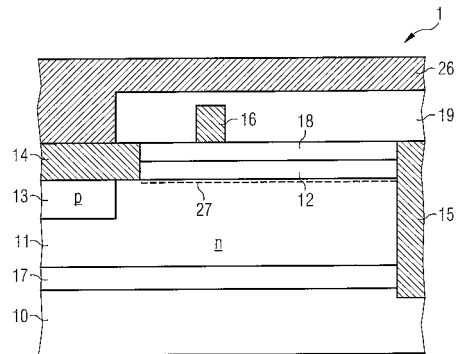
(54) 【発明の名称】 横型HEMTおよび横型HEMTの製造方法

(57) 【要約】 (修正有)

【課題】 高いアバランシュブレークダウン強度を有する横型HEMTと、その製造方法を提供する。

【解決手段】 基板10と、基板上に配置された、第1導電型の子ヤネルとなる第1層11、少なくとも部分的に上記第1層11の上に配置された電子供給層となる第2層12を有する。さらに、上記横型HEMTは、上記第1導電型に対して相補的な第2導電型の半導体物質を有し、少なくとも部分的に上記第1層11の中に配置された第3層13を有する。このためPNダイオードが上記第1層および第3層の間で形成され、PNダイオードは横型HEMTより低いブレークダウン電圧を有することにより、HEMTを高い電界から保護することができ、HEMTの劣化を防止できる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

基板(10)と、

第1導電型の半導体物質を有し、少なくとも部分的に上記基板の上に配置された第1層(11)と、

半導体物質を有し、少なくとも部分的に上記第1層(11)の上に配置された第2層(12)と、

上記第1導電型に対して相補的な第2導電型の半導体物質を有し、少なくとも部分的に上記第1層(11)の中に配置された第3層(13)とを有する、横型HEMT。

**【請求項 2】**

上記第3層(13)は、完全に上記第1層(11)の中に配置されている、請求項1に記載の横型HEMT。

**【請求項 3】**

上記第3層(13)は、部分的に上記第2層(12)の中で配置されている、請求項1に記載の横型HEMT。

**【請求項 4】**

上記横型HEMTは、第1電極(14)、第2電極(15)、およびゲート電極(16)を有する、請求項1ないし3の何れか1項に記載の横型HEMT。

**【請求項 5】**

上記第1電極(14)は、上記第2層(12)から上記第3層(13)まで垂直方向に延び、上記第2電極(15)は、上記第2層(12)から部分的に上記基板(10)の中まで垂直方向に延びる、請求項4に記載の横型HEMT。

**【請求項 6】**

上記第1層(11)は、GaNを有する、請求項1ないし5の何れか1項に記載の横型HEMT。

**【請求項 7】**

上記第2層(12)は、AlGaNを有する、請求項1ないし6の何れか1項に記載の横型HEMT。

**【請求項 8】**

上記第3層(13)は、GaNを有する、請求項1ないし7の何れか1項に記載の横型HEMT。

**【請求項 9】**

上記基板(10)は、Siを有する、請求項1ないし8の何れか1項に記載の横型HEMT。

**【請求項 10】**

上記基板(10)は、SiCを有する、請求項1ないし8の何れか1項に記載の横型HEMT。

**【請求項 11】**

上記基板(10)は、Al<sub>2</sub>O<sub>3</sub>を有する、請求項1ないし8の何れか1項に記載の横型HEMT。

**【請求項 12】**

上記第2層(12)は、ドーピングされていない、請求項1ないし11の何れか1項に記載の横型HEMT。

**【請求項 13】**

上記横型HEMTは、バッファ層(17)を有し、上記バッファ層(17)は、上記基板(10)と上記第1層(11)との間に配置されている、請求項1ないし12の何れか1項に記載の横型HEMT。

**【請求項 14】**

上記バッファ層(17)は、AlN、GaN、またはAlGaNを有する、請求項13に記載の横型HEMT。

10

20

30

40

50

## 【請求項 15】

上記横型 H E M T は、パッシベーション層 ( 1 8 ) を有し、上記パッシベーション層 ( 1 8 ) は、少なくとも部分的に上記第 2 層 ( 1 2 ) の上に配置されている、請求項 1 ないし 1 4 の何れか 1 項に記載の横型 H E M T。

## 【請求項 16】

上記横型 H E M T は、絶縁層 ( 1 9 ) を有し、上記絶縁層 ( 1 9 ) は、少なくとも部分的に上記パッシベーション層 ( 1 8 ) の上に配置されている、請求項 1 5 に記載の横型 H E M T。

## 【請求項 17】

基板 ( 1 0 ) と、  
第 1 導電型の半導体物質を有し、少なくとも部分的に上記基板 ( 1 0 ) の上に配置された第 1 層 ( 1 1 ) と、  
半導体物質を有し、少なくとも部分的に上記第 1 層 ( 1 1 ) の上に配置された第 2 層 ( 1 2 ) と、  
半導体物質を有し、少なくとも部分的に上記基板 ( 1 0 ) の中に配置された第 3 層 ( 1 3 ) とを有する、横型 H E M T。

10

## 【請求項 18】

上記第 3 層 ( 1 3 ) の半導体物質は、上記第 1 導電型に対して相補的な第 2 導電型を有し、

上記基板 ( 1 0 ) は、上記第 1 導電型の半導体物質を有する、請求項 1 7 に記載の横型 H E M T。

20

## 【請求項 19】

上記第 3 層 ( 1 3 ) の半導体物質は、上記第 1 導電型を有し、  
上記基板 ( 1 0 ) は、上記第 1 導電型に対して相補的な第 2 導電型の半導体物質を有する、請求項 1 7 に記載の横型 H E M T。

## 【請求項 20】

上記横型 H E M T は、第 1 電極 ( 1 4 )、第 2 電極 ( 1 5 )、およびゲート電極 ( 1 6 ) を有する、請求項 1 7 ないし 1 9 の何れか 1 項に記載の横型 H E M T。

## 【請求項 21】

上記第 1 電極 ( 1 4 ) は、上記第 2 層 ( 1 2 ) から上記第 3 層 ( 1 3 ) まで垂直方向に延び、

30

上記第 2 電極 ( 1 5 ) は、上記第 2 層 ( 1 2 ) から部分的に上記基板 ( 1 0 ) の中まで垂直方向に延びる、請求項 2 0 に記載の横型 H E M T。

## 【請求項 22】

上記第 1 層 ( 1 1 ) は、G a N を有する、請求項 1 7 ないし 2 1 の何れか 1 項に記載の横型 H E M T。

## 【請求項 23】

上記第 2 層 ( 1 2 ) は、A l G a N を有する、請求項 1 7 ないし 2 2 の何れか 1 項に記載の横型 H E M T。

## 【請求項 24】

上記第 3 層 ( 1 3 ) は、S i を有する、請求項 1 7 ないし 2 3 の何れか 1 項に記載の横型 H E M T。

40

## 【請求項 25】

上記基板 ( 1 0 ) は、S i を有する、請求項 1 7 ないし 2 4 の何れか 1 項に記載の横型 H E M T。

## 【請求項 26】

上記基板 ( 1 0 ) は、S i C を有する、請求項 1 7 ないし 2 4 の何れか 1 項に記載の横型 H E M T。

## 【請求項 27】

上記第 2 層 ( 1 2 ) は、ドーピングされていない、請求項 1 7 ないし 2 6 の何れか 1 項に記載

50

載の横型 H E M T。

【請求項 28】

上記横型 H E M T は、バッファ層 ( 17 ) を有し、上記バッファ層 ( 17 ) は、上記基板 ( 10 ) と上記第 1 層 ( 11 ) との間に配置されている、請求項 17 ないし 27 の何れか 1 項に記載の横型 H E M T。

【請求項 29】

上記バッファ層 ( 17 ) は、A l N、G a N、または A l G a N を有する、請求項 28 に記載の横型 H E M T。

【請求項 30】

上記横型 H E M T は、パッシベーション層 ( 18 ) を有し、上記パッシベーション層 ( 18 ) は、少なくとも部分的に上記第 2 層 ( 12 ) の上に配置されている、請求項 17 ないし 29 の何れか 1 項に記載の横型 H E M T。

10

【請求項 31】

上記横型 H E M T は、絶縁層 ( 19 ) を有し、上記絶縁層 ( 19 ) は、少なくとも部分的に上記パッシベーション層 ( 18 ) の上に配置されている、請求項 30 に記載の横型 H E M T。

【請求項 32】

第 1 導電型の半導体物質を有する基板 ( 10 ) と、  
上記第 1 導電型の半導体物質を有し、少なくとも部分的に上記基板 ( 10 ) の上に配置された第 1 層 ( 11 ) と、

20

半導体物質を有し、少なくとも部分的に上記第 1 層 ( 11 ) の上に配置されたる第 2 層 ( 12 ) と、

上記第 1 導電型の半導体物質を有し、少なくとも部分的に上記第 1 層 ( 11 ) の下に配置された第 3 層 ( 13 ) と、

上記第 1 導電型に対して相補的な第 2 導電型の半導体物質を有し、少なくとも部分的に上記第 3 層 ( 13 ) の下に配置された第 4 層 ( 20 ) と、

第 1 電極 ( 14 ) と、

第 2 電極 ( 15 ) と、

ゲート電極 ( 16 ) とを有し、

上記第 1 電極は、上記第 2 層 ( 12 ) から上記第 3 層 ( 13 ) まで垂直方向に延び、

30

上記第 2 電極 ( 15 ) は、上記第 2 層 ( 12 ) から部分的に上記基板 ( 10 ) の中まで垂直方向に延び、

第 1 絶縁層 ( 21 ) が、上記第 2 電極 ( 15 ) と上記第 3 層 ( 13 ) との間、および、上記第 2 電極 ( 15 ) と上記第 4 層 ( 20 ) との間に配置されている、横型 H E M T。

【請求項 33】

上記第 1 層 ( 11 ) は、G a N を有する、請求項 32 に記載の横型 H E M T。

【請求項 34】

上記第 2 層 ( 12 ) は、A l G a N を有する、請求項 32 または 33 に記載の横型 H E M T。

【請求項 35】

上記第 3 層 ( 13 ) は、S i を有する、請求項 32 ないし 34 の何れか 1 項に記載の横型 H E M T。

40

【請求項 36】

上記第 4 層 ( 20 ) は、S i を有する、請求項 32 ないし 35 の何れか 1 項に記載の横型 H E M T。

【請求項 37】

上記基板 ( 10 ) は、S i を有する、請求項 32 ないし 36 の何れか 1 項に記載の横型 H E M T。

【請求項 38】

上記基板 ( 10 ) は、S i C を有する、請求項 32 ないし 36 の何れか 1 項に記載の横

50

型 H E M T。

【請求項 39】

上記第 2 層 ( 1 2 ) は、ドーブされていない、請求項 3 2 ないし 3 8 の何れか 1 項に記載の横型 H E M T。

【請求項 40】

上記横型 H E M T は、バッファ層 ( 1 7 ) を有し、上記バッファ層 ( 1 7 ) は、上記基板 ( 1 0 ) と上記第 1 層 ( 1 1 ) との間に配置されている、請求項 3 2 ないし 3 9 の何れか 1 項に記載の横型 H E M T。

【請求項 41】

上記バッファ層 ( 1 7 ) は、A l N、G a N、または A l G a N を有する、請求項 4 0 に記載の横型 H E M T。

10

【請求項 42】

上記 H E M T は、パッシベーション層 ( 1 8 ) を有し、上記パッシベーション層 ( 1 8 ) は、少なくとも部分的に上記第 2 層 ( 1 2 ) の上に配置されている、請求項 3 2 ないし 4 1 の何れか 1 項に記載の横型 H E M T。

【請求項 43】

上記横型 H E M T は、さらなる絶縁層 ( 1 9 ) を有し、上記さらなる絶縁層 ( 1 9 ) は、少なくとも部分的に上記パッシベーション層 ( 1 8 ) の上に配置されている、請求項 4 2 に記載の横型 H E M T。

【請求項 44】

20

横型 H E M T の製造方法であって、

基板 ( 1 0 ) と、第 1 導電型の半導体物質を有し、少なくとも部分的に上記基板 ( 1 0 ) の上に配置された第 1 層 ( 1 1 ) と、半導体物質を有し、少なくとも部分的に上記第 1 層 ( 1 1 ) の上に配置された第 2 層 ( 1 2 ) と、少なくとも部分的に上記第 2 層 ( 1 2 ) の上に配置されたパッシベーション層 ( 1 8 ) とを形成する工程と、

上記第 1 層 ( 1 1 ) と、上記パッシベーション層 ( 1 8 ) の部分的除去を行う工程と、

上記第 1 導電型に対して相補的な第 2 導電型の半導体物質を有する第 3 層 ( 1 3 ) を、上記第 1 層 ( 1 1 ) の上で成長させる工程と、

上記第 2 層 ( 1 2 ) から上記第 3 層 ( 1 3 ) まで垂直方向に延びている第 1 電極 ( 1 4 ) 、上記第 2 層 ( 1 2 ) から部分的に上記基板 ( 1 0 ) の中まで垂直方向に延びている第 2 電極 ( 1 2 ) 、および、ゲート電極 ( 1 6 ) を形成する工程とを有する、方法。

30

【請求項 45】

構造化されたマスク ( 2 4 ) を用いてエッチング処理を行うことによって、上記第 1 層 ( 1 1 ) の部分的除去、上記第 2 層 ( 1 2 ) の部分的除去、および上記パッシベーション層 ( 1 8 ) の部分的除去を行う、請求項 4 4 に記載の方法。

【請求項 46】

横型 H E M T の製造方法であって、

基板 ( 1 0 ) 、および、第 1 導電型の半導体物質を有し、少なくとも部分的に上記基板 ( 1 0 ) の上に配置された第 1 層 ( 1 1 ) を形成する工程と、

上記第 1 導電型に対して相補的な第 2 導電型の半導体物質を有する第 3 層 ( 1 3 ) を、上記第 1 層の上に成長させる工程と、

40

上記第 1 層 ( 1 1 ) および上記第 3 層 ( 1 3 ) の部分的除去を行う工程と、

上記第 1 導電型の半導体物質を有する第 4 層 ( 1 1 ' ) 、および、半導体物質を有する第 2 層 ( 1 2 ) を上記第 1 層 ( 1 1 ) の上で成長させる工程と、

パッシベーション層 ( 1 8 ) を、少なくとも部分的に上記第 4 層 ( 1 1 ' ) の上に設ける工程と、

上記第 2 層 ( 1 2 ) から上記第 3 層 ( 1 3 ) まで垂直方向に延びる第 1 電極 ( 1 4 ) 、上記第 2 層 ( 1 2 ) から部分的に上記基板 ( 1 0 ) の中まで垂直方向に延びる第 2 電極 ( 1 5 ) 、および、ゲート電極 ( 1 6 ) を形成する工程とを有する、方法。

【請求項 47】

50

上記第1層(11)および上記第3層(13)の部分的除去は、構造化されたマスク(25)を用いて行われるエッチング処理によって行われる、請求項46に記載の方法。

【請求項48】

横型HEMTの製造方法であって、

基板(10)、および、第1導電型の半導体物質を有し、少なくとも部分的に上記基板(10)の上に配置された第1層(11)を形成する工程と、

構造化されたマスク(3)を、上記第1層(11)上に塗布する工程と、

上記第1導電型に対して相補的な第2導電型の半導体物質を有する第3層(13)を、上記第1層(11)の上で成長させる工程と、

上記第3層(13)の部分的除去を行う工程と、

上記マスク(23)の除去を行う工程と、

上記第1導電型の半導体物質を有する第4層(11')、および、半導体物質を有する第2層(12)を上記第1層(11)の上で成長させる工程と、

パッシベーション層(18)を、少なくとも部分的に上記第4層(11')上に設ける工程と、

上記第2層(12)から上記第3層(13)まで垂直方向に延びる第1電極(14)、上記第2層(12)から部分的に上記基板(10)の中まで垂直方向に延びる第2電極(15)、および、ゲート電極(16)を形成する工程とを有する、方法。

【請求項49】

上記第3層(13)の部分的除去は、CMP処理(化学機械研磨)によって行われる、請求項48に記載の方法。

【請求項50】

バッファ層(17)は、上記基板(10)と上記第1層(11)との間に設けられる、請求項44ないし49の何れか1項に記載の方法。

【請求項51】

絶縁層(19)は、少なくとも部分的に上記パッシベーション層(18)の上に設けられる、請求項44ないし50の何れか1項に記載の方法。

【請求項52】

上記第2層(12)は、ドーピングされない、請求項44ないし51の何れか1項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、横型HEMTと、横型HEMTの製造方法に関する。

【背景技術】

【0002】

従来のパワー半導体コンポーネントの大半は、シリコンに基づいて製造されてきた。これにより、半導体コンポーネント類における、達成可能な出力密度および稼働温度は、限界がある。また、高周波数域における適用も、上記半導体コンポーネント類の限界に達しつつある。上記限界の主な理由は、シリコンにおける限られたブレイクダウン(絶縁破壊)電界強度であるが、上記ブレイクダウン電界強度は、結局、空乏層の厚さと、空乏層の最大ドーピングにより左右されるからである。

【0003】

パワー半導体コンポーネント類に対する、製造コストのより一層の低減と共に、より一層の性能向上の要求は、今までの間に、出力密度がシリコンの物理的限界に達する程度にコンポーネント類を小型化することを必要とした。

【0004】

代替物質システムとしては、シリコンに比べて、より大きなバンドギャップ、より高いブレイクダウン電界強度を有し、また、しばしばより良好な熱伝導性を有する化合物半導体を用いられることが多い。

10

20

30

40

50

## 【0005】

パワー半導体コンポーネントの分野における上記目的のために最もよく知られている物質は、SiCである。SiCは、チャンネル移動度に加えてウェハサイズおよび材質に関する周知の制約にも関わらず、特に、高ブロック能（高耐電圧能）コンポーネントにおけるダイオードおよびバイポーラトランジスタに用いられている。現在まで、電界制御型のコンポーネント類は、JFET類の形態でしか存在していなかった。

## 【0006】

しかしながら、JFET類は、それらがディプレッションタイプコンポーネント類であるという不利な点を有している。特に、ハイパワーアプリケーション領域では、反対に、エンハンスメントタイプコンポーネント類が実際には好まれている。

10

## 【0007】

エンハンスメントタイプコンポーネント類は、使用中において、欠陥状態をかなり容易に処理することができるからである。大きなバンドギャップ、特にIII-V族の窒化物を有する半導体は、それらの特性のため、光学的およびさらなる電氣的半導体コンポーネントに著しく適しているさらなる物質システムである。光電子工学に加えて、上記物質システムは、また、無線周波数技術においてますます用いられつつある。

## 【0008】

上記物質システムの使用は、また、パワーエレクトロニクス分野にとって有利である。上記物質システムは、シリコンと比較して、同様なブロック能を有し、より高いドーピングおよびより短いドリフトゾーンを同時に実現できるコンポーネント類を可能にするからである。

20

## 【0009】

しかしながら、これらの物質システムからなるコンポーネント類の処理は、シリコン技術と比べて制約がある。それは、シリコン技術において用いられる特定の方法を用いることができず、または、III-V族の半導体システムについて限られた範囲でしか用いることができないからである。

## 【0010】

III-V化合物半導体に基づくパワー半導体コンポーネントは、現在まで、横型コンポーネントの形態で製造されてきている。これらは、いわゆるHEMT（高電子移動度トランジスタ）である。これらについて、1つの重要な側面は、自己ブロックコンポーネントの提供である。この場合、HEMTは規模の異なるバンドギャップを有する、異なったドーブが施される半導体物質からなる複数の層を有する。個々の層におけるバンドギャップが異なる程度を有するので、2次元電子ガス（2DEG）がそれらの境界面において形成され、導電性チャンネルとして作用する。この場合、電子移動度と、2次元電子ガスにおける2D電子荷電粒子密度とは、非常に高い。

30

## 【0011】

特許文献1は、2次元電子ガスが2つの物質の間の境界層において形成される、物質システムAlGaN/GaNに基づくHFET（ヘテロ構造電界効果トランジスタ）を開示している。この場合、AlGaNからなる層は、GaNからなる層の上に配置されている。さらに、一実施形態では、GaNからなるp-導電型の層は、GaNからなる層とシリコン基板との間に配置されている。これによって、アバランシュブレークダウンが発生するときに生成される正孔が、p-導電型のGaN層を介して基板中に放出される結果として、ピンダイオードが基板とドレイン電極との間で形成される。

40

## 【先行技術文献】

## 【特許文献】

## 【0012】

【特許文献1】米国特許第7,250,641号明細書

【特許文献2】米国特許第6,489,628号明細書

【特許文献3】米国特許第6,940,090号明細書

【特許文献4】米国特許第7,417,267号明細書

50

- 【特許文献5】米国特許第6,100,549号明細書
- 【特許文献6】米国特許公開公報第2007/0007547号
- 【特許文献7】米国特許公開公報第2007/0026587号
- 【特許文献8】米国特許公開公報第2007/0066020号
- 【特許文献9】米国特許公開公報第2008/0054303号
- 【特許文献10】米国特許公開公報第2006/0071250号

【非特許文献】

【0013】

【非特許文献1】[http://www.aldinc.com/ald\\_epadmosfet.htm](http://www.aldinc.com/ald_epadmosfet.htm) (Advance Linear Devices Inc., "ALD1108E/ALD1110E - Quad/Dual EPAD Precision Matched Pair N-Channel MOS FET Array", Product Datasheet) 10

【非特許文献2】IEEE Electron Device Letters, Vol. 22, No. 8, August 2001, p. 373-375, Karmalker, S. et al.; "Resurf Al-GaN HEMT for High Voltage Power Switching"

【発明の概要】

【発明が解決しようとする課題】

【0014】

本発明の目的は、高いアバランシュブレークダウン強度を有する横型HEMTを製造する方法とともに、横型HEMTを提供することである。

【0015】

この目的は、独立請求項の主題によって達成される。有利な発展形は、従属項において特定される。

【課題を解決するための手段】

【0016】

本発明によると、横型HEMTは基板と第1層とを有し、上記第1層は、第1導電型の半導体物質を有し、少なくとも部分的に基板の上に配置されている。さらに、HEMTは、第2層を有し、上記第2層は半導体物質を有し、少なくとも部分的に上記第1層の上に配置されている。さらに、HEMTは、第3層を有し、上記第3層は、上記第1導電型に対して相補的な第2導電型の半導体物質を有し、少なくとも部分的に上記第1層の中に配置されている。

【0017】

このため、pnダイオードが、本発明に係る横型HEMTにおいて、上記第1層および上記第3層の間に形成される。最も高い電界強度が上記第3層の下に位置する。この結果、電界強度と、それに伴ってHEMT内の電圧が限定される。pnダイオードは、横型HEMTよりも低いブレークダウン電圧を有する。

【0018】

この結果、アバランシュブレークダウンが発生した場合、上記第3層の下でブレークダウンが起こり、このために発生する熱荷電粒子は、2次元電子ガスの周辺に入っていない。このため、HEMTは、アバランシュブレークダウンが発生するときに保護され、半導体コンポーネントの劣化が防止される。

【0019】

本発明に係るHEMTの一実施形態では、上記第3層は、上記第1層の中に完全に配置されている。

【0020】

代替実施形態では、上記第3層は、また、上記第2層の中に部分的に配置されている。

【0021】

さらに、横型HEMTは、第1電極、第2電極、およびゲート電極を有してもよい。この場合、上記第1電極は、上記第2層から上記第3層まで垂直方向に延びてもよく、上記第2電極は、上記第2層から部分的に上記基板の中まで垂直方向に延びてもよい。これによって、上記第3層および上記第1電極の間において有利に接触が実現される。



## 【0022】

一実施形態では、上記第1層は、Ga<sub>2</sub>Nを有している。さらに、上記第2層は、AlGa<sub>2</sub>Nを有してもよく、上記第3層は、Ga<sub>2</sub>Nを有してもよい。上記基板は、Si、SiC、またはAl<sub>2</sub>O<sub>3</sub>（サファイア）を有してもよい。

## 【0023】

一実施形態では、上記第2層は、ドーブされない。

## 【0024】

さらに、上記横型HEMTは、バッファ層を有してもよく、上記バッファ層は、上記基板と上記第1層との間に配置されている。1つの好ましい改良において、上記バッファ層は、AlN、Ga<sub>2</sub>N、またはAlGa<sub>2</sub>Nを有する。AlNは、電氣的に絶縁性であるが、一方、Ga<sub>2</sub>Nは、電氣的に導電性であり、AlGa<sub>2</sub>Nは、Alの含有量が低いと、すなわち、10%よりも低いと、電氣的導電性が小さくなる。このために、適切なバッファ層が、上記横型HEMTに対する要件に基づいて設けられる。

10

## 【0025】

さらなる実施形態では、横型HEMTは、パッシベーション層を有し、上記パッシベーション層は、少なくとも部分的に上記第2層の上に配置されている。例として、上記パッシベーション層は、Si<sub>x</sub>N<sub>y</sub>、SiO<sub>2</sub>、またはAl<sub>2</sub>O<sub>3</sub>を有してもよい。

## 【0026】

さらに、横型HEMTは、絶縁層を有してもよく、上記絶縁層は、少なくとも部分的に上記パッシベーション層の上に配置されている。

20

## 【0027】

本発明に係るさらなる実施形態では、横型HEMTは、基板および第1層を有し、上記第1層は、第1導電型の半導体物質を有し、少なくとも部分的に上記基板の上に配置されている。さらに、上記横型HEMTは、第2層を有し、上記第2層は、半導体物質を有し、少なくとも部分的に上記第1層の上に配置されている。さらに、上記横型HEMTは、第3層を有し、上記第3層は、半導体物質を有し、少なくとも部分的に上記基板の中に配置されている。

## 【0028】

同様に、本発明に係る横型HEMTについての本実施形態は、先に詳細な説明を行ったように、pnダイオードの形成の結果、電圧制限および高いアバランシュブレイクダウン強度という長所を有する。この点については繰り返しを避けるために再度の説明は行わない。上記の各実施形態と異なり、上記横型HEMTにおける電圧制限は、この場合、上記基板と上記第3層との間に形成されるpnダイオードによって、上記基板の中にて実行される。

30

## 【0029】

1つの改良において、上記第3層の半導体物質は、上記第1導電型に対して相補的な第2導電型を有し、上記基板は、上記第1導電型の半導体物質を有している。

## 【0030】

1つの代替の改良において、上記第3層の半導体物質は、上記第1導電型を有し、上記基板は、上記第1導電型に対して相補的な第2導電型の半導体物質を有する。

40

## 【0031】

さらに、上記横型HEMTは、第1電極、第2電極、およびゲート電極を有してもよい。この場合、上記第1電極は、上記第2層から上記第3層まで垂直方向に延びてもよく、上記第2電極は、上記第2層から部分的に上記基板の中まで垂直方向に延びてもよい。これによって、上記第3層と上記第1電極との間に接触が実現される。

## 【0032】

一実施形態では、上記第1層は、Ga<sub>2</sub>Nを有する。さらに、上記第2層は、AlGa<sub>2</sub>Nおよび上記第3層Siを有してもよい。上記基板は、SiまたはSiCを有してもよい。

## 【0033】

一実施形態では、上記第2層はドーブされない。

50

## 【0034】

さらに、上記横型HEMTは、バッファ層を有してもよく、上記バッファ層は、上記基板と上記第1層との間に配置されている。1つの好ましい改良において、上記バッファは、AlN、GaN、またはAlGaNを有する。

## 【0035】

AlNは、電氣的に絶縁性であり、一方、GaNは、電氣的に導電性であり、AlGaNは、Alの含有量が低いと、すなわち、10%よりも低いと、電氣的導電性が小さくなる。このため、上記横型HEMTに対する要件に基づいて、適切なバッファ層を設けることができる。

## 【0036】

さらなる実施形態では、上記横型HEMTは、パッシベーション層を有し、上記パッシベーション層は、少なくとも部分的に上記第2層の上に配置されている。例として、上記パッシベーション層は、Si<sub>x</sub>N<sub>y</sub>、SiO<sub>2</sub>、またはAl<sub>2</sub>O<sub>3</sub>を有してもよい。

10

## 【0037】

さらに、上記横型HEMTは、絶縁層を有してもよく、上記絶縁層は、少なくとも部分的に上記パッシベーション層の上に配置されている。

## 【0038】

さらなる実施形態では、本発明に係る横型HEMTは、基板を有し、上記基板は、第1導電型の半導体物質を有する。さらに、上記横型HEMTは、第1層および第2層を有し、上記第1層は、上記第1導電型の半導体物質を有し、少なくとも部分的に上記基板の上に配置され、上記第2層は、半導体物質を有し、少なくとも部分的に上記第1層の上に配置されている。

20

## 【0039】

さらに、上記横型HEMTは、第3層および第4層を有し、上記第3層は、上記第1導電型の半導体物質を有し、少なくとも部分的に上記第1層の下に配置され、上記第4層は、上記第1導電型に対して相補的な第2導電型の半導体物質を有し、少なくとも部分的に上記第3層の下に配置されている。

## 【0040】

さらに、上記横型HEMTは、第1電極、第2電極、およびゲート電極を有し、上記第2電極は、上記第2層から上記第3層まで垂直方向に延び、上記第2電極は、上記第2層から部分的に上記基板の中へ垂直方向に延びている。

30

## 【0041】

さらに、第1絶縁層は、上記第2電極と上記第3層との間、また、上記第2電極と上記第4層との間に配置されている。

## 【0042】

本実施形態は、電圧制限のためのダイオードを用いることよりも、むしろ電界効果コラジスタを用いるという点で前述の各実施形態とは異なる。上記第2電極における電圧がこの電界効果トランジスタの閾値電圧を越えて上昇すると、上記第1絶縁層に近い部位の上記第4層内に導電性チャンネルが誘導され、形成される。

## 【0043】

この場合の閾値電圧は、上記第1絶縁層の厚さ、上記第1絶縁層の材料、および上記第4層のドーピングに依存する。上記横型HEMTにおいて発生する電圧を制限し得る電流が流れる。次に、これによって半導体コンポーネントは高いアバランシュブレークダウン強度を有することができる。

40

## 【0044】

一実施形態では、上記第1層は、GaNを有する。さらに、上記第2層は、AlGaNを有してもよく、上記第4層に加えて上記第3層は、Siを有してもよい。上記基板は、SiまたはSiCを有してもよい。

## 【0045】

一実施形態では、上記第2層はドーブされない。

50

## 【0046】

さらに、上記横型HEMTは、バッファ層を有してもよく、上記バッファ層は、上記基板と上記第1層との間に配置されている。1つの好ましい改良において、上記バッファ層は、AlN、GaN、またはAlGaNを有する。

## 【0047】

AlNは、電氣的に絶縁性であり、一方、GaNは電氣的に導電性であり、AlGaNは、Alの含有量が低いと、すなわち、10%よりも低いと、電氣的導電性が小さくなる。このため、上記横型HEMTに対する要件に基づいて、適切なバッファ層を設けることができる。

## 【0048】

さらなる実施形態では、上記横型HEMTは、パッシベーション層を有し、上記パッシベーション層は、少なくとも部分的に上記第2層の上に配置されている。例として、上記パッシベーション層は、Si<sub>x</sub>N<sub>y</sub>、SiO<sub>2</sub>、またはAl<sub>2</sub>O<sub>3</sub>を有してもよい。

10

## 【0049】

さらに、上記横型HEMTは、さらなる絶縁層を有してもよく、上記さらなる絶縁層は、少なくとも部分的に上記パッシベーション層の上に配置されている。

## 【0050】

ダイオードおよび電界効果トランジスタに加えて、バイポーラトランジスタ、IGBT、パスタ、およびESD保護構造もまた電圧制限素子として用いられてもよく、この場合、各電圧制限素子は、上記横型HEMTに、それぞれダイオードおよび電界効果トランジスタと対応するように組み込まれる。

20

## 【0051】

上記の各実施形態の全てにおける横型HEMTは、MOSFET、MESFET（金属半導体電界効果トランジスタ）、HFET（ヘテロ構造電界効果トランジスタ）、およびPI-HEMT（偏光誘起光電子移動度トランジスタ）の形態であってもよい。

## 【0052】

横型HEMTの製造のための本発明に係る方法は、以下の工程を有する。基板、第1層、第2層、およびパッシベーション層が設けられ、上記第1層は、第1導電型の半導体物質を有し、少なくとも部分的に上記基板の上に配置され、上記第2層は半導体物質を有し、少なくとも部分的に上記第1層の上に配置されている。さらに、上記パッシベーション層は、少なくとも部分的に上記第2層の上に配置されている。

30

## 【0053】

さらなる工程では、上記第1層、上記第2層、および上記パッシベーション層は、部分的に除去される。さらに、第3層が上記第1層の上で成長させられ、上記第3層は、上記第1導電型に対して相補的な第2導電型の半導体物質を有する。第1電極、第2電極、および、ゲート電極が製造され、上記第1電極は、上記第2層から上記第3層まで垂直方向に延び、上記第2電極は、上記第2層から部分的に上記基板の中まで垂直方向に延びている。

## 【0054】

上記第1層の部分的除去、上記第2層の部分的除去、および上記パッシベーション層の部分的除去は、構造化されたマスクを用いてエッチング処理を行うことによって行われ得る。

40

## 【0055】

横型HEMTの製造のための本発明に係るさらなる方法は、以下の工程を有する。基板と第1層が設けられ、上記第1層は第1導電型の半導体物質を有し、少なくとも部分的に上記基板の上に配置されている。さらなる工程では、第3層が上記第1層の上に成長させられ、上記第3層は、上記第1導電型に対して相補的な第2導電型の半導体物質を有する。

## 【0056】

上記第1層および上記第3層は、部分的に除去される。さらに、第4層および第2層が

50

上記第 1 層の上に成長させられ、上記第 4 層は、上記第 1 導電型の半導体物質を有し、上記第 2 層は、半導体物質を有する。パッシベーション層は、少なくとも部分的に上記第 4 層上に設けられ、第 1 電極、第 2 電極、およびゲート電極が製造され、上記第 1 電極は、上記第 2 層から上記第 3 層まで垂直方向に延び、上記第 2 電極は、上記第 2 層から部分的に上記基板の中まで垂直方向に延びている。

【 0 0 5 7 】

上記第 1 層の部分的除去および上記第 3 層の部分的除去は、構造化されたマスクを用いてエッチング処理を行うことによって行われ得る。

【 0 0 5 8 】

横型 H E M T の製造のための本発明に係るさらなる方法は、以下の工程を有する。基板および第 1 層が設けられ、上記第 1 層は、第 1 導電型の半導体物質を有し、少なくとも部分的に上記基板の上に配置されている。

10

【 0 0 5 9 】

さらなる工程では、構造化されたマスクが上記第 1 層上に設けられる。第 3 層は、上記第 1 層の上に成長させられ、上記第 3 層は、上記第 1 導電型に対して相補的な第 2 導電型の半導体物質を有する。上記第 1 層および上記第 3 層は、部分的に除去される。上記第 3 層は、部分的に除去され、さらに、上記マスクが除去される。

【 0 0 6 0 】

さらなる工程では、第 4 層および第 2 層が上記第 1 層の上に成長させられ、上記第 4 層は、上記第 1 導電型の半導体物質を有し、上記第 2 層は、半導体物質を有する。パッシベーション層は、少なくとも部分的に上記第 4 層上に設けられ、第 1 電極、第 2 電極、およびゲート電極が製造され、上記第 1 電極は、上記第 2 層から上記第 3 層まで垂直方向に延び、上記第 2 電極は、上記第 2 層から部分的に上記基板の中まで延びている。

20

【 0 0 6 1 】

上記第 3 層の部分的除去は、C M P 処理（化学機械研磨）によって行われ得る。

【 0 0 6 2 】

本発明に係る方法における 1 つの有利な改良では、バッファ層が、基板と第 1 層との間に設けられている。

【 0 0 6 3 】

本発明に係る方法におけるさらに有利な実施形態では、絶縁層が、少なくとも部分的に上記パッシベーション層上に設けられている。

30

【 0 0 6 4 】

本発明に係る方法のさらに有利な実施形態では、上記第 2 層は、ドーブされていない。

【 0 0 6 5 】

ここで、添付の図面を参照し、本発明をより詳細に説明する。

【図面の簡単な説明】

【 0 0 6 6 】

【図 1】本発明の第 1 実施形態に係る横型 H E M T を示す模式断面図である。

【図 2】本発明の第 2 実施形態に係る横型 H E M T を示す模式断面図である。

【図 3】本発明の第 3 実施形態に係る横型 H E M T を示す模式断面図である。

40

【図 4】本発明の第 4 実施形態に係る横型 H E M T を示す模式断面図である。

【図 5】本発明の第 5 実施形態に係る横型 H E M T を示す模式断面図である。

【図 6】本発明の第 6 実施形態に係る横型 H E M T を示す模式断面図である。

【図 7】本発明の第 7 実施形態に係る横型 H E M T を示す模式断面図である。

【図 8】本発明の第 8 実施形態に係る横型 H E M T を示す模式断面図である。

【図 9 A】横型 H E M T の製造のための発明に係る方法の第 1 実施形態の各工程を示す模式断面図である。

【図 9 B】上記第 1 実施形態の他の各工程を示す模式断面図である。

【図 9 C】上記第 1 実施形態のさらに他の各工程を示す模式断面図である。

【図 9 D】上記第 1 実施形態のさらに他の各工程を示す模式断面図である。

50

【図10A】横型HEMTの製造のための発明に係る方法の第2実施形態の各工程を示す模式断面図である。

【図10B】上記第2実施形態の他の各工程を示す模式断面図である。

【図10C】上記第2実施形態のさらに他の各工程を示す模式断面図である。

【図10D】上記第2実施形態のさらに他の各工程を示す模式断面図である。

【図10E】上記第2実施形態のさらに他の各工程を示す模式断面図である。

【図11A】横型HEMTの製造のための発明に係る方法の第3実施形態の各工程を示す模式断面図である。

【図11B】上記第3実施形態の他の各工程を示す模式断面図である。

【図11C】上記第3実施形態のさらに他の各工程を示す模式断面図である。

【図11D】上記第3実施形態のさらに他の各工程を示す模式断面図である。

【図11E】上記第3実施形態のさらに他の各工程を示す模式断面図である。

【発明を実施するための形態】

【0067】

図1は、本発明の第1実施形態に係る横型HEMTを示す。横型HEMT1は、基板10と、該基板10の上に配置されたバッファ層17とを有する。この場合、上記基板10は、Si、SiC、またはAl<sub>2</sub>O<sub>3</sub>を有し得る。上記バッファ層17は、AlN、GaN、またはAlGaNを有し得る。

【0068】

AlNは、電氣的に絶縁性であるが、一方、GaNは、電氣的に導電性であり、AlGaNは、Alの含有量が低く、10%よりも低い場合、電氣的導電性が小さくなる。このため、上記横型HEMTに対する要件に基づいて、適切なバッファ層を設けることができる。

【0069】

第1層11は、上記バッファ層17の上に配置されている。上記第2層12は、上記第1層11の上に配置されている。図示する実施形態では、上記第1層11は、n-導電型のGaNを有し、上記第2層12は、AlGaNを有する。この場合、AlGaNは、補償された状態、すなわち、自由な荷電粒子を有さないため、電氣的に非導電性である。

【0070】

2次元電子ガスは、上記第1層11と上記第2層12との間の境界面に形成される。図1において、2次元電子ガスは、破線27で模式的に示されている。

【0071】

さらにHEMTは、部分的に上記第1層11の中に配置された第3層13を有する。図示される実施形態では、上記第3層13はp-導電型のGaNを有する。第1電極14は、上記第1層11の上、および上記第3層13の上に配置され、上記第1層11、上記第2層12、および上記第3層13と接触している。

【0072】

第2電極15は、上記第2層12から部分的に上記基板10の中まで垂直方向に延びている。さらに、パッシベーション層18は、上記第2層12の上に配置されている。ゲート電極16は、上記パッシベーション層18の上に配置され、部分的に絶縁層19によって囲まれている。この場合、上記絶縁層19は、ILD(層間誘電体)であってもよい。

【0073】

上記横型HEMT1は、ゲート電極16によって制御することができる。図示する実施形態において、上記第1電極14は、ソース電極であり、上記第2電極15は、ドレイン電極である。

【0074】

電氣的に導電性の物質、例えば、金属、ケイ化物、または十分にドーパされたポリシリコンからなる層26は、上記絶縁層19の上に配置され、上記第1電極14と接触しており、図1において、上記第1電極14と同様に作製される上記第2電極15に対して接触を示さない。上記基板10が電氣的に導電性の物質を有するという状況では、この場合、

10

20

30

40

50

上記第2電極15との接触は、上記基板10の裏面(図示せず)に配置され得る。

【0075】

上記第1層11と共に、上記第3層は、上記横型HEMT1のアバランシュブレークダウン強度を増加するpnダイオードを形成する。このために、pnダイオードは、上記横型HEMT1のブレークダウン電圧よりも低いブレークダウン電圧を有する。このため、上記ブレークダウン電圧は、上記第3層13の下で発生し、この結果、生成される熱荷電粒子が上記2次元電子ガスの周辺に入っていない。

【0076】

図2は、本発明の第2実施形態に係る横型HEMT2を示す。図1に示すものと同様の機能を有するコンポーネントは同じ参照番号で示され、それらについて以下ではより詳細な説明は行わない。

10

【0077】

上記横型HEMT2は、上記第3層13が完全に上記第1層11内におさまるように配置されているという点で、図1に示す横型HEMT1とは異なる。さらに、上記ゲート電極16は、上記第2層12の上に直接的に配置され、残った各領域において上記パッシベーション層18によって囲まれている。上記絶縁層19、上記層26、および上記第2電極15に対して同様に実現される接触は、図2では示されない。

【0078】

図3は、本発明の第3実施形態に係る横型HEMTを示す。前の図面と同様の機能を有するコンポーネントは同じ参照番号で示し、以下では、それらに関するより詳細な説明は行わない。

20

【0079】

上記横型HEMT3は、上記第3層13が部分的に上記第2層12の中に配置されているという点で、先に説明した2つの各HEMTと異なる。上記ゲート電極16は、上記横型HEMT2と同様に、上記第2層12の上に直接的に配置され、残った領域において上記パッシベーション層18によって囲まれる。図3は、上記第2電極15に対して同様に実現される接触を示さない。

【0080】

図4は、本発明の第4実施形態に係る横型HEMT4を示す。前の図面と同様の機能を有するコンポーネントは同じ参照番号で示され、以下ではそれらのより詳細な説明を行わない。

30

【0081】

この場合、上記横型HEMT4は、図3に示す上記横型HEMT3に類似している。上記横型HEMT4は、第1電極14および第2電極15の交互の配置を有する。この場合、第1電極14に対して第2電極15が水平方向に並んで、隣り合い、さらに、他の第1電極14が、上記第2電極15の水平方向に並ぶ。上記第2電極15に対して同様に実現される接触は、図4では示さない。

【0082】

図2～図4に示される横型HEMT2～4は同様に、上記第1層11および上記第3層13によって形成されるpnダイオードを有する。このため、図1に示す横型HEMT1についてすでに説明したように、これらの半導体コンポーネントは同様に高いアバランシュブレークダウン強度を有する。

40

【0083】

図5は、本発明の第5実施形態に係る横型HEMT5を示す。

【0084】

上記横型HEMT5は、基板10を有し、上記基板10は、第1層10'と、その上に配置された第2層10'を有する。図示する実施形態では、上記第1層10'は、n<sup>+</sup>ドーパされたシリコンを有し、上記第2層10'は、n<sup>-</sup>ドーパされたシリコンを有する。例えばAlNを有し得るパッファ層17は、上記第2層10'の上に配置されている。

50

## 【0085】

図示する実施形態において、 $n$ -導電型の GaN を有する第1層11は、バッファ層17の上に配置されている。第2層12は、上記第1層11の上に配置されている。図示する実施形態では、上記第2層12は、AlGaNを有する。この場合、AlGaNは、補償されて、すなわち、自由な荷電粒子を有しておらず、このため、電氣的に非導電性である。2次元電子ガスは、上記第1層11と上記第2層12との間に形成され、図5において破線27によって模式的に示される。

## 【0086】

さらに、上記横型 HEMT 5 は、部分的に上記基板 10 の中に配置された第3層13を有する。図示する実施形態では、上記第3層13は、 $p^+$ ドープされたシリコンを有する。さらに、上記横型 HEMT 5 は、第1電極14、第2電極15、およびゲート電極16を有する。上記第2電極14は、上記第2層12から上記第3層13まで垂直方向に延び、上記第2電極15は、上記第2層12から部分的に上記基板10の中まで垂直方向に延びている。

10

## 【0087】

図示する実施形態では、上記第1電極14は、ソース電極であり、上記第2電極15は、ドレイン電極である。上記ゲート電極16は、上記第2層12の上に直接的に配置され、残った部分はパッシベーション層18によって囲まれる。この場合、上記ゲート電極16は、上記横型 HEMT 5 を制御するために用いられる。

## 【0088】

電氣的に導電性の物質、例えば金属、ケイ化物、または重くドープされたポリシリコンからなる層26は、上記第1電極14と接触している。この場合、絶縁層19は、上記層26と上記パッシベーション層18との間に配置されている。例えば  $Si_xN_y$  または酸化物からなる絶縁層21は、上記第2電極15と上記第1層11との間で、上記基板10における上記バッファ層17と上記第2層10'にまたがって配置されている。

20

## 【0089】

上記基板10における上記第3層13および上記第2層10'は、 $pn$ ダイオードを形成する。これによって、図1～図4に示す実施形態と同様に、上記 HEMT 5 に対する電圧制限が可能となり、これに関連して、高いアバランシュブレークダウン強度が可能となる。

30

## 【0090】

電氣的導電性物質からなる層28は、上記基板10における上記第1層10''の下に配置され、上記第2電極15に接続される。この場合、上記層28は、上記第2電極15と接続を行うために用いられる。図5は、上記層28と上記第2電極15との間の接続を示さない。

## 【0091】

図6は、本発明の第6実施形態に係る横型 HEMT 6 を示す。図5と同様の機能を有するコンポーネントは同じ参照番号で示し、以下ではそれらのより詳細な説明は行わない。

## 【0092】

上記横型 HEMT 6 は、第1電極14が、ドレイン電極であり、第2電極15が、ソース電極であるという点で上記横型 HEMT 5 とは異なる。上記基板10における上記第1層10''および上記第2層10'に加えて上記第3層13は、上記横型 HEMT 5 における対応する各層に対して相補的な導電型のものである。

40

## 【0093】

図示しない一実施形態では、上記基板10における上記第2層10'は、 $n^+$ 導電型の層の形態を有する。

## 【0094】

図7は、本発明の第7実施形態に係る横型 HEMT を示す。

## 【0095】

上記横型 HEMT 7 は、図示する実施形態の  $n^+$ ドープされたシリコンを有する第3層

50

10' ' ' が、上記基板 10 における上記第 1 層 10' ' ' と上記層 2 8 との間に配置されているという点で、図 6 に示す横型 H E M T 6 とは異なる。この場合、上記第 2 電極 1 5 は、上記第 3 層 10' ' ' の中まで延び、このため、上記第 1 層 10' ' ' と上記第 3 層 10' ' ' を電氣的に短絡させる。

【0096】

図 8 は、本発明の第 8 実施形態に係る横型 H E M T 8 を示す。

【0097】

上記 H E M T 8 は、図示する実施形態において  $n^+$  ドープされたシリコンを有する基板 10 を有する。  $p^-$  ドープされたシリコンを有する第 4 層 20 は、上記基板 10 の上に配置されている。  $n^+$  ドープされたシリコンを有する第 3 層 13 は、上記第 4 層 20 の上に配置されている。

10

【0098】

さらに、上記横型 H E M T 8 は、上記第 3 層 13 の上に配置されたバッファ層 17 を有する。例として、上記バッファ層 17 は、AlN を有してもよい。第 1 層 11 は、上記バッファ層 17 の上に配置され、図示する実施形態において、 $n$ -導電型の GaN を有する。AlGaN を有する第 2 層 12 は、上記第 1 層 11 の上に配置されている。

【0099】

この場合、AlGaN は、補償されて、すなわち、いかなる熱荷電粒子も有しておらず、このため電氣的に非導電性である。図 8 において破線 27 で模式的に示すように、2 次元電子ガスが上記第 1 層 11 と上記第 2 層 12 との間に形成される。

20

【0100】

さらに、上記横型 H E M T 8 は、第 1 電極 14、第 2 電極 15、およびゲート電極 16 を有する。上記ゲート電極 16 は、上記第 2 層 12 の上に直接的に配置され、上記横型 H E M T 8 を制御するために用いられる。上記第 1 電極 14 は、上記第 2 層 12 から上記第 3 層 13 まで垂直方向に延び、上記第 2 電極 15 は、上記第 2 層 12 から部分的に上記基板 10 の中まで垂直方向に延びている。

【0101】

第 1 絶縁層 21 は、上記第 2 電極 15 と上記第 1 層 11 との間で、上記バッファ層 17、上記第 3 層 13、および上記第 4 層 20 にまたがって配置されている。この場合、上記絶縁層 21 は、例えば、酸化物または  $Si_xN_y$  を有する。図示する実施形態では、上記第 1 電極 14 は、ソース電極であり、上記第 2 電極 15 は、ドレイン電極である。電氣的に導電性の物質、例えば金属、ケイ化物、または重くドープされたポリシリコンからなる層 26 は、上記第 1 電極 14 と接触し、電氣的に導電性の物質からなる層 28 は、上記第 2 電極 15 (図示せず) に電氣的に接続される。絶縁層 19 は、上記層 26 と上記パッシベーション層 18 との間に配置されている。

30

【0102】

上記横型 H E M T 8 は、横型 H E M T 8 における電圧を制限するためにダイオードが用いられることはないという点において、図 1 ~ 図 7 に示す実施形態とは異なるが、上記電圧の制限は、上記第 3 層 13、上記第 4 層 20、上記基板 10、および上記第 2 電極 15 によって形成される  $n$ -チャンネル電界効果トランジスタによって行われる。

40

【0103】

これにより、この場合、上記第 2 電極 15 に印加される電圧が、上記  $n$ -チャンネル電界効果トランジスタの閾値電圧を上回って上昇すると、図 8 の破線 29 で模式的に示すように、導電性チャンネルが誘導される。

【0104】

上記導電性チャンネルにて電流が流れるが、コンポーネントにわたって低下する電圧を制限することができ、このため、高いアバランシュブレークダウン強度を有するコンポーネントが実現できる。この実施形態によると、コンポーネントを水平方向に縮小することができる。

【0105】

50



図 9 A ~ 図 9 D は、横型 H E M T 3 の製造のための発明に係る方法の第 1 実施形態を示す。

【 0 1 0 6 】

この場合、例えば S i C または S i を有する基板 1 0 が設けられる。バッファ層 1 7 は、上記基板 1 0 上に設けられる。この場合、上記バッファ層 1 7 は、例えば A l N、G a N、または A l G a N を有してもよい。第 1 層 1 1 は、上記バッファ層 1 7 の上に成長させられてもよい。

【 0 1 0 7 】

図示する実施形態では、この場合の上記第 1 層 1 1 は、n - 導電型の G a N を有する。図示する実施形態において、A l G a N を有する第 2 層 1 2 は、上記第 1 層 1 1 の上で成長させられる。この場合、A l G a N は、補償されて、すなわち、いかなる熱荷電粒子も有さず、このため、電氣的に非導電性である。

10

【 0 1 0 8 】

その後、パッシベーション層 1 8 が、上記第 2 層 1 2 上に設けられる。さらなる処理工程では、マスク 2 4 が上記パッシベーション層 1 8 上に設けられ、構造化される。例として、上記パッシベーション層 1 8 は、S i x N y、S i O 2、または A l 2 O 3 を有してもよい。図 9 A は、上記方法工程の後の横型 H E M T 3 を示す。

【 0 1 0 9 】

上記第 1 層 1 1、上記第 2 層 1 2、および上記パッシベーション層 1 8 は、例えばエッチング法によって部分的に除去される。図示する実施形態において p - 導電型の G a N を有する第 3 層 1 3 は、上記第 1 層 1 1 の上でエピタキシャルに成長させられる。これは、選択的エピタキシによって行われ得る。または、上記第 3 層 1 3 は、非選択的に設けられてもよく、また、C M P 工程（化学機械研磨）によって構造化されてもよい。図 9 B は、上記処理工程の後の横型 H E M T 3 を示す。

20

【 0 1 1 0 】

上記方法におけるさらなる工程では、例えば湿式化学処理によって上記構造化されたマスク 2 4 が取り除かれる。続いて、上記パッシベーション層 1 8 および上記第 2 層 1 2 の部分的開口、上記第 1 層 1 1 の部分的開口、上記バッファ層 1 7 の部分的開口、および上記基板 1 0 の部分的開口が形成される。電氣的導電性物質、例えば金属、ケイ化物、または重くドーブされたポリシリコンは、開口された各領域に導入され、これによって第 1 電極 1 4 および第 2 電極 1 5 を形成する。上記形成を図 9 C に示す。

30

【 0 1 1 1 】

さらなる方法工程では、上記パッシベーション層 1 8 が、部分的に除去され、金属、例えば金、銀、またはプラチナが、露出された領域に設けられる。この金属がゲート電極 1 6 を形成する。金属が設けられる前に、誘電性を有する薄い層が、上記パッシベーション層 1 8 における露出された領域に設けられてもよい。

【 0 1 1 2 】

その後、絶縁層 1 9 が、上記パッシベーション層 1 8 上に設けられ、上記ゲート電極 1 6 まで、また部分的に上記第 1 電極 1 4 まで、また第 2 電極 1 5 までをカバーする。さらなる方法工程では、電氣的導電性物質、例えば金属を有する層 2 6 は、上記絶縁層 1 9 に貼り付けられ、部分的に上記第 1 電極 1 4 までカバーする。図 9 D は、上記方法の各工程の後の横型 H E M T 3 を示す。

40

【 0 1 1 3 】

図 1 0 A ~ 1 0 E は、横型 H E M T 1 の製造のための発明に係る方法の第 2 実施形態を示す。

【 0 1 1 4 】

この場合、例えば S i C または S i を有する基板 1 0 が設けられる。例えば A l N、G a N、または A l G a N を有するバッファ層 1 7 が、上記基板 1 0 上に設けられる。図示する実施形態において、n - 導電型の G a N を有する第 1 層 1 1 が、上記バッファ層 1 7 の上で成長させられる。

50

## 【 0 1 1 5 】

図示する実施形態において p - 導電型の GaN を有する第 3 層 1 3 が、上記第 1 層 1 1 の上で成長させられる。マスク 2 5 は、上記第 3 層 1 3 上に塗布されて、構造化される。図 1 0 A は、上記方法の各工程の後の横型 H E M T 1 を示す。

## 【 0 1 1 6 】

さらなる方法工程では、上記第 1 層 1 1 および上記第 3 層 1 3 は、例えばエッチング処理によって部分的に除去される。これは、図 1 0 B において示される。

## 【 0 1 1 7 】

同様に、n - 導電型の GaN を有する層 1 1 ' は、上記第 1 層 1 1 における露出された部分の上で成長させられる。図示する実施形態において AlGaIn を有する第 2 層 1 2 は、層 1 1 ' の上で成長させられる。この場合、AlGaIn は、補償されて、すなわち、自由な荷電粒子を有さず、このため、電氣的に非導電性である。パッシベーション層 1 8 は、上記第 2 層 1 2 上に塗布され、上記マスク 2 5 までをカバーする。この場合、上記パッシベーション層 1 8 は、例えば Si<sub>x</sub>N<sub>y</sub> を有し得る。図 1 0 C は、上記方法の各工程の後の横型 H E M T 1 を示す。

10

## 【 0 1 1 8 】

さらなる方法工程では、上記バッファ層 1 7 および上記基板 1 0 に加えて上記第 3 層 1 3、上記第 2 層 1 2、上記第 1 層 1 1 が部分的に露出される。上記マスク 2 5 は、この処理の間に除去される。電氣的導電性物質、例えば金属、ケイ化物、または重くドーブされたポリシリコンが、露出された領域に設けられ、これによって第 1 電極 1 4 および第 2 電極 1 5 を形成する。図 1 0 D は、上記方法の各工程の後の横型 H E M T 1 を示す。

20

## 【 0 1 1 9 】

ゲート電極 1 6 と、該ゲート電極 1 6 を部分的に囲む絶縁層 1 9 とが、上記パッシベーション層 1 8 上に設けられる。その後、例えば金属を有する層 2 6 が、絶縁層 1 9 上に設けられ、上記第 1 電極 1 4 における露出された領域までカバーする。図 1 0 E は、上記方法の各工程の後の横型 H E M T 1 を示す。

## 【 0 1 2 0 】

図 1 1 A ~ 図 1 1 E は、横型 H E M T 2 の製造のための発明に係る方法の第 3 実施形態を示す。

## 【 0 1 2 1 】

本実施形態では、基板 1 0 が設けられ、上記基板 1 0 は、例えば SiC または Si を有する。バッファ層 1 7 が、上記基板 1 7 上に設けられる。この場合、上記バッファ層 1 7 は、AlN、GaN、または AlGaIn を有してもよい。図示する実施形態において n - 導電型の GaN を有する第 1 層 1 1 が、バッファ層 1 7 の上で成長させられる。マスク 2 3 が、上記第 1 層 1 1 上に塗布され、構造化される。この場合、例として、上記マスク 2 3 は、酸化物を有してもよい。図 1 1 A は、上記方法の各工程の後の横型 H E M T 2 を示す。

30

## 【 0 1 2 2 】

第 3 層 1 3 が、上記第 1 層 1 1 における露出された領域の上で成長させられる。図示する実施形態における第 3 層は、p - 導電型の GaN を有する。これは、図 1 1 B において示される。

40

## 【 0 1 2 3 】

さらなる方法工程では、例えば CMP 処理（化学機械研磨）によって上記第 3 層 1 3 は平坦化される。上記第 3 層 1 3 がすでに平坦な形状に成長していた場合、この工程を省略してもよい。そして、上記マスク 2 3 は、除去される。図 1 1 C は、上記方法の各工程の後の横型 H E M T 2 を示す。

## 【 0 1 2 4 】

層 1 1 ' は、上記第 1 層 1 1 における露出された領域と、上記第 3 層 1 3 の上で成長させられ、この場合、上記層 1 1 ' は、上記第 3 層 1 3 の上にも成長させられる。上記層 1 1 ' は、同様に n - 導電型の GaN を有する。

50

【 0 1 2 5 】

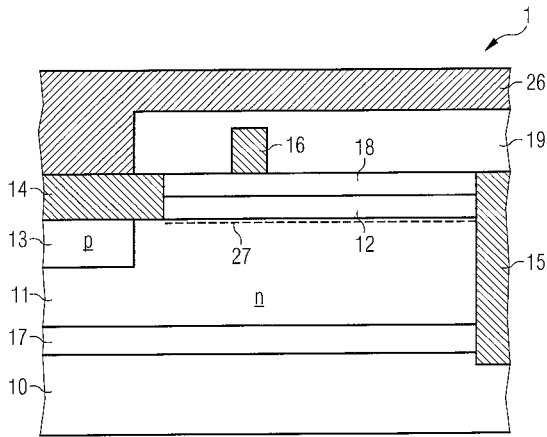
さらなる方法工程では、もし必要であれば上記層 1 1 ' は、平坦化されてもよく、これはCMP処理によって行われ得る。図示する実施形態においてAlGaInを有する上記第2層12が、上記層11'の上で成長させられる。この場合、AlGaInは、補償され、すなわち、自由な荷電粒子を有さず、このため電氣的に非導電性である。図11Dは、上記方法工程の後の横型HEMT2を示す。

【 0 1 2 6 】

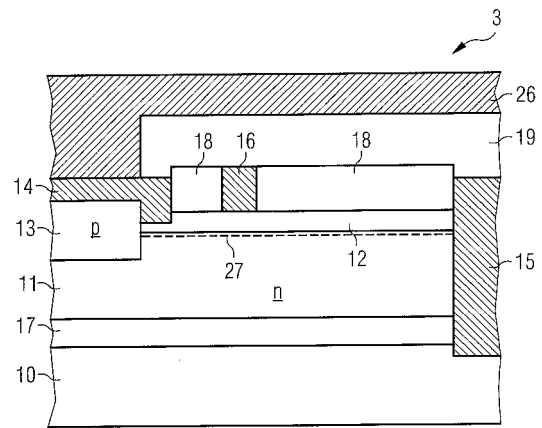
さらなる方法工程において、上記バッファ層17および上記基板10に加えて、上記第2層12、上記層11'、上記層11、上記第3層13は、部分的に露出され、電氣的導電性物質、例えば金属、ケイ化物、または重くドーブされたポリシリコンは、露出された各領域に導入される。第1電極14および第2電極15はこうして形成される。ゲート電極16が、上記第2層上に設けられる。パッシベーション層18が、上記第2層12上に設けられ、上記ゲート電極16までカバーする。図11Eは、上記方法の各工程の後のHEMT2を示す。

10

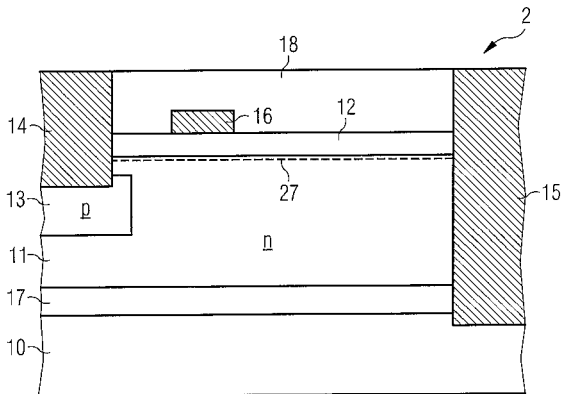
【 図 1 】



【 図 3 】

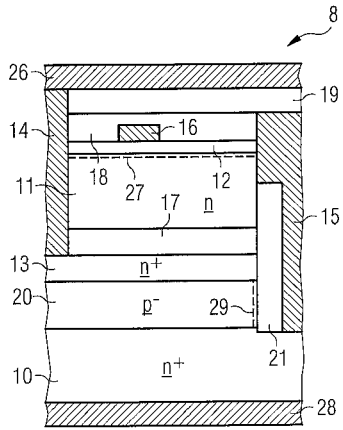


【 図 2 】

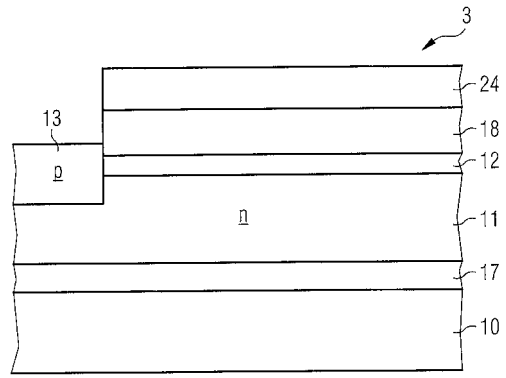




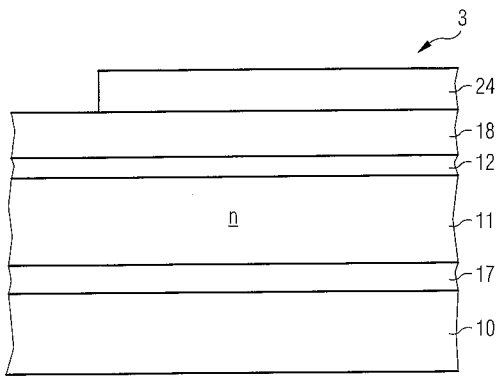
【図 8】



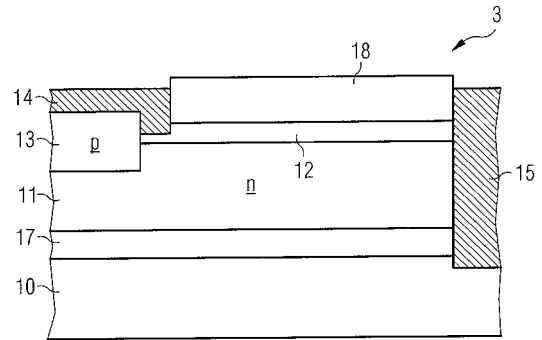
【図 9 B】



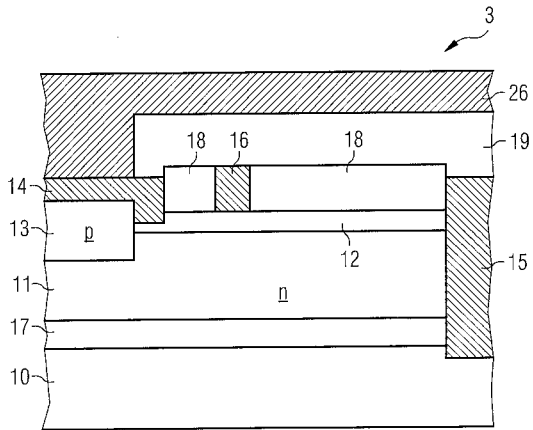
【図 9 A】



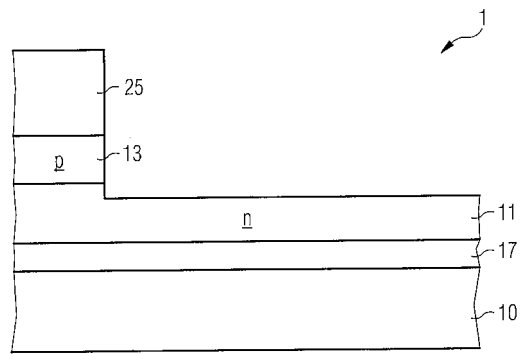
【図 9 C】



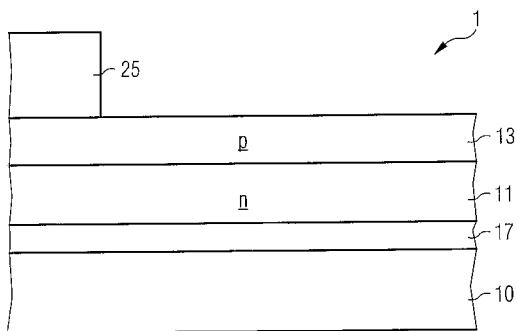
【図 9 D】



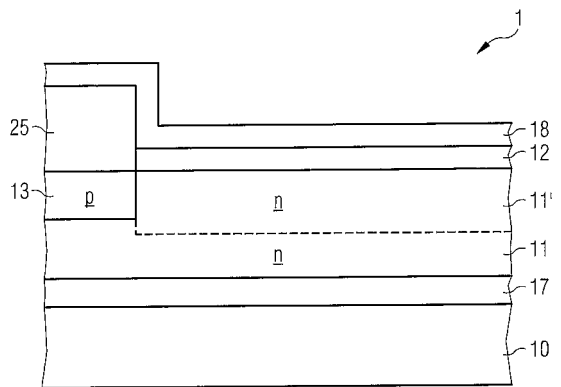
【図 10 B】



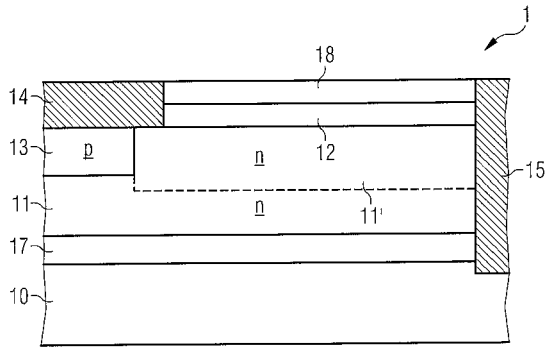
【図 10 A】



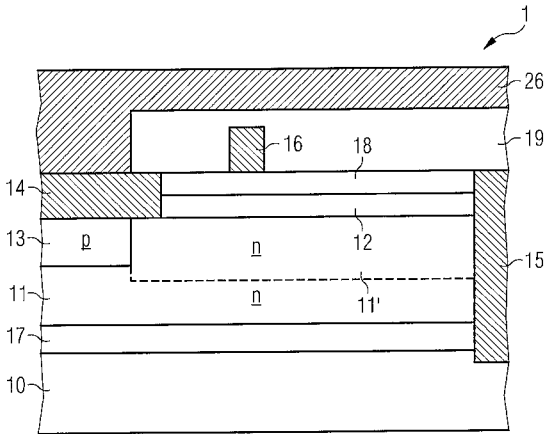
【図 10 C】



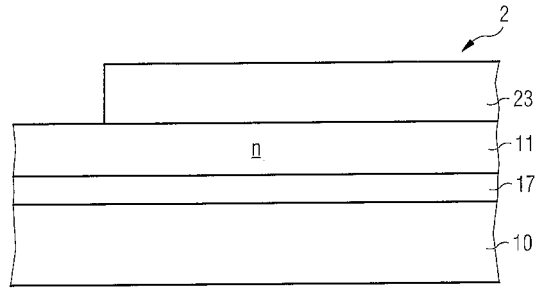
【図10D】



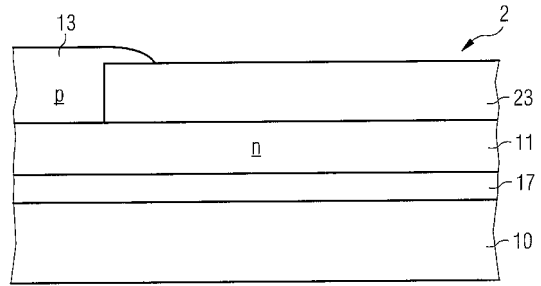
【図10E】



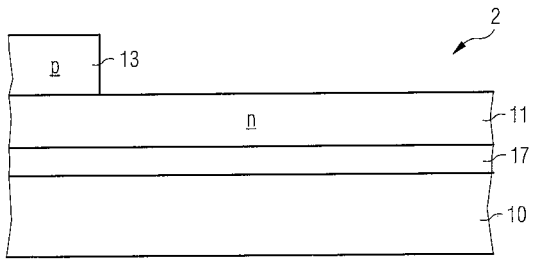
【図11A】



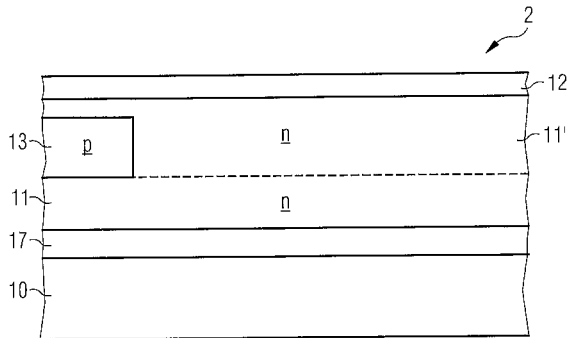
【図11B】



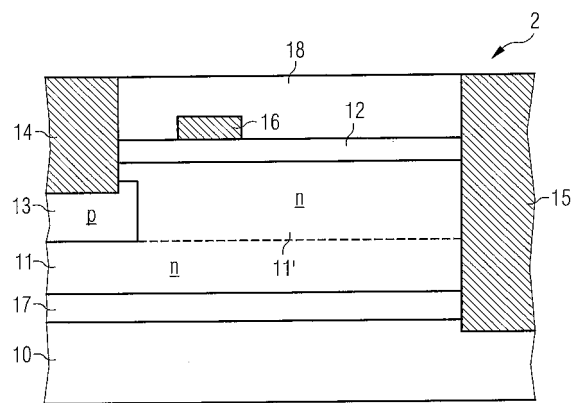
【図11C】



【図11D】



【図11E】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**H 0 1 L 21/336 (2006.01)** H 0 1 L 29/78 6 1 8 B

(72)発明者 マルクス, ツウンデル

ドイツ連邦共和国, 8 5 6 5 8 エグマティン, アム ミッターフェルド 7アー

Fターム(参考) 5F102 FA01 GA05 GA12 GA14 GB01 GC01 GD10 GJ02 GJ03 GJ10  
 GK04 GL04 GM04 GQ01 GR01 GR07 GR08 GR11 GR15 GV07  
 GV08 GV09 HC01 HC02 HC15  
 5F110 AA11 BB13 CC01 DD01 DD04 DD05 EE02 FF01 FF02 FF03  
 GG04 HK09 HK25 HM02 HM07 HM12 QQ19  
 5F140 AA25 BA01 BA02 BA06 BA09 BB18 BD07 BF01 BF05 BH30  
 BH43 BH45

【外国語明細書】

2010267958000001.pdf