

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 13/02 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월29일 10-0564637 2006년03월21일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0085801 2004년10월26일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	조백형 경기 화성시 태안읍 진안리 진안골마을 1106동 1104호 곽충근 경기도 수원시 영통구 영통동 황골마을 풍림아파트 235동 1806호
(74) 대리인	리엔목특허법인 이해영

심사관 : 조명관

(54) 반도체 메모리 장치와 그 프로그래밍 방법

요약

하나의 선택 트랜지스터와 8의 배수로 구성된 상 변화 가변 저항 소자들로 이루어진 메모리 셀을 구비하는 반도체 메모리 장치의 구조와 그 프로그래밍 방법이 개시된다. 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 복수개의 상 변화 메모리 셀들을 구비하는 반도체 메모리 장치에 있어서, 상기 상 변화 메모리 셀들은 각각, 한단이 대응하는 비트 라인들에 연결되고 다른 한단이 공통으로 선택 트랜지스터의 드레인에 연결되고 8의 배수로 구성된 복수개의 상변화 가변 저항 소자들 및 게이트가 대응되는 워드 라인에 연결되고 소스가 기준전압에 연결된 상기 선택 트랜지스터를 구비한다.

본 발명에 따른 반도체 메모리 장치는 하나의 메모리 셀이 8의 배수개의 상변화 가변저항소자를 구비함으로써, 반도체 장치의 집적도를 높일 수 있는 장점이 있다

대표도

도 3

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 상변화 메모리 셀을 설명하는 도면이다.

도 2는 불휘발성 메모리 셀 구조의 한 예를 설명하는 도면이다.

도 3는 본 발명의 실시예에 따른 반도체 메모리 장치의 구조를 설명하는 도면이다.

도 4은 도3의 반도체 메모리 장치의 리드 동작을 설명하는 타이밍도이다.

도 5는 도3의 반도체 메모리 장치의 프로그래밍 동작을 설명하는 타이밍도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 하나의 선택 트랜지스터와 8의 배수로 구성된 복수개의 상변화 가변 저항 소자들로 이루어진 메모리 셀을 구비하는 반도체 메모리 장치의 및 그 프로그래밍 방법에 관한 것이다.

PRAM(Phase Change Random Access Memory)은 가열되었다가 냉각되면 두 가지 상태 중 하나의 상태로 유지되며 가열 및 냉각에 의하여 또다시 상태가 변할 수 있는 켈코제나이드 합금(chalcogenide alloy)과 같은 상 변화 물질로 구성된다. 여기서 두 가지 상태란 결정(crystalline) 상태와 비 정질(amorphous) 상태를 의미한다. PRAM에 관해서는 미국 특허 번호 US 6,487,113 및 US 6,480,438에서 설명된 바 있다. PRAM은 결정 상태에서의 저항은 낮고 비 정질 상태에서의 저항은 높다. PRAM은 저항 값에 따라 논리 값이 0 또는 1로 결정된다. 결정 상태는 셋(set) 또는 논리 0에 대응되고 비 정질 상태는 리셋(reset) 또는 논리 1에 대응된다.

PRAM의 상 변화 물질이 비 정질 상태가 되기 위해서 상변화 물질은 저항 열에 의하여 상 변화 물질의 녹는점 이상으로 가열된다. 그리고 빠른 속도로 냉각된다. 상 변화 물질이 결정 상태로 되기 위하여 상 변화 물질은 일정 시간동안 녹는점 이하의 온도로 가열된다.

PRAM의 핵심은 켈코제나이드(chalcogenide)와 같은 상 변화 물질이다. 상 변화 물질은 일반적으로 GST 합금이라고 불리는 게르마늄(germanium(Ge)), 안티모니(antimony(Sb)) 및 텔루리움(tellurium(Te))을 포함한다. GST 합금은 가열 및 냉각에 의하여 비 정질 상태(리셋 또는 1)와 결정 상태(셋 또는 0) 사이로 빠르게 변화될 수 있는 성질 때문에 메모리 장치에 유용하게 사용될 수 있다.

비 정질 상태에서 상 변화 물질은 높은 저항을 가지고 결정상태에서 상 변화 물질은 낮은 저항을 가진다.

켈코제나이드 물질로 만들어진 메모리 셀은 상부 전극, 켈코제나이드 층, 하부전극콘택, 하부전극 및 액세스 트랜지스터를 구비한다. 프로그래밍 된 셀을 리드하는 동작은 켈코제나이드 물질의 저항을 측정함에 의하여 수행된다. 여기서 프로그래밍이란 메모리 셀을 리셋 상태 또는 셋 상태 중 하나의 상태로 만들어 일정한 논리 값을 가지도록 하는 동작이다. 메모리 셀에 데이터를 쓰는 동작은, 켈코제나이드를 녹는점 이상으로 가열시킨 후 빠르게 냉각시켜 비 정질 상태가 되도록 하거나 또는 녹는점 이하의 온도로 가열한 후 일정한 시간동안 그 온도를 유지한 후 냉각시켜 결정 상태가 되도록 한다.

도 1은 일반적인 상변화 메모리 셀을 설명하는 도면이며, 미국 특허 번호 US 5,883,827에서 설명된 바 있다.

메모리 셀(10)은 한단이 비트 라인(BL)에 연결되고 다른 한단이 선택 트랜지스터(N10)의 드레인에 연결된 상 변화 가변 저항소자(R)와 게이트가 워드 라인(WL)에 연결되고 소스가 기준 전압(미도시)에 연결된 선택 트랜지스터(N10)를 구비한다.

도 2는 불휘발성 상변화 메모리 셀 구조의 한 예를 설명하는 도면이며, 미국 공개 특허 번호 US 2004/0114428에서 설명된 바 있다.

도 2를 참조하면, 메모리 셀(30)은 한단이 대응하는 비트라인(BL)에 연결되고 다른 한단이 공통으로 선택 트랜지스터(N30)의 드레인에 연결된 복수의 가변 저항 소자들과 게이트가 워드라인(WL)에 연결되고 소스가 소스라인(SL)을 통하여 기준 전압(미도시)에 연결된 선택 트랜지스터(N30)를 구비한다.

한편, 상기 미국 공개 특허 번호 US 2004/0114428에서는 상기 메모리 셀(30)이 알램(Resistance control nonvolatile Random Access Memory), 맵램(Magnetic RAM), 오유엠(Ovonic Unified Memory)으로 구현 가능하다고 기재되어 있으나, 특히 PRAM에 관해서는 프로그래밍 및 리드 동작을 수행하기 위한 적절한 회로 구성이나 프로그래밍 방법이 구현되어 있지 않다.

따라서, PRAM 동작을 수행하기 위한 적절한 회로 구성과 그 프로그래밍 방법이 요구된다. 또한 PRAM은 신규 메모리로써 디램, 에스램, 플래쉬 메모리 등과의 경쟁을 위하여 집적도를 높이기 위한 요구가 증대되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 하나의 메모리 셀이 8의 배수로 구성된 복수개의 상변화 가변저항 소자들을 구비하는 PRAM 구조를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 하나의 메모리 셀이 8의 배수로 구성된 복수개의 상변화 가변저항 소자들을 구비하는 PRAM의 프로그래밍 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 복수개의 상변화 메모리 셀들을 구비하는 반도체 메모리 장치에 있어서, 상기 상변화 메모리 셀들은 각각, 한단이 대응하는 비트 라인들에 연결되고 다른 한단이 공통으로 선택 트랜지스터의 드레인에 연결되고 8의 배수로 구성된 복수개의 상변화 가변 저항 소자들과 게이트가 대응되는 워드 라인에 연결되고 소스가 기준전압에 연결된 상기 선택 트랜지스터를 구비한다.

상기 반도체 메모리 장치는, 상기 비트 라인들과 데이터 라인 사이에 각각 연결된 컬럼 선택 트랜지스터들을 더 구비하며, 리드 동작시, 데이터가 리드 될 상변화 메모리 셀에 대응되는 상기 컬럼 선택 트랜지스터가 컬럼 블록 신호에 응답하여 턴 온 되어 저장된 데이터를 상기 데이터 출력 라인으로 출력하는 것을 특징으로 한다.

상기 반도체 메모리 장치는 상기 컬럼 블록 신호가 리드 동작이 수행 될 상변화 메모리 셀의 어드레스 신호에 응답하여 활성화 되는 것을 특징으로 한다. 상기 반도체 메모리 장치는 상기 상변화 가변 저항 소자들과 상기 컬럼 선택 트랜지스터들의 개수가 동일한 것을 특징으로 한다.

상기 반도체 메모리 장치는 상변화 가변 저항 소자들과 상기 컬럼 선택 트랜지스터들의 개수가 16 또는 32인 것을 특징으로 한다. 상기 반도체 메모리 장치는 상기 상변화 가변 저항 소자들이 게르마늄(Ge), 안티모니(Sb) 및 텔루리움(Te)을 포함하는 것을 특징으로 한다.

상기 반도체 메모리 장치는 상기 상변화 가변 저항 소자들이 반도체 기판 위에 적층되는 것을 특징으로 한다. 상기 반도체 메모리 장치는 상기 상변화 가변 저항 소자들이 상기 선택 트랜지스터 위에 적층되는 것을 특징으로 한다.

상기 반도체 메모리 장치는 리셋 및 셋 프로그래밍을 제어하는 기입 회로를 더 구비하고, 상기 기입 회로는 리셋 프로그래밍 시 선택된 상변화 메모리 셀의 모든 상변화 가변 저항 소자로 리셋 컨트롤 신호에 응답하여 리셋 펄스를 인가하고, 셋 프로그래밍 시, 선택된 상변화 메모리 셀을 리셋 시킨 후 셋 컨트롤 신호에 응답하여 셋 펄스를 상기 선택된 상변화 메모리 셀로 인가하는 것을 특징으로 한다.

상기 반도체 메모리 장치는 리셋 및 셋 프로그래밍을 제어하는 기입 회로를 더 구비하고, 상기 기입 회로는, 상기 컬럼 블록 신호에 응답하여 기입 또는 리드 동작이 수행될 상변화 메모리 셀을 선택하고, 기입 데이터 펄스에 응답하여 상기 선택된 상변화 메모리 셀의 복수개의 상변화 가변 저항 소자들로 셋 펄스 또는 리셋 펄스가 인가되도록 제어하는 복수개의 컬럼 선택 제어 회로들 및 리셋 컨트롤 신호, 셋 컨트롤 신호 및 데이터를 수신하고 상기 기입 데이터 펄스, 상기 셋 펄스 및 리셋 펄스를 발생하는 기입 및 리드 관련 회로를 구비하는 것을 특징으로 한다.

상기 컬럼 선택 제어 회로들은 각각, 상기 컬럼 블록 신호 및 대응되는 기입 데이터 펄스를 반전 논리합 하여 대응되는 컬럼 선택 트랜지스터들을 턴 온 또는 턴 오프 시키는 복수개의 반전 논리합 수단들을 구비하는 것을 특징으로 한다.

상기 컬럼 선택 제어 회로들은 각각, 상기 컬럼 블록 신호에 의해서 선택된 상 변화 메모리 셀 내부의 상 변화 가변 저항 소자들의 수와 동일한 개수의 상기 반전 논리합 수단들을 구비하는 것을 특징으로 한다.

상기 컬럼 선택 제어 회로들은 각각, 리셋 프로그래밍 시, 리셋 프로그래밍이 수행될 어드레스 신호에 대응되는 컬럼 블록 신호와 모든 기입 데이터 펄스를 활성화 시켜 대응되는 모든 컬럼 선택 트랜지스터들이 턴 온 되도록 하고, 셋 프로그래밍 시, 셋 프로그래밍이 수행될 상 변화 메모리 셀에 대하여 리셋 프로그래밍을 수행한 후, 셋 프로그래밍이 수행될 어드레스 신호에 대응되는 컬럼 블록 신호와 셋 프로그래밍이 수행될 상 변화 메모리 셀의 상 변화 가변 저항 소자에 대응되는 기입 데이터 펄스만을 활성화 시켜 대응되는 컬럼 선택 트랜지스터들이 턴 온 되도록 하는 것을 특징으로 한다.

상기 반도체 메모리 장치는 상기 셋 컨트롤 펄스에 응답하여 상기 비트 라인이 프리차지 되는 것을 특징으로 한다.

상기 반도체 메모리 장치의 프로그래밍 방법은 하나의 선택 트랜지스터와 8의 배수로 구성된 복수개의 상 변화 가변 저항 소자들로 이루어진 메모리 셀을 구비하는 반도체 메모리 장치의 셋 프로그래밍 방법에 있어서, 선택된 메모리 셀의 모든 상 변화 가변 저항 소자들을 리셋 프로그래밍하는 단계 및 상기 선택된 상 변화 가변 저항 소자들을 선택적으로 셋 프로그래밍하는 단계를 구비하는 것을 특징으로 한다.

상기 반도체 메모리 장치의 프로그래밍 방법은 하나의 선택 트랜지스터와 8의 배수로 구성된 복수개의 상 변화 가변 저항 소자들로 이루어진 메모리 셀을 구비하는 반도체 메모리 장치에 있어서, 상기 메모리 셀의 일부 상 변화 가변 저항 소자들은 리셋 프로그래밍 하고 나머지 일부 상 변화 가변 저항 소자들은 셋 프로그래밍 하는 방법에 관한 것이다.

상기 프로그래밍 방법은 선택된 메모리 셀의 모든 상 변화 가변 저항 소자들을 리셋 프로그래밍하는 단계 및 상기 리셋 프로그래밍 된 상 변화 가변 저항 소자들 중 셋 프로그래밍이 수행되어야 할 상 변화 가변 저항 소자들에 대하여 선택적으로 셋 프로그래밍하는 단계를 구비하는 것을 특징으로 한다.

상기 반도체 메모리 장치의 프로그래밍 방법은 복수개의 비트라인들에 한쪽 단이 각각 연결된 상 변화 가변 저항 소자 및 워드라인에 의해서 제어되며 상기 상 변화 가변 저항 소자들의 다른 쪽 단에 공통으로 연결되는 선택 트랜지스터를 구비하는 메모리 셀들을 구비하는 반도체 메모리 장치의 셋 프로그래밍 방법에 관한 것이다.

상기 셋 프로그래밍 방법은 셋 프로그래밍을 수행할 선택 메모리 셀의 워드 라인을 활성화 시켜 상기 선택 트랜지스터를 턴 온 시키는 단계 및 상기 선택 메모리 셀의 모든 비트라인들로 리셋 펄스를 인가하는 단계 및 상기 선택 메모리 셀의 모든 비트라인 들 중 셋 프로그래밍을 수행할 비트라인들로부터 셋 펄스를 인가하는 단계를 구비하는 것을 특징으로 한다.

상기 반도체 메모리 장치는 상 변화 물질을 구비하는 상 변화 메모리 장치이다. 본 발명의 반도체 메모리 장치는 집적도를 향상시킬 수 있다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다. 도 3은 본 발명의 실시예에 따른 반도체 메모리 장치의 구조를 설명하는 도면이다.

도 4은 도3의 반도체 메모리 장치의 리드 동작을 설명하는 타이밍도이다.

도 5는 도3의 반도체 메모리 장치의 프로그래밍 동작을 설명하는 타이밍도이다.

이하, 도 3 내지 도 5을 참조하여 본 발명의 실시예에 따른 반도체 메모리 장치의 동작이 설명된다. 여기서, 반도체 메모리 장치는 상 변화 물질을 구비하는 상 변화 메모리 장치이다

도 3를 참조하면, 반도체 메모리 장치(100)는 복수개의 메모리 셀(50)로 이루어진 메모리 어레이(180), 복수개의 엔모스트랜지스터(NT0~NTn)를 구비하는 컬럼 선택 회로(120)들, 복수개의 노아 게이트(NOR10~NOR1n)를 구비하는 컬럼 선택 제어 회로(140)들, 기입 및 리드 관련 회로(160) 및 기타 주변회로(디코더 등, 미도시)를 구비한다.

메모리 셀(50)은 한단이 대응하는 비트 라인(BL10~BLmn)들에 연결되고 다른 한단이 공통으로 선택 트랜지스터(N50)의 드레인에 연결되고 8의 배수로 구성된 복수개의 상변화 가변 저항 소자들(R0~Rn)과 게이트가 워드 라인에 연결되고 소스가 기준전압에 연결된 선택 트랜지스터(N50)를 구비한다.

비트 라인들(BL10~BLmn)에는 컬럼 선택 회로(120)의 컬럼 선택 트랜지스터들(NT0~NTn)이 각각 연결된다. 컬럼 선택 회로(120)는 컬럼 선택 제어 회로(140)의 출력인 컬럼 선택 신호들(Y10~Y1n)을 수신한다.

상기 컬럼 선택 제어 회로(140)는 기입 및 리드 관련 회로(160)로부터 출력된 기입 데이터 펄스들(WP0~WPn)과 디코더(미도시)로부터 출력된 컬럼 블록 신호(Yb0~Ybn)를 수신한다.

기입 및 리드 관련 회로(160)는 프로그래밍 동작과 리드 동작과 관련한 기입 드라이버(미도시), 센스 앰프(Sense Amplifier) (미도시), 데이터입력버퍼(Data Input Buffer) (미도시) 및 데이터출력버퍼(Data Output Buffer) (미도시) 등을 구비한다. 기입 및 리드 관련 회로(160)는 외부로부터 데이터(DIN0~DINn)를 수신하고 리셋 컨트롤 신호(PWL_RESET) 및 셋 컨트롤 신호(PWL_SET)에 응답하여 기입 데이터 펄스(WP0~WPn)를 출력한다. 또한 기입 및 리드 관련 회로(160)는 메모리 셀(50)로부터 리드된 정보를 데이터 라인(DL0~DLn)을 통하여 외부로 출력한다.

이하, 본 발명의 실시예에 따른 반도체 메모리 장치의 동작이 구체적으로 설명된다.

도 3 내지 도4를 참조하여 본 발명의 실시예에 따른 반도체 메모리 장치(100)의 리드 동작이 설명된다. 예를 들어, 도 3에서 보이는 바와 같이 메모리 셀(50)이 선택된 경우를 가정한다.

이때 입력되는 어드레스 신호(XADD)에 대응하는 워드라인(WL1)이 하이 레벨이 되고, 입력된 어드레스 신호(XADD)에 대응하는 컬럼 블록 신호(Yb0)가 로우 레벨이되며, 기입 데이터 펄스(WP0~WPn)는 로우 레벨이 된다.

이 때, 나머지 컬럼 블록 신호(Yb1~Ybn)는 하이 레벨로 유지된다. 따라서 컬럼선택신호(Y10~Y1n)는 모두 하이 레벨이 되며 컬럼 선택 트랜지스터(NT0~NTn)는 모두 턴 온 된다.

따라서, 메모리 셀(50)로부터 리드된 복수개의 데이터(BL0~BLn)는 대응되는 비트 라인(BL10~BL1n)과 데이터 라인(DL0~DLn)을 통하여 대응되는 센스 앰프(미도시)에서 증폭된 후에 외부로 출력된다.

본 실시 예에서의 상변화 가변 저항소자의 개수는 8의 배수로 구성된다. 예를 들면 16, 32 또는 64 등으로 이루어진다. 또한, 본 발명의 메모리 셀은 기판 위에 적층하여 구성할 수 있다(미도시).

예를 들면, 반도체 기판 위에 선택 트랜지스터(N50)를 설치하고, 선택 트랜지스터(N50) 위에 상변화 가변 저항 소자들(R0~Rn)을 차례로 적층하면 집적도를 더욱 높일 수 있다. 또한, 본 발명의 반도체 장치(100)는 시스템 엘에스아이 로직 칩(System LSI Logic Chip)에 로직 칩과 함께 탑재 가능함은 당업자에게 자명하다.

도 3 과 도 5를 참조하여 본 발명의 실시예에 따른 반도체 메모리 장치의 프로그래밍 동작이 설명된다. 예를 들어, 도 3에서 보이는 바와 같이 메모리 셀(50)이 선택된 경우를 가정한다.

이때 입력되는 어드레스 신호(XADD)에 대응하는 워드라인(WL1)이 하이 레벨이 되고, 입력된 어드레스 신호(XADD)에 대응하는 컬럼 블록 신호(Yb0)가 로우 레벨이 된다.

상기 메모리 셀(50)의 상 변화 가변 저항소자(R0)에 하이 데이터(DIN0)를 기입하고, 상 변화 가변 저항소자(Rn)에 로우 데이터(DINn)를 기입한다고 가정한다. 그러면 기입 데이터(/WDATA0)는 데이터(DIN0)와 반대로 로우 레벨이 되고 기입 데이터(/WDATAn)는 데이터(DINn)와 반대로 하이 레벨이 된다. 그러나 데이터와 기입 데이터의 관계가 이에 한정되는 것은 아니다.

기입 데이터 펄스(WP0, WPn)가 도 5에서 보이는 바와 같이 리셋 컨트롤 펄스(PWL_RESET)와 기입 데이터(/WDATA0, WDATAAn)에 응답하여 리셋 컨트롤 펄스(PWL_RESET)의 활성화 구간동안 로우 레벨이 되고 따라서 대응되는 컬럼 선택 신호(Y10, Y1n)가 하이 레벨로 발생된다.

그러면 컬럼 선택 트랜지스터들(NT0, NTn)가 턴 온 되고 메모리 셀(50)의 상변화 가변 저항소자(R0,Rn)에 리셋 펄스가 인가된다. 상변화 가변 저항 소자(R0,Rn)에 리셋 펄스가 인가되는 것은 PBL0와 PBLn의 과형으로부터 알 수 있다. 그러면 일단 상변화 가변 저항 소자(R0,Rn)는 리셋 상태가 된다.

그 후, 셋 컨트롤 펄스(PWL_SET)에 응답하여 셋 컨트롤 펄스(PWL_SET)의 활성화 구간 동안 기입 데이터 펄스(WPn)가 로우 레벨이 되고 따라서 대응되는 컬럼 선택 신호(Y1n)가 하이 레벨로 발생된다.

그러면 컬럼 선택 트랜지스터(NTn)가 턴 온 되고 메모리 셀(50)의 상변화 가변 저항소자(Rn)에 셋 펄스가 인가된다. 상변화 가변 저항 소자(Rn)에 셋 펄스가 인가되는 것은 PBLn의 과형으로부터 알 수 있다. 그러면 상변화 가변 저항 소자(Rn)는 셋 상태가 된다.

또한, 셋 컨트롤 펄스의 하강 에지에 응답하여 비트 라인들은 로우 레벨로 프리 차지(Precharge) 된다.

본 발명의 실시예에 따르면, 도 5에 보이는 바와 같이, 셋 프로그래밍 시 메모리 셀(50)이 선택되면 리셋 컨트롤 신호(PWL_RESET)에 응답하여 리셋 펄스를 대응되는 상변화 가변 저항 소자에 인가한 후, 셋 컨트롤 신호(PWL_SET)에 응답하여 셋 펄스를 대응되는 상변화 가변 저항 소자에 선택적으로 인가한다.

본 발명의 다른 실시예에 따른 반도체 메모리 장치의 프로그래밍 방법은 하나의 선택 트랜지스터와 8의 배수로 구성된 복수개의 상변화 가변 저항 소자들로 이루어진 메모리 셀을 구비하는 반도체 메모리 장치의 프로그래밍 방법에 관한 것이다.

선택된 메모리 셀의 모든 상변화 가변 저항 소자들을 리셋 프로그래밍 하는 단계 및 상기 선택된 상변화 가변 저항 소자들을 선택적으로 셋 프로그래밍 하는 단계를 구비한다.

본 발명의 또 다른 실시예에 따른 반도체 메모리 장치의 프로그래밍 방법은 하나의 선택 트랜지스터와 8의 배수로 구성된 복수개의 상변화 가변 저항 소자들로 이루어진 메모리 셀을 구비하는 반도체 메모리 장치에 있어서, 상기 메모리 셀의 일부 상변화 가변 저항 소자들은 리셋 프로그래밍하고 나머지 일부 상변화 가변 저항 소자들은 셋 프로그래밍 하는 방법에 관한 것이다.

상기 프로그래밍 방법은 선택된 메모리 셀의 모든 상변화 가변 저항 소자들을 리셋 프로그래밍 하는 단계 및 상기 리셋 프로그래밍 된 상변화 가변 저항 소자들 중 셋 프로그래밍이 수행되어야 할 상변화 가변 저항 소자들에 대하여 선택적으로 셋 프로그래밍 하는 단계를 구비한다.

본 발명의 또 다른 실시예에 따른 반도체 메모리 장치의 셋 프로그래밍 방법은 복수개의 비트라인들에 한쪽 단이 각각 연결된 상변화 가변 저항 소자 및 워드라인에 의해서 제어되며 상기 상변화 가변 저항 소자들의 다른 쪽 단에 공통으로 연결되는 선택 트랜지스터를 구비하는 메모리 셀들을 구비하는 반도체 메모리 장치의 셋 프로그래밍 방법에 관한 것이다.

상기 셋 프로그래밍 방법은 셋 프로그래밍을 수행할 선택 메모리 셀의 워드 라인을 활성화 시켜 상기 선택 트랜지스터를 턴 온 시키는 단계, 상기 선택 메모리 셀의 모든 비트라인들로 리셋 펄스를 인가하는 단계 및 상기 선택 메모리 셀의 모든 비트라인 들 중 셋 프로그래밍을 수행할 비트라인들로만 셋 펄스를 인가하는 단계를 구비한다.

상기 프로그래밍 방법들은 앞서 설명된 본 발명의 실시예에 따른 반도체 메모리 장치의 동작에 대한 것이므로 당업자라면 프로그래밍 방법을 이해할 수 있으므로 상세한 설명을 생략한다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 반도체 메모리 장치는 하나의 메모리 셀이 8의 배수개의 상변화 가변저항소자를 구비함으로써, 반도체 장치의 집적도를 높일 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1.

복수개의 상 변화 메모리 셀들을 구비하는 반도체 메모리 장치에 있어서,

상기 상 변화 메모리 셀들은 각각,

한단이 대응하는 비트 라인들에 연결되고 다른 한단이 공통으로 선택 트랜지스터의 드레인에 연결되고 8의 배수로 구성된 복수개의 상변화 가변 저항 소자들 ; 및

게이트가 대응되는 워드 라인에 연결되고 소스가 기준전압에 연결된 상기 선택 트랜지스터 를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2.

제 1항에 있어서, 상기 비트 라인들과 데이터 라인 사이에 각각 연결된 컬럼 선택 트랜지스터들을 더 구비하며, 리드 동작 시, 데이터가 리드 될 상 변화 메모리 셀에 대응되는 상기 컬럼 선택 트랜지스터가 컬럼 블록 신호에 응답하여 턴 온 되어 저장된 데이터를 상기 데이터 출력 라인으로 출력하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3.

제 2항에 있어서, 상기 컬럼 블록 신호는,

리드 동작이 수행 될 상 변화 메모리 셀의 어드레스 신호에 응답하여 활성화 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4.

제 2항에 있어서, 상기 상변화 가변 저항 소자들과 상기 컬럼 선택 트랜지스터들의 개수가 동일한 것을 특징으로 하는 반도체 메모리 장치.

청구항 5.

제 4항에 있어서, 상기 개수는 16인 것을 특징으로 하는 반도체 메모리 장치.

청구항 6.

제 4항에 있어서, 상기 숫자는 32인 것을 특징으로 하는 반도체 메모리 장치.

청구항 7.

제 2항에 있어서, 상기 상변화 가변 저항 소자들은 게르마늄(Ge), 안티모니(Sb) 및 텔루리움 (Te)을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8.

제 7항에 있어서, 상기 상변화 가변 저항 소자들은 반도체 기판 위에 적층되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9.

제 8항에 있어서, 상기 상변화 가변 저항 소자들은 상기 선택 트랜지스터 위에 적층되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10.

제 2항에 있어서, 리셋 및 셋 프로그래밍을 제어하는 기입 회로를 더 구비하고,

상기 기입 회로는 리셋 프로그래밍 시 선택된 상 변화 메모리 셀의 모든 상 변화 가변 저항 소자로 리셋 컨트롤 신호에 응답하여 리셋 펄스를 인가하고,

셋 프로그래밍 시, 선택된 상 변화 메모리 셀을 리셋 시킨 후 셋 컨트롤 신호에 응답하여 셋 펄스를 상기 선택된 상 변화 메모리 셀로 인가하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11.

제 2항에 있어서, 리셋 및 셋 프로그래밍을 제어하는 기입 회로를 더 구비하고,

상기 기입 회로는,

상기 컬럼 블록 신호에 응답하여 기입 또는 리드 동작이 수행될 상 변화 메모리 셀을 선택하고, 기입 데이터 펄스에 응답하여 상기 선택된 상 변화 메모리 셀의 복수개의 상 변화 가변 저항 소자들로 셋 펄스 또는 리셋 펄스가 인가되도록 제어하는 복수개의 컬럼 선택 제어 회로들; 및

리셋 컨트롤 신호, 셋 컨트롤 신호 및 데이터를 수신하고 상기 기입 데이터 펄스, 상기 셋 펄스 및 리셋 펄스를 발생하는 기입 및 리드 관련 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12.

제 11항에 있어서, 상기 컬럼 선택 제어 회로들은 각각,

상기 컬럼 블록 신호 및 대응되는 기입 데이터 펄스를 반전 논리합 하여 대응되는 컬럼 선택 트랜지스터들을 턴 온 또는 턴 오프 시키는 복수개의 반전 논리합 수단들을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 13.

제 12항에 있어서, 상기 컬럼 선택 제어 회로들은 각각,

상기 컬럼 블록 신호에 의해서 선택된 상 변화 메모리 셀 내부의 상 변화 가변 저항 소자들의 수와 동일한 개수의 상기 반전 논리합 수단들을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 14.

제 13항에 있어서, 상기 컬럼 선택 제어 회로들은 각각,

리셋 프로그래밍 시, 리셋 프로그래밍이 수행될 어드레스 신호에 대응되는 컬럼 블록 신호와 모든 기입 데이터 펄스를 활성화 시켜 대응되는 모든 컬럼 선택 트랜지스터들이 턴 온 되도록 하고,

셋 프로그래밍 시, 셋 프로그래밍이 수행될 상 변화 메모리 셀에 대하여 리셋 프로그래밍을 수행한 후, 셋 프로그래밍이 수행될 어드레스 신호에 대응되는 컬럼 블록 신호와 셋 프로그래밍이 수행될 상 변화 메모리 셀의 상 변화 가변 저항 소자에 대응되는 기입 데이터 펄스만을 활성화 시켜 대응되는 컬럼 선택 트랜지스터들이 턴 온 되도록 하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 15.

제 14항에 있어서, 상기 셋 컨트롤 펄스에 응답하여 상기 비트 라인이 프리차지 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 16.

하나의 선택 트랜지스터와 8의 배수로 구성된 복수개의 상 변화 가변 저항 소자들로 이루어진 메모리 셀을 구비하는 반도체 메모리 장치의 프로그래밍 방법에 있어서,

선택된 메모리 셀의 모든 상 변화 가변 저항 소자들을 리셋 프로그래밍하는 단계; 및

상기 선택된 상 변화 가변 저항 소자들을 선택적으로 셋 프로그래밍하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 프로그래밍 방법.

청구항 17.

제 16항에 있어서, 상기 상 변화 가변 저항 소자들은 게르마늄(Ge), 안티모니(Sb) 및 텔루리움(Te)을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 18.

하나의 선택 트랜지스터와 8의 배수로 구성된 복수개의 상 변화 가변 저항 소자들로 이루어진 메모리 셀을 구비하는 반도체 메모리 장치에 있어서, 상기 메모리 셀의 일부 상 변화 가변 저항 소자들은 리셋 프로그래밍 하고 나머지 일부 상 변화 가변 저항 소자들은 셋 프로그래밍 하는 방법에 있어서,

선택된 메모리 셀의 모든 상 변화 가변 저항 소자들을 리셋 프로그래밍하는 단계; 및

상기 리셋 프로그래밍 된 상 변화 가변 저항 소자들 중 셋 프로그래밍이 수행되어야 할 상 변화 가변 저항 소자들에 대하여 선택적으로 셋 프로그래밍하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 프로그래밍 방법.

청구항 19.

복수개의 비트라인들에 한쪽 단이 각각 연결된 상 변화 가변 저항 소자 ; 및

워드라인에 의해서 제어되며 상기 상 변화 가변 저항 소자들의 다른 쪽 단에 공통으로 연결되는 선택 트랜지스터를 구비하는 메모리 셀들을 구비하는 반도체 메모리 장치의 셋 프로그래밍 방법에 있어서,

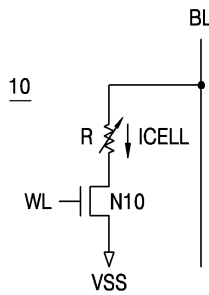
셋 프로그래밍을 수행할 선택 메모리 셀의 워드 라인을 활성화 시켜 상기 선택 트랜지스터를 턴 온 시키는 단계 ;

상기 선택 메모리 셀의 모든 비트라인들로 리셋 펄스를 인가하는 단계 ; 및

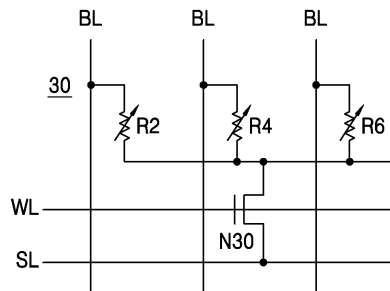
상기 선택 메모리 셀의 모든 비트라인 들 중 셋 프로그래밍을 수행할 비트라인들로만 셋 펄스를 인가하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 셋 프로그래밍 방법.

도면

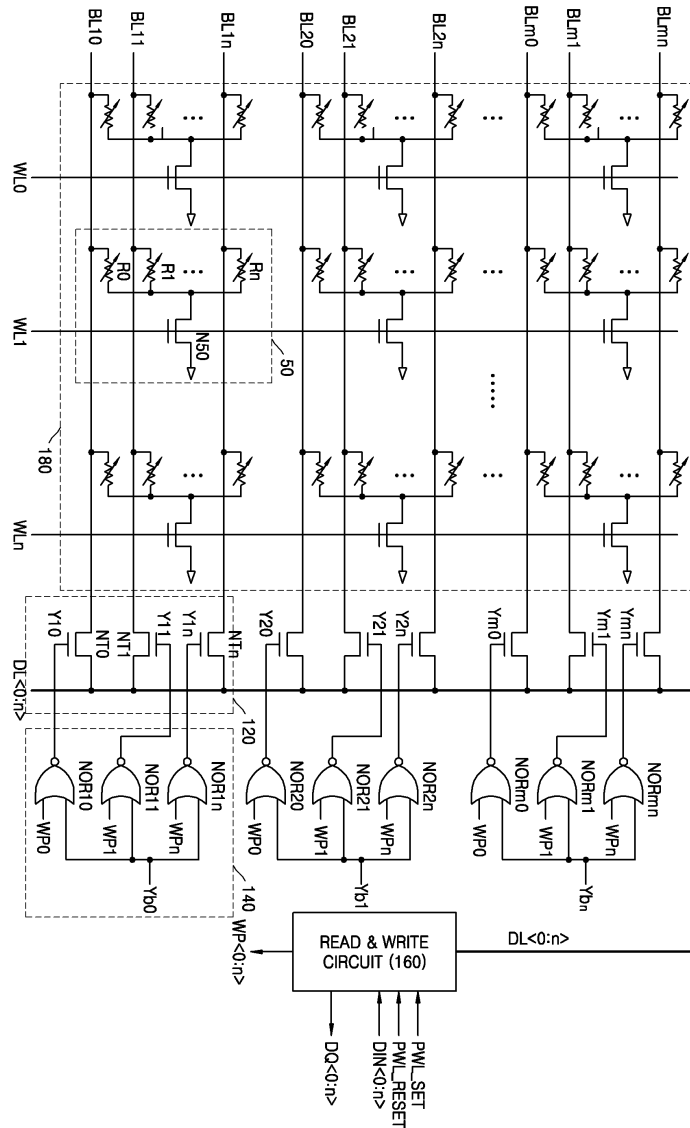
도면1



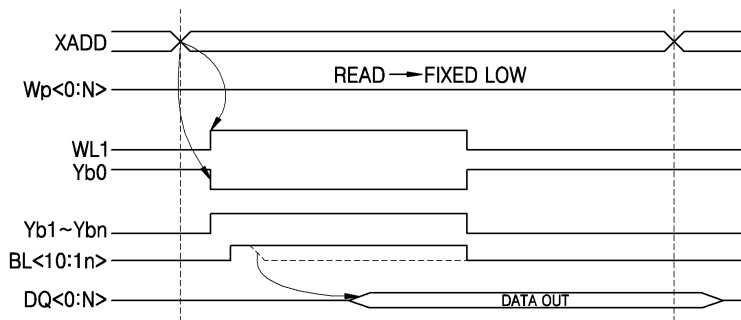
도면2



도면3



도면4



도면5

