

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 12 月 4 日 (04.12.2008)

PCT

(10) 国際公開番号
WO 2008/146331 A1

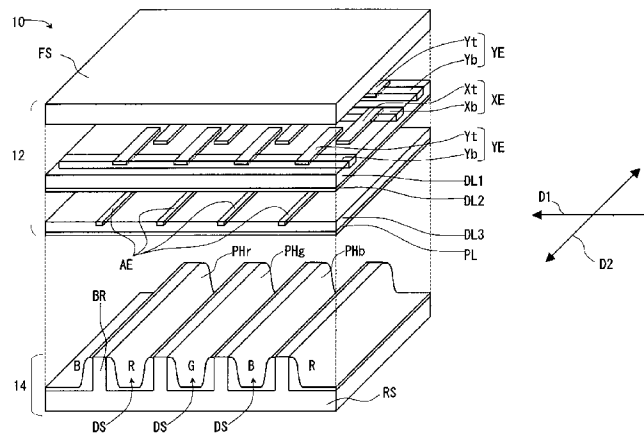
- (51) 国際特許分類:
H01J 11/02 (2006.01) H01J 9/02 (2006.01)
- (21) 国際出願番号: PCT/JP2007/000566
- (22) 国際出願日: 2007 年 5 月 28 日 (28.05.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 佐々木孝 (SASAKI, Takashi) [JP/JP]; 〒2440817 神奈川県横浜市戸塚区吉田町 2 9 2 番地株式会社日立製作所
- 内 Kanagawa (JP). 佐藤裕子 (SATO, Yuko) [JP/JP]; 〒2440817 神奈川県横浜市戸塚区吉田町 2 9 2 番地株式会社日立製作所内 Kanagawa (JP).
- (74) 代理人: 古谷史旺, 外 (FURUYA, Fumio et al.); 〒1600023 東京都新宿区西新宿 1 丁目 1 9 番 5 号第 2 明宝ビル 9 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: PLASMA DISPLAY PANEL AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: プラズマディスプレイパネルおよびプラズマディスプレイパネルの製造方法

[図1]



(57) Abstract: The plasma display panel has first and second substrates arranged opposite to each other with a discharge space interposed therebetween. The plasma display panel has a display area of image constituted by cells capable of emitting light through electric discharge. On the first substrate, there are provided a first electrode for generating of electric discharge and a glass-made first dielectric layer covering the display area of the first electrode. A second dielectric layer is provided on the first dielectric layer at its position covering the display area, and a second electrode is provided on the second dielectric layer. For example, the second dielectric layer is formed of a dielectric material superior to the first dielectric layer in the resistance to etching treatment at forming of the second electrode. Accordingly, while inhibiting any increase of time for formation of a thick dielectric layer interposed between first layer electrode and second layer electrode, there can be attained prevention of image quality deterioration.

(57) 要約: プラズマディスプレイパネルは、放電空間を介して互いに対向する第 1 および第 2 基板を有している。プラズマディスプレイパネルの画像の表示領域は、放電により発光するセルで構成されている。そして、第 1 基板上には、放電を発生させるための第 1 電極と、ガラスで形成され、第 1 電極における表示領域を覆う第 1 誘電体層とが設

[続葉有]



WO 2008/146331 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

けられている。さらに、第1誘電体層上で表示領域を覆う位置には、第2誘電体層が設けられ、第2誘電体層上には、第2電極が設けられている。例えば、第2誘電体層は、第2電極を形成するときのエッチング処理に対する耐性が第1誘電体層に比べて高い誘電体で形成されている。この結果、1層目の電極と2層目の電極との間に設けられる厚い誘電体層の形成時間の増加を抑制しつつ、画質の劣化を防止できる。

明 細 書

プラズマディスプレイパネルおよびプラズマディスプレイパネルの製造方法

技術分野

[0001] 本発明は、プラズマディスプレイパネルおよびプラズマディスプレイパネルの製造方法に関する。

背景技術

[0002] プラズマディスプレイパネル（PDP）は、2枚のガラス基板を互いに貼り合わせて構成されており、ガラス基板の間に形成される空間に放電光を発生させることで画像を表示する。画像における画素に対応するセルは、自発光型であり、放電により発生する紫外線を受けて赤、緑、青の可視光を発生する蛍光体が塗布されている。

[0003] 例えば、3電極構造のPDPは、X電極およびY電極間でサステイン放電を発生させることで、画像を表示する。サステイン放電を発生させるセル（点灯させるセル）は、例えば、Y電極およびアドレス電極間で選択的にアドレス放電を発生させることにより、選択される。

[0004] 一般的なPDPでは、X電極およびY電極は前面ガラス基板に配置され、アドレス電極は背面ガラス基板に配置されている。また、近年、X電極およびY電極とアドレス電極の3電極を前面ガラス基板に配置したPDPが提案されている。この種のPDPでは、X電極およびY電極等の1層目の電極は、ガラス基材上に形成され、アドレス電極等の2層目の電極は、1層目の電極を覆っている誘電体層上に形成されている。なお、前面ガラス基板は、ガラス基材およびガラス基材上に形成された誘電体層を含んで構成されている。

[0005] 2層に分かれた電極を前面ガラス基板に有するPDPでは、1層目の電極と2層目の電極との間の誘電体層が、2層目の電極を形成するときのエッチングにより腐食し、画質が劣化するおそれがある。2層目の電極を形成する

ときのエッチングによる誘電体層の腐食を防止するために、1層目の電極と2層目の電極との間の誘電体層をプラズマCVD法により形成された SiO_2 膜の1層で構成するPDPが提案されている（例えば、特許文献1参照）。

特許文献1：特開2004-273265号公報

発明の開示

発明が解決しようとする課題

[0006] 一般に、プラズマCVD法等の気相成長法では、 SiO_2 の堆積速度（成長速度）が遅い。例えば、前面ガラス基板上に3電極を有するPDPでは、X電極およびY電極とアドレス電極を所定の間隔だけ離すために、誘電体層は、厚く（例えば、 SiO_2 膜では、 $10\mu\text{m}$ 程度）形成される。このため、 SiO_2 膜で誘電体層を形成する場合、形成時間がかかる。誘電体層の形成時間が増加するため、製造コストが増加する。

[0007] 本発明の目的は、前面ガラス基板上に設けられた1層目の電極と2層目の電極との間に厚い誘電体層を有するPDPにおいて、誘電体層の形成時間の増加を抑制しつつ、画質の劣化を防止することである。特に、本発明の目的は、画像の表示領域において、1層目の電極と2層目の電極との間に、2層目の電極を形成するときのエッチング処理に対する耐性が高く、厚い誘電体層を短時間で形成することである。

課題を解決するための手段

[0008] プラズマディスプレイパネルは、互いに対向する第1基板および第2基板を有している。プラズマディスプレイパネルの画像の表示領域は、放電により発光するセルで構成されている。そして、第1基板上には、放電を発生させるための第1電極と、ガラスで形成され、第1電極における表示領域を覆う第1誘電体層とが設けられている。さらに、第1誘電体層上で表示領域を覆う位置には、第2誘電体層が設けられ、第2誘電体層上には、第2電極が設けられている。例えば、第2誘電体層は、第2電極を形成するときのエッチング処理に対する耐性が第1誘電体層に比べて高い誘電体で形成されている。

発明の効果

- [0009] 本発明では、前面ガラス基板に設けられた１層目の電極と２層目の電極との間に厚い誘電体層を有するＰＤＰにおいて、誘電体層の形成時間の増加を抑制しつつ、画質の劣化を防止できる。特に、本発明では、画像の表示領域において、１層目の電極と２層目の電極との間に、２層目の電極を形成するときのエッチング処理に対する耐性が高く、厚い誘電体層を短時間で形成できる。

図面の簡単な説明

- [0010] [図１]本発明の第１の実施形態を示す分解斜視図である。
[図２]図１に示したＰＤＰの概要を示す説明図である。
[図３]図１に示したＰＤＰの概要を示す断面図である。
[図４]図１に示した背面基板部の概要を示す説明図である。
[図５]図１に示したＰＤＰを用いて構成されたプラズマディスプレイ装置の一例を示す分解斜視図である。
[図６]図５に示した回路部の概要を示すブロック図である。
[図７]図１に示したＰＤＰに画像を表示するためのサブフィールドの放電動作の例を示す波形図である。
[図８]本発明の第２の実施形態におけるＰＤＰの概要を示す説明図である。
[図９]本発明の第２の実施形態におけるＰＤＰの概要を示す断面図である。
[図１０]本発明の第３の実施形態におけるＰＤＰの概要を示す分解斜視図である。
[図１１]本発明の変形例におけるＰＤＰの電極構成を示す説明図である。
[図１２]本発明の別の変形例におけるＰＤＰの背面基板部の概要を示す説明図である。

発明を実施するための最良の形態

- [0011] 以下、本発明の実施形態を図面を用いて説明する。
- [0012] 図１は、本発明の第１の実施形態を示している。なお、図１は、画像の表示領域（後述する図２の太い破線で囲んだ領域）におけるプラズマディスプ

レイパネル（以下、PDPとも称する）の要部を示す分解斜視図である。図中の矢印D1は、第1方向D1を示し、矢印D2は、第1方向D1に画像表示面に平行な面内で直交する第2方向D2を示している。PDP10は、画像表示面を構成する前面基板部12と、前面基板部12に対向する背面基板部14とにより構成されている。前面基板部12と背面基板部14の間（より詳細には、背面基板部14の凹部）に放電空間DSが形成される。

[0013] 前面基板部12は、繰り返して放電を発生させるために、ガラス基材FS（第1基板）上（図では下側）に第1方向D1に沿って平行に形成され、第2方向D2に沿って交互に形成されたXバス電極XbおよびYバス電極Ybを有している。Xバス電極Xbには、Xバス電極XbからYバス電極Ybに向けて第2方向D2に延在するX透明電極Xtが接続されている。また、Yバス電極Ybには、Yバス電極YbからXバス電極Xbに向けて第2方向D2に延在するY透明電極Ytが接続されている。すなわち、X透明電極XtおよびY透明電極Ytは、第2方向D2に沿って対向している。

[0014] ここで、Xバス電極XbおよびYバス電極Ybは、金属材料等で形成された不透明な電極であり、X透明電極XtおよびY透明電極Ytは、ITO膜等で形成された光を透過する透明電極である。なお、透明電極XtおよびYtは、それぞれが当接するバス電極XbおよびYbとガラス基材FSとの間全面に配置されることもある。また、透明電極XtおよびYtは、バス電極XbおよびYbと同じ材料（金属材料等）で、バス電極XbおよびYbと一体に形成されてもよい。そして、X電極XE（維持電極、第1電極の1つ）は、Xバス電極XbおよびX透明電極Xtにより構成され、Y電極YE（走査電極、第1電極の1つ）は、Yバス電極YbおよびY透明電極Ytにより構成される。

[0015] 電極Xb、Xt、Yb、Ytは、誘電体層DL1に覆われている。例えば、誘電体層DL1は、鉛を含まない低融点ガラスをガラス基材FS上に塗布することにより形成される。例えば、低融点ガラスによる誘電体層DL1は、ペースト状の低融点ガラスを塗布した後、焼成して形成される。このため

、誘電体層DL1の製造時間は、厚さに依存せず、ほぼ一定である。一方、CVD法による二酸化シリコン膜の誘電体層の製造時間（形成時間、成長時間）は、誘電体層の厚さに比例し、厚いほど長くなる。このため、誘電体層DL1を低融点ガラスで形成する本発明では、二酸化シリコン膜で誘電体層DL1を形成する場合に比べて、誘電体層DL1を短時間で厚く形成できる。

[0016] 例えば、鉛を含まない低融点ガラスの比誘電率は、CVD法により形成された二酸化シリコン膜の比誘電率（4程度）の2倍程度（8程度）である。したがって、誘電体層の静電容量の値を従来の構成と同程度にする場合、誘電体層（例えば、誘電体層DL1）の厚さは、二酸化シリコン膜の場合、従来の構成における低融点ガラスの厚さ（ $20\mu\text{m}$ 程度）の2分の1程度の厚さ（ $10\mu\text{m}$ 程度）に形成される。

[0017] 誘電体層DL1上（図では下側）には、誘電体層DL2が形成されている。例えば、誘電体層DL2は、CVD法により形成された二酸化シリコン膜（ SiO_2 膜、シリコン酸化膜）である。そして、誘電体層DL2上（図では下側）には、バス電極Xb、Ybの直交方向（第2方向D2）に延在する複数のアドレス電極AE（第2電極）が設けられている。アドレス電極AEは、誘電体層DL3に覆われており、誘電体層DL3の表面は、 MgO 等の保護層PLに覆われている。

[0018] 一般に、アドレス電極AEは、スパッタ法や蒸着法により金属微粒子を誘電体層DL2の表面に付着した後に、エッチング工程を用いて電極のパターンに形成される。換言すれば、アドレス電極AEは、誘電体層DL2の上面に設けられた導電膜を、エッチングによりパターンニングすることで形成される。二酸化シリコン膜（誘電体層DL2）は、アドレス電極AEを形成するときのエッチング処理に対する耐性が高く、フッ酸以外のウェットエッチャントに侵されない。誘電体層DL2は、アドレス電極AEを形成するときのエッチング処理により腐食しないため、誘電体層DL1が腐食することを防止できる。誘電体層DL1、DL2が腐食されないため、PDP10の誘

電体層の可視光透過率の低下による画質の劣化を防止できる。

[0019] また、誘電体層DL2は、誘電体層DL1の腐食を防止できる程度の厚みがあればよい。10 μ m程度の厚さの二酸化シリコン膜を形成する従来の構成に比べて、100分の1程度（0.1 μ m～0.3 μ m程度）まで薄くできる。したがって、誘電体層DL2の形成時間は、10 μ m程度の厚さの二酸化シリコン膜を形成する時間に比べて、極めて短く（100分の1程度）できる。当然、コストの低減もできる。特に、CVD装置は高価であり、単位時間当たりの処理枚数が大幅に増えることは、コストダウン効果を大きくする。また、二酸化シリコン膜は、フッ酸でしかエッチングできないため、パネルの電極を回路に接続する端部において、電極を覆う二酸化シリコン膜は、薄いほうが望ましい。

[0020] 放電空間DSを介して前面基板部12に対向する背面基板部14は、ガラス基材RS（第2基板）上に、互いに平行に形成された隔壁（バリアリブ）BRを有している。隔壁BRは、バス電極Xb、Ybに直交する方向（第2方向D2）に延伸し、アドレス電極AEに対向している。換言すれば、アドレス電極AEは、隔壁BRに対向する位置に配置されている。隔壁BRにより、セルの側壁が構成される。さらに、隔壁BRの側面と、互いに隣接する隔壁BRの間のガラス基材RS上とは、紫外線により励起されて赤（R）、緑（G）、青（B）の可視光を発生する蛍光体PHr、PHg、PHbが、それぞれ塗布されている。

[0021] PDP10の1つの画素は、赤、緑および青の光を発生する3つのセルにより構成される。ここで、1つのセル（一色の画素）は、バス電極Xb、Ybと隔壁BRとで規定される領域に形成される。このように、PDP10は、画像を表示するためにセルをマトリックス状に配置し、かつ互いに異なる色の光を発生する複数種のセルを交互に配列して構成されている。すなわち、画像の表示領域（後述する図2に示す太い破線で囲んだ領域）は、マトリックス状に配置されたセルにより構成される。特に図示していないが、バス電極Xb、Ybに沿って形成されたセルにより、表示ラインが構成される。

- [0022] PDP 10は、前面基板部12および背面基板部14を、保護層PLと隔壁BRが互いに接するように貼り合わせ、Ne、Xe等の放電ガスを放電空間DSに封入することで構成される。
- [0023] 図2および図3は、図1に示したPDP 10の概要を示している。なお、図2は、画像表示面側（図3の上側）から見た状態を示し、図3は、図2のA-A'線に沿う断面を示している。図2の網掛け部分は、ガラス基材RSの外周部（以後、シール部SLとも称する）および隔壁BRを示している。
- [0024] 図2の例では、誘電体層DL2は、誘電体層DL1上（図3では下側）で画像の表示領域DA（図2の太い破線で囲んだ領域）を覆う位置に、誘電体層DL1と同じ大きさに形成されている。すなわち、誘電体層DL1、DL2およびアドレス電極AEは、上述した図1で説明した製造方法により、ガラス基材FS上に、画像の表示領域DAを覆う位置に順次積層される。したがって、画像の表示領域DAにおいて、誘電体層DL2は、誘電体層DL2上にアドレス電極AEを形成するときのエッチング処理により、誘電体層DL1が腐食することを防止できる。
- [0025] アドレス電極AEは、隔壁BRに重なる位置に設けられ、第1方向D1に沿って配置される透明電極Xt、Ytは、交互に配置されている。したがって、アドレス電極AEを挟んで第1方向D1に隣接するセルC1において、両方のセルC1の透明電極Ytが1つのアドレス電極AEの両側に隣接することがない。
- [0026] このため、着目するセルC1のアドレス電極AEと透明電極Yt間でアドレス放電を発生させるとき（アドレス期間）に、隣接するセルC1で誤放電が発生することを防止できる。なお、着目するセルC1の放電空間DSでアドレス放電を発生させるとき、隔壁BRも誘電体層の一部として作用し、アドレス電極AEと透明電極Yt間の電界が図3に示す放電空間DSに生ずる。
- [0027] また、図2に示すように、ガラス基材RSにおける表示領域DAの外周部（シール部SL）と隔壁BRとの間に形成された排気空間ESには、ガラス

基材RSの外周まで貫通する排気孔EHが設けられている。これにより、組み立てられたPDP10の放電空間DSを真空状態に設定でき、放電ガスを放電空間DSに封入できる。

[0028] なお、図3に示すように、シール部SLには、溝GRが形成され、溝GR内には、低融点ガラス等のシール材SMが配置されている。これは、図3の断面と直交する断面でも同じである。すなわち、額縁状の溝GR内に、低融点ガラス等のシール材SMが配置されている。そして、前面基板部12および背面基板部14は、保護層PLと隔壁BRおよびシール部SLが互いに接するように、溝GRに配置されたシール材SMにより貼り合わせられる。

[0029] 例えば、シール材SMの体積が、溝GRの体積（容積）よりも小さい場合、前面基板部12と背面基板部14は、隔壁BRと前面基板部12との間に、シール材SMによる隙間が発生することなく、貼り合わせられる。隔壁BRと前面基板部12との間に、シール材SMによる隙間が発生しないため、隔壁BRは、着目するセルC1の放電が、隔壁BRを挟んで隣接するセルC1に広がることを防止できる。この結果、隣接するセルC1での誤放電を防止できる。

[0030] また、溝GR内にシール材SMが配置されるため、シール材SMがシール部SLの上面（後述する図4に示す上面SL1）に広がることを防止できる。これにより、例えば、シール材SMが排気空間ESにはみ出し、図2に示した排気孔EHが埋まることを防止できる。この結果、組み立てられたPDP10の放電空間DSに放電ガスを封入できなくなることを防止できる。

[0031] 図4は、図1に示した背面基板部14の概要を示している。この実施形態では、シール部SLの最上面SL1（前面基板部12に対向する先端の面SL1）および隔壁BRの上面BR1（前面基板部12に対向する先端の面BR1）は、互いに略同一の高さに形成されている。なお、溝GRを形成せずに、シール部SL（外周部）上に、上述した図3に示したシール材SMを配置してもよい。この場合、シール部SLの上面SL1は、隔壁BRの間に形成される凹部（放電空間DS）の底辺と略同一の高さに形成されてもよいし

、隔壁BRの上面BR1と略同一の高さに形成されてもよい。

[0032] 放電空間DS、溝GRおよび排気空間ESは、サンドブラスト法等により、ガラス基材RSを直接彫り込んで形成される。すなわち、隔壁BRおよび溝GRは、ガラス基材RSを削ることにより形成される。これにより、例えば、隔壁BRを形成するための焼成工程を必要としないため、PDPの製造コストを低減できる。多くの場合、この焼成工程の焼成炉は電気をエネルギーとしており、この焼成工程を無くすことは電気エネルギーの削減にもなる。なお、放電空間DSは、ペースト状の隔壁材料を塗布し、乾燥、サンドブラスト、焼成工程を経て形成されてもよい。また、隔壁BRを印刷による積層で形成してもよい。

[0033] 図5は、図1に示したPDP10を用いて構成されたプラズマディスプレイ装置の一例を示している。プラズマディスプレイ装置（以下、PDP装置とも称する）は、PDP10、PDP10の画像表示面16側（光の出力側）に設けられる光学フィルタ20、PDP10の画像表示面16側に配置された前筐体30、PDP10の背面18側に配置された後筐体40およびベースシャーシ50、ベースシャーシ50の後筐体40側に取り付けられ、PDP10を駆動するための回路部60、およびPDP10をベースシャーシ50に貼り付けるための両面接着シート70を有している。回路部60は、複数の部品で構成されるため、図では、破線の箱で示している。光学フィルタ20は、前筐体30の開口部32に取り付けられる保護ガラス（図示せず）に貼付される。なお、光学フィルタ20に電磁波遮蔽機能を持たせることもある。また、光学フィルタ20は、保護ガラスではなく、PDP10の画像表示面16側に直接貼付されることもある。

[0034] 図6は、図5に示した回路部60の概要を示している。回路部60は、バス電極Xbに共通のパルスを印加するXドライバXDRV、バス電極Ybに選択的にパルスを印加するYドライバYDRV、アドレス電極AEに選択的にパルスを印加するアドレスドライバADRV、ドライバXDRV、YDRV、ADRVの動作を制御する制御部CNTおよび電源部PWRを有してい

る。ドライバXDRV、YDRV、ADRVは、PDP10を駆動する駆動部として動作する。電源部PWRは、ドライバYDRV、XDRV、ADRVに供給する電源電圧 V_{sc} 、 $V_s/2$ 、 $-V_s/2$ 、 V_{sa} 等を生成する。

[0035] 制御部CNTは、画像データR0-7、G0-7、B0-7に基づいて使用するサブフィールドを選択し、ドライバYDRV、XDRV、ADRVに制御信号YCNT、XCNT、ACNTを出力する。ここで、サブフィールドは、PDP10の1画面を表示するための1フィールドが分割されたフィールドであり、サブフィールド毎にサステイン放電の回数が設定されている。そして、画素を構成するセルC1毎に、使用するサブフィールドを選択することにより、多階調の画像が表示される。

[0036] 図7は、図1に示したPDP10に画像を表示するためのサブフィールドにおける放電動作の一例を示している。図中の星印は、放電の発生を示している。各サブフィールドSFは、リセット期間RST、アドレス期間ADR、サステイン期間SUSおよび消去期間ERSにより構成される。なお、消去期間ERSは、点灯したセルのみの壁電荷を減少させるための放電を発生させる期間のため、サステイン期間SUSに含めて定義される場合もある。

[0037] まず、リセット期間RSTでは、緩やかに下降する負の電圧（鈍波）が、維持電極XE（バス電極Xbおよび透明電極Xt）に印加され、正の電圧が、走査電極YE（バス電極Ybおよび透明電極Yt）に印加される（図7（a））。そして、維持電極XEは、負の書き込み電圧に維持され、緩やかに上昇する正の書き込み電圧（書き込み鈍波）が走査電極YEに印加される（図7（b））。これにより、セルの発光を抑えながら維持電極XEと走査電極YEに正と負の壁電荷がそれぞれ蓄積される。次に、維持電極XEに正の調整電圧が印加され、負の調整電圧（調整鈍波）が走査電極YEに印加される（図7（c））。これにより、維持電極XEと走査電極YEにそれぞれ蓄積された正と負の壁電荷の量が減るとともに、全てのセルの壁電荷が等しくなる。なお、例えば、正の調整電圧は、電圧 $V_s/2$ より低い電圧であり、

負の調整電圧の最小値は、電圧 $-V_s/2$ より高い電圧である。

- [0038] アドレス期間ADRでは、アドレス放電時に陽極となるスキャン電圧が維持電極XEに印加され、アドレス放電時に陰極となるスキャンパルスが走査電極YEに印加され、アドレス放電時に陽極となるアドレスパルス（電圧 V_{sa} ）が、点灯するセルに対応するアドレス電極AEに印加される（図7（d））。スキャンパルスとアドレスパルスにより選択されたセルは、一時的に放電（アドレス放電）する。
- [0039] すなわち、走査電極YEとアドレス電極AE間には、放電を発生させる最低電圧（放電開始電圧）以上の電圧が印加され、維持電極XEとアドレス電極AE間には、放電開始電圧より低い電圧が印加される。これにより、着目するセルのアドレス電極AEと走査電極YE間でアドレス放電を発生させるときに、隣接するセルの維持電極XEとアドレス電極AE間で誤放電が発生することを防止できる。アドレス電極AEの波形に示される2回目のアドレスパルスは、他の表示ラインの放電セルを選択するために印加される（図7（e））。
- [0040] サステイン期間SUSでは、負および正のサステインパルスが、維持電極XEおよび走査電極YEにそれぞれ印加される（図7（f、g））。これにより、点灯したセルの放電状態が維持される。互いに極性の異なるサステインパルスが、維持電極XEおよび走査電極YEに繰り返して印加されることにより、サステイン期間SUSに点灯したセルの放電（サステイン放電）が繰り返し行われる。
- [0041] 消去期間ERSでは、負の消去前パルスと正の高電圧の消去前パルスが、維持電極XEおよび走査電極YEにそれぞれ印加され、放電が発生する（図7（h））。これにより、壁電荷が、維持電極XEおよび走査電極YEに蓄積される。この際、走査電極YEは、電圧 $V_s/2$ より高い電圧が印加されるため、蓄積される壁電荷の量は相対的に多くなる。次に、正の消去パルスと負の消去パルスが、維持電極XEおよび走査電極YEにそれぞれ印加される（図7（i））。これにより、放電が起こるが、2電極間に印加されてい

る電圧値の差がサステイン期間SUSの電圧値の差よりも低いため、壁電荷の量がサステイン期間SUSに比べて減る。

[0042] 以上、第1の実施形態では、電極XEおよびYEとアドレス電極AEとの間の誘電体層は、厚く（ $20\mu\text{m}$ 程度）形成された誘電体層DL1および誘電体層DL1に比べて非常に薄く（ $0.1\mu\text{m}\sim 0.3\mu\text{m}$ 程度）形成された誘電体層DL2の2層の誘電体層により形成されている。誘電体層DL2は、エッチング処理に対する耐性が高いため、誘電体層DL1がエッチング処理により腐食することを防止できる。したがって、この実施形態では、画像の表示領域DAにおいて、電極XEおよびYEとアドレス電極AEとの間に、アドレス電極AEを形成するときのエッチング処理に対する耐性が高く、厚い誘電体層を短時間で形成できる。この結果、前面ガラス基板（前面基板部12）に設けられた1層目の電極（電極XE、YE）と2層目の電極（アドレス電極AE）との間に厚い誘電体層を有するPDPにおいて、誘電体層の形成時間の増加を抑制しつつ、画質の劣化を防止できる。

[0043] 図8および図9は、本発明の第2の実施形態におけるPDP10の概要を示している。なお、図8は、画像表示面側（図9の上側）から見た状態を示し、図9は、図8のA-A'線に沿う断面を示している。この例では、誘電体層DL2の大きさが、第1の実施形態と相違している。その他の構成は、第1の実施形態と同じである。第1の実施形態（図2、図3）で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

[0044] 図8に示すように、誘電体層DL2は、誘電体層DL1上で表示領域DAを覆う位置に、誘電体層DL1より小さい面積に形成される。そして、図9に示すように、表示領域DAにおけるアドレス電極AEは、誘電体層DL2上に形成される。誘電体層DL2は、表示領域DAにおける誘電体層DL1を覆って形成されているため、表示領域DAにおける誘電体層DL1が腐食することを防止できる。この実施形態では、誘電体層DL2の外側（表示領域DA外）に位置する誘電体層DL1は、アドレス電極AEを形成するとき

のエッチング処理により、腐食するおそれがある。しかし、表示領域DA内の誘電体層DL1は、上述したように、腐食しないため、PDP10の画質は、劣化しない。

[0045] 以上、第2の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この場合、上述した第1の実施形態に比べて誘電体層DL2の面積が小さいため、少ない材料（原料ガス）で誘電体層DL2を形成できる。

[0046] 図10は、本発明の第3の実施形態におけるPDP10の要部を示している。なお、図10は、画像の表示領域におけるPDP10の要部を示す分解斜視図である。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、第1の実施形態に補助電極ZEが追加され、追加された補助電極ZEが誘電体層DL2上（図10では下側）に形成されている。なお、アドレス電極AEは、ガラス基材RS2上に、第2方向D2に延在して設けられている。図10に示したPDP10の構成は、電極XEおよびYEと補助電極ZEとの間に設けられる誘電体層を、誘電体層DL1、DL2の2層構造にする以外は、従来のPDPの構成と同じである。

[0047] 電極XE、YEの透明電極Xt2、Yt2は、バス電極Xb、Ybの延在する方向と同じ第1方向D1に延在し、バス電極Xb、Ybにそれぞれ接続されている。誘電体層DL1は、ガラス基材FS上に、電極XE、YEにおける表示領域（例えば、上述した図2に示した表示領域DA）を覆って形成されている。そして、誘電体層DL2は、誘電体層DL1上に、表示領域を覆う位置に形成されている。誘電体層DL2上には、一対のサステイン電極（維持電極XEと走査電極YEとの組）間ごとに、補助電極ZEが形成されている。

[0048] 補助電極ZEは、上述した実施形態のアドレス電極AEと同様に、誘電体層DL2の全面に設けられた導電膜を、エッチングによりパターンニングすることで形成される。したがって、誘電体層DL2は、画像の表示領域にお

いて、補助電極Z Eを形成するときのエッチング処理により、誘電体層D L 1が腐食することを防止できる。

[0049] なお、各補助電極Z Eは、プライミング粒子を発生させるために、サステインパルスに合わせて共通のパルスが印加され、サステイン放電を補助する。ここで、プライミング粒子は、自由電子やイオン等の放電を発生させるための荷電粒子である。また、ガラス基材R S 2上に形成されたアドレス電極A Eは、誘電体層D L 4に覆われている。誘電体層D L 4上には、互いに隣接するアドレス電極A Eの間に対応する位置に、隔壁（リブ）B Rが形成されている。換言すれば、アドレス電極A Eは、隔壁（リブ）B Rの間に配置されている。

[0050] 以上、第3の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。すなわち、画像の表示領域において、電極X EおよびY Eと補助電極Z Eとの間に、補助電極Z Eを形成するときのエッチング処理に対する耐性が高く、厚い誘電体層を短時間で形成できる。この結果、前面ガラス基板（前面基板部1 2）に設けられた1層目の電極（電極X E、Y E）と2層目の電極（補助電極Z E）との間に厚い誘電体層を有するP D Pにおいて、誘電体層の形成時間の増加を抑制しつつ、画質の劣化を防止できる。

[0051] なお、上述した実施形態では、1つの画素が、3つのセル（赤（R）、緑（G）、青（B））により構成される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、1つの画素を4つ以上のセルにより構成してもよい。あるいは、1つの画素が、赤（R）、緑（G）、青（B）以外の色を発生するセルにより構成されてもよく、1つの画素が、赤（R）、緑（G）、青（B）以外の色を発生するセルを含んでもよい。

[0052] 上述した実施形態では、透明電極X t、Y tが第2方向D 2に沿って対向する位置に配置される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図1 1に示すように、透明電極X t 3、Y t 3の先端部S D 1、S D 2が第1方向D 1に沿って対向する位置に配置されて

もよい。図 1 1 は、画像表示面側から見た電極 X b、X t 3、Y b、Y t 3、A E および隔壁 B R の状態を示している。図 1 1 の例では、透明電極 X t 3、Y t 3 およびアドレス電極 A E が、上述した実施形態と相違している。その他の構成は、上述した実施形態と同じである。上述した実施形態（図 2）で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

[0053] バス電極 X b に接続された透明電極 X t 3 の先端 S D 1 は、バス電極 Y b に接続された透明電極 Y t 3 の先端 S D 2 に対向している。また、透明電極 X t 3、Y t 3 は、対向部を広くするために、T 字形状にそれぞれ形成されている。なお、透明電極 X t 3、Y t 3 の形状は、長方形でもよいし、台形でもよい。また、突出部 A p は、アドレス電極 A E から各セル C 1 の透明電極 Y t 3 に向けて突出し、アドレス電極 A E と一体に形成されている。このため、アドレス電極 A E と透明電極 Y t 3 間に電圧を印加することにより、着目するセル C 1 でアドレス放電を発生させることができる。この場合にも、上述した実施形態と同様の効果を得ることができる。

[0054] 上述した実施形態では、隔壁 B R が、アドレス電極 A E に対向する位置のみに配置される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図 1 2 に示すように、アドレス電極 A E の垂直方向（第 1 方向 D 1）に延在する隔壁 B R 2 が、ガラス基材 R S に形成されてもよい。図 1 2 は、隔壁 B R 2 が形成された背面基板部 1 4 の概要を示している。上述した図 4 で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。図 1 2 の例では、隔壁 B R 2 は、隔壁 B R より低く形成される。すなわち、隔壁 B R 2 の上面 B R 3 は、隔壁 B R の上面 B R 1 より低い位置に形成される。これにより、隔壁 B R 2 に遮断されることなく、排気空間 E S を介して、組み立てられた P D P 1 0 の放電空間 D S を真空状態に設定でき、放電ガスを放電空間 D S に封入できる。

[0055] 例えば、隔壁 B R、B R 2 は、サンドブラスト法等により、ガラス基材 R

Sを削ることにより形成される。なお、放電空間DSは、ペースト状の隔壁材料を塗布し、乾燥、サンドブラスト、焼成工程を経て形成されてもよい。また、隔壁BR、BR2を印刷による積層で形成してもよい。この場合にも、上述した実施形態と同様の効果を得ることができる。

[0056] 上述した第1および第2の実施形態では、維持電極XE、走査電極YE、アドレス電極AEの3電極が前面基板部12に形成される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、アドレス電極を兼ねるX電極（第2電極）と走査電極YE（第1電極）の2電極を前面基板部12に形成してもよい。この場合にも、上述した実施形態と同様の効果を得ることができる。

[0057] 上述した第3の実施形態では、補助電極ZEが誘電体層DL2上に形成される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、ガラス基材FS上に維持電極XE（第1電極の1つ）、走査電極YE（第1電極の1つ）および補助電極ZE（第1電極の1つ）を形成し、誘電体層DL2上にアドレス電極AE（第2電極）を形成してもよい。この場合、背面基板部の構成は、上述した第1の実施形態における背面基板部14と同じである。この場合にも、上述した実施形態と同様の効果を得ることができる。

[0058] 以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

産業上の利用可能性

[0059] 本発明は、プラズマディスプレイパネルおよびプラズマディスプレイパネルの製造方法に適用できる。

請求の範囲

- [1] 放電空間を介して互いに対向する第1基板および第2基板と、
放電により発光するセルで構成される画像の表示領域と、
放電を発生させるために前記第1基板上に設けられた第1電極と、
前記第1基板上に、ガラスで形成され、前記第1電極における前記表示領域を覆う第1誘電体層と、
前記第1誘電体層上に、前記表示領域を覆う位置に設けられた第2誘電体層と、
前記第2誘電体層上に設けられた第2電極とを備え、
前記第2誘電体層は、前記第1誘電体層に比べて、前記第2電極を形成するときのエッチング処理に対する耐性が高い誘電体で形成されていることを特徴とするプラズマディスプレイパネル。
- [2] 請求項1記載のプラズマディスプレイパネルにおいて、
前記第2誘電体層は、シリコン酸化膜で形成されていることを特徴とするプラズマディスプレイパネル。
- [3] 請求項1記載のプラズマディスプレイパネルにおいて、
前記第2誘電体層は、形成時間が厚さに比例する製造方法で形成され、前記第1誘電体層に比べて薄く形成されていることを特徴とするプラズマディスプレイパネル。
- [4] 請求項1記載のプラズマディスプレイパネルにおいて、
前記第2誘電体層は、前記第1誘電体層に比べて、比誘電率が小さい誘電体で形成されていることを特徴とするプラズマディスプレイパネル。
- [5] 請求項1記載のプラズマディスプレイパネルにおいて、
前記第2誘電体層は、前記第1誘電体層に比べて、面積が小さく形成されていることを特徴とするプラズマディスプレイパネル。
- [6] 放電空間を介して互いに対向する第1基板および第2基板と、放電により発光するセルで構成される画像の表示領域とを備え、前記第1基板上に、第1電極、誘電体層および第2電極が順次積層されるプラズマディスプレイパ

ネルの製造方法であって、

前記第 1 基板上に、前記第 1 電極における前記表示領域を覆う第 1 誘電体層をガラスで形成し、

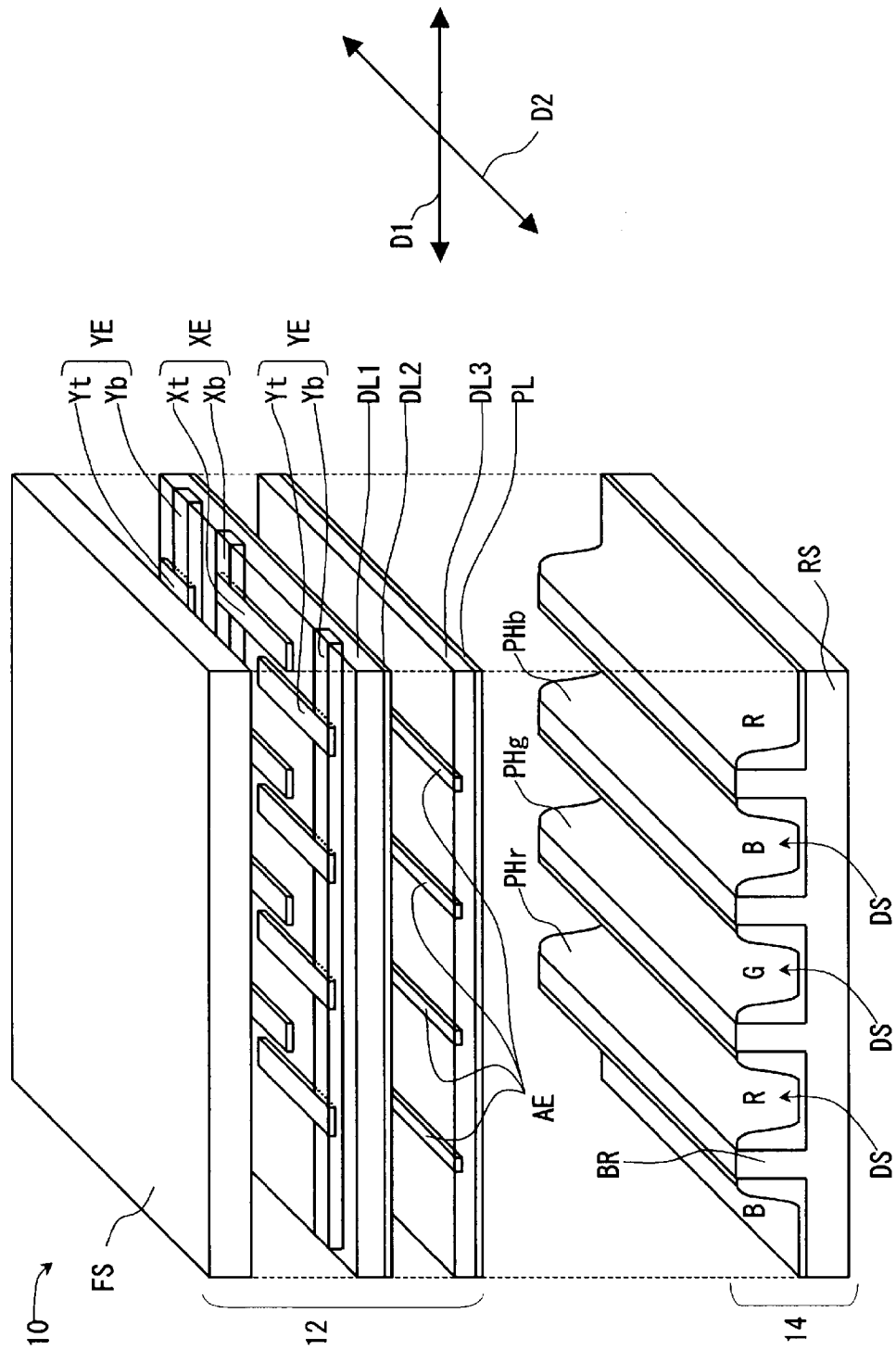
前記第 1 誘電体層上で前記表示領域を覆う位置に、前記第 1 誘電体層に比べて、前記第 2 電極を形成するときのエッチング処理に対する耐性が高い第 2 誘電体層を形成し、

前記第 2 誘電体層の上面に導電膜を設け、

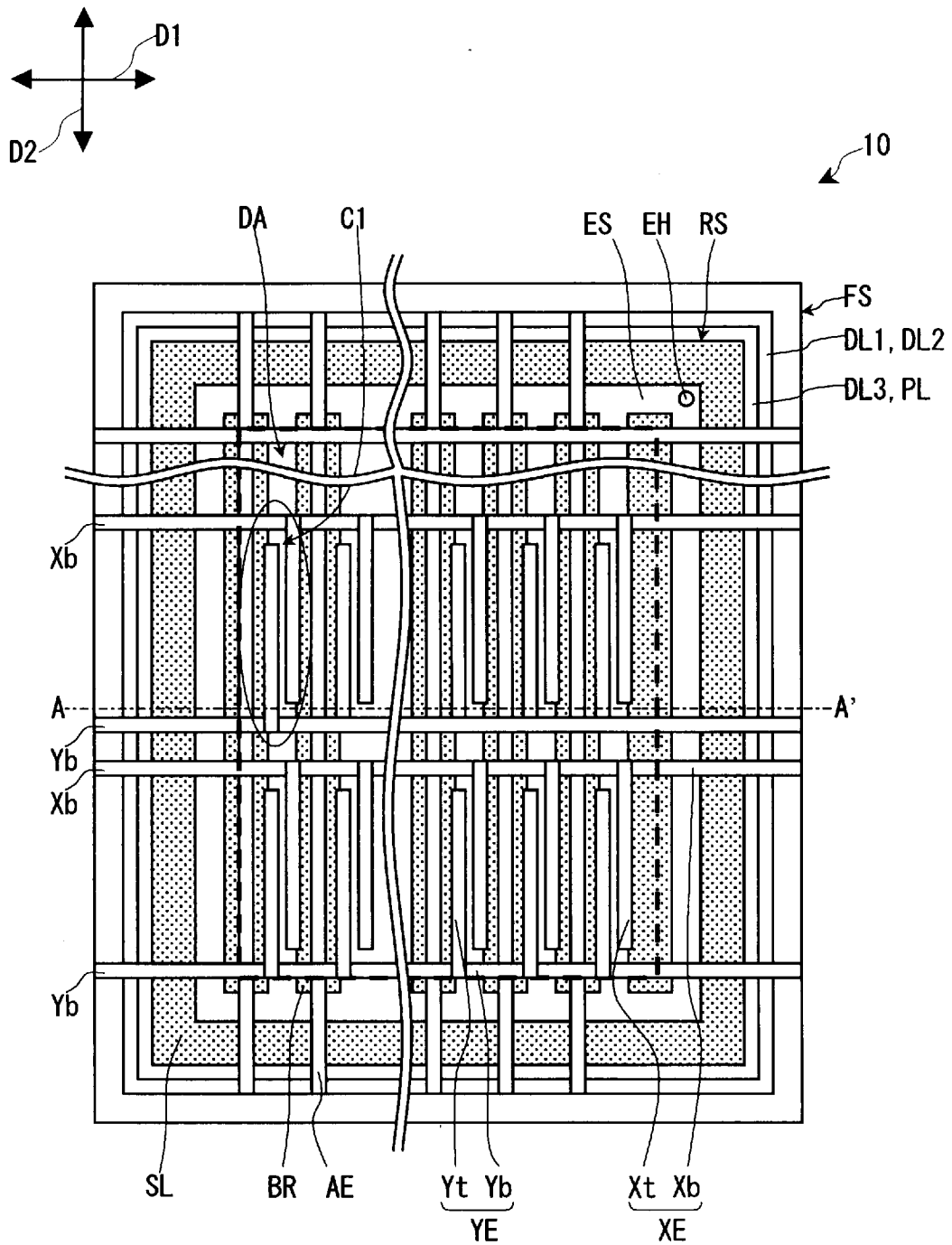
前記導電膜をエッチングによりパターンニングすることで、前記第 2 電極を形成することを特徴とするプラズマディスプレイパネルの製造方法。

- [7] 請求項 6 記載のプラズマディスプレイパネルの製造方法において、
前記第 2 誘電体層を、シリコン酸化膜で形成することを特徴とするプラズマディスプレイパネルの製造方法。
- [8] 請求項 6 記載のプラズマディスプレイパネルの製造方法において、
前記第 2 誘電体層を、形成時間が厚さに比例する製造方法で形成し、前記第 1 誘電体層に比べて薄く形成することを特徴とするプラズマディスプレイパネルの製造方法。
- [9] 請求項 6 記載のプラズマディスプレイパネルの製造方法において、
前記第 2 誘電体層を、前記第 1 誘電体層に比べて、比誘電率が小さい誘電体で形成することを特徴とするプラズマディスプレイパネルの製造方法。
- [10] 請求項 6 記載のプラズマディスプレイパネルの製造方法において、
前記第 2 誘電体層を、前記第 1 誘電体層に比べて、小さい面積に形成することを特徴とするプラズマディスプレイパネルの製造方法。

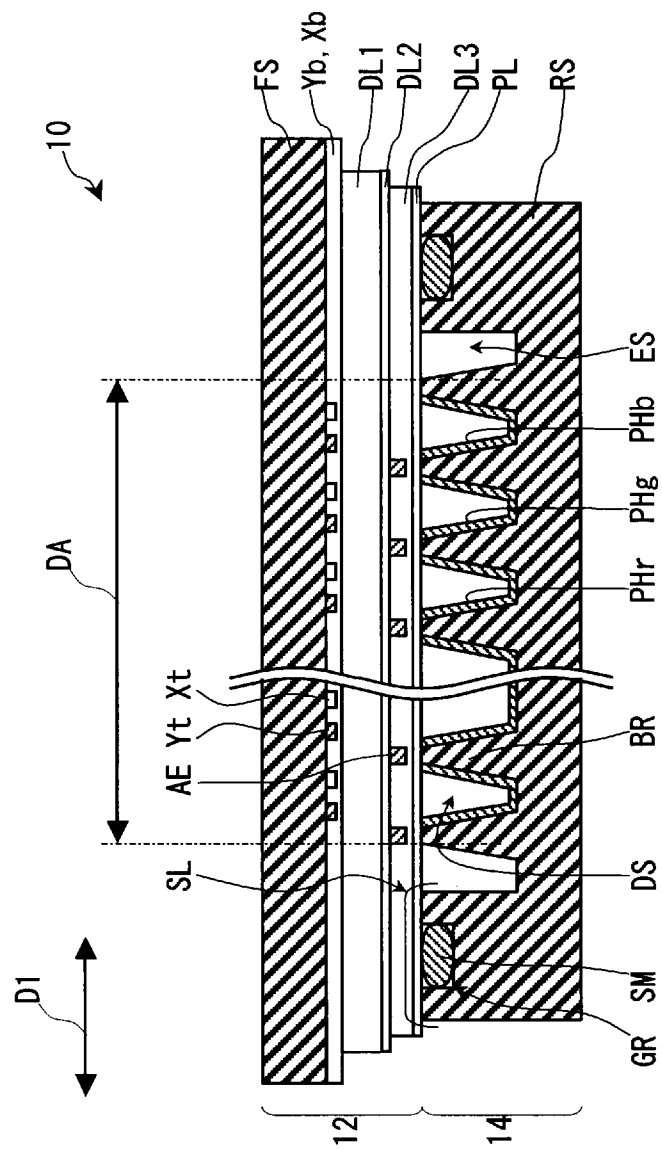
[図1]



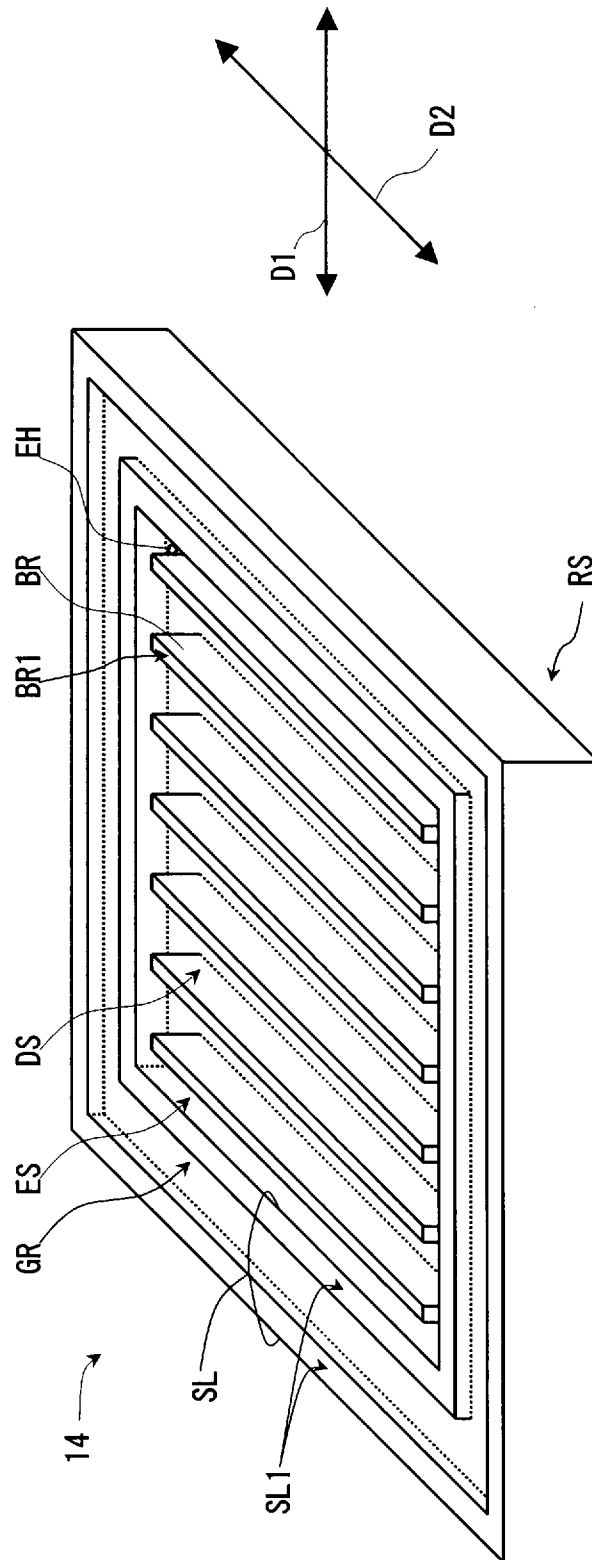
[図2]



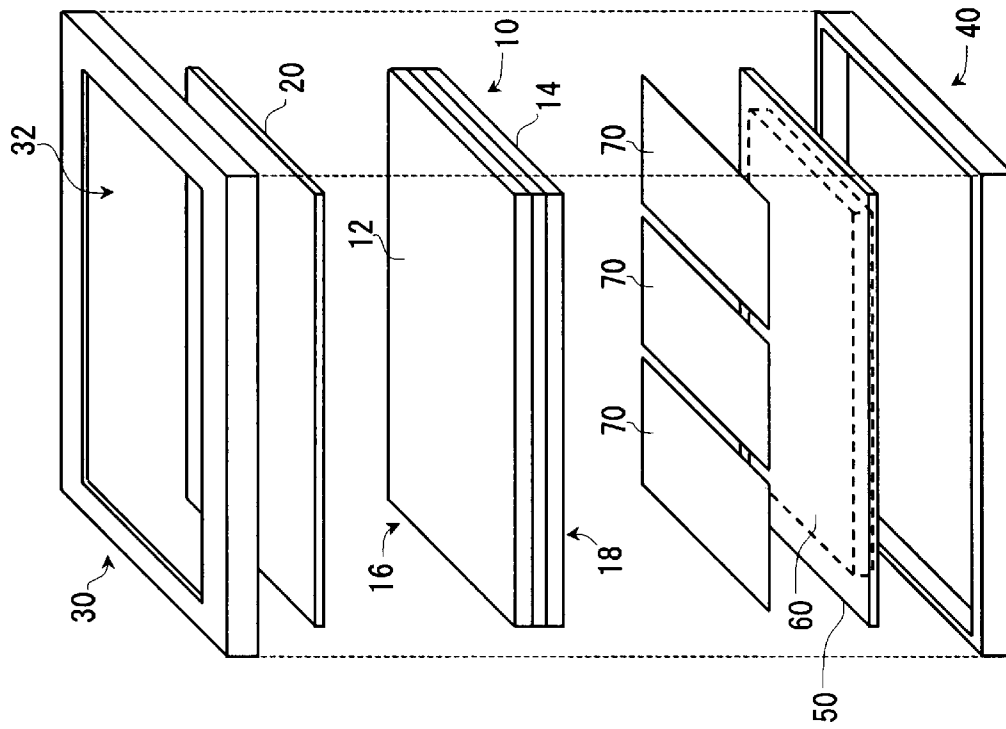
[図3]



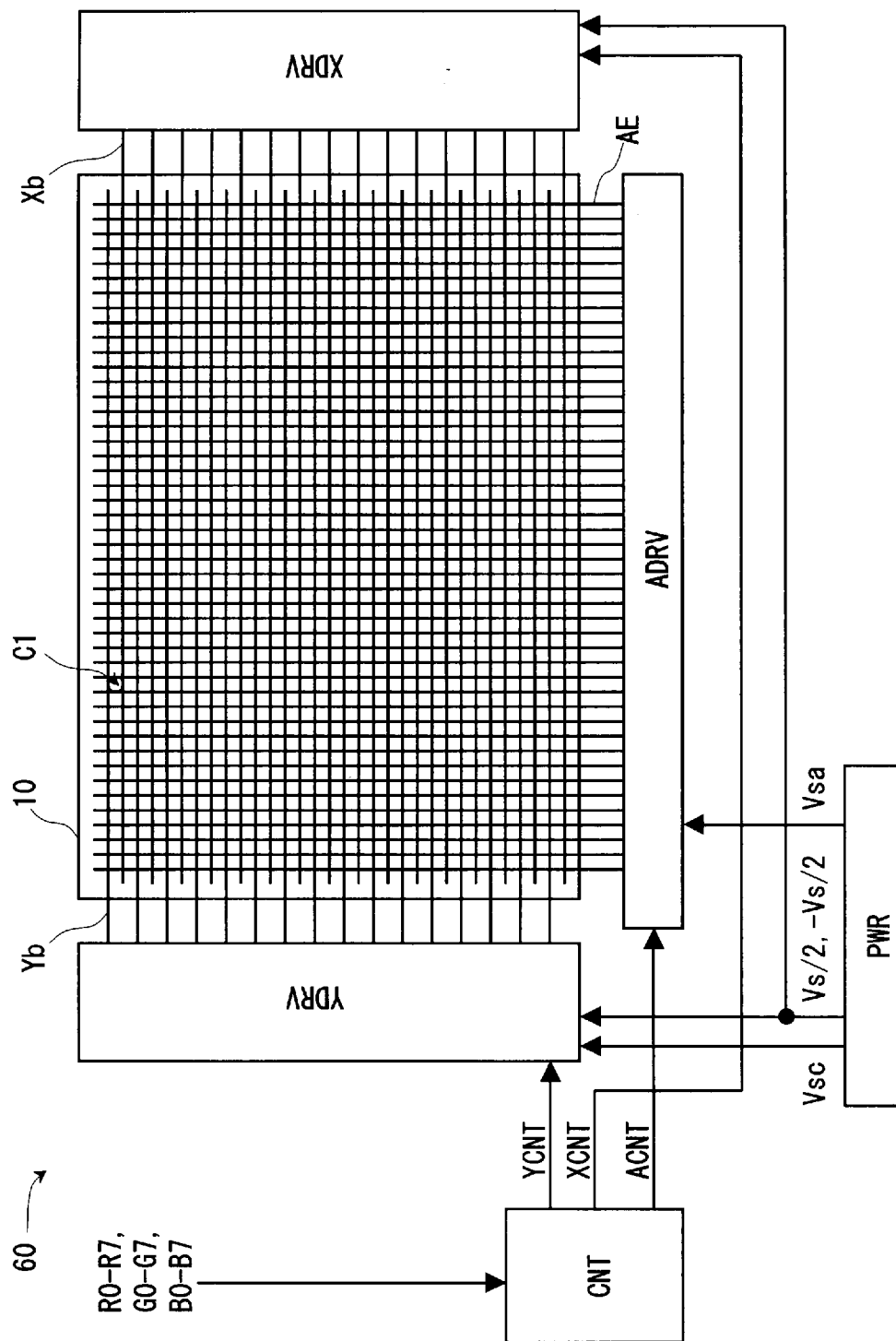
[図4]



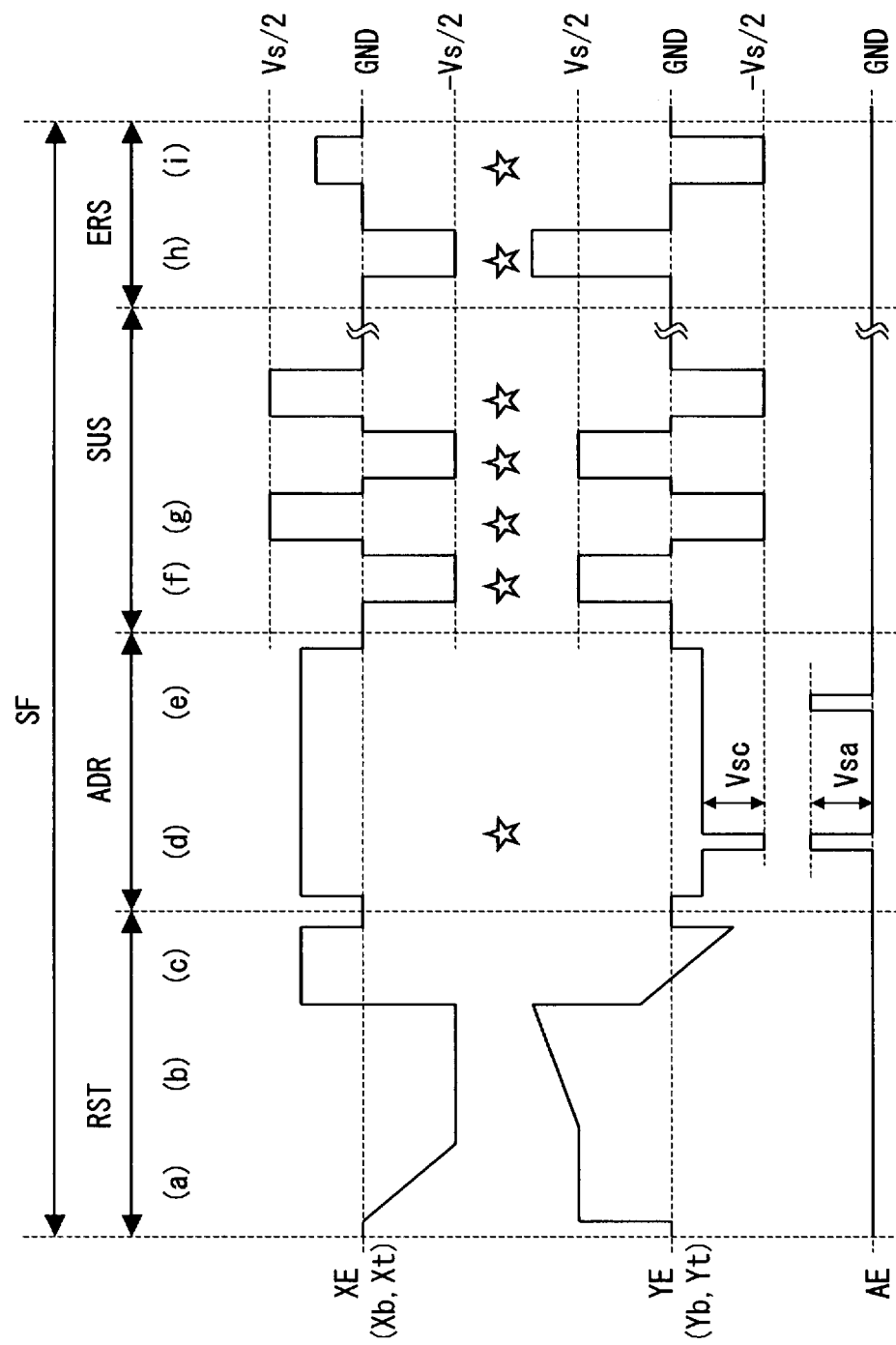
[図5]



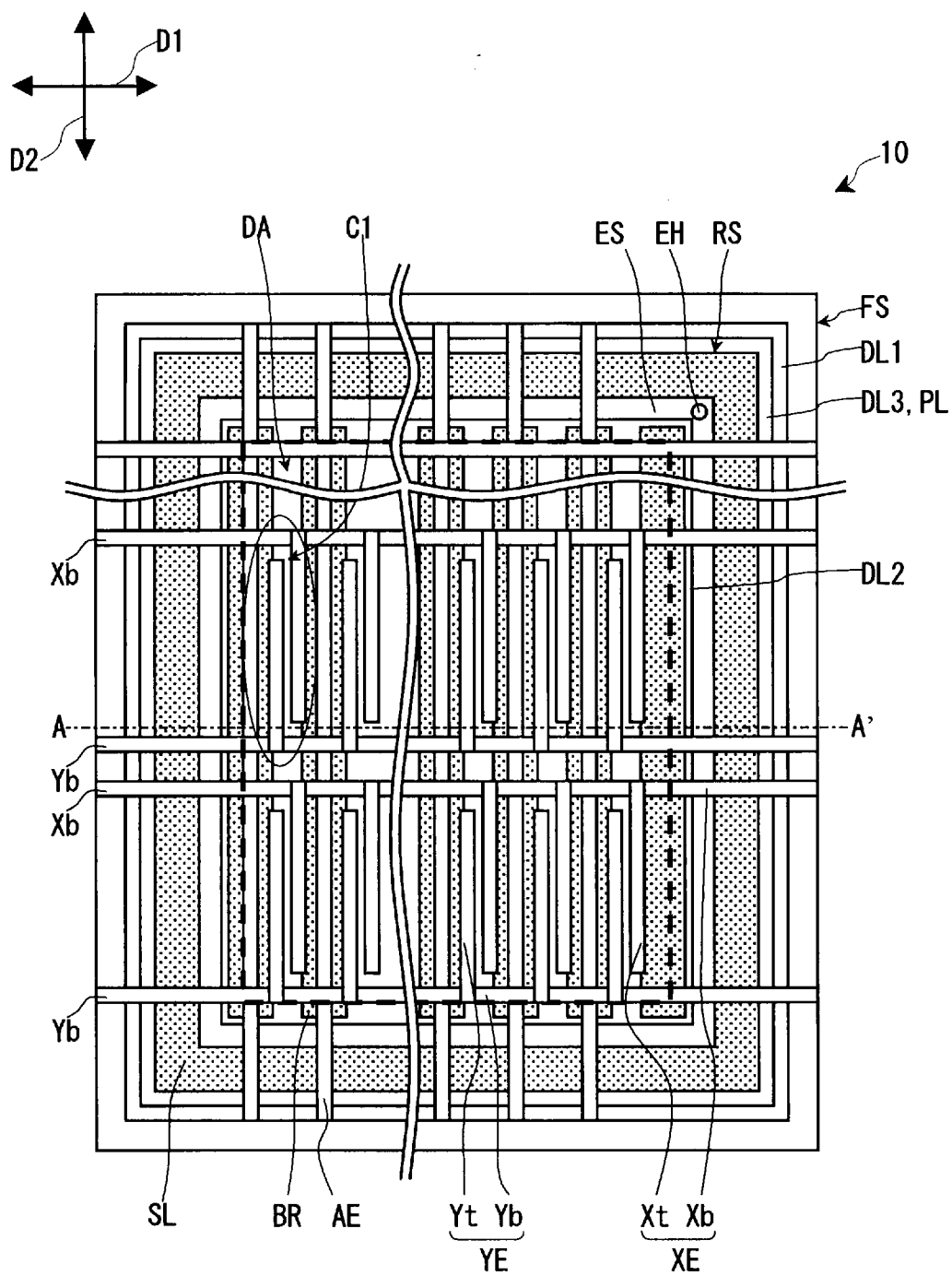
[図6]



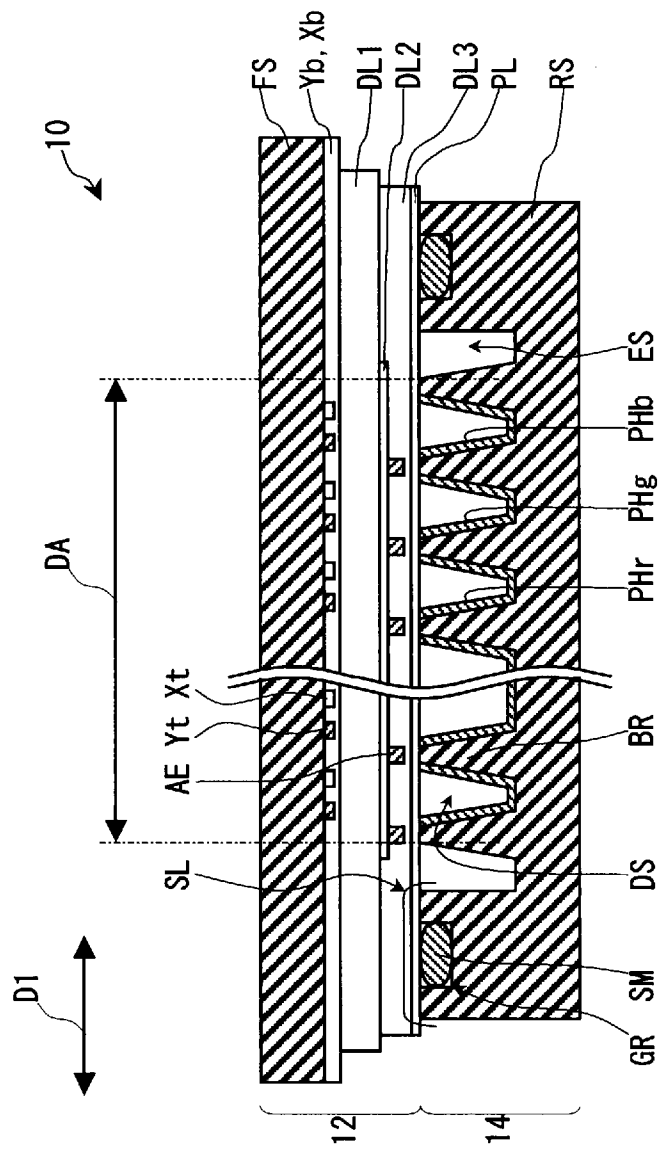
[図7]



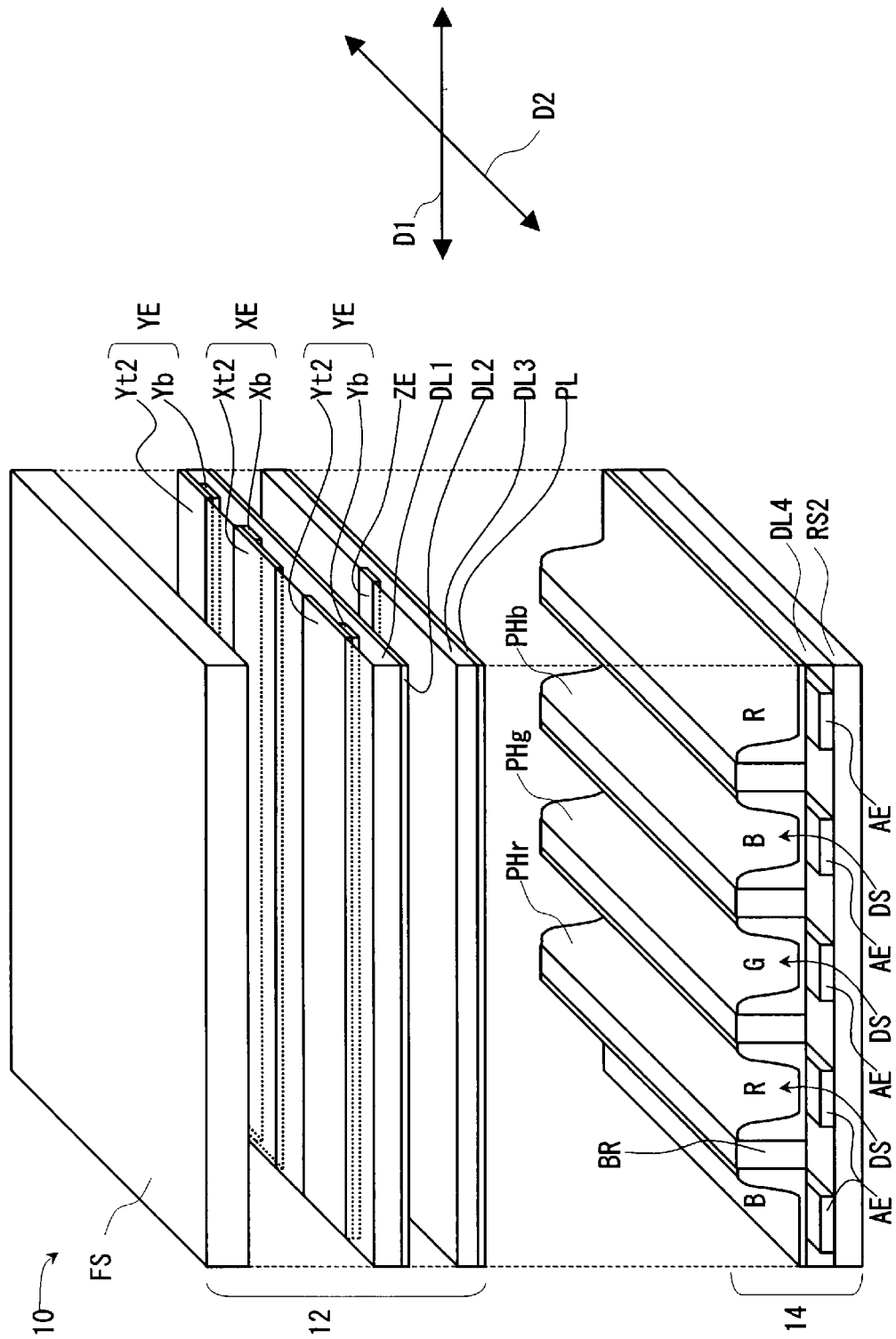
[図8]



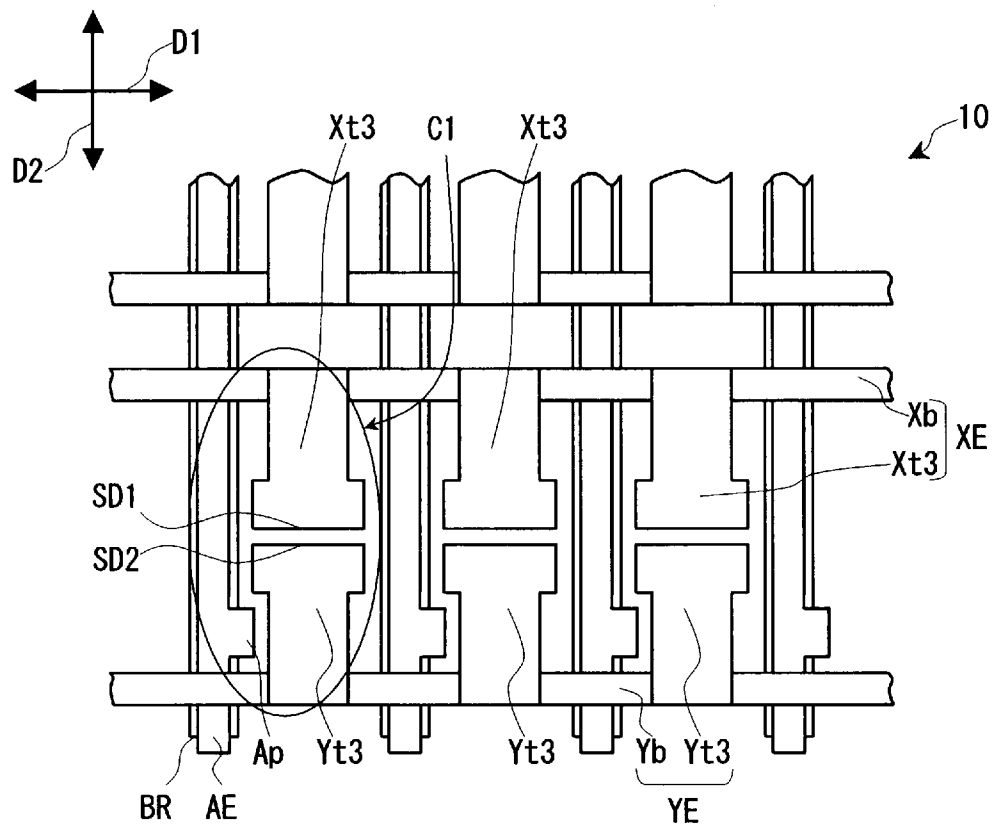
[図9]



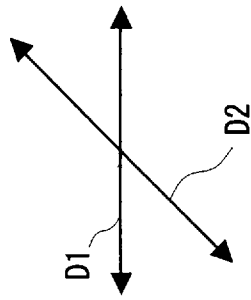
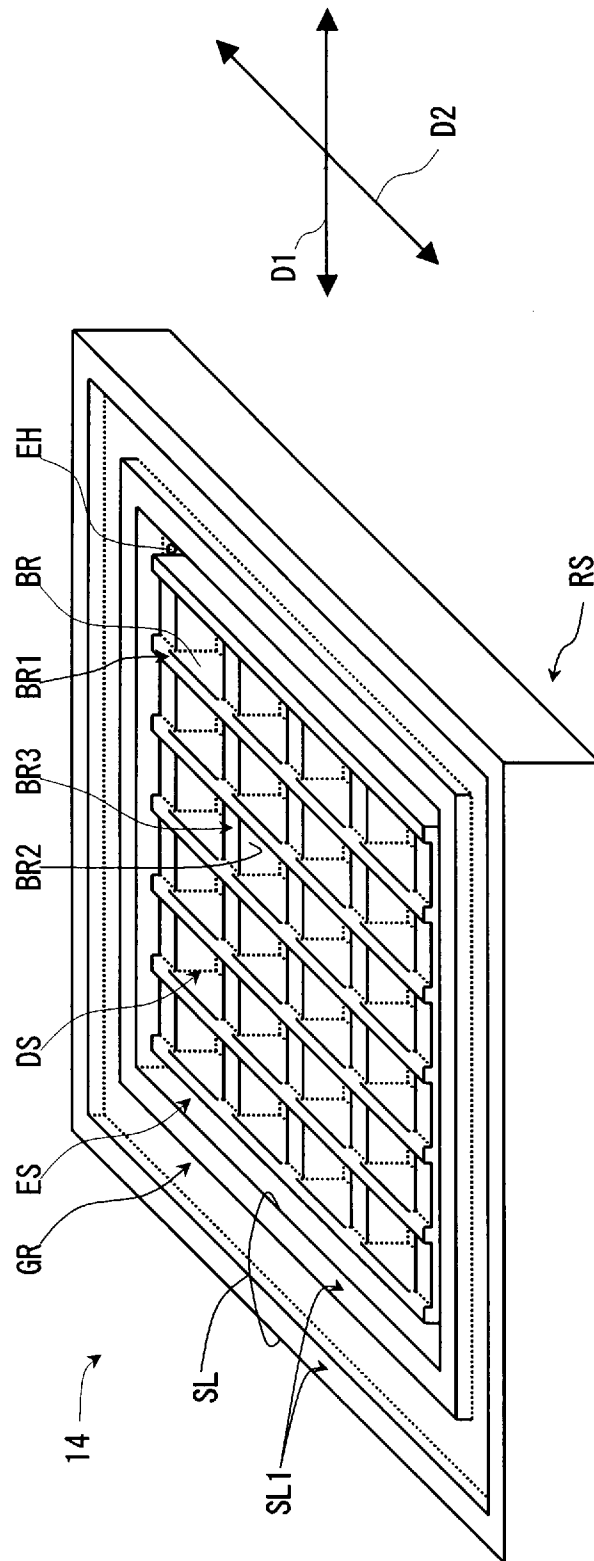
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000566

A. CLASSIFICATION OF SUBJECT MATTER

H01J11/02(2006.01) i, H01J9/02(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01J11/00-17/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-273265 A (Fujitsu Hitachi Plasma Display Ltd.), 30 September, 2004 (30.09.04), Figs. 1 to 3; Par. Nos. [0026] to [0052] (Family: none)	1-10
Y	JP 2006-196307 A (Fujitsu Hitachi Plasma Display Ltd.), 27 July, 2006 (27.07.06), Figs. 2 to 3; Par. Nos. [0033] to [0043] & US 2006/0154394 A1 & EP 1681703 A2	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 June, 2007 (11.06.07)

Date of mailing of the international search report
19 June, 2007 (19.06.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01J11/02(2006.01)i, H01J9/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01J11/00-17/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 4 - 2 7 3 2 6 5 A (富士通日立プラズマディスプレイ株式会社) 2004.09.30, 図1-3、段落0026-0052 (ファミリーなし)	1-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

11.06.2007

国際調査報告の発送日

19.06.2007

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 紀史

2 G

3 6 0 4

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2006-196307 A (富士通日立プラズマディスプレイ株式会社) 2006.07.27, 図2-3、段落0033-0043 & US 2006/0154394 A1 & EP 1681703 A2	1-10