



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0032779
(43) 공개일자 2012년04월06일

(51) 국제특허분류(Int. Cl.)
H01L 33/36 (2010.01) H01L 33/02 (2010.01)
H01L 33/22 (2010.01)
(21) 출원번호 10-2010-0094298
(22) 출원일자 2010년09월29일
심사청구일자 2010년09월29일

(71) 출원인
서울옵토디바이스주식회사
경기도 안산시 단원구 산단로163번길 65-16, 1동 36호 (원시동)
(72) 발명자
김창연
경기도 안산시 단원구 산단로163번길 65-16, 1블럭 36호 (원시동)
김다혜
경기도 안산시 단원구 산단로163번길 65-16, 1블럭 36호 (원시동)
(74) 대리인
특허법인에이아이피

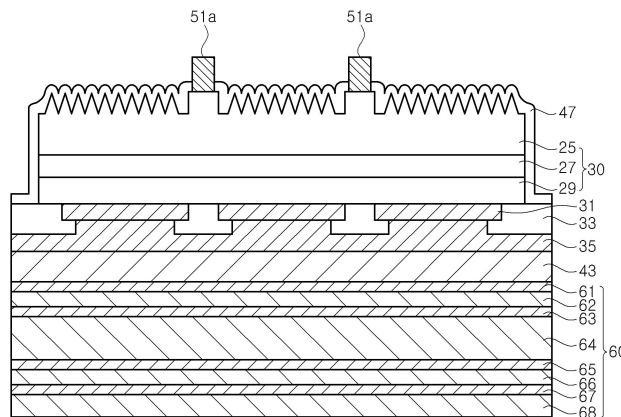
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 **고효율 발광 다이오드 및 그것을 제조하는 방법**

(57) 요약

고효율 발광 다이오드 및 그것을 제조하는 방법이 개시된다. 이 발광 다이오드는 도전성의 지지기판; 상기 지지기판 상에 위치하고, p형 화합물 반도체층, 활성층 및 n형 화합물 반도체층을 포함하는 반도체 적층 구조체; 및 상기 지지기판과 상기 반도체 적층 구조체 사이에 개재된 본딩 메탈을 포함하되; 상기 지지기판은, 텅스텐(W) 또는 몰리브덴(Mo)중 적어도 하나를 포함하는 제1 금속층; 상기 제1 금속층보다 열팽창 계수가 높으며, 상기 제1 금속층의 상하면에 대칭 구조로 배치되는 제2 금속층을 포함하며; 상기 제1 금속층 및 상기 제2 금속층 사이에 접합층이 형성될 수 있다.

대표도 - 도7



특허청구의 범위

청구항 1

도전성의 지지기판;

상기 지지기판 상에 위치하고, p형 화합물 반도체층, 활성층 및 n형 화합물 반도체층을 포함하는 반도체 적층 구조체; 및

상기 지지기판과 상기 반도체 적층 구조체 사이에 개재된 본딩 메탈을 포함하되;

상기 지지기판은,

텅스텐(W) 또는 몰리브덴(Mo)중 적어도 하나를 포함하는 제1 금속층;

상기 제1 금속층보다 열팽창 계수가 높으며, 상기 제1 금속층의 상하면에 대칭 구조로 배치되는 제2 금속층을 포함하며;

상기 제1 금속층 및 상기 제2 금속층사이에 접합층이 형성된 것을 특징으로 하는 발광 다이오드.

청구항 2

청구항 1에 있어서,

상기 제2 금속층은 구리(Cu)를 포함하는 발광 다이오드.

청구항 3

청구항 1에 있어서,

상기 접합층은 Ni, Ti, Cr, Pt 중 적어도 하나를 포함하는 발광 다이오드.

청구항 4

청구항 1에 있어서,

상기 지지기판과 상기 반도체 적층 구조체 사이에 개재된 상기 본딩 메탈에 대칭하여, 상기 제2 금속층의 하면에 형성된 하부 본딩 메탈을 더 포함하는 발광 다이오드.

청구항 5

청구항 1에 있어서,

상기 지지기판과 상기 반도체 적층 구조체 사이에 위치하여 상기 반도체 적층 구조체에 오픈 콘택하고, 상기 반도체 적층 구조체를 노출시키는 홈을 갖는 반사 금속층;

상기 반사 금속층과 상기 지지기판 사이에 위치하고 상기 홈을 채움과 아울러 상기 반사 금속층을 덮되, 상기 반사 금속층을 노출시키는 개구부들을 갖는 중간 절연층;

상기 지지기판과 상기 중간 절연층 사이에 위치하고 상기 중간 절연층의 개구부들에 노출된 상기 반사 금속층을 덮는 장벽 금속층;

상기 반도체 적층 구조체 상에 위치하는 제1 전극 패드;

상기 제1 전극 패드에서 연장하는 전극 연장부; 및

상기 제1 전극 패드와 상기 반도체 적층 구조체 사이에 개재된 상부 절연층을 더 포함하는 발광 다이오드.

청구항 6

청구항 5에 있어서,

상기 제1 전극 패드 및 상기 전극 연장부는 상기 홈 영역 상부에 위치하는 발광 다이오드.

청구항 7

청구항 5에 있어서,

상기 반사 금속층은 복수개의 판(plate)으로 이루어지고, 상기 중간 절연층은 상기 복수개의 판들의 측면 및 가장자리를 덮으며, 상기 중간 절연층의 개구부들에 의해 상기 복수개의 판들이 각각 노출되는 발광 다이오드.

청구항 8

청구항 7에 있어서,

복수개의 제1 전극 패드; 및

상기 복수개의 제1 전극 패드에서 각각 연장하는 복수개의 전극 연장부들을 포함하되,

상기 복수개의 제1 전극 패드 및 전극 연장부들은 상기 복수개의 판들 사이의 영역 상부에 위치하는 발광 다이오드.

청구항 9

청구항 5에 있어서,

상기 반도체 적층 구조체는 거칠어진 표면을 갖고,

상기 상부 절연층은 상기 거칠어진 표면을 덮되,

상기 상부 절연층은 상기 거칠어진 표면을 따라 요철면을 형성하는 발광 다이오드.

청구항 10

청구항 9에 있어서,

상기 반도체 적층 구조체는 평평한 표면을 갖고, 상기 제1 전극 패드 및 상기 전극 연장부는 상기 평평한 표면 상에 위치하는 발광 다이오드.

청구항 11

청구항 10에 있어서,

상기 전극 연장부는 상기 반도체 적층 구조체의 평평한 표면에 접촉하는 발광 다이오드.

청구항 12

청구항 9에 있어서,

상기 거칠어진 표면은 상기 전극 연장부보다 아래에 위치하는 발광 다이오드.

청구항 13

성장 기판 상에 p형 화합물 반도체층, 활성층 및 n형 화합물 반도체층을 포함하는 반도체 적층 구조체를 형성하고,

상기 적층 구조체에 본딩 메탈을 개재하여 도전성의 지지 기판을 부착하고,

상기 성장 기판을 제거하여 상기 반도체 적층 구조체를 노출시키되,

상기 지지기판은,

텅스텐(W) 또는 몰리브덴(Mo)중 적어도 하나를 포함하는 제1 금속층;

상기 제1 금속층보다 열팽창 계수가 높으며, 상기 제1 금속층의 상하면에 대칭되어 배치되는 제2 금속층을 포함하며;

상기 제1 금속층 및 상기 제2 금속층사이에 접합층이 형성된 것을 특징으로 하는 발광 다이오드 제조 방법.

청구항 14

청구항 13에 있어서,
 상기 제2 금속층은 구리(Cu)를 포함하는 발광 다이오드 제조 방법.

청구항 15

청구항 13에 있어서,
 상기 접합층은 Ni, Ti, Cr, Pt 중 중 적어도 하나를 포함하는 발광 다이오드 제조 방법.

청구항 16

청구항 13에 있어서,
 상기 지지기판과 상기 반도체 적층 구조체 사이에 개재된 본딩 메탈에 대칭하여, 상기 제2 금속층의 하면에 형성된 하부 본딩 메탈을 더 포함하는 발광 다이오드 제조 방법.

청구항 17

청구항 13에 있어서,
 상기 반도체 적층 구조체상에 상기 지지 기판을 부착하기 전에,
 상기 반도체 적층 구조체 상에 반사 금속층을 형성하되, 상기 반사 금속층은 상기 반도체 적층 구조체를 노출시키는 홈을 갖고,
 상기 반사금속층을 덮는 중간 절연층을 형성하되, 상기 중간 절연층은 상기 반사 금속층의 측면 및 가장자리를 덮으며, 또한 상기 반사 금속층을 노출시키는 개구부를 갖고,
 상기 중간 절연층의 개구부를 통해 상기 반사 금속층에 접속하는 장벽 금속층을 형성하고,
 상기 장벽 금속층 상에 지지기판을 부착하고,
 상기 성장 기판을 제거하여 상기 반도체 적층 구조체를 노출시킨 후에,
 상기 노출된 반도체 적층 구조체 상에 마스크 패턴을 형성하고,
 상기 마스크 패턴을 식각 마스크로 사용하여 상기 반도체 적층 구조체의 표면을 이방성 식각함으로써 평평한 표면과 함께 거칠어진 표면을 형성하고,
 상기 반도체 적층 구조체의 표면을 덮는 상부 절연층을 형성하되, 상기 상부 절연층은 상기 평평한 표면의 일부 영역을 노출시키는 개구부를 갖고,
 상기 상부 절연층 상에 제1 전극 패드를 형성함과 아울러, 상기 제1 전극 패드로부터 연장하는 전극 연장부를 형성하되, 상기 전극 연장부는 상기 상부 절연층의 개구부 내에 형성되는 발광 다이오드 제조 방법.

청구항 18

청구항 17에 있어서,
 상기 제1 전극 패드 및 상기 전극 연장부는 상기 반사 금속층의 홈 영역 상부에 형성되는 발광 다이오드 제조 방법.

청구항 19

청구항 17에 있어서,
 상기 반사 금속층은 복수개의 판(plate)으로 형성되고, 상기 중간 절연층은 상기 복수개의 판들의 측면 및 가장자리를 덮으며, 상기 중간 절연층의 개구부들에 의해 상기 복수개의 판들이 각각 노출되는 발광 다이오드 제조 방법.

청구항 20

청구항 19에 있어서,

복수개의 제1 전극 패드 및 복수개의 전극 연장부들이 각각 상기 복수개의 관들 사이의 영역 상부에 형성되는 발광 다이오드 제조 방법.

청구항 21

청구항 17에 있어서,

상기 상부 절연층은 상기 거치어진 표면을 따라 형성되어 요철면을 갖는 발광 다이오드 제조 방법.

명세서

기술분야

[0001] 본 발명은 발광 다이오드 및 그것을 제조하는 방법에 관한 것으로, 더욱 상세하게는 기판 분리 공정을 적용하여 성장기판을 제거한 질화갈륨 계열의 고효율 발광 다이오드 및 그것을 제조하는 방법에 관한 것이다.

배경기술

[0002] 일반적으로 질화갈륨(GaN), 질화알루미늄(AlN) 등과 같은 III족 원소의 질화물은 열적 안정성이 우수하고 직접 천이형의 에너지 밴드(band) 구조를 가지므로, 최근 가시광선 및 자외선 영역의 발광소자용 물질로 많은 각광을 받고 있다. 특히, 질화인듐갈륨(InGaN)을 이용한 청색 및 녹색 발광 소자는 대규모 천연색 평판 표시 장치, 신호등, 실내 조명, 고밀도광원, 고해상도 출력 시스템과 광통신 등 다양한 응용 분야에 활용되고 있다.

[0003] 이러한 III족 원소의 질화물 반도체층은 그것을 성장시킬 수 있는 동종의 기판을 제작하는 것이 어려워, 유사한 결정 구조를 갖는 이종 기판에서 금속유기화학기상증착법(MOCVD) 또는 분자선 증착법(molecular beam epitaxy; MBE) 등의 공정을 통해 성장된다. 이종기판으로는 육방 정계의 구조를 갖는 사파이어(Sapphire) 기판이 주로 사용된다. 그러나, 사파이어는 전기적으로 부도체이므로, 발광 다이오드 구조를 제한한다. 이에 따라, 최근에는 사파이어와 같은 이종기판 상에 질화물 반도체층과 같은 에피층들을 성장시키고, 상기 에피층들에 지지기판을 본딩한 후, 레이저 리프트 오프 기술 등을 이용하여 이종기판을 분리하여 수직형 구조의 고효율 발광 다이오드를 제조하는 기술이 개발되고 있다.

[0004] 일반적으로, 수직형 구조의 발광 다이오드는 종래의 수평형 발광 다이오드와 비교하여 p층이 아래에 위치하는 구조에 의해 전류분산 성능이 우수하고, 또한 사파이어에 비해 열전도율이 높은 지지기판을 채택함으로써 열 방출 성능이 우수하다. 나아가, PEC 에칭 등에 의해 N-면을 이방성 식각하여 거칠어진 표면을 형성함으로써 상향 광 추출 효율을 크게 향상시킬 수 있다.

[0005] 그러나, 예컨대 350 μ m \times 350 μ m, 또는 1mm의 발광 면적에 비해 에피층의 전체 두께(약 4 μ m)가 매우 얇기 때문에, 전류 분산에 많은 어려움이 있다. 이를 해결하기 위해, n형 전극 패드에서 연장하는 전극 연장부를 채택하여 n형 층 내에서의 전류 분산을 도모하거나, n형 전극 패드에 대응하는 위치의 p형 전극 위치에 절연물질을 배치하여 n형 전극패드로부터 p형 전극으로 직접 전류가 흐르는 것을 방지하는 기술이 채택되고 있다. 그렇지만, n형 전극 패드로부터 그 아래로 전류 흐름이 집중되는 것을 방지하는 데는 한계가 있으며, 더욱이, 넓은 발광 영역에 걸쳐 전체적으로 전류를 고르게 분산시키는 데는 한계가 있다.

[0006] 도 1 내지 도 5는 종래의 수직형 발광 소자의 제조방법을 보여준다.

[0007] 도 1 내지 도 5를 참조하면, 종래의 수직형 발광 소자의 제조방법은 성장 기판(11)위에 버퍼층, 언도프트 반도체층, 제 1 반도체층, 활성층, 제 2 반도체층을 포함하는 화합물 반도체층(12)을 형성하고(도 1), 그 위에 접합층(13)을 형성한다(도 2). 이후, 접합층(13)위에 지지기판(14)을 본딩한 후(도 3), LLO(Laser lift Off) 기법에 의해 성장 기판(11)에 레이저를 조사함으로써 버퍼층을 분해하여 성장 기판(11)을 분리해내고(도 4), 전극(15)을 형성한다(도 5).

[0008] 그러나, 종래의 방식으로 수직형 발광소자를 제작하는 경우 LLO(Laser lift Off) 공정시 기판(11)과 화합물 반도체층(12)사이에 발생한 충격파를 완충시켜 주는 층이 존재하지 않아 화합물 반도체층에 크랙이 발생하는 등의 물리적인 손상이 많이 발생된다.

[0009] 일반적으로 사용되는 녹색, 청색 이하의 단파장을 발광하는 화합물 반도체층(12)을 위한 성장 기판(11)으로는 사파이어, 실리콘카바이드 등이 사용되고 있다. 하지만 이러한 성장 기판(11)은 상부의 화합물 반도체층들(12)

과 열팽창계수 차이가 나서 고온에서 성장 후 상온으로 돌아왔을 때에 열팽창계수 차이로 인한 휨 등의 현상이 있다.

- [0010] 이러한 차이는 일반적으로 성장 기판(11)의 두께가 상부의 화합물 반도체층들(12)보다 수십 배 크기 때문에 잘 나타나지는 않지만 이로 인한 스트레스는 상부의 화합물 반도체층(12)에 남아 있다.
- [0011] 지지기판(14)으로 사용되는 기판은 성장 기판(11)보다 전기 전도도가 우수하고 열전도성 또한 우수한 기판을 사용하지만 이러한 기판의 열팽창 계수는 성장 기판(11)과 화합물 반도체층(12)의 열팽창계수 차이보다 일반적으로 크다.
- [0012] 지지기판(14)과 성장 기판(11)에 성장된 화합물 반도체층들(12)과의 접합은 반도체층의 성장온도보다 상대적으로 낮은 온도에서 진행되지만(200℃에서 400℃) 물질과의 열팽창계수차이가 크기 때문에 이로 인한 스트레스나 휨 등의 현상이 심할 수 있다.
- [0013] 상기 지지기판(14)의 접합은 고온 고압에서 진행되는 공정으로 성장 기판(11)과 지지기판(14)을 고압으로 눌러 준 상태에서 열을 가하게 된다. 이때 성장기판(11)과 화합물 반도체층(12)은 성장시의 열팽창계수 및 격자상수 차이로 인하여 평평한 상태를 이루지 못하고 기판의 일부가 오목 또는 볼록한 상태를 갖고 있다. 이러한 형태로 인하여 화합물 반도체층(12)과 지지기판(14)의 접합 시에 내부에 미세한 기포가 형성되어 잔류하는 문제점이 있다.
- [0014] 한편, 지지기판(14)으로 화합물 반도체층(12)과 열팽창 계수가 유사한 기판을 사용하는 경우에도 그 재료 및 공정에 한계가 많기 때문에 사용에 제약이 따른다.

발명의 내용

해결하려는 과제

- [0015] 본 발명이 해결하려는 과제는 수직형 발광소자를 제작할 때 지지기판과 화합물 반도체층의 접합시에 발생할 수 있는 문제점을 해결하여 발광 효율이 개선된 고효율 발광소자 및 그 제조 방법을 제공하는데 있다.
- [0016] 본 발명이 해결하려는 다른 과제는 광 추출 효율(light extraction efficiency)이 개선된 고효율 발광소자 및 그 제조 방법을 제공하는데 있다.
- [0017] 본 발명이 해결하려는 과제는, 전류 분산 성능을 개선한 고효율 발광 다이오드를 제공하는 것이다.

과제의 해결 수단

- [0018] 본 발명의 일측면에 의하면, 도전성의 지지기판; 상기 지지기판 상에 위치하고, p형 화합물 반도체층, 활성층 및 n형 화합물 반도체층을 포함하는 반도체 적층 구조체; 및 상기 지지기판과 상기 반도체 적층 구조체 사이에 개재된 본딩 메탈을 포함하되; 상기 지지기판은, 텅스텐(W) 또는 몰리브덴(Mo)중 적어도 하나를 포함하는 제1 금속층; 상기 제1 금속층보다 열팽창 계수가 높으며, 상기 제1 금속층의 상하면에 대칭 구조로 배치되는 제2 금속층을 포함하며; 상기 제1 금속층 및 상기 제2 금속층사이에 접합층이 형성된 발광 다이오드가 제공된다.
- [0019] 상기 제2 금속층은 구리(Cu)를 포함할 수 있다.
- [0020] 상기 접합층은 Ni, Ti, Cr, Pt 중 적어도 하나를 포함할 수 있다.
- [0021] 상기 발광 다이오드는, 상기 지지기판과 상기 반도체 적층 구조체 사이에 개재된 상기 본딩 메탈에 대칭하여, 상기 제2 금속층의 하면에 형성된 하부 본딩 메탈을 더 포함할 수 있다.
- [0022] 상기 발광 다이오드는, 상기 지지기판과 상기 반도체 적층 구조체 사이에 위치하여 상기 반도체 적층 구조체에 오픈 콘택하고, 상기 반도체 적층 구조체를 노출시키는 홈을 갖는 반사 금속층; 상기 반사 금속층과 상기 지지기판 사이에 위치하고 상기 홈을 채움과 아울러 상기 반사 금속층을 덮되, 상기 반사 금속층을 노출시키는 개구 부들을 갖는 중간 절연층; 상기 지지기판과 상기 중간 절연층 사이에 위치하고 상기 중간 절연층의 개구부들에 노출된 상기 반사 금속층을 덮는 장벽 금속층; 상기 반도체 적층 구조체 상에 위치하는 제1 전극 패드; 상기 제1 전극 패드에서 연장하는 전극 연장부; 및 상기 제1 전극 패드와 상기 반도체 적층 구조체 사이에 개재된 상부 절연층을 더 포함할 수 있다.
- [0023] 상기 제1 전극 패드 및 상기 전극 연장부는 상기 홈 영역 상부에 위치할 수 있다.

- [0024] 상기 반사 금속층은 복수개의 판(plate)으로 이루어지고, 상기 중간 절연층은 상기 복수개의 판들의 측면 및 가장자리를 덮으며, 상기 중간 절연층의 개구부들에 의해 상기 복수개의 판들이 각각 노출될 수 있다.
- [0025] 상기 발광 다이오드는, 복수개의 제1 전극 패드; 및 상기 복수개의 제1 전극 패드에서 각각 연장하는 복수개의 전극 연장부들을 포함하되, 상기 복수개의 제1 전극 패드 및 전극 연장부들은 상기 복수개의 판들 사이의 영역 상부에 위치할 수 있다.
- [0026] 상기 반도체 적층 구조체는 거칠어진 표면을 갖고, 상기 상부 절연층은 상기 거칠어진 표면을 덮되, 상기 상부 절연층은 상기 거칠어진 표면을 따라 요철면을 형성할 수 있다.
- [0027] 상기 반도체 적층 구조체는 평평한 표면을 갖고, 상기 제1 전극 패드 및 상기 전극 연장부는 상기 평평한 표면 상에 위치할 수 있다.
- [0028] 상기 전극 연장부는 상기 반도체 적층 구조체의 평평한 표면에 접촉할 수 있다.
- [0029] 상기 거칠어진 표면은 상기 전극 연장부보다 아래에 위치할 수 있다.
- [0030] 본 발명의 다른 측면에 의하면, 성장 기관 상에 p형 화합물 반도체층, 활성층 및 n형 화합물 반도체층을 포함하는 반도체 적층 구조체를 형성하고, 상기 적층 구조체에 본딩 메탈을 개재하여 도전성의 지지 기관을 부착하고, 상기 성장 기관을 제거하여 상기 반도체 적층 구조체를 노출시키되, 상기 지지기관은, 텅스텐(W) 또는 몰리브덴(Mo)중 적어도 하나를 포함하는 제1 금속층; 상기 제1 금속층보다 열팽창 계수가 높으며, 상기 제1 금속층의 상하면에 대칭되어 배치되는 제2 금속층을 포함하며; 상기 제1 금속층 및 상기 제2 금속층사이에 접합층이 형성된 발광 다이오드 제조 방법이 제공된다.
- [0031] 상기 제2 금속층은 구리(Cu)를 포함할 수 있다.
- [0032] 상기 접합층은 Ni, Ti, Cr, Pt 중 적어도 하나를 포함할 수 있다.
- [0033] 상기 발광 다이오드는 상기 지지기관과 상기 반도체 적층 구조체 사이에 개재된 본딩 메탈에 대칭하여, 상기 제2 금속층의 하면에 형성된 하부 본딩 메탈을 더 포함할 수 있다.
- [0034] 상기 발광 다이오드 제조 방법은, 상기 반도체 적층 구조체상에 상기 지지 기관을 부착하기 전에, 상기 반도체 적층 구조체 상에 반사 금속층을 형성하되, 상기 반사 금속층은 상기 반도체 적층 구조체를 노출시키는 홈을 갖고, 상기 반사금속층을 덮는 중간 절연층을 형성하되, 상기 중간 절연층은 상기 반사 금속층의 측면 및 가장자리를 덮으며, 또한 상기 반사 금속층을 노출시키는 개구부를 갖고, 상기 중간 절연층의 개구부를 통해 상기 반사 금속층에 접속하는 장벽 금속층을 형성하고, 상기 장벽 금속층 상에 지지기관을 부착하고, 상기 성장 기관을 제거하여 상기 반도체 적층 구조체를 노출시킨 후에, 상기 노출된 반도체 적층 구조체 상에 마스크 패턴을 형성하고, 상기 마스크 패턴을 식각 마스크로 사용하여 상기 반도체 적층 구조체의 표면을 이방성 식각함으로써 평평한 표면과 함께 거칠어진 표면을 형성하고, 상기 반도체 적층 구조체의 표면을 덮는 상부 절연층을 형성하되, 상기 상부 절연층은 상기 평평한 표면의 일부 영역을 노출시키는 개구부를 갖고, 상기 상부 절연층 상에 제1 전극 패드를 형성함과 아울러, 상기 제1 전극 패드로부터 연장하는 전극 연장부를 형성하되, 상기 전극 연장부는 상기 상부 절연층의 개구부 내에 형성될 수 있다.
- [0035] 상기 제1 전극 패드 및 상기 전극 연장부는 상기 반사 금속층의 홈 영역 상부에 형성될 수 있다.
- [0036] 상기 반사 금속층은 복수개의 판(plate)으로 형성되고, 상기 중간 절연층은 상기 복수개의 판들의 측면 및 가장자리를 덮으며, 상기 중간 절연층의 개구부들에 의해 상기 복수개의 판들이 각각 노출될 수 있다.
- [0037] 복수개의 제1 전극 패드 및 복수개의 전극 연장부들이 각각 상기 복수개의 판들 사이의 영역 상부에 형성될 수 있다.
- [0038] 상기 상부 절연층은 상기 거칠어진 표면을 따라 형성되어 요철면을 가질 수 있다.

발명의 효과

- [0039] 본 발명에 의하면, 이러한 지지 기관의 구조에 의해 지지기관의 접합에 따른 열처리시 또는 그 이후 공정에서 성장 기관, 반도체 적층 구조체, 지지기관 사이의 열팽창계수 차이로 인한 공정간의 스트레스를 효과적으로 완화시킬 수 있어 화합물 반도체층의 손상 및 휨현상을 억제시켜 발광 소자의 발광 효율을 개선할 수 있다.
- [0040] 본 발명에 의하면, 제1 전극 패드와 반도체 적층 구조체 사이에 상부 절연층이 개재되어 전류 분산 성능이 개선

된 발광 다이오드가 제공된다. 나아가, 상부 절연층이 반도체 적층 구조체의 거칠어진 표면을 따라 요철면을 갖도록 형성됨으로써 발광 다이오드의 광 추출 효율이 개선된다. 또한, 중간 절연층이 반사 금속층의 측면 및 가장자리를 덮기 때문에 수분 등에 의해 반사 금속층이 열화되는 것을 방지할 수 있다. 더욱이, 전극 연장부가 반사 금속층의 홈 영역 상부에 위치하므로, 전극 연장부 아래로 전류가 집중되어 흐르는 것을 방지할 수 있다.

도면의 간단한 설명

- [0041] 도 1 내지 도 5는 종래의 수직형 발광 소자의 제조방법을 보여준다.
- 도 6은 본 발명의 일 실시예에 따른 발광 다이오드를 설명하기 위한 개략적인 레이아웃도이다.
- 도 7은 본 발명의 일 실시예에 따른 발광 다이오드를 설명하기 위해 도 1의 절취선 A-A를 따라 취해진 단면도이다.
- 도 8은 본 발명의 일 실시예에 따른 발광 다이오드를 설명하기 위해 도 1의 절취선 B-B를 따라 취해진 단면도이다.
- 도 9는 본 발명의 일 실시예에 따른 발광 다이오드를 설명하기 위해 도 1의 절취선 C-C를 따라 취해진 단면도이다.
- 도 10 내지 도 14는 본 발명의 일 실시예에 따른 발광 다이오드를 제조하는 방법을 설명하기 위한 단면도들로서, 각각 도 6의 절취선 A-A에 대응하는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0042] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 동일한 참조번호는 동일한 구성요소를 나타내며, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수 있다.
- [0043] 도 6은 발명의 일 실시예에 따른 발광 다이오드를 설명하기 위한 개략적인 레이아웃도이고, 도 7 내지 9는 각각 도 6의 절취선 A-A, B-B 및 C-C를 따라 취해진 단면도이다. 도 6에서 반도체 적층 구조체(30) 아래에 위치하는 반사 금속층(31) 및 중간 절연층(33)을 점선으로 표시한다.
- [0044] 도 6 내지 도 9를 참조하면, 상기 발광 다이오드는 지지기판(60), 반도체 적층 구조체(30), 반사 금속층(31), 중간 절연층(33), 장벽 금속층(35), 상부 절연층(47), n-전극 패드(51) 및 전극 연장부(51a)를 포함한다. 또한, 상기 발광 다이오드는 본딩 메탈(43)을 포함할 수 있다.
- [0045] 지지기판(60)은 화합물 반도체층들을 성장시키기 위한 성장기판과 구분되며, 이미 성장된 화합물 반도체층들에 부착된 2차 기판이다. 상기 지지기판(60)은 도전성 기판, 예컨대 금속 기판일 수 있다.
- [0046] 지지기판(60)은 지지기판(60)의 중앙에 위치하는 제1 금속층(64), 제1 금속층(64)의 아래 위에 서로 대칭하여 배치된 제2 금속층(62, 66)을 포함하여 구성된다. 제1 금속층(64)는 예컨대, 텅스텐(W) 또는 몰리브덴(Mo) 중 적어도 하나를 포함할 수 있다. 제2 금속층(62, 66)은 제1 금속층(64) 보다 열팽창 계수가 더 높은 재질로서 예컨대, 구리(Cu)를 포함할 수 있다. 제1 금속층(64)과 제2 금속층(62, 66)사이에는 접합층(63, 65)이 형성되어 있다. 아울러, 본딩 메탈(43)과 제2 금속층(62)사이에도 접합층(61)이 형성되어 있다. 이들 접합층(61, 63, 65)은 Ni, Ti, Cr, Pt 중 중 적어도 하나를 포함할 수 있다. 아울러, 제1 금속층(64)의 하면에 형성된 제2 금속층(66)의 하면에는 접합층(67)을 통하여 하부 본딩 메탈(68)이 형성될 수 있다. 하부 본딩 메탈(68)은 지지기판(60)과 반도체 적층 구조체(30) 사이에 개재된 본딩 메탈(43)에 대칭하는 구조로서, 본딩 메탈(43)과 동일한 재질로 이루어질 수 있으며, 예컨대 Au 또는 Au-Sn(80/20wt%)일 수 있다. 하부 본딩 메탈(68)은 지지기판(60)을 전차회로 또는 PCB 기판에 부착하기 위해 사용될 수 있다.
- [0047] 지지기판(60)은 제1 금속층(64)과 제1 금속층(64)의 상하면에 서로 대칭하여 형성된 제2 금속층(62, 66)을 포함하는 구조를 가진다. 제1 금속층(64)을 구성하는 예컨대, 텅스텐(W) 또는 몰리브덴(Mo)은 제2 금속층(62, 66)을 구성하는 예컨대, 구리(Cu)에 비하여 열팽창 계수가 비교적 낮고 강도도 강하다. 제1 금속층(64)의 두께는 제2 금속층(62, 66)의 두께에 비하여 더 두껍게 형성된다. 이에 따라, 제1 금속층(64)의 상하면에 제2 금속층(62, 66)을 형성하는 것이, 그 반대 구조(제2 금속층의 상하면에 제1 금속층이 형성되는 구조)를 가지는 것보다 공정

에 있어서 훨씬 더 바람직하다. 또한, 지지기판(60)이 성장 기판과 반도체 적층 구조체(30)의 열팽창 계수와 유사한 열팽창 계수를 갖기 위해서는 제1 금속층(64)의 두께와 제2 금속층(62, 66)의 두께가 적절하게 조절될 수 있다.

[0048] 지지기판(60)은 반도체 적층 구조체(30)와 별도로 제작된 후, 본딩 메탈(43)을 통해 장벽 금속층(35) 상에 본딩될 수 있다. 이와 달리, 상기 지지기판(60)은 장벽 금속층(35) 상에서 도금되어 형성될 수 있다. 상기 지지기판(60)을 형성할 때에 사용되는 도금법으로는 정류기를 사용하여 금속을 석출하는 전해 도금 방식, 환원제를 사용하여 금속을 석출하는 무전해 도금 방식이 사용될 수 있고, 그 외에도 상술한 열증착, 전자선증착, 스퍼터링, 화학기상증착 등의 방식이 사용될 수 있다.

[0049] 반도체 적층 구조체(30)는 지지기판(60) 상에 위치하며, p형 화합물 반도체층(29), 활성층(27) 및 n형 화합물 반도체층(25)을 포함한다. 여기서, 상기 반도체 적층 구조체(30)는 일반적인 수직형 발광 다이오드와 유사하게 p형 화합물 반도체층(29)이 n형 화합물 반도체층(25)에 비해 지지기판(60) 측에 가깝게 위치한다. 상기 반도체 적층 구조체(30)는 지지기판(60)의 일부 영역 상에 위치할 수 있다. 즉, 지지기판(60)이 반도체 적층 구조체(30)에 비해 상대적으로 넓은 면적을 가지며, 반도체 적층 구조체(30)는 상기 지지기판(60)의 가장자리로 둘러싸인 영역 내에 위치한다.

[0050] n형 화합물 반도체층(25), 활성층(27) 및 p형 화합물 반도체층(29)은 III-N 계열의 화합물 반도체, 예컨대 (Al, Ga, In)_N 반도체로 형성될 수 있다. n형 화합물 반도체층(25) 및 p형 화합물 반도체층(29)은 각각 단일층 또는 다중층일 수 있다. 예를 들어, n형 화합물 반도체층(25) 및/또는 p형 화합물 반도체층(29)은 콘택층과 클래드층을 포함할 수 있으며, 또한 초격자층을 포함할 수 있다. 또한, 상기 활성층(27)은 단일 양자우물 구조 또는 다중 양자우물 구조일 수 있다. 저항이 상대적으로 작은 n형 화합물 반도체층(25)이 지지기판(60)의 반대쪽에 위치함으로써 n형 화합물 반도체층(25)의 상부면에 거칠어진 표면(R)을 형성하는 것이 용이하며, 거칠어진 표면(R)은 활성층(27)에서 생성된 광의 추출 효율을 향상시킨다.

[0051] p-전극(31, 35)은 p형 화합물 반도체층(29)과 지지기판(60) 사이에 위치하며, 반사 금속층(31) 및 장벽 금속층(35)을 포함할 수 있다. 반사 금속층(31)은 반도체 적층 구조체(30)와 지지기판(41) 사이에서 p형 화합물 반도체층(29)에 오픈 콘택한다. 상기 반사 금속층(31)은 예컨대 Ag와 같은 반사층을 포함할 수 있다. 상기 반사 금속층(31)은 반도체 적층 구조체(30) 영역 아래에 한정되어 위치한다. 상기 반사 금속층(31)은 도 1에 도시된 바와 같이, 복수개의 판(plate)으로 형성될 수 있으며, 복수개의 판들 사이에 홈이 형성된다. 상기 홈을 통해 반도체 적층 구조체(30)가 노출된다.

[0052] 중간 절연층(33)이 반사 금속층(31)과 지지기판(60) 사이에서 상기 반사 금속층(31)을 덮는다. 중간 절연층(33)은 반사 금속층(31), 예컨대 복수개의 판들의 측면 및 가장자리를 덮으며, 반사 금속층(31)을 노출시키는 개구부들을 갖는다. 중간 절연층(33)은 실리콘 산화막 또는 실리콘 질화막의 단일층 또는 다중층으로 형성될 수 있으며, 또한 굴절률이 서로 다른 절연층들, 예컨대 SiO₂/TiO₂ 또는 SiO₂/Nb₂O₅를 반복 적층한 분포 브래그 반사기일 수 있다. 상기 중간 절연층(33)에 의해 반사 금속층(31)의 측면이 외부에 노출되는 것을 방지할 수 있다. 상기 중간 절연층(33)은 또한, 상기 반도체 적층 구조체(30)의 측면 아래에 위치할 수 있으며, 따라서, 반도체 적층 구조체(30)의 측면을 통한 누설 전류를 방지할 수 있다.

[0053] 장벽 금속층(35)은 중간 절연층(33) 아래에서 중간 절연층(33)을 덮으며, 중간 절연층(33)의 개구부를 통해 반사 금속층(31)에 접속된다. 장벽 금속층(35)은 반사 금속층(31)의 금속 물질, 예컨대 Ag의 확산을 방지하여 반사 금속층(31)을 보호한다. 장벽 금속층(35)은 예컨대, Ni층을 포함할 수 있다. 상기 장벽 금속층(35)은 지지기판(41)의 전면 상에 위치할 수 있다.

[0054] 한편, 지지기판(60)은 상기 장벽 금속층(35) 상에 본딩 메탈(43)을 통해 본딩될 수 있다. 본딩 메탈(43)은 예컨대 Au 또는 Au-Sn(80/20wt%)으로 공융 본딩을 이용하여 형성될 수 있다.

[0055] 한편, 반도체 적층 구조체(30)의 상면, 즉 n형 화합물 반도체층(25)의 표면은 거칠어진 표면(R)과 평평한 표면을 가질 수 있다. 도 7 내지 도 9에 도시된 바와 같이, n-전극 패드(51) 및 전극 연장부(51a)는 평평한 표면 상에 위치한다. 도시된 바와 같이, 상기 n-전극 패드(51) 및 전극 연장부(51a)는 평평한 표면 상에 한정되어 위치하며, 평평한 표면의 폭에 비해 좁은 폭을 가질 수 있다. 따라서, 반도체 적층 구조체(30)에 언더컷 등의 발생에 의해 전극 패드나 전극 연장부가 박리되는 것을 방지할 수 있어 신뢰성을 높일 수 있다. 한편, 상기 거칠어진 표면(R)은 평평한 표면보다 아래에 위치할 수 있다. 즉, 거칠어진 표면(R) 전극 패드(51) 및 전극 연장부(51a) 아래에 위치한다.

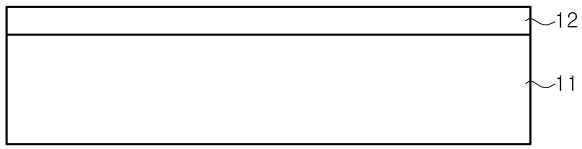
- [0056] 한편, n-전극 패드(51)는 반도체 적층 구조체(30) 상에 위치하며, n-전극 패드(51)로부터 전극 연장부(51a)가 연장한다. 반도체 적층 구조체(30) 상에 복수개의 n-전극 패드들(51)이 위치할 수 있으며, 상기 n-전극 패드들(51)로부터 각각 전극 연장부들(51a)이 연장할 수 있다. 상기 전극 연장부들(51a)이 반도체 적층 구조체(30)에 전기적으로 접속되며, n형 화합물 반도체층(25)에 직접 접속할 수 있다.
- [0057] 상기 n-전극 패드(51)는 또한, 반사 금속층(31)의 홈 영역 상부에 위치할 수 있다. 즉, 상기 n-전극 패드(51)의 아래에는 p형 화합물 반도체층(29)에 오믹 콘택하는 반사 금속층(31)이 없고, 대신에 중간 절연층(33)이 위치한다. 나아가, 상기 전극 연장부(51a) 또한 반사 금속층(31)의 홈 영역 상부에 위치한다. 도 6에 도시된 바와 같이, 복수개의 판으로 이루어진 반사 금속층(31)에서 상기 판들 사이의 영역 상부에 전극 연장부(51a)가 위치할 수 있다. 바람직하게, 상기 반사 금속층(31)의 홈 영역, 예컨대 상기 복수개의 판들 사이의 영역의 폭은 전극 연장부(51a)의 폭보다 더 넓다. 이에 따라, 상기 전극 연장부(51a)에서 바로 아래로 전류가 집중적으로 흐르는 것을 방지할 수 있다.
- [0058] 한편, 상부 절연층(47)이 상기 n-전극 패드(51)와 반도체 적층 구조체(30) 사이에 개재된다. 상기 상부 절연층(47)에 의해 n-전극 패드(51)로부터 직접 반도체 적층 구조체(30)로 전류가 흐르는 것이 방지되며, 특히 n-전극 패드(51) 바로 아래에서 전류가 집중되는 것을 방지할 수 있다. 또한, 상기 상부 절연층(47)은 거칠어진 표면(R)을 덮는다. 이때, 상기 상부 절연층(47)은 상기 거칠어진 표면(R)을 따라 형성된 요철면을 가질 수 있다. 상부 절연층(47)의 요철면은 불룩한 형상을 가질 수 있다. 상기 상부 절연층(47)의 요철면에 의해 상기 상부 절연층(47)의 상부면에서 발생하는 내부 전반사를 감소시킬 수 있다.
- [0059] 상기 상부 절연층(47)은 또한 반도체 적층 구조체(30)의 측면을 덮어 반도체 적층 구조체(30)를 외부 환경으로부터 보호할 수 있다. 나아가, 상기 상부 절연층(47)은 반도체 적층 구조체(30)를 노출시키는 개구부를 가질 수 있으며, 상기 전극 연장부(51a)는 상기 개구부 내에 위치하여 반도체 적층 구조체(30)에 접촉할 수 있다.
- [0060] 도 10 내지 도 14는 본 발명의 일 실시예에 따른 발광 다이오드를 제조하는 방법을 설명하기 위한 단면도들이다. 여기서, 상기 단면도들은 도 6의 절취선 A-A를 따라 취해진 단면도에 대응한다.
- [0061] 도 10을 참조하면, 성장 기판(21) 상에 n형 반도체층(25), 활성층(27) 및 p형 반도체층(29)을 포함하는 반도체 적층 구조체(30)가 형성된다. 성장 기판(21)은 사파이어 기판일 수 있으나, 이에 한정되는 것은 아니며, 다른 이종기판, 예컨대 실리콘 기판일 수 있다. 상기 n형 및 p형 반도체층들(25, 29)은 각각 단일층 또는 다중층으로 형성될 수 있다. 또한, 상기 활성층(27)은 단일 양자우물 구조 또는 다중 양자우물 구조로 형성될 수 있다.
- [0062] 상기 화합물 반도체층들은 III-N 계열의 화합물 반도체로 형성될 수 있으며, 금속유기화학기상증착법(MOCVD) 또는 분자선 증착법(molecular beam epitaxy; MBE) 등의 공정에 의해 성장 기판(21) 상에 성장될 수 있다.
- [0063] 한편, 화합물 반도체층들을 형성하기 전, 버퍼층(미도시됨)이 형성될 수 있다. 버퍼층은 희생 기판(21)과 화합물 반도체층들의 격자 부정합을 완화하기 위해 채택되며, 질화갈륨 또는 질화알루미늄 등의 질화갈륨 계열의 물질층일 수 있다.
- [0064] 도 11을 참조하면, 상기 반도체 적층 구조체(30) 상에 반사 금속층(31)이 형성된다. 반사 금속층(31)은 반도체 적층 구조체(30)를 노출시키는 홈을 갖는다. 예컨대, 상기 반사 금속층(31)은 복수개의 판으로 이루어질 수 있으며, 복수개의 판들 사이에 홈이 형성될 수 있다(도 6 참조).
- [0065] 이어서, 상기 반사 금속층(31)을 덮는 중간 절연층(33)이 형성된다. 중간 절연층(33)은 상기 반사 금속층 내의 홈을 채우고, 상기 반사 금속층의 측면 및 가장자리를 덮는다. 또한, 상기 중간 절연층(33)은 반사 금속층(31)을 노출시키는 개구부들을 갖는다. 중간 절연층(33)은 실리콘 산화막 또는 실리콘 질화막을 형성될 수 있으며, 굴절률이 서로 다른 절연층들을 반복 적층함으로써 분포 브래그 반사기로 형성될 수도 있다.
- [0066] 상기 중간 절연층(33) 상에 장벽금속층(35)이 형성된다. 장벽 금속층(35)은 중간 절연층(33)에 형성된 개구부를 채워 반사 금속층(31)에 접속될 수 있다.
- [0067] 도 12를 참조하면, 상기 장벽 금속층(35) 상에 지지기판(60)이 부착된다. 지지기판(60)은 반도체 적층 구조체(30)와 별도로 제작된 후, 본딩 메탈(43)을 통해 장벽 금속층(35) 상에 본딩될 수 있다.
- [0068] 지지기판(60)은 지지기판(60)의 중앙에 위치하는 제1 금속층(64), 제1 금속층(64)의 아래 위에 서로 대칭하여 배치된 제2 금속층(62, 66)을 포함한다. 제1 금속층(64)는 예컨대, 텅스텐(W) 또는 몰리브덴(Mo)을 포함할 수 있다. 제2 금속층(62, 66)은 제1 금속층(64) 보다 열팽창 계수가 더 높은 재료로서 예컨대, 구리(Cu)일 수 있다. 제1 금속층(64)과 제2 금속층(62, 66)사이에는 접합층(63, 65)이 형성되어 있다. 아울러, 본딩 메탈(43)

과 제2 금속층(62)사이에도 접합층(61)이 형성되어 있다. 이들 접합층(61, 63, 65)은 Ni, Ti, Cr, 또는 Pt를 포함할 수 있다. 아울러, 제2 금속층(66)에는 접합층(67)을 통하여 하부 분당 메탈(68)이 형성될 수 있다. 하부 분당 메탈(68)은 지지기판(60)을 전자회로 또는 PCB 기판에 부착하기 위해 사용될 수 있다.

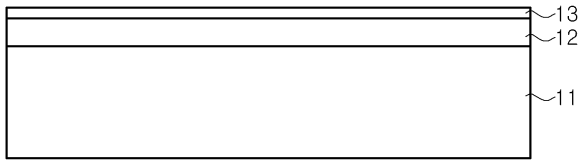
- [0069] 지지기판(60)은 제1 금속층(64)과 제2 금속층(64)의 상하면에 서로 대칭하여 형성된 제2 금속층(62, 66)을 포함하는 구조를 가진다. 제1 금속층(64)을 구성하는 예컨대, 텅스텐(W) 또는 몰리브덴(Mo)은 제2 금속층(62, 66)을 구성하는 예컨대, 구리(Cu)에 비하여 열팽창 계수가 비교적 낮고 강도도 강하다. 제1 금속층(64)의 두께는 제2 금속층(62, 66)의 두께에 비하여 더 두껍게 형성된다. 지지기판(60)이 성장 기판과 반도체 적층 구조체(30)의 열팽창 계수와 유사한 열팽창 계수를 갖기 위해서는 제1 금속층(64)의 두께와 제2 금속층(62, 66)의 두께가 적절하게 조절될 수 있다.
- [0070] 이러한 지지 기판(60)의 구조에 의해 지지기판(60)의 접합에 따른 열처리시 또는 그 이후 공정에서 성장 기판(21), 반도체 적층 구조체(30), 지지기판(60) 사이의 열팽창계수 차이로 인한 공정간의 스트레스를 효과적으로 완화시킬 수 있어 화합물 반도체층의 손상 및 휨현상을 억제시킬 수 있다.
- [0071] 지지기판(60)을 접합하기 위하여는 고온의 분위기가 필요하며, 접합이 용이하게 이루어지게 하기 위하여 압력이 가해질 수 있다. 압력은 고온의 챔버 상부에 압력을 가하는 판의 이동을 통하여 접합공정 중에만 압력을 가하고 접합 이후에는 압력을 제거하는 공정일 수 있다.
- [0072] 또는 압력을 가하는 공정은 지지기판(60)과 성장 기판(21)을 양쪽에서 고정시켜 주는 홀더의 형태로 작용하여 고온 분위기의 챔버와 별도로 분리 가능하여 접합 후 상온에서도 압력을 유지시켜 줄 수 있는 형태의 공정일 수 있다.
- [0073] 지지기판(60)의 접합 후 성장 기판(21)을 제거하는 공정은 연마 공정 또는 레이저 리프트 오프 공정이 사용될 수 있으며, 열팽창 계수 차이에 의한 휨을 완화시키기 위하여 성장 기판(21)을 올려놓는 홀더에 휨이 완화될 수 있을 정도의 가열하는 공정을 더할 수 있으며, 또한 레이저 리프트 오프 공정에서는 성장 기판(21)이 분리되는 과정에서 발생하는 가스와 충격에 의한 지지기판(60)과 반도체 적층 구조체의 파손을 감소시키기 위하여 성장 기판(21)과 지지기판(60)을 고정시켜 주는 홀더를 장착한 상태로 공정을 진행할 수 있다.
- [0074] 한편, 지지기판(60)은 예컨대 도금 기술을 사용하여 장벽 금속층(35) 상에 형성될 수도 있다.
- [0075] 지지기판(60)이 형성된 후, 상기 성장 기판(21)이 제거되어 반도체 적층 구조체(30)의 n형 반도체층(25) 표면이 노출된다. 성장 기판(21)은 레이저 리프트 오프(laser lift-off; LLO) 공정을 통해 성장 기판(21) 방향으로 레이저를 조사하여 성장 기판(21)을 분리하여 제거될 수 있다. 이때, 레이저는 성장 기판(21)의 에너지 밴드갭 보다 작은 에너지를 갖고, 버퍼층의 에너지 밴드갭보다 큰 에너지를 갖도록 선택된다.
- [0076] 도 13을 참조하면, 노출된 n형 반도체층(25) 상에 마스크 패턴(45)이 형성된다. 상기 마스크 패턴(45)은 상기 반사 금속층(31)의 홈에 대응하는 n형 반도체층(25) 영역을 덮고, 그 외 영역을 노출시킨다. 특히, 상기 마스크 패턴(45)은 향후 n-전극 패드 및 전극 연장부가 형성될 영역을 덮는다. 상기 마스크 패턴(45)은 포토레지스트와 같은 폴리머로 형성될 수 있다.
- [0077] 이어서, 상기 마스크를 식각 마스크로 사용하여 n형 반도체층(25) 표면을 이방성 에칭함으로써 n형 반도체층(25)에 거칠어진 표면(R)을 형성한다. 그 후, 상기 마스크(45)가 제거된다. 상기 마스크(45)가 위치하는 n형 반도체층(25) 표면은 평평한 표면을 유지한다.
- [0078] 한편, 상기 반도체 적층 구조체(30)를 패터닝하여 칩 분리 영역이 형성되고, 상기 중간 절연층(33)이 노출된다. 칩 분할 영역은 거칠어진 표면(R)을 형성하기 전 또는 후에 형성될 수 있다.
- [0079] 도 14를 참조하면, 거칠어진 표면(R)이 형성된 n형 반도체층(25) 상에 상부 절연층(47)을 형성한다. 상부 절연층(47)은 거칠어진 표면(R)을 따라 형성되어 거칠어진 표면(R)에 대응하는 요철면을 갖는다. 상기 상부 절연층(51)은 n-전극 패드(51)가 형성될 평평한 표면을 덮는다. 상기 상부 절연층(47)은 또한 칩 분할 영역에 노출된 반도체 적층 구조체(30)의 측면을 덮을 수 있다. 다만, 상기 상부 절연층(47)은 전극 연장부(51a)가 형성될 영역의 평평한 표면을 노출시키는 개구부(47a)를 갖는다.
- [0080] 이어서, 상기 상부 절연층(47) 상에 n-전극 패드(51)를 형성함과 아울러, 상기 개구부(47a) 내에 전극 연장부를 형성한다. 전극 연장부는 n-전극 패드(51)로부터 연장하며, 반도체 적층 구조체(30)에 전기적으로 접속한다.
- [0081] 그 후, 칩 분리 영역을 따라 개별 칩으로 분할함으로써 발광 다이오드가 완성된다(도 7 참조).

도면

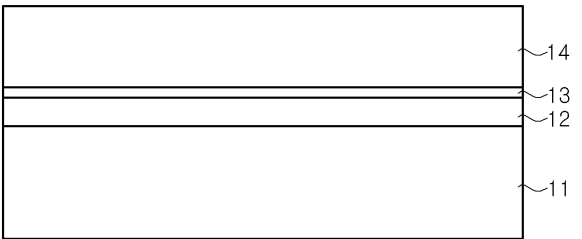
도면1



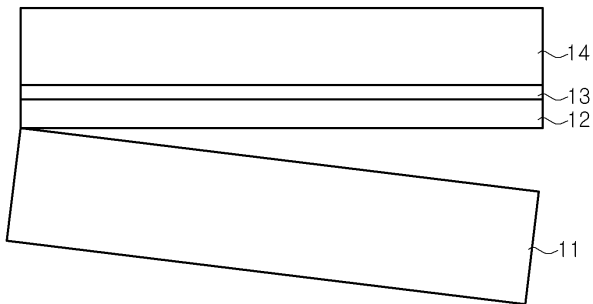
도면2



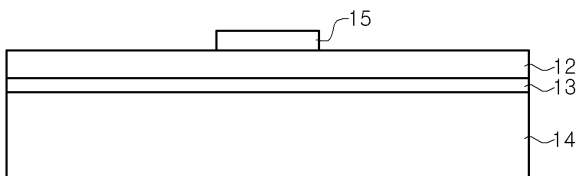
도면3



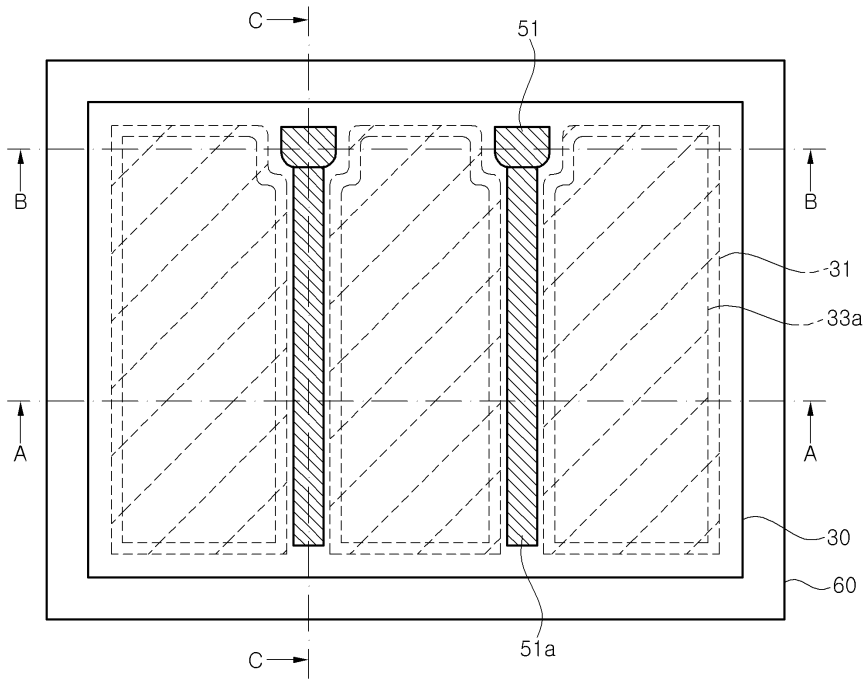
도면4



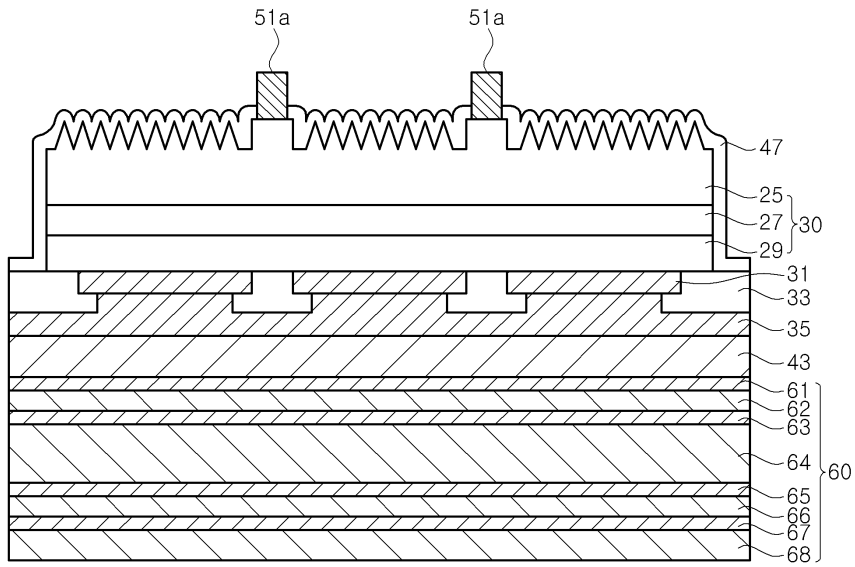
도면5



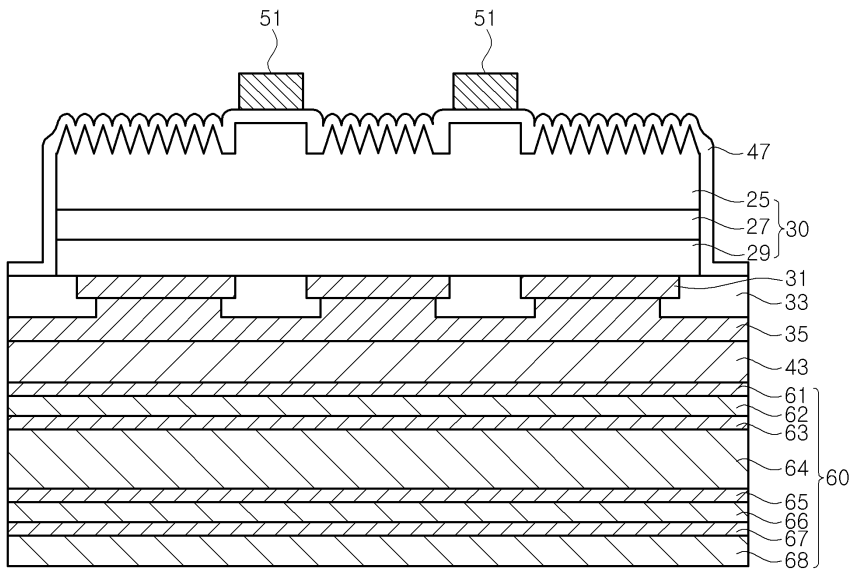
도면6



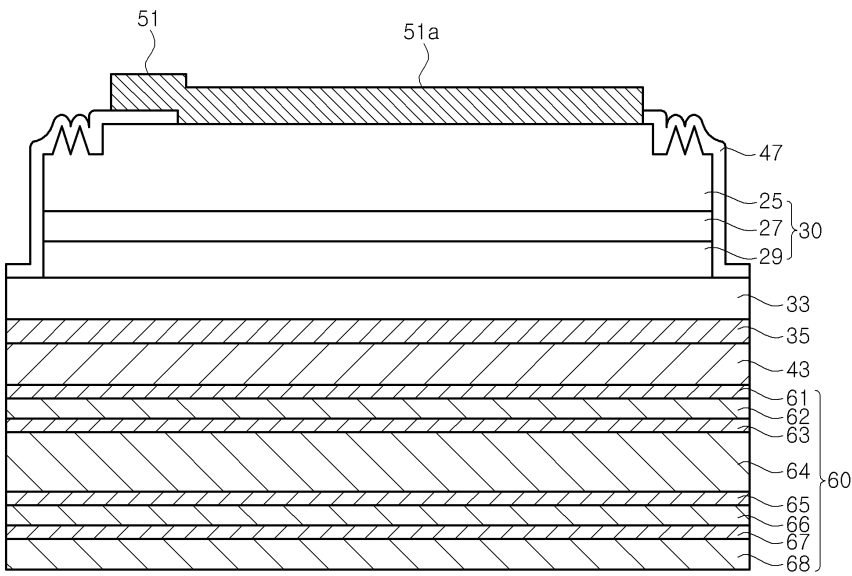
도면7



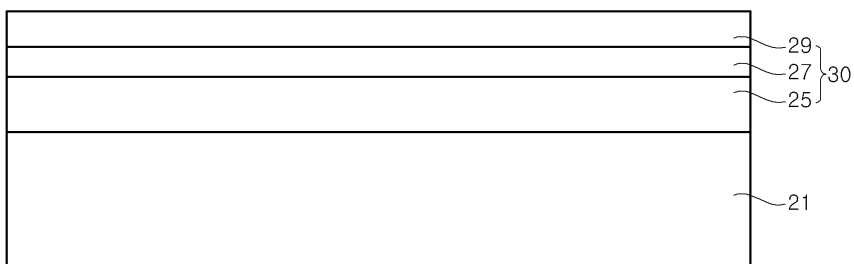
도면8



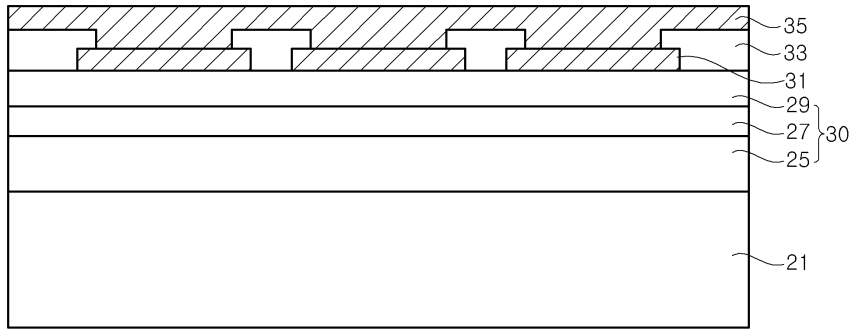
도면9



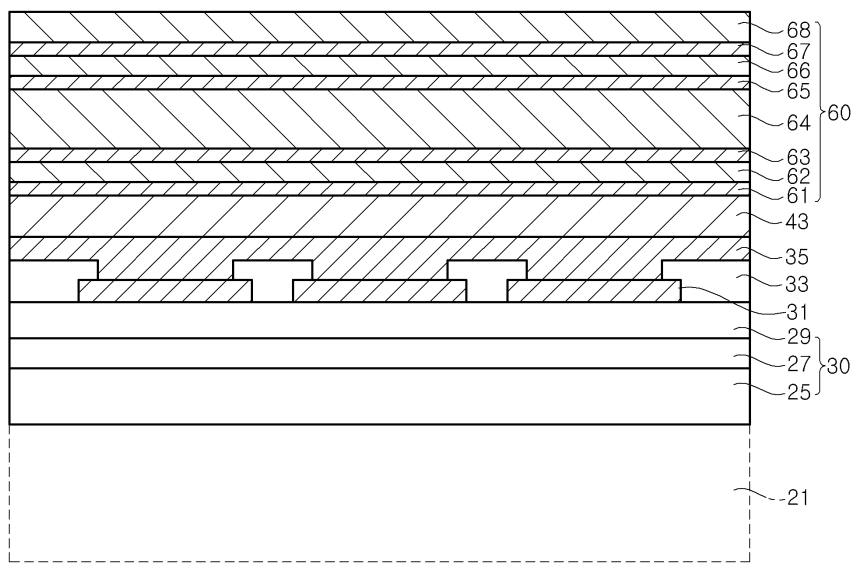
도면10



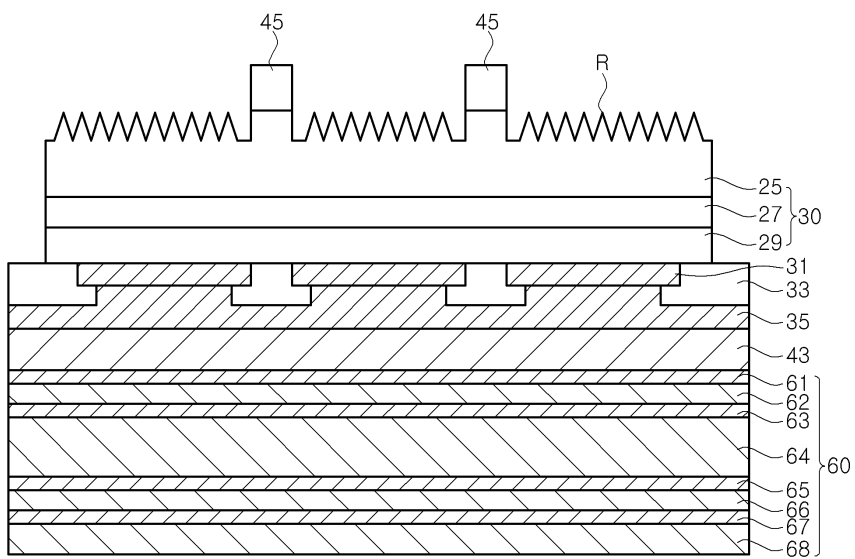
도면11



도면12



도면13



도면14

