

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 3 月 12 日 (12.03.2015)



(10) 国际公布号
WO 2015/032145 A1

(51) 国际专利分类号:
G09G 3/32 (2006.01)

(21) 国际申请号: PCT/CN2013/089155

(22) 国际申请日: 2013 年 12 月 12 日 (12.12.2013)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201310407319.1 2013 年 9 月 9 日 (09.09.2013) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。

(72) 发明人: 段立业 (DUAN, Liye); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王丽蓉 (WANG, Lirong); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。吴仲远 (WU, Zhongyuan); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: PIXEL CIRCUIT, DRIVE CIRCUIT, ARRAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 像素电路、驱动电路、阵列基板及显示设备

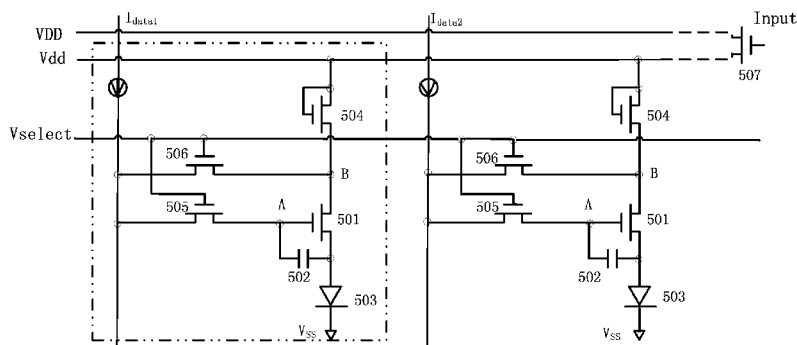


图 11 / FIG. 11

(57) Abstract: The present invention relates to the organic light-emitting diode display technology. Provided are a pixel circuit, a drive circuit, an array substrate and a display device. Through input of signals that are synchronously reverse to a precharge control voltage at an input end of a light-emitting working voltage, the light-emitting working voltage provides a voltage for the pixel circuit when the circuit enters a light-emitting phase, ensuring a stable current output in the light-emitting phase of the circuit. In addition, an input end of an exterior voltage that affects an aperture ratio does not need to be set, thus ensuring a stable current output of the current drive circuit, meanwhile, increasing an aperture ratio of an OLED that uses a current to drive the pixel circuit, and further prolonging a service life of the OLED that uses a current to drive the pixel circuit.

(57) 摘要: 本发明涉及有机发光二极管显示技术。提供一种像素电路、驱动电路、阵列基板及显示设备, 通过在发光工作电压输入端输入与预充控制电压同步反向的信号, 使像素电路进入发光阶段时, 由发光工作电压为电路提供电压, 保证电路在发光阶段的电流的稳定输出, 并且不需要设置影响开口率的外接电压输入端, 从而在保证电流驱动电路的电流的稳定输出的同时增大了使用电流驱动像素电路的 OLED 的开口率, 进而增大了使用电流驱动像素电路的 OLED 的使用寿命。



WO 2015/032145 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

像素电路、驱动电路、阵列基板及显示设备

技术领域

本发明涉及有机发光显示技术，尤其涉及一种像素电路、驱动电路、阵列
5 基板及显示设备。

背景技术

有机发光显示器（Organic Light Emitting Display, OLED）像素电路驱动
方式可分为电流驱动和电压驱动。图 1 为电压驱动像素电路，图 2 为电流驱动
10 像素电路。在电压驱动像素电路中，输出电流 I_{OLED} 公式为：

$$I_{OLED} = \frac{1}{2} \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{data} - V_{oled} - V_{th})^2,$$

其中 μ_n 为载流子迁移率， C_{ox} 为栅氧化层电容， W/L 为晶体管宽长比， V_{data}
为数据电压， V_{oled} 为所有像素单元共享的 OLED 发光工作电压， V_{th} 为晶体
管的阈值电压。对于增强型 TFT， V_{th} 为正值，对于耗尽型 TFT， V_{th} 为负值。
15 由此可知，如果一个像素的 V_{th} 随时间发生变化，则会造成该像素不同时间的
输出电流 I_{OLED} 不同，会出现残影现象，也就不能保证液晶显示器在时间上的
稳定显示。电流驱动相比电压驱动的优点为输出电流 I_{OLED} 始终与输入电流 I_{data}
相等。在电流驱动像素电路中，即使像素的阈值电压 V_{th} 随着时间发生变化，
电流驱动像素电路也能够自主调整，保证输出电流 I_{OLED} 始终与输入电流 I_{data}
20 相等，从而实现液晶显示器在空间上均匀显示和时间上稳定的显示。这是由于
电流驱动像素电路的工作过程通常可以分为两个阶段，第一阶段为预充阶段，
第二阶段为发光阶段。在预充阶段，输出电流 I_{OLED} 与输入电流 I_{data} 相等，同时
电流驱动像素电路中的电容储存电荷。在发光阶段，由于电流驱动电路中的电
容存储了电荷，因此可以保证电流驱动电路中的输出电流 I_{OLED} 依然与预充阶
25 段的输出电流 I_{OLED} 相等，即依然与预充阶段的输入电流 I_{data} 相等。一种具体的
电流驱动像素电路如图 3 所示，电路中存在一条用于在发光阶段为电路提供电
压的外接控制电压 V_{ctrl} 输入端，连接在一个薄膜晶体管的栅极处，而该电路
的工作电压 VDD 输入端连接在该薄膜晶体管的源漏两极中的一极处。该电路
的仿真信号波形图如图 4 所示，外接控制电压 V_{ctrl} 输入端输入与用于在预充
30 阶段为电路提供电压的预充控制电压 V_{select} 输入端输入的信号同步反向信号，

实现在预充阶段由预充控制电压 V_{select} 为驱动电路提供电压，在发光阶段由外接控制电压 V_{ctrl} 及工作电压 V_{DD} 通过其连接的薄膜晶体管合成的电压为电路提供电压，保证电流驱动电路在发光阶段存在输出电流 I_{OLED} 。然而，外接的 V_{ctrl} 输入端的存在会减小各像素的开口率，而像素的开口率越小，OLED 的使用寿命就会越短。

发明内容

本发明实施例提供一种像素电路、驱动电路、阵列基板及显示设备，以增大使用电流驱动像素电路的 OLED 的使用寿命。

一种像素电路，包括：

第一薄膜晶体管，栅极连接预充控制电压输入端及电流输入端，漏极连接预充控制电压输入端、电流输入端及发光工作电压输入端，发光工作电压输入端用于输入与预充控制电压同步反向的信号；

电容，两端分别连接于第一薄膜晶体管的源极和栅极；

有机发光二极管，正极连接第一薄膜晶体管的源极，负极连接接地电压输入端。

可选择地，第一薄膜晶体管的漏极通过二极管与所述发光工作电压输入端相连。

可选择地，第一薄膜晶体管的漏极通过第二薄膜晶体管与所述发光工作电压输入端相连，第二薄膜晶体管的栅极及源漏两极中的一极与所述发光工作电压输入端相连，源漏两极中的另一极与所述第一薄膜晶体管的漏极相连。

可选择地，所述第一薄膜晶体管的栅极和/或漏极通过作为开关的薄膜晶体管与预充控制电压输入端及电流输入端相连。

可选择地，所述第一薄膜晶体管的栅极通过第三薄膜晶体管与所述预充控制电压输入端及所述电流输入端相连，所述第三薄膜晶体管的栅极与所述预充控制电压输入端相连，源漏两极中的一极与所述第一薄膜晶体管的栅极相连，源漏两极中的另一极与所述电流输入端相连；和/或，

所述第一薄膜晶体管的漏极通过第四薄膜晶体管与所述预充控制电压输入端及所述电流输入端相连，所述第四薄膜晶体管的栅极与所述预充控制电压输入端相连，源漏两极中的一极与所述第一薄膜晶体管的漏极相连，源漏两极中的另一极与所述电流输入端相连。

一种驱动电路，包括多个本发明实施例提供的像素电路，多个本发明实施例提供的像素电路构成矩阵；

多个本发明实施例提供的像素电路中位于矩阵中同一行的像素电路连接同一个发光工作电压输入端，并连接同一个预充控制电压输入端；

5 多个本发明实施例提供的像素电路中位于矩阵中同一列的像素电路，连接同一个电流输入端。

一种阵列基板，包括本发明实施例提供的驱动电路。

一种显示设备，包括本发明实施例提供的驱动电路。

10 本发明实施例提供一种像素电路、驱动电路、阵列基板及显示设备，通过在发光工作电压输入端输入与预充控制电压同步反向的信号，使像素电路进入发光阶段时，由发光工作电压为电路提供电压，保证电路在发光阶段的电流的稳定输出，且无需设置会减小开口率的外接电压输入端，从而在保证电流驱动电路的电流的稳定输出的同时增大了使用电流驱动像素电路的 OLED 的开口率，进而增大了使用电流驱动像素电路的 OLED 的使用寿命。

15

附图说明

图 1 为现有技术的一种电压驱动像素电路图；

图 2 为现有技术的一种电流驱动像素电路图；

图 3 为现有技术的一种具体的电流驱动像素电路图；

20 图 4 为现有技术的电流驱动像素电路的仿真信号波形图；

图 5 为本发明第一实施例的像素电路示意图；

图 6 为本发明第二实施例的像素电路示意图；

图 7 为本发明第三实施例的像素电路示意图；

图 8 为本发明第四实施例的像素电路示意图；

25 图 9 为本发明第五实施例的像素电路示意图；

图 10 为本发明实施例的一种驱动电路示意图；

图 11 为本发明实施例的一种可替换的驱动电路示意图；

图 12 为本发明实施例的输入电压仿真波形图；

图 13 为本发明实施例驱动电路在预充阶段的电路示意图；

30 图 14 为本发明实施例的驱动电路在发光阶段的电路示意图；

图 15 为本发明实施例的驱动电路的工作过程的仿真信号波形图。

具体实施方式

在本发明的实施例中，提供一种像素电路、驱动电路、阵列基板及显示设备，通过在发光工作电压输入端输入与预充控制电压 V_{select} 同步反向的信号，使像素电路进入发光阶段时，由发光工作电压为电路提供电压，保证电路在发光阶段的电流的稳定输出，且无需设置会减小开口率的外接电压输入端，从而在保证电流驱动电路的电流的稳定输出的同时增大使用电流驱动像素电路的 OLED 的开口率，进而增大使用电流驱动像素电路的 OLED 的使用寿命。

如图 5 所示，按照本发明第一实施例的像素电路，包括：

第一薄膜晶体管 501，栅极连接预充控制电压 V_{select} 输入端及电流输入端，漏极连接预充控制电压 V_{select} 输入端、电流输入端及发光工作电压 V_{dd} 输入端，发光工作电压 V_{dd} 输入端用于输入与预充控制电压 V_{select} 同步反向的信号；

电容 502，两端分别连接于第一薄膜晶体管 501 的源极和栅极；

有机发光二极管 503，正极连接第一薄膜晶体管 501 的源极，负极连接接地电压 V_{ss} 输入端。

发光工作电压 V_{dd} 输入端输入与预充控制电压 V_{select} 同步反向的信号，因此，在预充阶段，由预充控制电压 V_{select} 输入端输入的信号提供电路的电压，在发光阶段，由发光工作电压 V_{dd} 输入的信号提供电压，从而保证了在发光阶段电路存在电流输出。而电容 502 保证了在发光阶段输出的电流与预充阶段相同，电路中不存在影响开口率的外接信号端，从而增大了使用电流驱动像素电路的 OLED 的开口率，进而增大了使用电流驱动像素电路的 OLED 的使用寿命。

实际应用中，由于当同一行相邻像素的电流输入端输入的电流不同时，会导致相邻像素的第一薄膜晶体管 501 的漏极电压不相同，容易导致漏极电压较高的像素的驱动电路中电流方向与正常工作需要的电流方向相反，影响 OLED 的正常显示。因此，为了避免各像素驱动电路中的电流方向与正常工作需要的电流方向相反，可以令像素电路的第一薄膜晶体管 501 的漏极通过二极管与发光工作电压 V_{dd} 输入端相连，保证驱动电路发光阶段时的电流是由驱动电压输入端流向第一薄膜晶体管 501 的漏极。

可替换地，为了方便 OLED 的制作，连接第一薄膜晶体管 501 的漏极和发

光工作电压 Vdd 输入端的二极管可以替换为薄膜晶体管。

图 6 示意性地示出本发明第二实施例的像素电路。具体地，如图 6 所示，第一薄膜晶体管 501 的漏极可以通过第二薄膜晶体管 504 与发光工作电压 Vdd 输入端相连；

5 第二薄膜晶体管 504 的栅极及源漏两极中的一极与发光工作电压 Vdd 输入端相连，源漏两极中的另一极与第一薄膜晶体管 501 的漏极相连。

图 6 中的第二薄膜晶体管 504 可以看做一个正极连接发光工作电压 Vdd 输入端，负极连接第一薄膜晶体管 501 的漏极的二极管，从而保证驱动电路中电流的方向是由发光工作电压 Vdd 输入端流向第一薄膜晶体管 501 的漏极。

10 当然，本领域的技术人员也可以采用其他可行方式避免由于同一行相邻像素的电流输入端输入的电流不同，而影响 OLED 的正常显示，此处仅提供一种示例性的实现方式，不再一一叙述。

进一步地，若各像素的驱动电路需要逐行进行驱动，即在前一行完成预充后才能对下一行进行预充，本发明实施例还可以提供一种可替换的实现逐行驱动的方式。即，可以令第一薄膜晶体管 501 的栅极和/或漏极通过作为开关的薄膜晶体管与预充控制电压 Vselect 输入端及电流输入端相连，作为开关的薄膜晶体管在高电平时打开，在低电平时关闭，从而通过各行像素电路的预充控制电压 Vselect 输入端输入不同的信号，实现逐行驱动。

具体地，可以令第一薄膜晶体管 501 的栅极通过作为开关的薄膜晶体管与预充控制电压 Vselect 输入端及电流输入端相连。

图 7 示意性地示出本发明第三实施例的像素电路。如图 7 所示，第一薄膜晶体管 501 的栅极可以通过作为开关的薄膜晶体管与预充控制电压 Vselect 输入端及电流输入端相连。

更具体地，第一薄膜晶体管 501 的栅极通过第三薄膜晶体管 505 与预充控制电压 Vselect 输入端及电流输入端相连，第三薄膜晶体管 505 的栅极与预充控制电压 Vselect 输入端相连，源漏两极中的一极与第一薄膜晶体管 501 的栅极相连，源漏两极中的另一极与电流输入端相连。

进一步地，可以令第一薄膜晶体管 501 的漏极也通过作为开关的薄膜晶体管与预充控制电压 Vselect 输入端及电流输入端相连。

30 图 8 示意性地示出本发明第四实施例的像素电路图。如图 8 所示，第一薄膜晶体管 501 的漏极通过作为开关的薄膜晶体管与预充控制电压 Vselect 输入

端及电流输入端相连。

更具体地，第一薄膜晶体管的漏极通过第四薄膜晶体管 506 与预充控制电压 V_{select} 输入端及电流输入端相连，第四薄膜晶体管 506 的栅极与预充控制电压 V_{select} 输入端相连，源漏两极中的一极与第一薄膜晶体管 501 的漏极相
5 连，源漏两极中的另一极与电流输入端相连。

当然，本领域的技术人员也可以采用其他可行方式实现驱动各像素电路的逐行驱动，此处仅提供一种示例性的实现方式，不再一一叙述。

图 9 示意性地示出本发明第五实施例的像素电路。如图 9 所示，本发明实施例一种可选择的像素电路，包括：

10 第一薄膜晶体管 501，第二薄膜晶体管 504，第三薄膜晶体管 505，第四薄膜晶体管 506，还包括电容 502 和有机发光二极管 503。

其中，电容 502 的两端分别连接于第一薄膜晶体管 501 的源极和栅极；

有机发光二极管 503 的正极连接第一薄膜晶体管 501 的源极，负极连接接
地电压 V_{SS} 输入端；

15 第二薄膜晶体管 504 的栅极及源漏两极中的一极与发光工作电压 V_{dd} 输入端相连，源漏两极中的另一极与第一薄膜晶体管 501 的漏极相连；

第三薄膜晶体管 505 的栅极与预充控制电压 V_{select} 输入端相连，源漏两极中的一极与第一薄膜晶体管 501 的栅极相连，源漏两极中的另一极与电流输入端相连；

20 第四薄膜晶体管 506 的栅极与预充控制电压 V_{select} 输入端相连，源漏两极中的一极与第一薄膜晶体管 501 的漏极相连，源漏两极中的另一极与电流输入端相连。

这里，发光工作电压 V_{dd} 输入端输入的是与预充控制电压 V_{select} 同步反向的信号，当像素电路进入预充阶段时，由预充控制电压 V_{select} 为电路提供
25 电压，当像素电路进入发光阶段时，由发光工作电压 V_{dd} 为电路提供电压，保证电路在预充阶段和发光阶段的电流输出，并且没有影响开口率的外接电压输入端，从而增大了使用电流驱动像素电路的 OLED 的开口率，进而增大了使用电流驱动像素电路的 OLED 的使用寿命。第二薄膜晶体管 504 可以看做一个正极连接发光工作电压 V_{dd} 输入端、负极连接第一薄膜晶体管 501 的漏极的二极
30 管，从而保证驱动电路中电流的方向是由发光工作电压 V_{dd} 输入端流向第一薄膜晶体管 501 的漏极，第三薄膜晶体管 505 与第四薄膜晶体管 506 为作为开关

的薄膜晶体管，第三薄膜晶体管 505 与第四薄膜晶体管 506 在高电平时打开，在低电平时关闭，从而通过各行像素电路的预充控制电压 Vselect 输入端输入不同的信号，实现逐行驱动。

本发明实施例还提供一种驱动电路，该驱动电路为由多个本发明实施例提供的像素电路组成，多个本发明实施例提供的像素电路构成矩阵；

多个本发明实施例提供的像素电路中位于矩阵中同一行的像素电路，连接同一个发光工作电压输入端，连接同一个预充控制电压输入端；

多个本发明实施例提供的像素电路中位于矩阵中同一列的像素电路，连接同一个电流输入端。

图 10 示意地示出本发明实施例的一种驱动电路。可选择地，如图 10 所示，在本发明实施例中提供的一种驱动电路由多个像素电路组成，多个像素电路构成矩阵。在图 10 中，多个本发明实施例提供的像素电路中位于矩阵中第一列的像素电路中包括第五薄膜晶体管 507。

第五薄膜晶体管 507 的源漏两极分别连接发光工作电压 Vdd 输入端及工作电压 VDD 输入端，栅极连接信号输入端 Input，信号输入端 Input 用于输入与预充控制电压 Vselect 同步反向的信号，第五薄膜晶体管 507 为 N 型薄膜晶体管。

在多个本发明实施例提供的像素电路中位于矩阵中第一列的像素电路中设置第五薄膜晶体管 507，通过在第五薄膜晶体管 507 的栅极输入与预充控制电压 Vselect 同步反向的信号，在源漏两极分别连接发光工作电压 Vdd 输入端及工作电压 VDD 输入端，则，第五薄膜晶体管 507 源漏两极中连接发光工作电压 Vdd 输入端的一极输出信号即为发光工作电压 Vdd 输入端向各像素电路输入的信号。在工作电压 VDD 输入端和预充控制电压 Vselect 输入端输入信号后，第五薄膜晶体管 507 源漏两极中连接发光工作电压 Vdd 输入端的一极输出信号是与预充控制电压 Vselect 同步反向的信号，从而保证发光工作电压 Vdd 输入端向各像素电路输入的是与预充控制电压 Vselect 同步反向的信号。

当然，本领域的技术人员可以采用其他可行的方式保证发光工作电压 Vdd 输入端向各像素电路输入的是与预充控制电压 Vselect 同步反向的信号，此处仅提供一种示例性的实现方式，不再一一叙述。

图 11 示出本发明实施例的一种可替换的驱动电路。如图 11 所示，本发明实施例提供一种示例性的驱动电路，该驱动电路为由多个像素电路组成，多个

像素电路构成矩阵;

其中, 像素电路包括:

第一薄膜晶体管 501, 第二薄膜晶体管 504, 第三薄膜晶体管 505, 第四薄膜晶体管 506, 第五薄膜晶体管 507, 还包括电容 502 和有机发光二极管 503。

5 其中, 电容 502 的两端分别连接于第一薄膜晶体管 501 的源极和栅极;

有机发光二极管 503 的正极连接第一薄膜晶体管 501 的源极, 负极连接接地电压 V_{SS} 输入端;

第二薄膜晶体管 504 的栅极及源漏两极中的一极与发光工作电压 V_{dd} 输入端相连, 源漏两极中的另一极与第一薄膜晶体管 501 的漏极相连;

10 第三薄膜晶体管 505 的栅极与预充控制电压 V_{select} 输入端相连, 源漏两极中的一极与第一薄膜晶体管 501 的栅极相连, 源漏两极中的另一极与电流输入端相连;

第四薄膜晶体管 506 的栅极与预充控制电压 V_{select} 输入端相连, 源漏两极中的一极与第一薄膜晶体管 501 的漏极相连, 源漏两极中的另一极与电流输入端相连。

多个像素电路中位于矩阵中第一列的像素电路的第五薄膜晶体管 507 的源漏两极分别连接发光工作电压 V_{dd} 输入端及工作电压 V_{DD} 输入端。栅极连接信号输入端 Input, 信号输入端 Input 用于输入与预充控制电压 V_{select} 同步反向的信号, 第五薄膜晶体管 507 为 N 型薄膜晶体管。示例性地, 如图 12 所示, 可以令工作电压 V_{DD} 输入端输入的信号也与预充控制电压 V_{select} 控制端输入的信号相反。

多个像素电路中位于矩阵中同一行的像素电路, 连接同一个发光工作电压输入端, 连接同一个预充控制电压输入端;

多个像素电路中位于矩阵中同一列的像素电路, 连接同一个电流输入端。

25 下面通过实例具体介绍图 11 所示驱动电路的工作原理。

图 13 示意性地示出本发明实施例驱动电路在预充阶段的电路。如图 13 所示, 在预充阶段, 预充控制电压 V_{select} 为高电平, 发光工作电压 V_{dd} 为低电平, 此时第五薄膜晶体管 507 和第二薄膜晶体管 504 关闭, 第三薄膜晶体管 505 和第四薄膜晶体管 506 打开, 第一薄膜晶体管 501 的栅极 (A 点) 和漏极 (B 点) 电压相等, $V_{ds} > V_{gs} - V_{th}$, 其中 V_{ds} 为源漏极电压, V_{gs} 为源栅极电压。此时第一薄膜晶体管 501 处于饱和区, 电流 I_{data} 通过第四薄膜晶体管 506 流

入第一薄膜晶体管 501，电容 502 储存电荷以维持第一薄膜晶体管 501 的源栅极电压 V_{gs} ，此时输出电流 $I_{OLED}=I_{data}$ 。

图 14 示意性地示出本发明实施例的驱动电路在发光阶段的电路。如图 14 所示，在发光阶段，预充控制电压 V_{select} 为低电平，发光工作电压 V_{dd} 也为高电平，此时第三薄膜晶体管 505 和第四薄膜晶体管 506 关闭，第二薄膜晶体管 504 和第五薄膜晶体管 507 打开。第一薄膜晶体管 501 的漏极（B 点）为高电平，第一薄膜晶体管 501 仍保持在饱和区，此时晶体管的输出电流将保持进入饱和区时的数值，因此发光阶段的输出电流 I_{OLED} 依然为预充阶段的 I_{data} ，输出电流保持不变。

由此可知，图 11 所示的驱动电路的输出电流只跟输入电流有关，与阈值电压 V_{th} 无关，因此基本消除了阈值电压非均匀性对显示的影响，输出电流稳定，易于实现显示的高亮度和高分辨率。

图 15 示出本发明实施例的驱动电路的工作过程的仿真信号波形图。图 15 为对图 11 所示的驱动电路的仿真结果，该仿真显示的是单个子像素工作的两个周期。在第一个周期中，把 $2\mu A$ 的电流写入像素，第二个周期中把 $3\mu A$ 的电流写入像素。从波形图可以明显看到，在对电路进行预充之后，像素的输出电流 I_{OLED} 很好地跟随了输入电流 I_{data} 的变化。

本发明实施例还提供一种阵列基板，包括本发明实施例提供的驱动电路。

本发明实施例还提供一种显示设备，包括本发明实施例提供的驱动电路。

本发明实施例提供一种像素电路、驱动电路、阵列基板及显示设备，通过在发光工作电压 V_{dd} 输入端输入与预充控制电压 V_{select} 同步反向的信号，使像素电路进入发光阶段时，由发光工作电压 V_{dd} 为电路提供电压，保证电路在发光阶段的电流输出，并且没有影响开口率的外接电压输入端，从而在保证电流驱动电路的电流的稳定输出的同时增大了使用电流驱动像素电路的 OLED 的开口率，进而增大了使用电流驱动像素电路的 OLED 的使用寿命。

显然，本领域的技术人员可以对本发明实施例进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

权 利 要 求 书

1、一种像素电路，包括：

5 第一薄膜晶体管，栅极连接预充控制电压输入端及电流输入端，漏极连接所述预充控制电压输入端、所述电流输入端及发光工作电压输入端，所述发光工作电压输入端用于输入与所述预充控制电压同步反向的信号；

电容，两端分别连接于所述第一薄膜晶体管的源极和栅极；

有机发光二极管，正极连接所述第一薄膜晶体管的源极，负极连接接地电压输入端。

10 2、如权利要求 1 所述的电路，其中，所述第一薄膜晶体管的漏极通过二极管与所述发光工作电压输入端相连。

3、如权利要求 1 所述的电路，其中，所述第一薄膜晶体管的漏极通过第二薄膜晶体管与所述发光工作电压输入端相连；

15 所述第二薄膜晶体管的栅极及源漏两极中的一极与所述发光工作电压输入端相连，源漏两极中的另一极与所述第一薄膜晶体管的漏极相连。

4、如权利要求 1 所述的电路，其中，所述第一薄膜晶体管的栅极通过作为开关的薄膜晶体管与预充控制电压输入端及电流输入端相连。

5、如权利要求 1 所述的电路，其中，所述第一薄膜晶体管的漏极通过作为开关的薄膜晶体管与预充控制电压输入端及电流输入端相连。

20 6、如权利要求 4 所述的电路，其中，

所述第一薄膜晶体管的栅极通过第三薄膜晶体管与所述预充控制电压输入端及所述电流输入端相连，所述第三薄膜晶体管的栅极与所述预充控制电压输入端相连，源漏两极中的一极与所述第一薄膜晶体管的栅极相连，源漏两极中的另一极与所述电流输入端相连。

25 7、如权利要求 5 所述的电路，其中，

所述第一薄膜晶体管的漏极通过第四薄膜晶体管与所述预充控制电压输入端及所述电流输入端相连，所述第四薄膜晶体管的栅极与所述预充控制电压输入端相连，源漏两极中的一极与所述第一薄膜晶体管的漏极相连，源漏两极中的另一极与所述电流输入端相连。

30 8、如权利要求 4 所述的电路，其中，

所述第一薄膜晶体管的栅极通过第三薄膜晶体管与所述预充控制电压输

入端及所述电流输入端相连，所述第三薄膜晶体管的栅极与所述预充控制电压输入端相连，源漏两极中的一极与所述第一薄膜晶体管的栅极相连，源漏两极中的另一极与所述电流输入端相连；

5 所述第一薄膜晶体管的漏极通过第四薄膜晶体管与所述预充控制电压输入端及所述电流输入端相连，所述第四薄膜晶体管的栅极与所述预充控制电压输入端相连，源漏两极中的一极与所述第一薄膜晶体管的漏极相连，源漏两极中的另一极与所述电流输入端相连。

9、一种驱动电路，包括多个如权利要求 1-8 任一所述的像素电路，所述多个如权利要求 1-8 任一所述的像素电路构成矩阵；

10 所述多个如权利要求 1-8 任一所述的像素电路中位于所述矩阵中同一行的像素电路连接同一个发光工作电压输入端，并连接同一个预充控制电压输入端；

所述多个如权利要求 1-8 任一所述的像素电路中位于所述矩阵中同一列的像素电路连接同一个电流输入端。

15 10、如权利要求 9 所述的驱动电路，其中，所述多个如权利要求 1-8 任一所述的像素电路中位于所述矩阵中第一列的像素电路包括第五薄膜晶体管；

所述第五薄膜晶体管的源漏两极分别连接所述发光工作电压输入端及工作电压输入端，栅极连接信号输入端，所述信号输入端用于输入与所述预充控制电压同步反向的信号，所述第五薄膜晶体管为 N 型薄膜晶体管。

20 11、一种阵列基板，包括如权利要求 9 或 10 所述的驱动电路。

12、一种显示设备，包括如权利要求 9 或 10 所述的驱动电路。

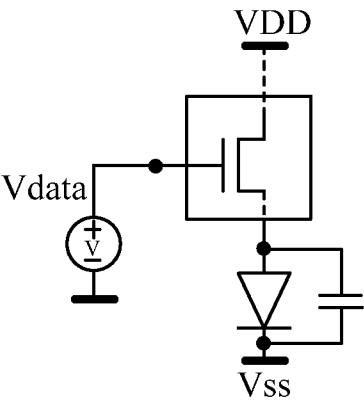


图 1

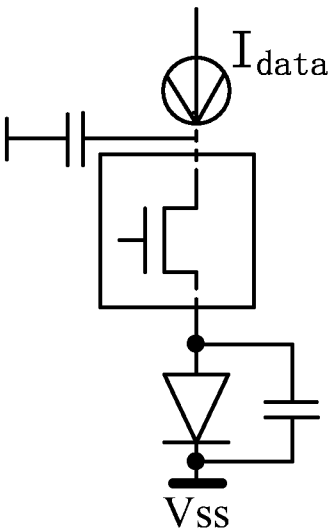


图 2

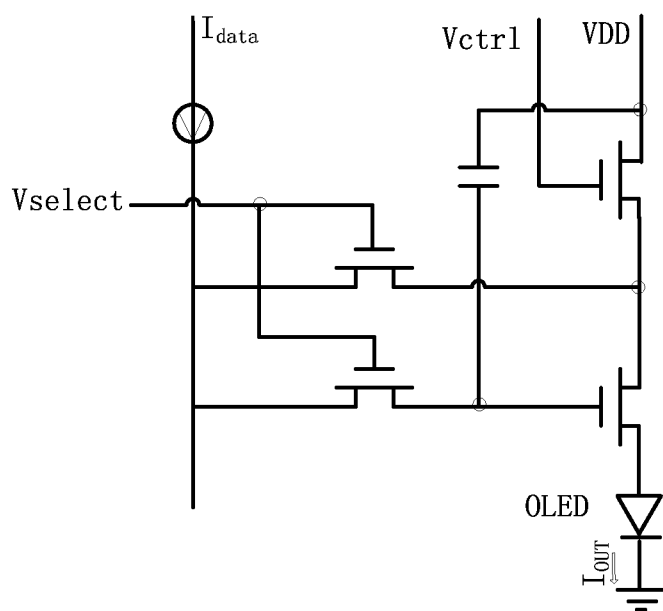


图 3

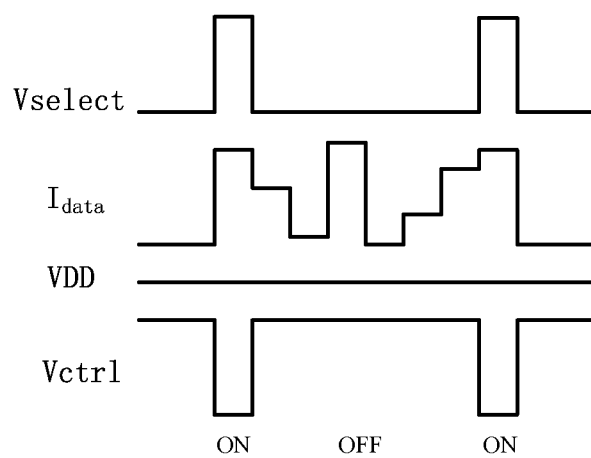


图 4

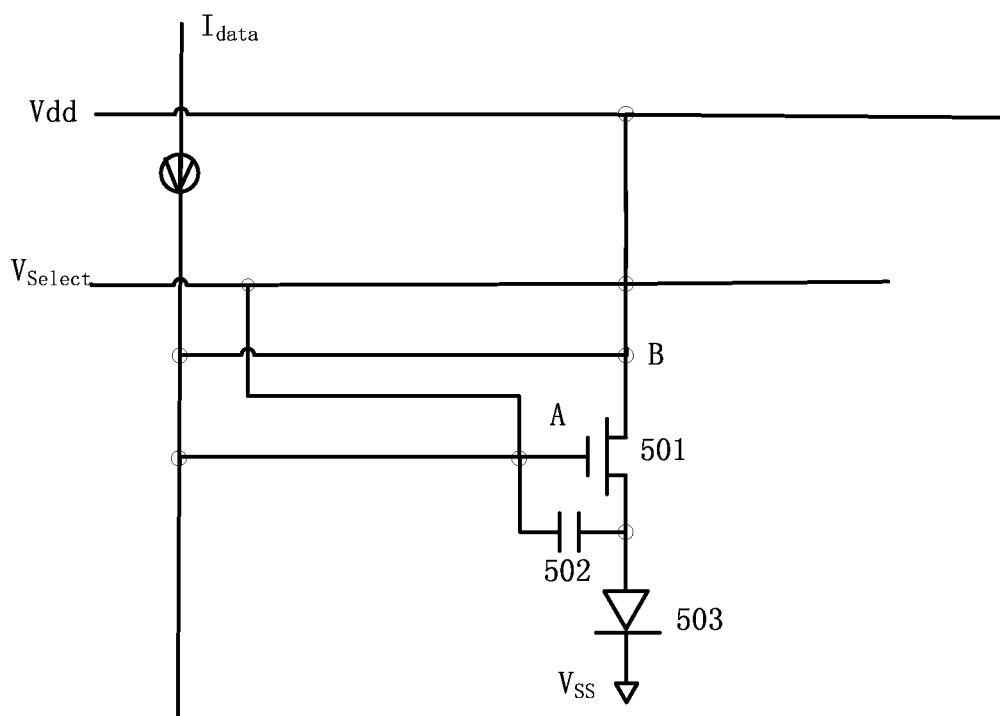


图 5

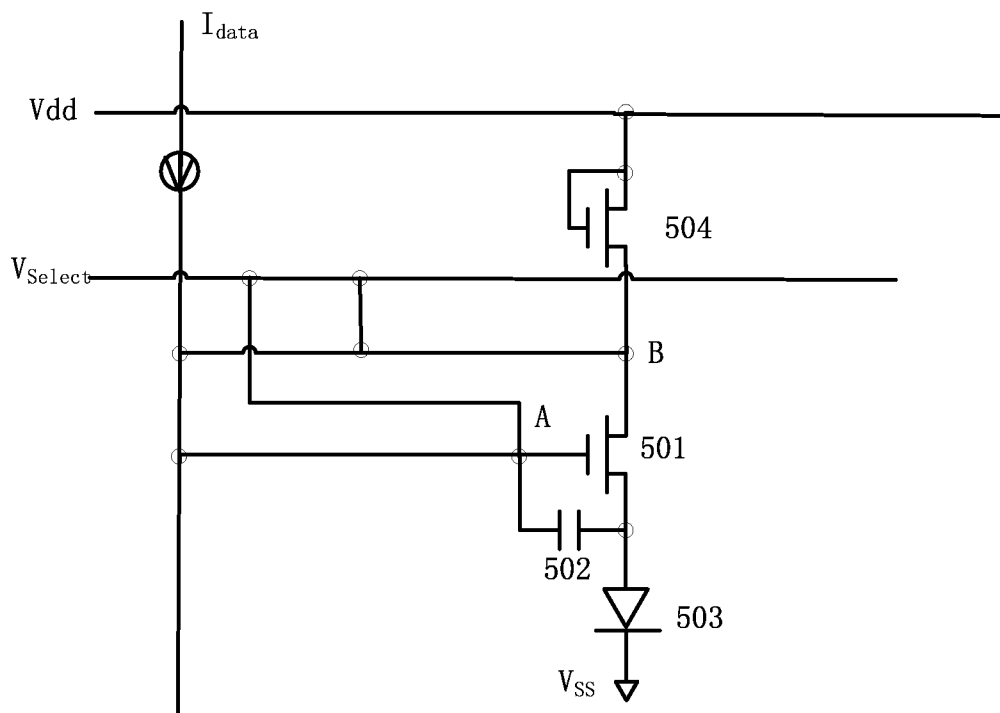


图 6

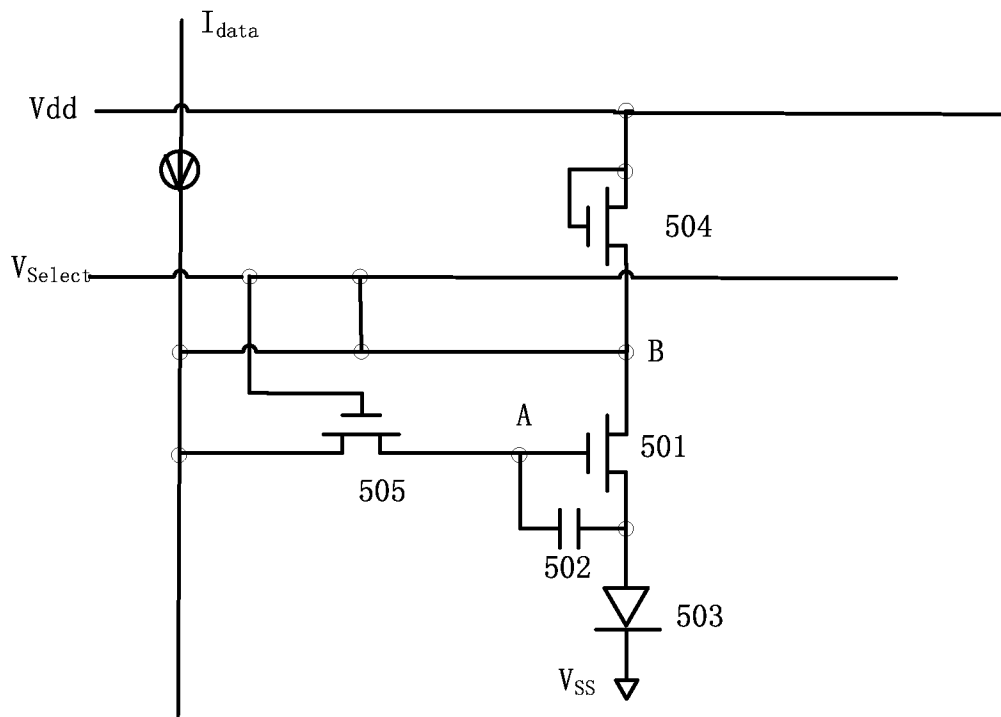


图 7

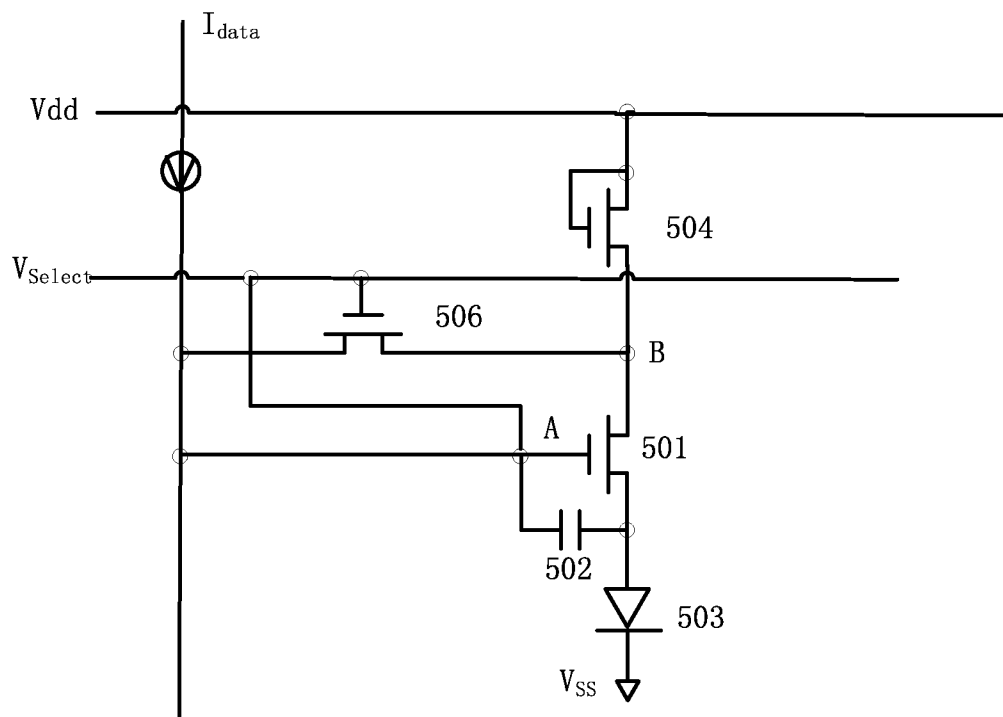


图 8

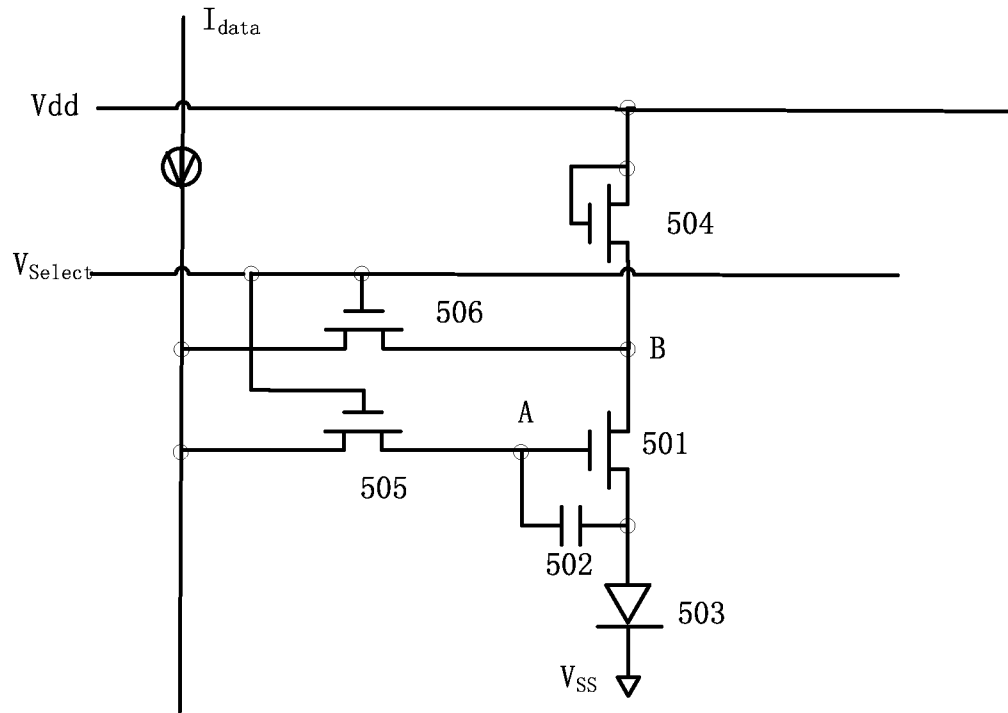


图 9

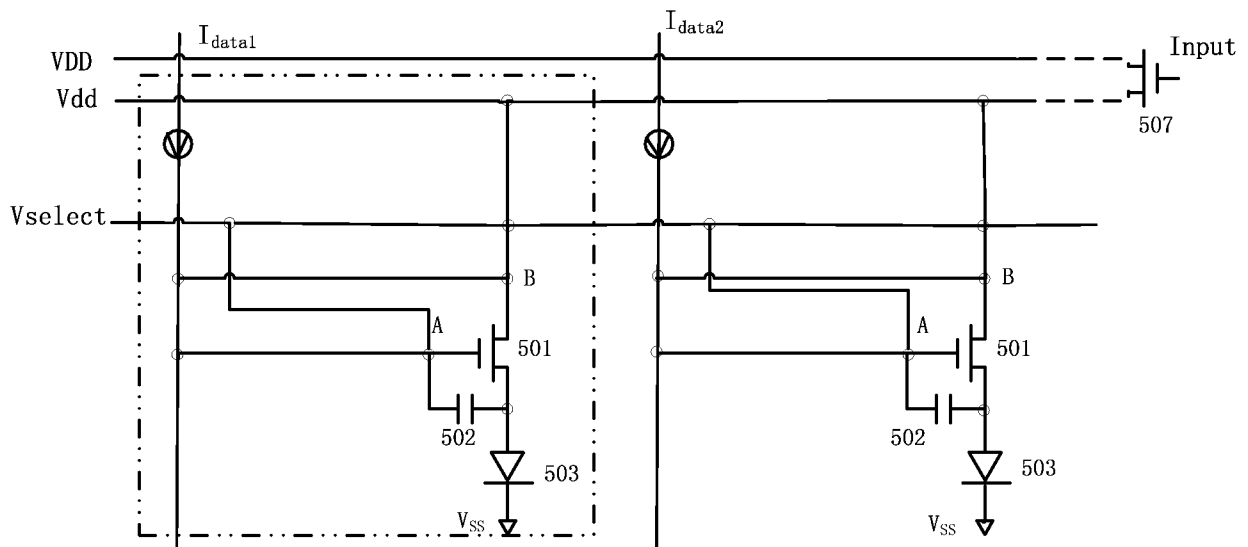


图 10

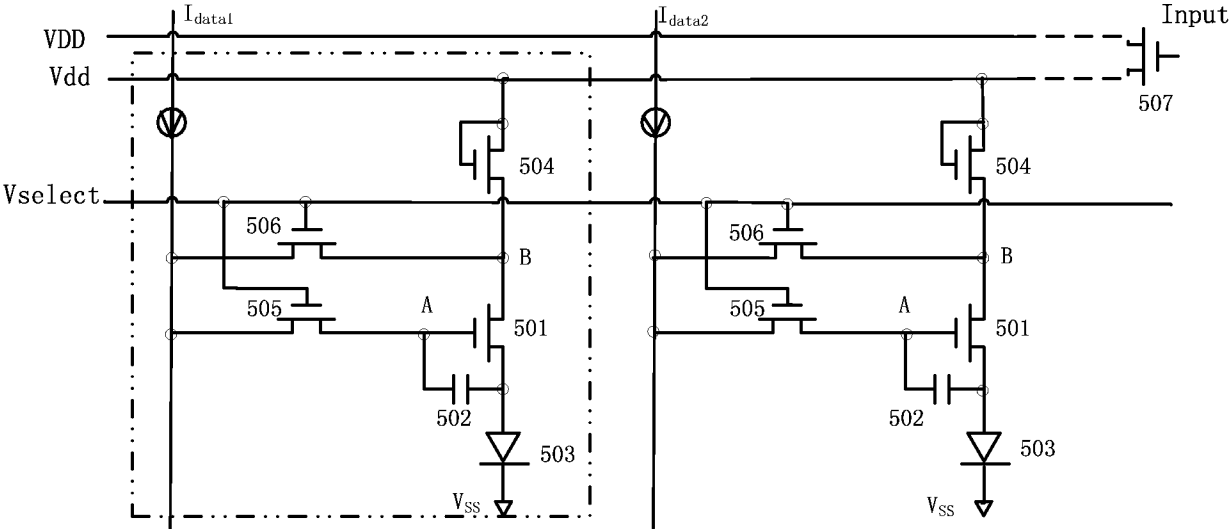


图 11

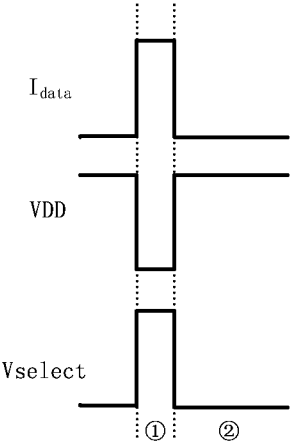


图 12

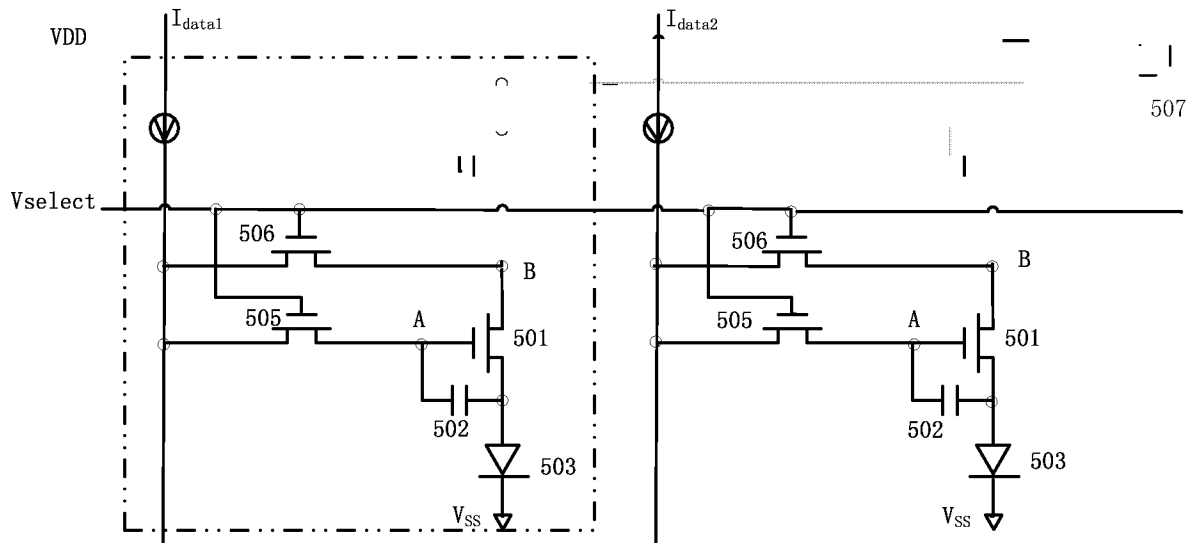


图 13

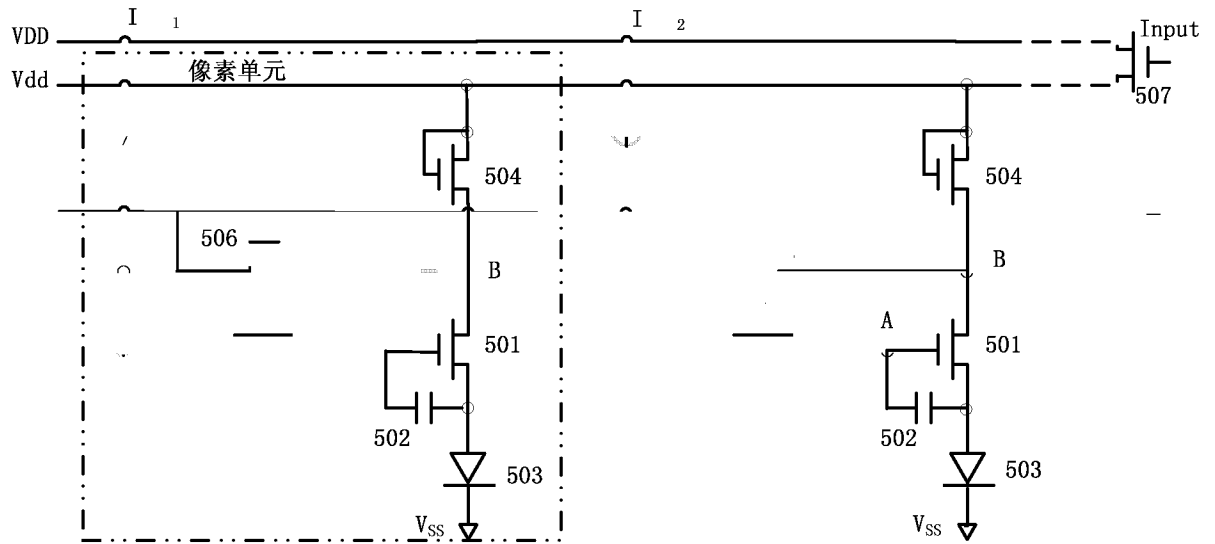


图 14

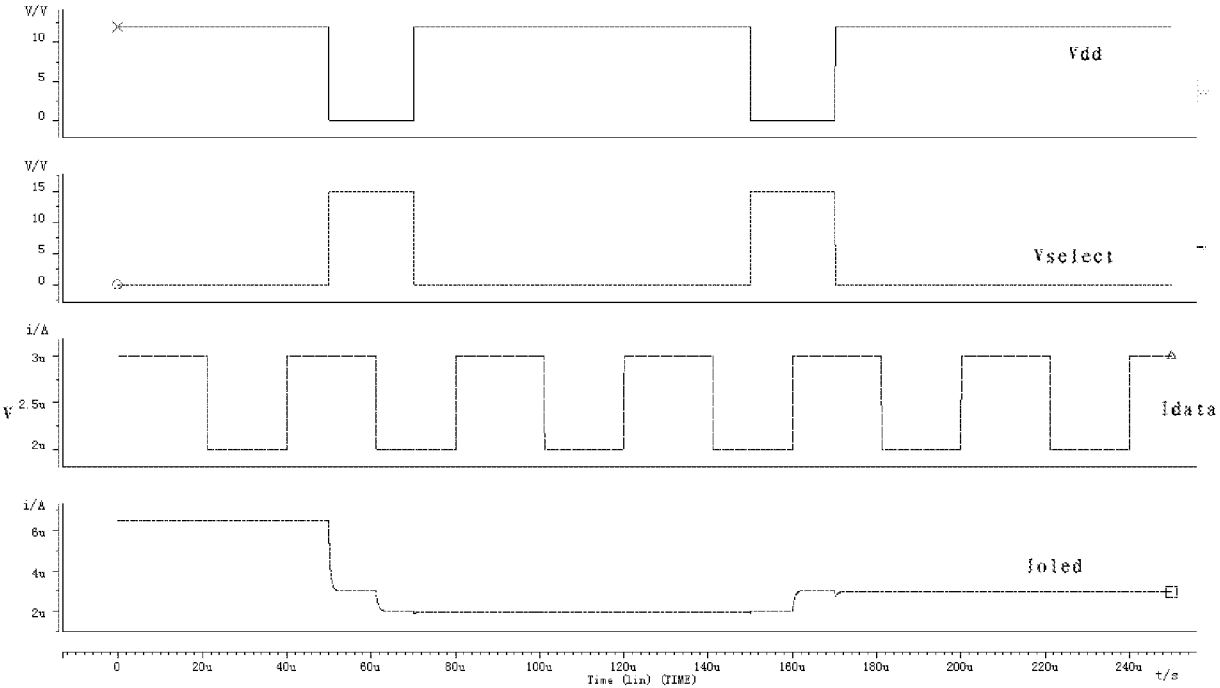


图 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/089155

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRSABS; CNABS; DWPI; SIPOABS: light emitting diode, transistor, tft, capacitor, led, light, emitting

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101667391 A (CANON INC.), 10 March 2010 (10.03.2010), description, page 10, paragraph 2 to page 14, paragraph 4, and figures 1-2 and 13	1-12
A	CN 101577085 A (SONY CORPORATION), 11 November 2009 (11.11.2009), the whole document	1-12
A	US 2010225770 A1 (CASIO COMPUTER CO., LTD.), 09 September 2010 (09.09.2010), the whole document	1-12
A	US 2004150593 A1 (YEN, W.C. et al.), 05 August 2004 (05.08.2004), the whole document	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 May 2014 (13.05.2014)	Date of mailing of the international search report 10 June 2014 (10.06.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHAO, Zhimin Telephone No.: (86-10) 62413274

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/089155

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101667391 A	10 March 2010	KR 20100027986 A	11 March 2010
		JP 2010060816 A	18 March 2010
		JP 5207885 B2	12 June 2013
		US 8659519 B2	25 February 2014
		US 2010053041 A1	04 March 2010
		KR 101125595 B1	27 March 2012
		TWI 419117 B	11 December 2013
		TW 201011719 A	16 March 2010
		EP 2161706 A3	18 May 2011
		CN 101667391 B	10 October 2012
		EP 2161706 A2	10 March 2010
CN 101577085 A	11 November 2009	US 2009278834 A1	12 November 2009
		JP 2009271337 A	19 November 2009
		TWI 413064 B	21 October 2013
		US 8300038 B2	30 October 2012
		KR 20090117647 A	12 November 2009
		TW 200947391 A	16 November 2009
		CN 101577085 B	22 June 2011
		JP 4640443 B2	02 March 2011
US 2010225770 A1	09 September 2010	US 8427170 B2	23 April 2013
		JP 2010204617 A	16 September 2010
		JP 2010231187 A	14 October 2010
US 2004150593 A1	05 August 2004	US 6975293 B2	13 December 2005

国际检索报告

国际申请号

PCT/CN2013/089155

A. 主题的分类

G09G 3/32(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CPRSABS;CNABS;DWPI;SIPOABS: 晶体管, 电容, 发光二极管, transistor, tft, capacitor, led, light, emitting

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101667391A (佳能株式会社) 2010年 3月 10日 (2010 - 03 - 10) 说明书第10页第2段至第14页第4段, 图1-2、13	1-12
A	CN 101577085A (索尼株式会社) 2009年 11月 11日 (2009 - 11 - 11) 全文	1-12
A	US 2010225770A1 (CASIO COMPUTER CO., LTD.) 2010年 9月 09日 (2010 - 09 - 09) 全文	1-12
A	US 2004150593A1 (YEN WEN-CHENG等) 2004年 8月 05日 (2004 - 08 - 05) 全文	1-12

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 5月 13日

国际检索报告邮寄日期

2014年 6月 10日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

赵致民

电话号码 (86-10)62413274

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/089155

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 101667391A	2010年 3月 10日	KR 20100027986A	2010年 3月 11日
		JP 2010060816A	2010年 3月 18日
		JP 5207885B2	2013年 6月 12日
		US 8659519B2	2014年 2月 25日
		US 2010053041A1	2010年 3月 04日
		KR 101125595B1	2012年 3月 27日
		TW I419117B	2013年 12月 11日
		TW 201011719A	2010年 3月 16日
		EP 2161706A3	2011年 5月 18日
		CN 101667391B	2012年 10月 10日
		EP 2161706A2	2010年 3月 10日
CN 101577085A	2009年 11月 11日	US 2009278834A1	2009年 11月 12日
		JP 2009271337A	2009年 11月 19日
		TW I413064B	2013年 10月 21日
		US 8300038B2	2012年 10月 30日
		KR 20090117647A	2009年 11月 12日
		TW 200947391A	2009年 11月 16日
		CN 101577085B	2011年 6月 22日
		JP 4640443B2	2011年 3月 02日
US 2010225770A1	2010年 9月 09日	US 8427170B2	2013年 4月 23日
		JP 2010204617A	2010年 9月 16日
		JP 2010231187A	2010年 10月 14日
US 2004150593A1	2004年 8月 05日	US 6975293B2	2005年 12月 13日

表 PCT/ISA/210 (同族专利附件) (2009年7月)