

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-108996

(P2007-108996A)

(43) 公開日 平成19年4月26日(2007.4.26)

(51) Int. Cl.

G06F 12/00 (2006.01)

F I

G06F 12/00 571A

テーマコード(参考)

5B060

審査請求 未請求 請求項の数 12 O L (全 13 頁)

(21) 出願番号 特願2005-298992(P2005-298992)
 (22) 出願日 平成17年10月13日(2005.10.13)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100065248
 弁理士 野河 信太郎
 (72) 発明者 水山 善雄
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 Fターム(参考) 5B060 CD02 CD11

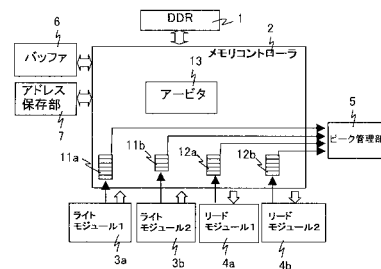
(54) 【発明の名称】 メモリ装置およびメモリ制御方法

(57) 【要約】

【課題】リード要求またはライト要求のピークを管理し、ピーク超過を解消するメモリ装置およびメモリ制御方法を提供する。

【解決手段】メモリ装置は、メモリと、ライト要求またはリード要求を出力するモジュールと、前記メモリを制御するメモリコントローラと、バッファとからなる。前記メモリコントローラは、前記モジュールのリード要求またはライト要求を蓄えるキューと、前記キューに蓄えられたリード要求またはライト要求が予め設定したピーク値を超過するか否かを監視するピーク管理部と、前記ピーク管理部が前記超過を検出しない場合は、前記リード要求またはライト要求に対するアービトレーションを行い、前記ピーク管理部が前記超過を検出した場合は、前記キューに蓄えられたライト要求に基づいてライトデータを前記バッファに書き込み処理させるアビタとを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

メモリと、ライト要求またはリード要求を出力するモジュールと、前記メモリを制御するメモリコントローラと、バッファとからなり、

前記メモリコントローラは、前記モジュールのリード要求またはライト要求を蓄えるキューと、前記キューに蓄えられたリード要求またはライト要求が予め設定したピーク値を超過するか否かを監視するピーク管理部と、前記ピーク管理部が前記超過を検出しない場合は、前記ライト要求またはリード要求に対するアービトレーションを行い、前記ピーク管理部が前記超過を検出した場合は、前記キューに蓄えられたライト要求に基づいてライトデータを前記バッファに書き込み処理させるアビタと

10

【請求項 2】

前記モジュールはライト要求を出力するライトモジュールと、リード要求を出力するリードモジュールを備え、前記ピーク管理部は前記ライトモジュールが出力するライト要求と前記リードモジュールが出力するリード要求に対応して、それぞれ予めピーク値を設定するピーク算出部を備えることを特徴とする請求項 1 に記載のメモリ装置。

【請求項 3】

前記ピーク管理部は、更に前記ライトモジュールが出力するライト要求とリードモジュールが出力するリード要求の合計が、予め設定したピーク値を超過するか否かを監視するメモリ帯域ピーク算出部を備えることを特徴とする請求項 1 または 2 に記載のメモリ装置

20

【請求項 4】

前記ライト要求に基づいてライトデータをバッファに書き込んだアドレスと、前記メモリに書き込むときのアドレスを関連付けて記憶する変換テーブルを更に備えることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のメモリ装置。

【請求項 5】

前記アビタは、前記キューに蓄えられた最先のライト要求に基づいてライトデータを前記バッファに書き込み処理させることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のメモリ装置。

【請求項 6】

前記アビタは、前記ピーク管理部が前記超過を検出しなくなるまでライト要求に基づいてライトデータをバッファに書き込み処理させることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のメモリ装置。

30

【請求項 7】

前記アビタは、ライト要求に基づいてライトデータを前記バッファに書き込み処理させるのと並行して、他のリード要求またはライト要求を処理させることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載のメモリ装置。

【請求項 8】

前記アビタは、リード要求を受けたとき、前記変換テーブルを参照して、リードすべきデータが前記バッファにある場合、前記バッファからデータを読み出し処理させることを特徴とする請求項 4 に記載のメモリ装置。

40

【請求項 9】

前記アビタは、前記変換テーブルを参照して、ライトすべきライトデータが前記バッファにある場合、前記ライトデータを前記メモリに書き込み処理させ、前記バッファ上のライトデータを消去処理させることを特徴とする請求項 4 に記載のメモリ装置。

【請求項 10】

前記ピーク管理部が前記超過を検出しないとき、前記アビタは前記バッファに記憶されているライトデータを前記メモリに転送処理させることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載のメモリ装置。

【請求項 11】

50

前記バッファからメモリに転送後、前記変換テーブルに記憶したアドレスデータを消去することを特徴とする請求項10に記載のメモリ装置。

【請求項12】

メモリと、ライト要求またはリード要求を出力するモジュールと、前記メモリを制御するメモリコントローラと、バッファを備えるメモリ装置の制御方法であって、前記リード要求またはライト要求を蓄えるステップと、前記蓄えられたリード要求またはライト要求が、予め設定したピーク値を超過するか否かを監視するピーク管理ステップと、前記ピーク管理ステップで、前記超過を検出しない場合は、前記ライト要求またはリード要求に対するアービトレーションを行い、前記超過を検出した場合に、前記蓄えられたライト要求に基づいてライトデータを前記バッファに書き込み処理させる書き込みステップとを備えることを特徴とするメモリ制御方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、リード要求またはライト要求を制御するメモリ装置およびメモリ制御方法に関し、より詳しくは、リード要求またはライト要求のピークを管理して、ピーク超過を解消するメモリ装置およびメモリ制御方法に関する。

【背景技術】

【0002】

パーソナルコンピュータ（以下、パソコン）やデジタル複写機（いわゆる、MFP（Multi Function Peripheral））を初めとして、多くの電子機器は、記憶手段としてSDRAM（Synchronous Dynamic RAM）、高速アクセスが可能なDDR-SDRAM（Double Data Rate SDRAM）のようなDRAMおよびSRAMやフラッシュメモリを使用する。これらメモリは、仕様、性能によってリード要求またはライト要求の帯域が決まっており、その帯域以上にリード要求またはライト要求が出力されると、必要な時間内に処理することができない。このためメモリは、その前段に備えられるバッファの容量を大きくして、ライト要求が一時に大量に発生しないように吸収するか、リード要求が大量に発生しないようリード要求を抑えなければならない。しかし、ライト要求対策のためにバッファ容量を大きくすることは、大容量バッファを必要とし、望ましくない。またリード対策のため

20

30

【0003】

DDR-SDRAMのメモリ制御装置が、例えば特許文献1に開示されている。

特許文献1は、複数のDDR-SDRAMを制御するメモリ制御部が、読出しDMAコントローラと、書き込みDMAコントローラと、セルフリフレッシュ制御部と、これらからの要求に対するアービトレーションを行うメモリアービタとを有し、メモリアービタは読出しDMAコントローラ及び書き込みDMAコントローラが複数の要求信号を発した場合、それらを調停して、それぞれの要求を満たすように制御するものである。更にこの特許文献1は、DDR-SDRAMが省エネルギーモードから復帰する場合のDMA転送を迅速にするために、読出しDMAコントローラから次回アクセス予定の次回アドレスを出力して、メモリアービタに入力することにより、次回アドレスされる対象メモリに対してはセルフリフレッシュを実行せず、それ以外の対象外メモリセルに対してのみセルフリフレッシュを実行する技術を開示している。

40

【0004】

また、VCSDRAM（virtual channel synchronous DRAM）の制御方法が特許文献2に開示されている。特許文献2は、VCSDRAMが、内部に複数の高速レジスタ（バーチャルチャネル、「チャネル」と言う）を持ち、メモリ外部からのリード・ライト動作はフォアグラウンド処理としてチャネルとの間で直接行い、一方、メモリセル間チャネル間のデータ転送やメモリセルのプリチャージ、リフレッシュなどのメモリの内部動作はバッ

50

クグラウンド処理として行うことにより、フォアグラウンド処理とバックグラウンド処理とを並行して独立した制御を可能にする技術を開示している。更に特許文献2では、フォアグラウンド動作とバックグラウンド動作を分離し、バックグラウンド動作発生時には優先的にバックグラウンド動作を実施させることにより、コマンド実行順序の最適化が実施され、V C S D R A Mの転送レートを低下させないようにする技術を示している。

【0005】

また特許文献3は、メモリとS C S Iインターフェース間の処理速度に比べ、メモリと光磁気ディスク間の処理速度が遅いため、記録データ量がメモリの容量を超過したとき、予備のメモリに超過データを一時的に蓄え、その後の空き時間にメモリに転送する技術を開示している。

10

【特許文献1】特開2004-102808号公報

【特許文献2】特開2002-116950号公報

【特許文献3】特開平07-295759号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献1によれば、メモリアービタが読出しDMAコントローラと書込みDMAコントローラの複数の要求をそれぞれ満たすように調停を行い、省エネルギーモードから復帰する場合に、次回アドレスされる対象メモリに対してはセルフリフレッシュを実行せず、それ以外の対象外メモリセルに対してのみセルフリフレッシュを実行することによりDMA転送を迅速に行うことができる。また特許文献2によれば、フォアグラウンド動作とバックグラウンド動作を分離し、バックグラウンド動作発生時には優先的にバックグラウンド動作を実施させることにより、コマンド実行順序の最適化が実施され、V C S D R A Mの転送レートを低下させないようにすることができる。しかし、これら特許文献1及び2は、要求信号がメモリ帯域以上になった場合の処理について説明がない。

20

また特許文献3では、記録データ量がメモリの容量を超過したとき、予備のメモリに超過データを一時的に蓄え、その後の空き時間にメモリに転送するが、データ転送速度の遅い光磁気ディスクを対象とする技術である。

【0007】

本発明は、リード要求またはライト要求のピークを管理し、ピーク超過を解消するメモリ装置およびメモリ制御方法を提供することを目的とするものである。またこのようにピークを管理し、ピーク超過を解消するために、安全にリード要求またはライト要求を処理するメモリ装置およびメモリ制御方法を提供することを目的とするものである。

30

【課題を解決するための手段】

【0008】

本発明のメモリ装置は、メモリと、ライト要求またはリード要求を出力するモジュールと、前記メモリを制御するメモリコントローラと、バッファとからなり、前記メモリコントローラは、前記モジュールのリード要求またはライト要求を蓄えるキューと、前記キューに蓄えられたリード要求またはライト要求が予め設定したピーク値を超過するか否かを監視するピーク管理部と、前記ピーク管理部が前記超過を検出しない場合は、前記ライト要求またはリード要求に対するアービトレーションを行い、前記ピーク管理部が前記超過を検出した場合は、前記キューに蓄えられたライト要求に基づいてライトデータを前記バッファに書き込み処理させるアビタとを備えることにより、前記課題を解決する。

40

【0009】

前記モジュールはライト要求を出力するライトモジュールと、リード要求を出力するリードモジュールを備え、前記ピーク管理部は前記ライトモジュールが出力するライト要求と前記リードモジュールが出力するリード要求に対応して、それぞれ予めピーク値を設定するピーク算出部を備えることが望ましい。

前記ピーク管理部は、更に前記ライトモジュールが出力するライト要求とリードモジュールが出力するリード要求の合計が、予め設定したピーク値を超過するか否かを監視する

50

メモリ帯域ピーク算出部を備えることが望ましい。

前記ライト要求に基づいてライトデータをバッファに書き込んだライトデータのアドレスと、メモリに書き込むときのアドレスを関連付けて記憶する変換テーブルを更に備えることが望ましい。

前記アービタは、前記キューに蓄えられた最先のライト要求に基づいてライトデータを前記バッファに書き込み処理させることが望ましい。また前記アービタは、前記ピーク管理部が前記超過を検出しなくなるまでライト要求に基づいてライトデータをバッファに書き込み処理させることが望ましい。また前記アービタは、ライト要求に基づいてライトデータを前記バッファに書き込み処理させるのと並行して、他のリード要求またはライト要求を処理させることが望ましい。また前記アービタは、リード要求を受けたとき、前記変換テーブルを参照して、リードすべきデータが前記バッファにある場合、前記バッファからデータを読み出し処理させることが望ましい。また前記アービタは、前記変換テーブルを参照して、ライトすべきライトデータが前記バッファにある場合、前記ライトデータを前記メモリに書き込み処理させ、前記バッファ上のライトデータを消去処理させることが望ましい。

10

前記ピーク管理部が前記超過を検出しないとき、前記アービタは前記バッファに記憶されているライトデータを前記メモリに転送処理させることが望ましい。

前記バッファからメモリに転送後、前記変換テーブルに記憶したアドレスデータを消去することが望ましい。

【0010】

20

更に、本発明は別の観点によれば、メモリと、ライト要求またはリード要求を出力するモジュールと、前記メモリを制御するメモリコントローラと、バッファを備えるメモリ装置の制御方法であって、前記リード要求またはライト要求を蓄えるステップと、前記蓄えられたリード要求またはライト要求が、予め設定したピーク値を超過するか否かを監視するピーク管理ステップと、前記ピーク管理ステップで、前記ピーク管理部が前記超過を検出しない場合は、前記ライト要求またはリード要求に対するアービトレーションを行い、前記超過を検出した場合に、前記蓄えられたライト要求に基づいてライトデータを前記バッファに書き込み処理させる書き込みステップとを備え、前記課題を解決する。

【発明の効果】

【0011】

30

本発明のメモリ制御装置は、キューに蓄えられたリード要求またはライト要求が予め設定したピーク値を超過するか否かを監視するピーク管理部と、このピーク管理部が前記超過を検出した場合に、キューに蓄えられたライト要求に基づいてライトデータをバッファに書き込み処理させるアービタを備えるので、予め設定したピーク値の超過を解消することができる。これにより、ピーク値を超過するリード要求またはライト要求は、安全にキューに保存することができ、データが破壊されることがない。

【0012】

また本発明のメモリ装置は、ライト要求を出力するライトモジュールと、リード要求を出力するリードモジュールを備え、前記ライトモジュールが出力するライト要求と前記リードモジュールが出力するリード要求に対応して、それぞれ予めピーク値を設定するピーク算出部を備えるので、ライトモジュールまたはリードモジュールごとに、ピーク値の超過を監視することができる。更に前記ライトモジュールが出力するライト要求とリードモジュールが出力するリード要求の合計が、予め設定したピーク値を超過するか否かを監視するメモリ帯域ピーク算出部を備えるので、メモリ帯域の超過を解消することができる。

40

また本発明のメモリ装置は、ライト要求に基づいてライトデータをバッファに書き込んだアドレスと、前記メモリに書き込むときのアドレスを関連付けて記憶する変換テーブルを更に備えるので、バッファに書き込んだライトデータをメモリの本来のアドレスに転送する場合、及びメモリに転送する前にそのアドレスのリード要求があった場合に備えることができる。

また本発明のメモリ装置は、アービタがキューに蓄えられた最先のライト要求に基づいて

50

ライトデータを前記バッファに書き込み処理させるので、処理が簡単になる。

また本発明のメモリ装置は、ピーク値の超過を検出しなくなるまでアービタがライト要求に基づいてライトデータをバッファに書き込み処理させるので、確実にピーク超過を解消することができる。またアービタがライト要求に基づいてライトデータを前記バッファに書き込み処理させるのと並行して、他のリード要求またはライト要求を処理させるので、安全にデータを処理することができる。

また本発明のメモリ装置は、アービタがリード要求を受けたとき、変換テーブルを参照して、リードすべきデータが前記バッファにある場合、前記バッファからデータを読み出し処理させるので、必要なデータを素早く読み出すことができる。

また本発明のメモリ装置は、アービタが変換テーブルを参照して、ライトすべきライトデータがバッファにある場合、ライトデータをメモリに書き込み処理させ、前記バッファ上のライトデータを消去処理させるので、バッファの空き容量を確保することができる。

また本発明のメモリ装置は、前記ピーク管理部が前記超過を検出しないとき、バッファに記憶されているライトデータをメモリに転送処理させるので、またバッファからメモリに転送後、前記変換テーブルに記憶したアドレスデータを消去するので、次にピークを超過した場合に備えて、バッファ及び変換テーブルの空き容量を確保することができる。

【発明を実施するための最良の形態】

【0013】

本発明のメモリ装置は、パソコン、デジタル複写機、プリンタ、ファクシミリのような画像形成装置、その他電子機器に使用される書換え可能のメモリ装置およびメモリ制御方法である。

本発明のメモリ装置は、図1に示すように、メモリ1と、メモリコントローラ2と、ライトモジュール3と、リードモジュール4と、ピーク管理部5と、バッファ6と、アドレス保存部7からなる。

【0014】

上記メモリ1は、例えばSDRAMや高速アクセスが可能なDDR-SDRAMのようなDRAMおよびSRAMやフラッシュメモリ、あるいはDIMM(Dual Inline Memory Module)である。図1は1個のDDR-SDRAMを示しているが、SRAMやフラッシュメモリであってもよい。また1個以上何個備えていても構わない。

【0015】

メモリコントローラ2は、ライトモジュール3と、リードモジュール4にそれぞれ対応して、リード要求またはライト要求を蓄積するキュー11、12を備える。図1ではライトモジュール3が2個、リードモジュール4が2個であるので、キュー11、12はこれに対応して計4個備えている。キューは先に入力したデータを先に出力するデータ構造である。キュー11、12がライト要求またはリード要求を蓄える数は、各ライトモジュール3、各リードモジュール4が発生するライト要求またはリード要求の数に対応させる。つまり、要求数の多い、または頻度の多い、または速度の速いライトモジュール3またはリードモジュール4に対しては数多くのライト要求またはリード要求を蓄えられるキューを使用する。逆に要求数の少ない、または頻度の少ない、または速度の遅いライトモジュール3、リードモジュール4に対しては数少ないライト要求またはリード要求を蓄えられるキューを使用するとよい。図1ではキューを明示するため小さい箱を積み重ねた模式的構造で示す。キュー11aはライトモジュール3aに対して備えられ、箱を6個有する。キュー11bはライトモジュール3bに対して備えられ、箱を4個有する。キュー12aはリードモジュール4aに対応し5個、キュー12bはリードモジュール4bに対応し5個備える。勿論、経済的な問題がないのであれば、最大の要求数を発生するライトモジュール3またはリードモジュール4に対応して、全部のライトモジュール3またはリードモジュール4に同数のキューを備えても構わない。

【0016】

またメモリコントローラ2はアービタ13を備え、ライトモジュール3、リードモジュール4からのそれぞれの要求信号がある場合に、それぞれの要求に対するアービトレーシ

ョンを行い、要求信号を出力したライトモジュール3またはリードモジュール4に応答信号(ACK)を出力する。ここで、アービトレーションとは要求信号が複数ある場合に、それらを調停して順番を決め、メモリ1またはバッファ6への書き込みを制御することにより、それぞれの要求を満たして行くことを言う。

【0017】

ライトモジュール3、リードモジュール4は、DMAC(Direct memory Access Controller)よりなり、パソコン、デジタル複写機、プリンタ、スキャナ、ファクシミリ、画像形成装置、その他電子機器を構成するメモリ装置周辺からのライト要求、リード要求を受け、メモリ1にデータとアドレスの出し入れをする。例えば、パソコンあるいはスキャナからライト要求を受け、メモリ1にデータとアドレスを書き込む。またパソコンあるいは複写機からリード要求を受け、メモリ1からデータを読み出してレーザスキャンユニットを駆動し感光体上に画像を形成する。この図1では、ライトモジュール3と、リードモジュール4を2個ずつ示しているが、1個でもそれ以上でも構わない。ライトモジュール3、リードモジュール4は、書き込みまたは読み出しの前に、書き込み要求または読み出し要求を出力する。

10

【0018】

ピーク管理部5は、各キュー11、12に蓄えられたリード要求の数またはライト要求の数がそれぞれのピーク設定値を超過したか否かを監視する。またリード要求の数とライト要求の数の合計数がメモリ帯域のピーク設定値を超過したか否かを監視する。ピーク管理部5は、図1ではメモリコントローラ2の外に描いているが、メモリコントローラ5の内部に備えられていてもよい。図2にピーク管理部5の構成図を示すように、ピーク管理部5は、各キュー11、各キュー12に対応して、ピーク算出部14、15を備える。図1ではキュー11が2個、キュー12が2個であるので、ピーク算出部14、15もそれぞれ2個備える。またリード要求数とライト要求数の合計数がメモリ帯域のピーク設定値を超過したか否かを監視するため、メモリ帯域ピーク算出部16を備える。図2ではライトモジュール14aのライト要求数をクロック数に換算して、そのクロック数がピーク設定値以下の場合を示している。またリードモジュール15aのリード要求数をクロック数に換算して、そのクロック数がピーク設定値を超過している場合を示している。またメモリ帯域ピーク算出部16はピーク設定値以下である場合を示している。

20

【0019】

ここで、ピーク算出部14、15および16は、リード要求数またはライト要求数をそのままパラメータとしてもよいし、メモリ1で要求するデータ転送に使用されるクロック数に換算してもよい。本発明の説明では、リード要求数またはライト要求数をそのままパラメータとする場合、およびメモリ1で要求するデータ転送に使用されるクロック数に換算したパラメータを使用する場合を含めて、リード要求数またはライト要求数として説明する。

30

ライト要求数またはリード要求数と、クロック数のパラメータ換算は、例えば次のようにして行われる。

メモリ1が266MHzで1ミリ秒間のクロック数換算を行う場合を説明する。

40

1ミリ秒間のクロック数 Allclk=266028

1ミリ秒間のリフレッシュクロック数 Ref=2176

1ライトコマンドのクロック数 WC=18

1リードコマンドのクロック数 RC=12

ライトコマンドの回数 WCN=R/W要求で決まる

ライトの平均バースト数 WB=32

リードコマンドの回数 RCN=R/W要求で決まる

ライトの平均バースト数 RB=32

とすると、

$$\text{Allclk} - \text{Ref} - (\text{WC} + \text{WB}) \times \text{WCN} - (\text{RC} + \text{RB}) \times \text{RCN} < 0 \dots (1)$$

上記(1)式のとおり、ピーク値を検出する。

50

【0020】

バッファ6は、SRAM(Static RAM)のような高速動作メモリよりなり、メモリコントローラ2に対して1個備えられ、ピーク対応として使用される。したがって、キュー11a~12bのいずれか1つがピーク超過した場合または合計の要求数がピーク超過した場合、共通に使用される。SRAMの外にDRAMやフラッシュメモリも使用することができる。バッファ6の記憶容量は大きいほど好ましく、また動作速度は速いほど好ましいが、このメモリ装置において、ピーク時にオーバーフローする最大ライト要求数、最大リード要求数を勘案して決めればよい。特に複写機とスキャナとプリンタを備えるデジタル複合機やパソコンからの印字データ、スキャナで読み込んだデータは、データ量が多く、待機させることができないので、その頻度、印字データ量やスキャナの読み込み速度に応じて決めるとよく、以下の実施例の説明で明らかになるように少なくとも新たに追加されるライト要求またはリード要求の発生速度よりも速い動作速度が必要である。

10

【0021】

アドレス保存部7は、バッファ6にデータを格納した場合にそのアドレスを格納するメモリである。アドレス保存部7もSRAMにより構成するのが好ましいが、DRAMやフラッシュメモリも使用することができる。アドレス保存部7は、バッファ6に書き込んだライトデータのアドレスと、ライトデータをメモリ1に書き込むときのアドレスと、データサイズを関連付けて記憶する。この場合に好ましくはテーブルを作成するのが好ましい。図1では、バッファ6とアドレス保存部7は、別のメモリとして示しているが、一体的であってもよい。またバッファ6に格納するデータと、アドレス保存部7のテーブルは、明示的には分離して示すが、データとテーブルは連続的であってもかまわない。

20

【0022】

本発明のメモリ装置は以上のように構成され、次のように動作する。

ライトモジュール3a、3bは、例えばデジタル複写機、スキャナまたはパソコンのような外部機器よりライト要求信号を受ける。またリードモジュール4a、4bはデジタル複写機、パソコンのような外部機器よりリード要求信号を受ける。このライト要求信号またはリード要求信号はメモリコントローラ2に出力され、各キュー11a、11b、12a、12bに格納される。そして、各リード要求信号またはライト要求信号は、アービタ13によりアービトレーションが行われる。つまり各リード要求信号またはライト要求信号は、衝突しないようにアービタ13により調停され、リード要求信号により要求されたアドレスのデータをメモリ1から読み出し処理をさせる。またはライト要求信号により要求されたアドレスにデータを書き込み処理をさせる。

30

ここで、ピーク管理部5は各キューに予め設定したピーク値を超過しないか、各ピーク算出部14a~15bが監視する。また各キューの合計要求数がメモリ帯域を超過しないか、メモリ帯域ピーク算出部16が監視する。各キューの要求数または合計要求数がピーク値を超過しない場合は、アービタ13がリード要求信号またはライト要求信号を調停することにより、読み出し処理または書き込み処理が順次実施される。

【0023】

以下には、本発明のメモリ装置の動作を、第1にリードモジュールのリード要求がピーク設定値を超過した場合、その超過したリード要求を優先的に処理する場合、第2にライトモジュール3aのライト要求がピーク設定値を超過した場合、その超過したライト要求をキューに蓄え、ライトデータをバッファに書き込む場合、第3にメモリ帯域のピークが設定値を超過した場合、第4にピーク超過の解消後、バッファからメモリへデータを移動させる場合について順次説明する。

40

【0024】

図3は、第1のリードモジュール4aのリード要求がピーク設定値を超過した場合を説明する図である。リードモジュール4bのリード要求がピーク設定値を超過した場合も同様に動作する。

リードモジュール4aが外部機器よりリード要求信号を受け、そのリード要求信号をメモリコントローラ2に出力すると、アービタ13が調停してメモリ1からリード要求信号

50

により指定されたアドレスのデータを読み出す。

ここで、キュー 12 a はリード要求信号を一時的に蓄え、そのリード要求数が予め設定したピーク値を超過したか否かをピーク管理部 5 のピーク算出部 15 a が監視する。超過しない場合は、アービタ 13 が調停することにより、必要なデータがメモリ 1 から読み出される。しかし、キュー 12 a に蓄えられたリード要求数が予め設定したピーク値より超過したことを、ピーク算出部 15 a が検出した場合、そのリード要求の実行される時間を早める必要がある。そのために、次のような手順によりリード要求を優先させる。

【0025】

まず、ピーク管理部 5 のピーク算出部 15 a が予め定めたピーク値よりキュー 12 a に蓄えられたリード要求数の超過を検出すると、アービタはキュー 11 a ~ 12 b の一番処理順の早い要求順のデータをバッファ 6 の空いている部分に格納させる。この場合、図 3 に示すようにキュー 11 a に処理順 1 があり、キュー 11 b に処理順 2 があり、キュー 12 a に処理順 3 と処理順 5 があり、キュー 12 b に処理順 4 がある。従って、キュー 11 a にあるライト要求が処理順 1 であり、一番早い処理順であるので、そのライト要求のデータをバッファ 6 の空いている部分に格納させる。またそのライト要求のメモリ 1 でのアドレスと、バッファ 6 のアドレスと、データサイズを、アドレス保存部 7 にテーブルとして格納する。例えば、図 4 に示すように、1 列目にメモリ 1 のアドレスを格納する。2 列目にはバッファ 6 のアドレスを格納する。さらに 3 列目にはデータサイズを格納する。このテーブルにおいて、行方向が 1 つのライト要求に対応し、メモリ 1 のアドレスと、バッファ 6 のアドレスを対応付け、アドレス変換を可能にする。

このようにして、処理順が一番早いライト要求に基づいてライトデータをバッファ 6 に格納することにより、実質的にメモリ 1 へのアクセスが減少したことになる。ここで、リードモジュール 4 a のリード要求の処理順 3 を、処理順 1 にアクセス順を置き換える。その結果、処理順 3 のリード要求が優先され、1 番に実行されることになる。

【0026】

この説明では、一番処理順が早いライト要求のライトデータをバッファ 6 に格納したが、バッファ 6 に格納するライトデータが一番遅いライトデータであってもよく、またデータサイズの大きい順であってもよい。しかし上記説明のように、一番処理順の早いライト要求のライトデータをバッファに格納する場合は、キュー 11 a に蓄えられた順番にバッファ 6 へ転送すればよいので、処理が簡単である。

このように本発明のメモリ装置は、リード要求をライト要求に入れ替えるだけで、一部の入れ替わりを除くと、全体の処理順序には影響なく、ピーク超過を発生しているリードモジュールに対して、ピーク解消を行うことができる。この結果、ピーク値を超過したリード要求は、安全にキューに保存することができる。これによりピーク値の超過を実質的に解消することができ、データが破壊されることがない。

【0027】

次に、リードモジュール 4 a のリード動作について説明する。

初めに、リードモジュール 4 a より発せられたリード要求信号のアドレスが、アドレス保存部 7 に存在するか否かアドレスの調査を行う。リード要求信号のアドレスがアドレス保存部 7 に存在しない場合は、通常メモリ 1 の読み出し動作を実行する。図 5 に示すように、リード要求信号のアドレスがアドレス保存部 7 に存在する場合は、バッファ 6 の読み出し動作を実行する。ここでは、バッファ 6 に格納しているデータおよびアドレス保存部 7 に格納しているアドレス、サイズのテーブルはそのまま保存しておく。この場合は、メモリ 1 の帯域を使用しないので、帯域に余裕を生じさせることができる。

【0028】

もし、リード要求信号のアドレスがメモリ 1 と、アドレス保存部 7 に分散して格納されている場合は、図 5 (a) に示すようにメモリ 1 とバッファ 6 からデータを読み出して、それらを合成して出力する。例えば、リード要求が、アドレス 50 番地と 51 番地のデータを要求している場合に、アドレス 50 のデータはメモリ 1 に存在し、アドレス 51 番地のデータがバッファ 6 に存在するときは、アドレス 50 番地のデータはメモリ 1 から読み

10

20

30

40

50

出し、アドレス 51 番地のデータはバッファ 6 から読み出す。そして、この両者のデータを合成してリードモジュール 4 a に出力する。

この場合のメモリ 1 の空間的イメージ図を図 5 (b) に示す。図 5 (b) の四角い点線はメモリ 1 の空間的な配置図を示し、アドレス 50 番地と、アドレス 51 番地がこの空間に存在する様子を示している。このとき、バッファ 6 に格納しているデータおよびアドレス保存部 7 のテーブルに格納しているアドレス、サイズはそのまま保存しておく。

この説明はリード要求のアドレスが 2 つであるが、2 以上のアドレスがメモリ 1 とバッファ 6 に分散している場合も同様にして実行することができる。

このようにして、本発明ではバッファ 6 からメモリ 1 に転送する前にリード要求があった場合、バッファ 6 に格納されているデータを活用して、リード要求に素早く対応することができる。

10

【 0 0 2 9 】

図 6 は、第 2 のライトモジュール 3 a のライト要求がピーク設定値を超過した場合を説明する図である。ライトモジュール 3 b のライト要求がピーク設定値を超過した場合も同様に動作する。

ライトモジュール 3 a が外部機器よりライト要求信号を受け、そのライト要求信号をメモリコントローラ 2 に出力すると、アービタ 1 3 が調停してメモリ 1 へライト要求信号により指定されたアドレスにデータを書き込み処理をさせる。

ここで、キュー 1 1 a はライト要求を一時的に蓄え、そのライト要求数が予め設定したピーク値を超過したか否かをピーク管理部 5 のピーク算出部 1 4 a が監視する。超過しない場合は、アービタ 1 3 が調停することにより、メモリ 1 にデータを書き込む。しかしもし、キュー 1 1 a に蓄えられたライト要求数が予め設定したピーク値より超過したことを、ピーク算出部 1 4 a が検出した場合、ピーク値の超過を解消する必要がある。そのために、次のような手順により一番早い処理順のデータを一時的にバッファ 6 へデータを格納し、ピーク値の超過を解消する。

20

【 0 0 3 0 】

まず、ピーク算出部 1 4 a がキュー 1 1 a に蓄えられたライト要求の数が設定されたピーク値より超過したことを検出すると、キュー 1 1 a の一番処理順の早いデータをバッファ 6 の空いている部分に格納する。この場合、キュー 1 1 a がピーク値を超過しているので、キュー 1 1 a に蓄えられているライト要求を少なくしなければならない。図 6 に示すようにキュー 1 1 a には処理順 2 と処理順 5 のライト要求があるので、一番前にある処理順 2 のライト要求のデータをバッファ 6 の空いている部分に格納する。またそのライト要求のメモリ 1 でのアドレスと、バッファ 6 のアドレスと、データサイズをアドレス保存部 7 に格納する。図 7 はアドレス保存部 7 に格納されるテーブルを示し、図 4 に示したテーブルと同様のフォーマットで、1 列目にメモリ 1 のアドレス、2 列目にバッファ 6 のアドレス、3 列目にデータサイズを格納する。行方向が 1 つのライト要求を示す。

30

このようにして、キュー 1 1 a の一番処理順の早いライト要求 (処理順 2) のデータをバッファ 6 に格納して、書き込み済みとすることにより、実質的にメモリ 1 へのアクセスを減少させる。これにより、ライトモジュール 3 a に加えられたライト要求をキュー 1 1 a に追加することができる。もし処理順 2 のリード要求をバッファ 6 に格納するだけでは、まだピーク算出部 1 4 a が超過を検出する場合は、キュー 1 1 a の次のライト要求である処理順 5 のデータをバッファ 6 に格納して、ピークを解消する。

40

【 0 0 3 1 】

次に、ライトモジュール 3 a のライト動作について説明する。

ライトモジュール 3 a より出力されたライト要求信号のアドレスが、アドレス保存部 7 に存在するか否かアドレスの比較を行う。ライト要求信号のアドレスがアドレス保存部 7 に存在しない場合は、通常メモリ 1 の書き込み処理を実行する。しかしライト要求信号のアドレスがアドレス保存部 7 に存在する場合は、メモリ 1 に書き込み処理を実行するとともに、バッファ 6 に格納されているデータと、アドレス保存部 7 に格納されているそのアドレスおよびデータサイズを消去する。これにより、古いデータを消去する。

50

もし、ライト要求信号のアドレスの一部がアドレス保存部 7 に存在し、他の一部がアドレス保存部 7 に存在しない場合は、ライト要求されたデータをメモリ 1 に書き込む。同時に重複している部分をメモリ 1 に移動済みとするために、バッファ 6 に格納されているデータを修正し、アドレス保存部 7 アドレスとデータサイズを保存する。

【0032】

図 8 は、第 3 のメモリ帯域のピークが設定値を超過した場合を説明する図である。

ピーク管理部 5 は、キュー 11 a、11 b、12 a および 12 b の各キュー数を合計するメモリ帯域ピーク算出部 16 を備える。もしメモリ帯域ピーク算出部 16 が予め設定したピーク値より超過したことを検出した場合、次のような手順により一番処理順の早いデータを一時的にバッファ 6 ヘデータを格納し、ピーク値の超過を解消する。

まず、ピーク管理部 5 のメモリ帯域ピーク算出部 16 がピーク超過を検出したとき、キュー 11 a ~ 12 b の一番処理順の早いデータをバッファ 6 の空いている部分に格納する。この場合、図 8 に示すようにキュー 11 a に処理順 1 があり、キュー 11 b に処理順 4 があり、キュー 12 a に処理順 2 があり、キュー 12 b に処理順 3 がある。従って、処理順 1 が一番早い処理順であり、そのライト要求のデータをバッファ 6 の空いている部分に格納する。またそのライト要求のメモリ 1 でのアドレスと、バッファ 6 のアドレスを、アドレス保存部 7 に格納する。アドレス保存部 7 に格納するフォーマットは、図 4、図 6 と同様のテーブルであるので、説明を省略する。

このようにして、一番処理順の早いライト要求（処理順 1）のデータをバッファ 6 に格納することにより、実質的にメモリ 1 へのアクセスを減少させる。これにより、メモリ帯域のピーク超過を解消することができる。もし処理順 1 のライト要求のデータをバッファ 6 に格納するだけでは、まだメモリ帯域ピーク算出部 16 が超過を検出する場合は、キュー 11 b にある処理順 4 のライト要求のデータをバッファ 6 に格納して、ピークを解消する。

【0033】

図 9 は、以上に説明したようにしてピーク超過を解消した後、バッファ 6 からメモリ 1 ヘデータを転送する場合を説明する図である。

ピーク管理部 5 は、キュー 11 a、11 b、12 a および 12 b の各キューの数が予め設定したピーク値を超過するか否かを監視するピーク算出部 14 a ~ 15 b と、キュー 11 a、11 b、12 a および 12 b の各キュー数を合計するメモリ帯域ピーク算出部 16 を備える。これら全てのピーク算出部 14 a ~ 15 b と 16 がピーク値の超過を検出しない場合、アービタ 13 はバッファ 6 に格納されているデータをメモリ 1 に移動させるため、メモリ 1 に書き込み処理をさせる。

ここで、図 10 に示すように、バッファ 6 からメモリ 1 へ移動する場合に、メモリ 1 へ移動させるデータ量を加えても予め設定されているピーク値を超過しないように、転送時のピーク値を設定するのが好ましい。図 10 はライト要求数とリード要求数の合計をクロック数に換算して、そのクロック数がピーク設定値以下の場合を示しているが、ライト要求数とリード要求数の合計数によってピーク値を監視してもよい。

以上のように、バッファ 6 からメモリ 1 へデータ移動後、バッファ 6 のそのデータを消去するとともに、アドレス保存部 7 のそのアドレスおよびデータサイズを消去する。これにより、次にピークを超過した場合に備えて、バッファ 6 の空き容量を確保する。

【図面の簡単な説明】

【0034】

【図 1】メモリ装置の構成図を示す。

【図 2】ピーク管理部の構成図を示す。

【図 3】ピークモジュールがリードモジュールである場合を説明するメモリ装置の構成図を示す。

【図 4】アドレス保存部に格納されるテーブルを示す。

【図 5】ピークモジュールがリードモジュールである場合に、データを読み出す場合の動作説明図を示す。

10

20

30

40

50

【図6】ピークモジュールがライトモジュールである場合を説明するメモリ装置の構成図を示す。

【図7】アドレス保存部に格納されるテーブルを示す。

【図8】メモリ帯域がピーク値を超過した場合の説明図を示す。

【図9】バッファからメモリヘデータ移動させる場合を説明するメモリ装置の構成図を示す。

【図10】バッファからメモリヘデータ移動させる場合を説明するピーク管理部の構成図を示す。

【符号の説明】

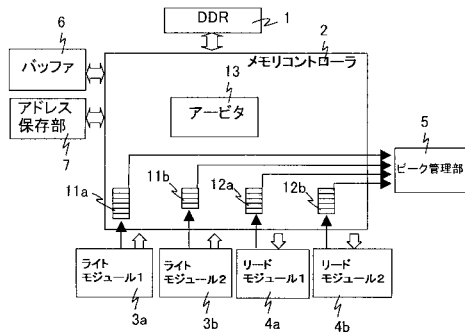
【0035】

- 1 メモリ
- 2 メモリコントロール
- 3 ライトモジュール
- 4 リードモジュール
- 5 ピーク管理部
- 6 バッファ
- 7 アドレス収納部
- 11、12 キュー
- 13 アービタ
- 14、15 ピーク算出部
- 16 メモリ帯域ピーク算出部

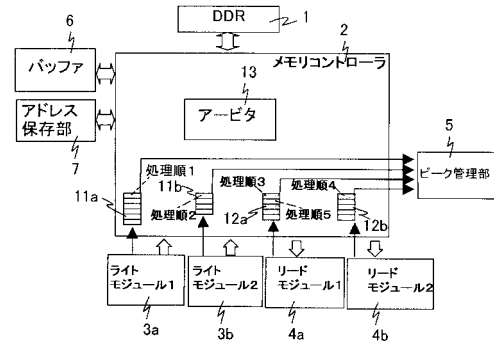
10

20

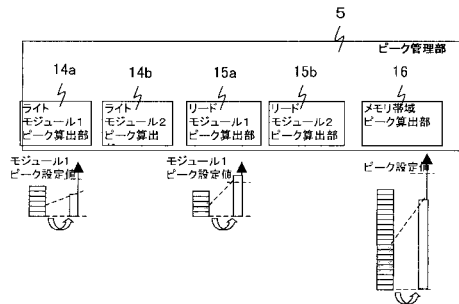
【図1】



【図3】



【図2】

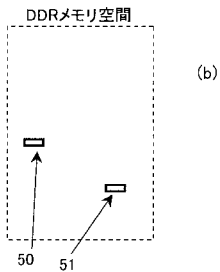
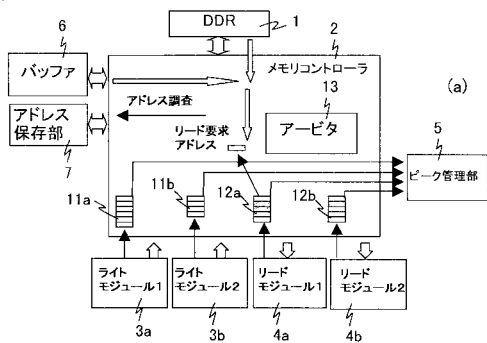


【図4】

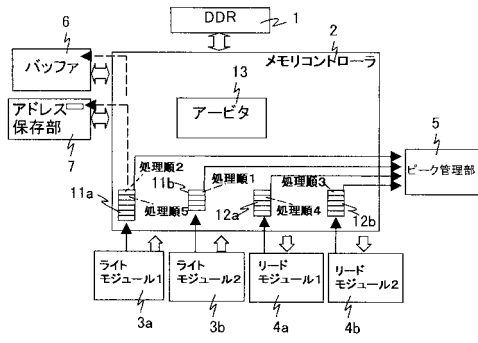
アドレス保存部(テーブル)の例

メモリ1の アドレス[Hex]	バッファ6の アドレス[Hex]	データサイズ [Hex]
00000100	0000	10
00001000	0010	20
00002000	0030	15
...
...
...

【図5】



【図6】

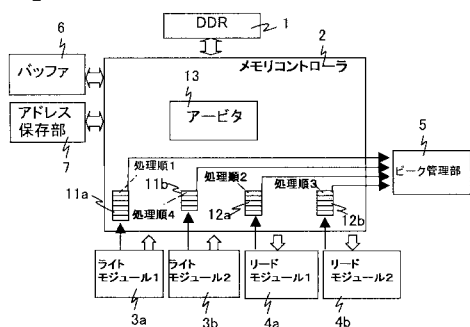


【図7】

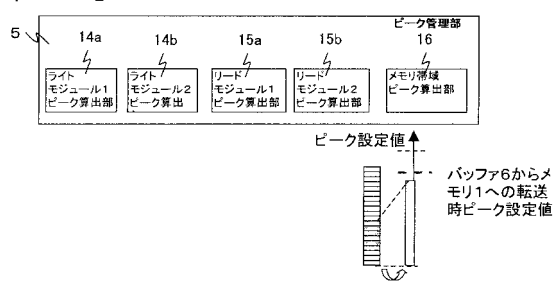
アドレス保存部(テーブル)の例

メモリのアドレス[Hex]	バッファ6のアドレス[Hex]	データサイズ[Hex]
00010100	0200	100
00001200	0110	50
00002030	0130	12
:	:	:
:	:	:
:	:	:

【図8】



【図10】



【図9】

