

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-49208
(P2009-49208A)

(43) 公開日 平成21年3月5日(2009.3.5)

| (51) Int.Cl. | F I | テーマコード (参考) |
|--------------------------|--------------------|-------------|
| HO 1 L 21/8247 (2006.01) | HO 1 L 29/78 3 7 1 | 5 F 0 8 3 |
| HO 1 L 29/788 (2006.01) | HO 1 L 27/10 4 3 4 | 5 F 1 0 1 |
| HO 1 L 29/792 (2006.01) | | |
| HO 1 L 27/115 (2006.01) | | |

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号 特願2007-214097 (P2007-214097)
(22) 出願日 平成19年8月20日 (2007. 8. 20)

(71) 出願人 504378124
 スパansion エルエルシー
 アメリカ合衆国 カリフォルニア州 94
 088-3453 サニーバイル デグウ
 イン ドライブ 915
 (74) 代理人 100087480
 弁理士 片山 修平
 (74) 代理人 100137615
 弁理士 横山 照夫
 (72) 発明者 井上 文彦
 福島県会津若松市高久工業団地2番 Sp
 ansion Japan株式会社内
 (72) 発明者 相馬 春木
 福島県会津若松市高久工業団地2番 Sp
 ansion Japan株式会社内
 最終頁に続く

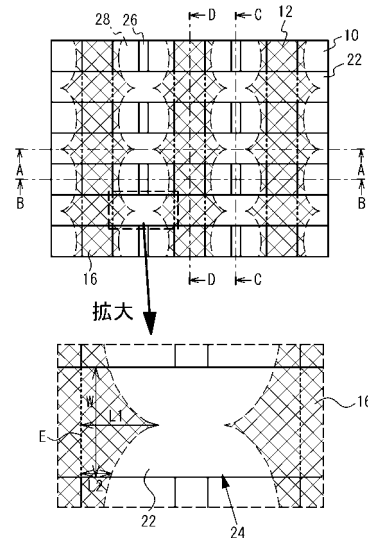
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 仮想接地型フラッシュメモリにおいて、製造が容易で、メモリセルの高集積化、微細化が可能な半導体装置およびその製造方法を提供すること。

【解決手段】 本発明は、半導体基板10内に延伸するように設けられたビットライン12と、半導体基板10上に設けられた電荷蓄積層16と、電荷蓄積層16上にビットライン12に交差して延伸するように設けられたワードライン22と、ワードライン22直下の半導体基板10内であり、且つ、ビットライン12間の領域であるチャンネル領域24と、を具備し、チャンネル領域24上に設けられた電荷蓄積層16のワードライン22幅方向の幅Wが、ワードライン22延伸方向のチャンネル領域24の端部Eからチャンネル領域24の中央部に向かうに連れて狭くなる半導体装置である。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

半導体基板内に延伸するように設けられたビットラインと、
前記半導体基板上に設けられた電荷蓄積層と、
前記電荷蓄積層上に前記ビットラインに交差して延伸するように設けられたワードラインと、
前記ワードライン直下の前記半導体基板内であり、且つ、前記ビットライン間の領域であるチャンネル領域と、を具備し、
前記チャンネル領域上に設けられた前記電荷蓄積層の前記ワードライン幅方向の幅が、前記ワードライン延伸方向の前記チャンネル領域の端部から前記チャンネル領域の中央部に向かって連れて狭くなることを特徴とする半導体装置。

10

【請求項 2】

前記チャンネル領域上に設けられた前記電荷蓄積層は、前記ワードライン延伸方向の前記チャンネル領域の中央部上で分離していることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記半導体基板と前記電荷蓄積層との間に設けられたトンネル絶縁膜と、
前記電荷蓄積層上に設けられたトップ絶縁膜と、を具備し、
前記チャンネル領域上に設けられた前記電荷蓄積層は、前記トンネル絶縁膜と前記トップ絶縁膜とに挟まれて設けられた空洞部に接していることを特徴とする請求項 1 または 2 記載の半導体装置。

20

【請求項 4】

前記半導体基板と前記電荷蓄積層との間に設けられたトンネル絶縁膜と、
前記電荷蓄積層上に設けられたトップ絶縁膜と、を具備し、
前記チャンネル領域上に設けられた前記電荷蓄積層は、前記トンネル絶縁膜と前記トップ絶縁膜とに挟まれて設けられた絶縁膜に接していることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 5】

前記電荷蓄積層は、窒化膜であることを特徴とする請求項 1 から 4 のいずれか一項記載の半導体装置。

【請求項 6】

半導体基板内に延伸するようにビットラインを形成する工程と、
前記半導体基板上に電荷蓄積層を形成する工程と、
前記電荷蓄積層上にトップ絶縁膜を形成する工程と、
前記トップ絶縁膜上に前記ビットラインに交差して延伸するようにワードラインを形成する工程と、
前記ワードライン間で、且つ前記ビットライン間の中央部の前記トップ絶縁膜に孔部を形成する工程と、
前記孔部から等方性エッチングを用いて前記電荷蓄積層をエッチングする工程と、を有することを特徴とする半導体装置の製造方法。

30

【請求項 7】

前記電荷蓄積層をエッチングする工程は、前記ワードライン直下の前記半導体基板内であり、且つ、前記ビットライン間の領域であるチャンネル領域の、前記ワードライン延伸方向の中央部上で、前記電荷蓄積層が分離するように、前記電荷蓄積層をエッチングする工程であることを特徴とする請求項 6 記載の半導体装置の製造方法。

40

【請求項 8】

前記孔部を形成する工程は、前記ワードラインを形成する工程の後に行うことを特徴とする請求項 6 または 7 記載の半導体装置の製造方法。

【請求項 9】

前記電荷蓄積層をエッチングする工程の後、前記電荷蓄積層をエッチングした領域に絶縁膜を形成する工程を有することを特徴とする請求項 6 から 8 のいずれか一項記載の半導

50

体装置の製造方法。

【請求項 10】

前記電荷蓄積層は、窒化膜であることを特徴とする請求項 6 から 9 のいずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、より詳細には、チャンネル領域の中央部で幅が狭い電荷蓄積層を有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年、データの書き換えが可能で、電源を OFF しても記憶データを保持し続ける半導体装置である不揮発性メモリが広く利用されている。代表的な不揮発性メモリであるフラッシュメモリにおいては、メモリセルを構成するトランジスタが電荷蓄積層と呼ばれるフローティングゲートもしくは絶縁膜を有している。この電荷蓄積層に電子を蓄積させることによりデータを記憶する。絶縁膜を電荷蓄積層とするフラッシュメモリとして ONO (Oxide Nitride Oxide) 膜中の窒化膜に電子を蓄積させる SONOS (Silicon Oxide Nitride Oxide Silicon) 型構造のフラッシュメモリがある。特許文献 1 には SONOS 型構造のフラッシュメモリの 1 つとして、ソースとドレインとを入れ替えて対称的に動作させる仮想接地型メモリセルを有する、仮想接地型フラッシュメモリ (従来例 1) が開示されている。

【0003】

図 1 (a) は従来例 1 に係るフラッシュメモリの模式的上面図であり、図 1 (b) は図 1 (a) の A - A 間の模式的断面図である。なお、図 1 (a) において、ONO 膜 20 を透視してビットライン 12 を図示している。図 1 (a) および図 1 (b) を参照に、半導体基板 10 内にビットライン 12 が延伸するように設けられている。半導体基板 10 上にトンネル絶縁膜 14、電荷蓄積層 16 およびトップ絶縁膜 18 からなる ONO 膜 20 が設けられている。ONO 膜 20 上にはワードライン 22 がビットライン 12 に交差して延伸するように設けられている。ビットライン 12 はソースおよびドレインを兼ねており、ワードライン 22 はゲートを兼ねている。ワードライン 22 直下の半導体基板 10 内で、ビットライン 12 間の領域がチャンネル領域 24 となる。

【0004】

ビットライン 12 (B1) をソース、ビットライン 12 (B2) をドレインとし、ソースとドレイン間に高電界を印加することにより、チャンネル領域 24 を電子が流れ、電荷蓄積層 16 の電荷蓄積領域 C1 に電荷を蓄積させることができる。ソースとドレインとを入れ替えることにより、電荷蓄積領域 C2 に電荷を蓄積させることができる。このように、ソースとドレインとを対称的に動作させることにより、1 トランジスタの電荷蓄積層 16 に 2 つの電荷蓄積領域を形成することができる。これにより、1 トランジスタに 2 ビットを記憶させることができる。

【0005】

近年、メモリセルの高集積化、微細化の要求が高くなっている。メモリセルの高集積化、微細化を図るには、ビットライン 12 間の間隔 (B1 と B2 との間隔) を狭くする必要がある。ビットライン 12 間の間隔を狭くすると、電荷蓄積領域 C1 と電荷蓄積領域 C2 とが互いに接近する。このため、CBD (Complementary bit disturb) と呼ばれる現象が生じ、電荷蓄積領域 C1 と電荷蓄積領域 C2 とに蓄積した電荷が互いに干渉し合うようになる。これにより、互いの電荷の切り分け (つまり、データの読み分け) が難しくなる。

【0006】

NAND 型フラッシュメモリにおいては、図 2 (a) に示す従来例 2 や図 2 (b) に示す従来例 3 の構造を採用することにより、電荷蓄積領域に蓄積した電荷が互いに干渉し合

10

20

30

40

50

うことを抑制する方法が提案されている。図3はNAND型フラッシュメモリの模式的上面図であり、図2(a)および図2(b)は図3のA-A間に相当する箇所の模式的断面図を示している。なお、図3において、電荷蓄積層16等は図示を省略している。

【0007】

図3を参照に、素子分離領域13(図3中の網線)により、半導体基板10内にソース・ドレイン領域15が孤立して設けられている。ソース・ドレイン領域15の間に配置されるように、半導体基板10上にワードライン22が設けられている。図2(a)を参照に、半導体基板10上に酸化膜11を挟んでワードライン22が設けられており、ワードライン22の両側面に酸化膜11で覆われた電荷蓄積層16が分離して設けられている。図2(b)を参照に、半導体基板10上に酸化膜11を挟んでワードライン22が設けられており、ワードライン22の両端で、ワードライン22と半導体基板10との間に酸化膜11で覆われた電荷蓄積層16が分離して設けられている。

10

【0008】

図3に示すように、NAND型フラッシュメモリでは、ワードライン22を挟むように、ソース・ドレイン領域15が設けられている。これにより、ワードライン22幅方向のソース・ドレイン領域15間の領域がチャンネル領域24となる。このため、ワードライン22幅方向の両端に電荷蓄積領域が形成される。よって、図2(a)や図2(b)に示すように、ワードライン22の両側面等に電荷蓄積層16を分離して形成することで、電荷蓄積領域を分離させることができる。このため、電荷蓄積領域に蓄積した電荷が干渉し合うことを抑制することができる。

20

【特許文献1】米国特許第6011725号明細書

【発明の開示】

【発明が解決しようとする課題】

【0009】

図2(a)や図2(b)に示すような、ワードライン22の両側面等に電荷蓄積層16を分離して形成することは容易に行うことができる。しかしながら、仮想接地型フラッシュメモリにおいては、図1(a)および図1(b)に示すように、ワードライン22直下のビットライン12間の領域がチャンネル領域24となるため、電荷蓄積領域はワードライン22延伸方向のビットライン12近傍の電荷蓄積層16に形成される。このため、図2(a)や図2(b)に示すような構造を用いても、電荷蓄積領域を分離することができない。また、ワードライン22延伸方向のビットライン12近傍に形成された電荷蓄積領域を分離させるため、ワードライン22延伸方向で分離した電荷蓄積層16を形成することは難しい。

30

【0010】

本発明は、上記課題に鑑みなされたものであり、仮想設置型フラッシュメモリにおいて、製造が容易で、メモリセルの高集積化、微細化が可能な半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明は、半導体基板内に延伸するように設けられたビットラインと、前記半導体基板上に設けられた電荷蓄積層と、前記電荷蓄積層上に前記ビットラインに交差して延伸するように設けられたワードラインと、前記ワードライン直下の前記半導体基板内であり、且つ、前記ビットライン間の領域であるチャンネル領域と、を具備し、前記チャンネル領域上に設けられた前記電荷蓄積層の前記ワードライン幅方向の幅が、前記ワードライン延伸方向の前記チャンネル領域の端部から前記チャンネル領域の中央部に向かうに連れて狭くなることを特徴とする半導体装置である。本発明によれば、電荷蓄積領域に蓄積した電荷の干渉を抑制することができ、メモリセルの高集積化、微細化が可能となり、且つ、製造が容易な半導体装置を得ることができる。

40

【0012】

上記構成において、前記チャンネル領域上に設けられた前記電荷蓄積層は、前記ワードラ

50

イン延伸方向の前記チャンネル領域の中央部上で分離している構成とすることができる。この構成によれば、電荷蓄積領域に蓄積した電荷の干渉をより抑制することができる。

【0013】

上記構成において、前記半導体基板と前記電荷蓄積層との間に設けられたトンネル絶縁膜と、前記電荷蓄積層上に設けられたトップ絶縁膜と、を具備し、前記チャンネル領域上に設けられた前記電荷蓄積層は、前記トンネル絶縁膜と前記トップ絶縁膜とに挟まれて設けられた空洞部に接している構成とすることができる。この構成によれば、電荷蓄積領域に蓄積した電荷の干渉を抑制することができる。

【0014】

上記構成において、前記半導体基板と前記電荷蓄積層との間に設けられたトンネル絶縁膜と、前記電荷蓄積層上に設けられたトップ絶縁膜と、を具備し、前記チャンネル領域上に設けられた前記電荷蓄積層は、前記トンネル絶縁膜と前記トップ絶縁膜とに挟まれて設けられた絶縁膜に接している構成とすることができる。この構成によれば、電荷蓄積領域に蓄積した電荷の干渉を抑制することができる。

10

【0015】

上記構成において、前記電荷蓄積層は、窒化膜である構成とすることができる。

【0016】

本発明は、半導体基板内に延伸するようにビットラインを形成する工程と、前記半導体基板上に電荷蓄積層を形成する工程と、前記電荷蓄積層上にトップ絶縁膜を形成する工程と、前記トップ絶縁膜上に前記ビットラインに交差して延伸するようにワードラインを形成する工程と、前記ワードライン間で、且つ前記ビットライン間の中央部の前記トップ絶縁膜に孔部を形成する工程と、前記孔部から等方性エッチングを用いて前記電荷蓄積層をエッチングする工程と、を有することを特徴とする半導体装置の製造方法。本発明によれば、電荷蓄積領域に蓄積した電荷の干渉を抑制することができ、メモリセルの高集積化、微細化が可能な半導体装置を容易に形成することができる。

20

【0017】

上記構成において、前記電荷蓄積層をエッチングする工程は、前記ワードライン直下の前記半導体基板内であり、且つ、前記ビットライン間の領域である前記チャンネル領域の、前記ワードライン延伸方向の中央部上で、前記電荷蓄積層が分離するように、前記電荷蓄積層をエッチングする工程である構成とすることができる。この構成によれば、電荷蓄積領域に蓄積した電荷の干渉をより抑制させることができる。

30

【0018】

上記構成において、前記孔部を形成する工程は、前記ワードラインを形成する工程の後に行う構成とすることができる。この構成によれば、ワードラインに自己整合的に孔部を形成することができる。

【0019】

上記構成において、前記電荷蓄積層をエッチングする工程の後、前記電荷蓄積層をエッチングした領域に絶縁膜を形成する工程を有する構成とすることができる。この構成によれば、電荷蓄積領域に蓄積した電荷の干渉を抑制させることができる。

【0020】

上記構成において、前記電荷蓄積層は、窒化膜である構成とすることができる。

40

【発明の効果】

【0021】

本発明によれば、仮想接地型フラッシュメモリにおいて、電荷蓄積領域に蓄積した電荷の干渉を抑制することができ、メモリセルの高集積化、微細化が可能となり、且つ、製造が容易な半導体装置を得ることができる。

【発明を実施するための最良の形態】

【0022】

以下、図面を参照に本発明の実施例を説明する。

【実施例1】

50

【 0 0 2 3 】

図 4 は実施例 1 に係る仮想接地型フラッシュメモリの模式的上面図であり、図 5 (a) は図 4 の A - A 間の模式的断面図、図 5 (b) は図 4 の B - B 間の模式的断面図、図 5 (c) は図 4 の C - C 間の模式的断面図、図 5 (d) は図 4 の D - D 間の模式的断面図である。なお、図 4 において、ワードライン 2 2、サイドウォール層 3 0 およびトップ絶縁膜 1 8 を透視して電荷蓄積層 1 6 (図 4 中の網線) を図示しており、ONO 膜 2 0 およびサイドウォール層 3 0 を透視してビットライン 1 2 を図示しており、サイドウォール層 3 0 を透視して孔部 2 6 を図示している。

【 0 0 2 4 】

図 4 から図 5 (d) を参照に、例えば P 型シリコン基板 (あるいは半導体基板内の P 型領域) である半導体基板 1 0 内に延伸するようにビットライン 1 2 が設けられている。半導体基板 1 0 上に、例えば SiO_2 膜からなるトンネル絶縁膜 1 4、例えば SiN 膜からなる電荷蓄積層 1 6、例えば SiO_2 膜からなるトップ絶縁膜 1 8 が順次設けられており、ONO 膜 2 0 を構成している。ONO 膜 2 0 上にビットライン 1 2 に交差して延伸するワードライン 2 2 が設けられている。

10

【 0 0 2 5 】

図 4、図 5 (a) および図 5 (c) を参照に、ワードライン 2 2 直下の半導体基板 1 0 内で、ビットライン 1 2 間の領域はチャネル領域 2 4 となる。

【 0 0 2 6 】

図 4 から図 5 (c) を参照に、ワードライン 2 2 間で、且つビットライン 1 2 間の中央部のトップ絶縁膜 1 8 に孔部 2 6 が設けられており、孔部 2 6 を中心として楕円状に電荷蓄積層 1 6 が除去されている。これにより、トンネル絶縁膜 1 4 とトップ絶縁膜 1 8 とに挟まれて、電荷蓄積層 1 6 の側面に接する空洞部 2 8 が形成されている。

20

【 0 0 2 7 】

図 4 を参照に、楕円状に形成された空洞部 2 8 により、チャネル領域 2 4 上に設けられた電荷蓄積層 1 6 のワードライン 2 2 幅方向の幅 W が、ワードライン 2 2 延伸方向のチャネル領域 2 4 の端部 E からチャネル領域 2 4 の中央部に向かうに連れて曲線状に狭くなっている。言い換えると、端部 E の中央における、端部 E からの電荷蓄積層 1 6 の長さ L_1 は、端部 E の端における、端部 E からの電荷蓄積層 1 6 の長さ L_2 より長く、端部 E の中央から端部 E の端に向かうに連れて、端部 E からの電荷蓄積層 1 6 の長さは L_1 から L_2 に曲線状に短くなっている。また、チャネル領域 2 4 の中央部上で電荷蓄積層 1 6 は分離している。

30

【 0 0 2 8 】

図 5 (b) から図 5 (d) を参照に、ワードライン 2 2 の側壁に、例えば SiO_2 膜からなるサイドウォール層 3 0 が設けられており、サイドウォール層 3 0 は孔部 2 6 にも埋め込まれている。

【 0 0 2 9 】

次に、図 6 (a) から図 9 (d) を用い、実施例 1 に係る仮想接地型フラッシュメモリの製造方法を説明する。なお、図 6 (a) において、ONO 膜 2 0 を透視してビットライン 1 2 を図示しており、図 8 (a) において、ワードライン 2 2 およびトップ絶縁膜 1 8 を透視して電荷蓄積層 1 6 (図 8 (a) 中の網線) を図示している。また、図 9 (a) において、サイドウォール層 3 0 の図示を省略している。

40

【 0 0 3 0 】

図 6 (a) から図 6 (d) を参照に、例えば P 型シリコン基板 (あるいは半導体基板内の P 型領域) である半導体基板 1 0 内に、例えば砒素イオンを注入し、その後熱処理することで N 型拡散領域である、例えば幅 70 nm のビットライン 1 2 を延伸するように形成する。半導体基板 1 0 上に、例えば厚さ 7 nm の SiO_2 膜からなるトンネル絶縁膜 1 4、例えば厚さ 7 nm の SiN 膜からなる電荷蓄積層 1 6、例えば厚さ 10 nm の SiO_2 膜からなるトップ絶縁膜 1 8 を順次形成する。トンネル絶縁膜 1 4 およびトップ絶縁膜 1 8 の形成は、例えば CVD (化学気相成長) 法または熱酸化法を用いることができる。電

50

荷蓄積層 16 の形成は、例えば CVD 法を用いることができる。これにより、半導体基板 10 上にトンネル絶縁膜 14、電荷蓄積層 16、トップ絶縁膜 18 からなる ONO 膜 20 が形成される。ONO 膜 20 上に、例えばポリシリコンからなり幅 60 nm のワードライン 22 をビットライン 12 に交差して延伸するように形成する。

【0031】

図 7 (a) から図 7 (d) を参照に、ワードライン 22 を覆うように ONO 膜 20 上にフォトレジスト 32 を塗布する。例えばレジストシュリンクプロセスあるいは 2 重露光プロセスを用いて、ビットライン 12 間の中央部のフォトレジスト 32 に、例えば 30 nm の幅の開口部を形成する。フォトレジスト 32 をマスクに、例えば RIE (反応性イオンエッチング) 法を用いて、トップ絶縁膜 18 をドライエッチングする。これにより、ワードライン 22 間で、且つビットライン 12 間の中央部に、幅 30 nm の孔部 26 が形成される。なお、トップ絶縁膜 18 をエッチングする際、ワードライン 22 もプラズマに曝されるが、ワードライン 22 はポリシリコンからなるため、ほとんどエッチングがされない。

10

【0032】

図 8 (a) から図 8 (d) を参照に、フォトレジスト 32 を除去した後、例えば 150 のリン酸をエッチング液とし、孔部 26 からこのリン酸を流入させ、ワードライン 22 延伸方向のチャネル領域 24 の中央部上で電荷蓄積層 16 が分離するよう、電荷蓄積層 16 を除去する。リン酸によるウェットエッチングは等方性エッチングであるため、電荷蓄積層 16 は孔部 26 を中心に楕円状に除去され、トンネル絶縁膜 14 とトップ絶縁膜 18 との間に、電荷蓄積層 16 の側面に接する空洞部 28 が形成される。楕円状に形成された空洞部 28 により、チャネル領域 24 上に設けられた電荷蓄積層 16 のワードライン 22 幅方向の幅が、ワードライン 22 延伸方向のチャネル領域 24 の端部からチャネル領域 24 の中央部に向かうに連れて曲線状に狭くなる。なお、孔部 26 からリン酸を流入させ電荷蓄積層 16 を除去する際、トンネル絶縁膜 14 とトップ絶縁膜 18 もリン酸に曝されるが、 SiO_2 膜に対する SiN 膜の選択比は 100 以上と高いため、トンネル絶縁膜 14 とトップ絶縁膜 18 とはほとんどエッチングがされずにそのまま残存する。

20

【0033】

図 9 (a) から図 9 (d) を参照に、ワードライン 22 を覆うように半導体基板 10 上に SiO_2 膜を形成する。その後、 SiO_2 膜を、例えば RIE 法を用いて、ワードライン 22 の表面が露出するまで全面エッチングする。これにより、ワードライン 22 の側壁に SiO_2 膜からなるサイドウォール層 30 が形成される。また、ビットライン 12 間の中央部の孔部 26 にもサイドウォール層 30 が埋め込まれる。以上により、実施例 1 に係る半導体装置が完成する。

30

【0034】

実施例 1 によれば、図 4 に示すように、チャネル領域 24 上に設けられた電荷蓄積層 16 のワードライン 22 幅方向の幅 W が、ワードライン 22 延伸方向のチャネル領域 24 の端部 E からチャネル領域 24 の中央部に向かうに連れて曲線状に狭くなっている。そして、ワードライン 22 延伸方向のチャネル領域 24 の中央部上で電荷蓄積層 16 は分離している。このため、チャネル領域 24 のビットライン 12 近傍に形成される電荷蓄積領域を分離させることができる。また、分離した電荷蓄積層 16 はトンネル絶縁膜 14 とトップ絶縁膜 18 との間に設けられた空洞部 28 に接している。このため、電荷蓄積領域に蓄積した電荷は移動することができない。したがって、ビットライン 12 間の間隔が狭くなった場合でも、電荷蓄積領域に蓄積した電荷が干渉し合うことを抑制することができる。

40

【0035】

このことから、従来例 1 に係る仮想接地型フラッシュメモリにおいては、メモリセル S の大きさは、図 10 に示すように、横 230 nm × 縦 120 nm であったのに対して、実施例 1 に係る仮想接地型フラッシュメモリでは、図 11 に示すように、横 210 nm × 縦 120 nm にまでメモリセル S の大きさを微細化することが可能となる。

【0036】

50

また、実施例 1 において、図 4 および図 5 (a) に示すように、チャンネル領域 2 4 上に設けられた電荷蓄積層 1 6 は、トンネル絶縁膜 1 4 とトップ絶縁膜 1 8 とに挟まれて設けられた空洞部 2 8 に接している場合を例に示したがこれに限られない。図 1 2 に示すように、空洞部 2 8 の代わりに例えば SiO_2 膜からなる絶縁膜 2 9 が設けられている場合でもよい。この場合でも、電荷蓄積領域に蓄積した電荷は移動することができず、電荷蓄積領域に蓄積した電荷が干渉し合うことを抑制することができる。なお、絶縁膜 2 9 は SiO_2 膜に限られず、電荷の移動を阻止することができれば、その他の絶縁膜を用いてもよい。

【 0 0 3 7 】

絶縁膜 2 9 の形成は、図 8 (a) から図 8 (d) に示す、電荷蓄積層 1 6 をエッチングして空洞部 2 8 を形成した後、電荷蓄積層 1 6 をエッチングした領域である空洞部 2 8 に、例えば回り込み堆積が良好な LP - CVD (減圧化学気相成長) 法を用いて、絶縁膜 2 9 を空洞部 2 8 に埋め込むことで形成することができる。

10

【 0 0 3 8 】

さらに、実施例 1 において、電荷蓄積層 1 6 は SiN 膜からなる場合を例に示したがこれに限られない。 SiN 膜と同様に電荷を局所的に蓄積することが可能であれば、その他の材料を用いた場合でもよい。また、図 4 (b) に示すように、サイドウォール層 3 0 が孔部 2 6 に埋め込まれている場合を例に示したが、サイドウォール層 3 0 が孔部 2 6 に埋め込まれずに、孔部 2 6 はそのまま残存している場合でもよい。

20

【 0 0 3 9 】

実施例 1 の製造方法によれば、図 6 (a) から図 6 (d) に示すように、半導体基板 1 0 内に延伸するようにビットライン 1 2 を形成し、半導体基板 1 0 上にトンネル絶縁膜 1 4、電荷蓄積層 1 6、トップ絶縁膜 1 8 からなる ONO 膜 2 0 を形成し、ONO 膜 2 0 上にビットライン 1 2 に交差して延伸するようにワードライン 2 2 を形成する。次に、図 7 (a) から図 7 (d) に示すように、ワードライン 2 2 間で、且つビットライン 1 2 間の中央部のトップ絶縁膜 1 8 をエッチングして孔部 2 6 を形成する。その後、図 8 (a) から図 8 (d) に示すように、リン酸をエッチング液とし、孔部 2 6 から等方的に電荷蓄積層 1 6 をエッチングする。この製造方法により、チャンネル領域 2 4 上に設けられた電荷蓄積層 1 6 のワードライン 2 2 幅方向の幅が、ワードライン 2 2 延伸方向でのチャンネル領域 2 4 の端部からチャンネル領域 2 4 の中央部に向かうに連れて曲線状に狭くなり、ワードライン 2 2 延伸方向のチャンネル領域 2 4 の中央部上で分離した電荷蓄積層 1 6 を容易に形成することができる。したがって、電荷蓄積領域に蓄積した電荷の干渉を抑制することができ、メモリセルの高集積化、微細化が可能な半導体装置を容易に形成することができる。

30

【 0 0 4 0 】

特に、リン酸を用いたウエットエッチングは、リン酸の温度を制御することで、電荷蓄積層 1 6 のエッチングレートを制御することができる。つまり、電荷蓄積層 1 6 のエッチング量を制御することができる。よって、リン酸の温度を制御することで、チャンネル領域 2 4 のビットライン 1 2 近傍に形成される電荷蓄積領域となるべき領域の電荷蓄積層 1 6 は残存させ、ワードライン 2 2 延伸方向のチャンネル領域 2 4 の中央部上で電荷蓄積層 1 6 を分離させることを容易に行うことができる。

40

【 0 0 4 1 】

さらに、実施例 1 の製造方法によれば、図 6 (a) から図 6 (d) に示すように、半導体基板 1 0 上に ONO 膜 2 0 とワードライン 2 2 とを形成した後に、図 7 (a) から図 7 (d) に示すように、トップ絶縁膜 1 8 に孔部 2 6 を形成している。このため、ワードライン 2 2 に自己整合的にトップ絶縁膜 1 8 をエッチングして孔部 2 6 を形成することができる。つまり、ワードライン 2 2 直下のトップ絶縁膜 1 8 を残存させることができる。

【 0 0 4 2 】

さらに、実施例 1 の製造方法において、図 8 (a) から図 8 (d) に示すように、リン酸を用いて電荷蓄積層 1 6 をエッチングする場合を例に示したが、ケミカルドライエッチング等、その他の等方性エッチングを用いて電荷蓄積層 1 6 をエッチングする場合でもよ

50

い。この場合でも、電荷蓄積領域に蓄積した電荷の干渉を抑制することができ、メモリセルの高集積化、微細化が可能な半導体装置を容易に形成することができる。

【実施例 2】

【0043】

実施例 2 は、ワードライン 22 延伸方向のチャネル領域 24 の中央部上で電荷蓄積層 16 が分離していない場合の例である。図 13 は実施例 2 に係る仮想接地型フラッシュメモリの模式的上面図であり、図 14 (a) は図 13 の A - A 間の模式的断面図、図 14 (b) は図 13 の B - B 間の模式的断面図、図 14 (c) は図 13 の C - C 間の模式的断面図、図 14 (d) は図 13 の D - D 間の模式的断面図である。なお、図 13 において、ワードライン 22、サイドウォール層 30 およびトップ絶縁膜 18 を透視して電荷蓄積層 16 (図 14 中の網線) を図示しており、ONO 膜 20 およびサイドウォール層 30 を透視してビットライン 12 を図示しており、サイドウォール層 30 を透視して孔部 26 を図示している。

10

【0044】

図 13 から図 14 (d) を参照に、ワードライン 22 延伸方向のチャネル領域 24 の中央部上で電荷蓄積層 16 が分離していない。その他の構成については、実施例 1 と同じであり、図 4 から図 5 (d) に示しているので、説明を省略する。

【0045】

実施例 2 に係る仮想接地型フラッシュメモリの製造方法は、図 8 (a) から図 8 (d) に示す電荷蓄積層 16 をエッチングする工程において、ワードライン 22 延伸方向のチャネル領域 24 の中央部上で電荷蓄積層 16 を分離させず、ワードライン 22 幅方向の電荷蓄積層 16 の幅が狭くなるように電荷蓄積層 16 をエッチングする以外は実施例 1 と同じであり、図 6 (a) から図 9 (d) に示しているので説明を省略する。

20

【0046】

実施例 2 によれば、図 13 から図 14 (d) に示すように、ワードライン 22 延伸方向のチャネル領域 24 の中央部上で電荷蓄積層 16 が分離していない。この場合でも、ワードライン 22 幅方向の電荷蓄積層 16 の幅が十分に狭い場合は、電荷蓄積領域に蓄積した電荷が移動することができない。したがって、ビットライン 12 間の間隔が狭くなった場合でも、電荷蓄積領域に蓄積した電荷が干渉し合うことを抑制することができ、メモリセルの高集積化、微細化を図ることができる。

30

【0047】

以上、本発明の実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【図面の簡単な説明】

【0048】

【図 1】図 1 (a) は従来例 1 に係るフラッシュメモリの模式的上面図であり、図 1 (b) は図 1 (a) の A - A 間の模式的断面図である。

【図 2】図 2 (a) は従来例 2 に係るフラッシュメモリの模式的断面図であり、図 2 (b) は従来例 3 に係るフラッシュメモリの模式的断面図である。

40

【図 3】図 3 は NAND 型フラッシュメモリの模式的上面図である。

【図 4】図 4 は実施例 1 に係るフラッシュメモリの模式的上面図である。

【図 5】図 5 (a) は図 4 の A - A 間の模式的断面図、図 5 (b) は図 4 の B - B 間の模式的断面図、図 5 (c) は図 4 の C - C 間の模式的断面図、図 5 (d) は図 4 の D - D 間の模式的断面図である。

【図 6】図 6 (a) は実施例 1 に係るフラッシュメモリの製造方法を示す模式的上面図 (その 1) であり、図 6 (b) は図 6 (a) の A - A 間の模式的断面図、図 6 (c) は図 6 (a) の B - B 間の模式的断面図、図 6 (d) は図 6 (a) の C - C 間の模式的断面図である。

【図 7】図 7 (a) は実施例 1 に係るフラッシュメモリの製造方法を示す模式的上面図 (

50

その 2) であり、図 7 (b) は図 7 (a) の A - A 間の模式的断面図、図 7 (c) は図 7 (a) の B - B 間の模式的断面図、図 7 (d) は図 7 (a) の C - C 間の模式的断面図である。

【図 8】図 8 (a) は実施例 1 に係るフラッシュメモリの製造方法を示す模式的上面図 (その 3) であり、図 8 (b) は図 8 (a) の A - A 間の模式的断面図、図 8 (c) は図 8 (a) の B - B 間の模式的断面図、図 8 (d) は図 8 (a) の C - C 間の模式的断面図である。

【図 9】図 9 (a) は実施例 1 に係るフラッシュメモリの製造方法を示す模式的上面図 (その 4) であり、図 9 (b) は図 9 (a) の A - A 間の模式的断面図、図 9 (c) は図 9 (a) の B - B 間の模式的断面図、図 9 (d) は図 9 (a) の C - C 間の模式的断面図である。

10

【図 10】図 10 は従来例 1 に係るフラッシュメモリのメモリセルサイズ S を説明するための模式的上面図である。

【図 11】図 11 は実施例 1 に係るフラッシュメモリのメモリセルサイズ S を説明するための模式的上面図である。

【図 12】図 12 は空洞部 28 の代わりに絶縁膜 29 が設けられた場合を説明するための模式的断面図である。

【図 13】図 13 は実施例 2 に係るフラッシュメモリの模式的上面図である。

【図 14】図 14 (a) は図 13 の A - A 間の模式的断面図、図 14 (b) は図 13 の B - B 間の模式的断面図、図 14 (c) は図 13 の C - C 間の模式的断面図、図 14 (d) は図 13 の D - D 間の模式的断面図である。

20

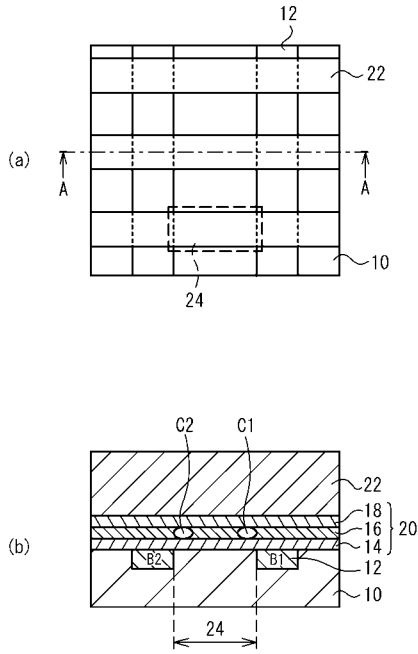
【符号の説明】

【0049】

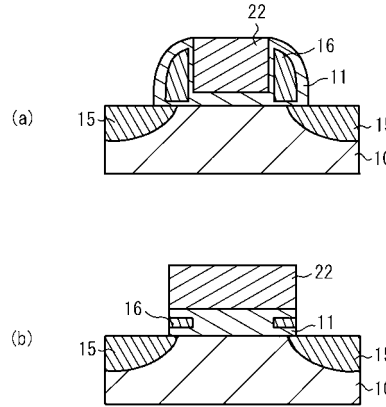
- 10 半導体基板
- 11 酸化膜
- 12 ビットライン
- 13 素子分離領域
- 14 トンネル絶縁膜
- 15 ソース・ドレイン領域
- 16 電荷蓄積層
- 18 トップ絶縁膜
- 20 ONO 膜
- 22 ワードライン
- 24 チャネル領域
- 26 孔部
- 28 空洞部
- 29 絶縁膜
- 30 サイドウォール層
- 32 フォトレジスト

30

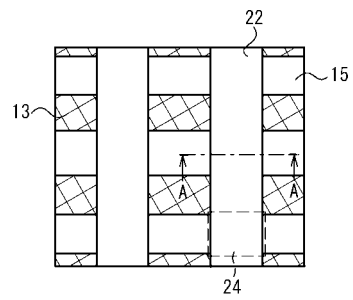
【 図 1 】



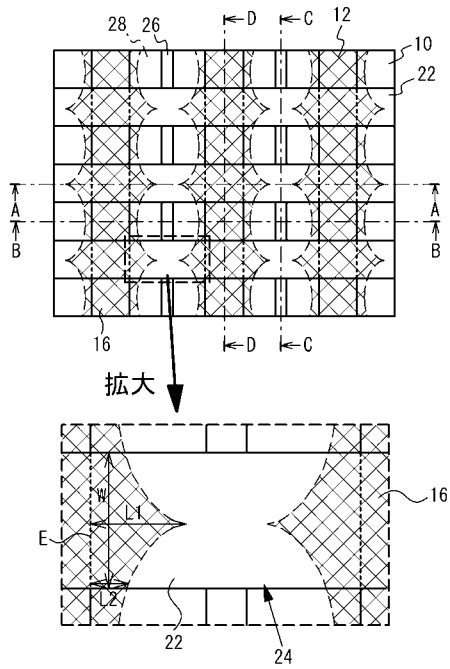
【 図 2 】



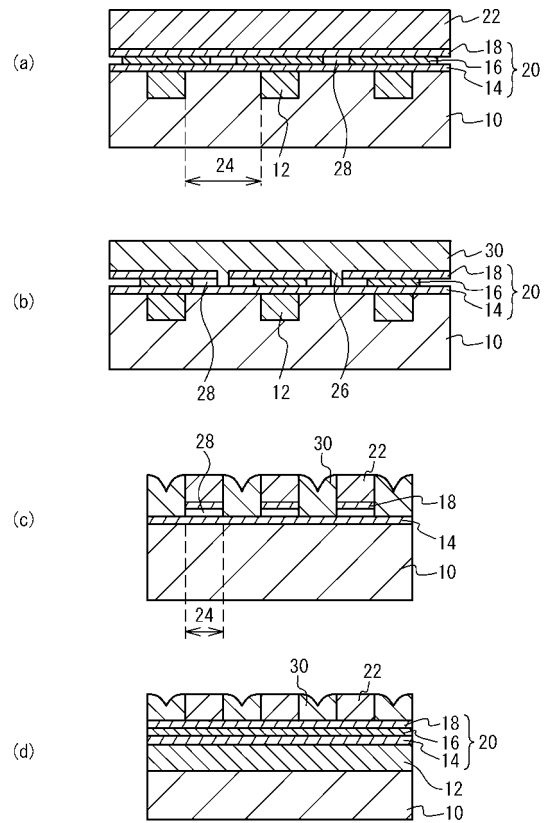
【 図 3 】



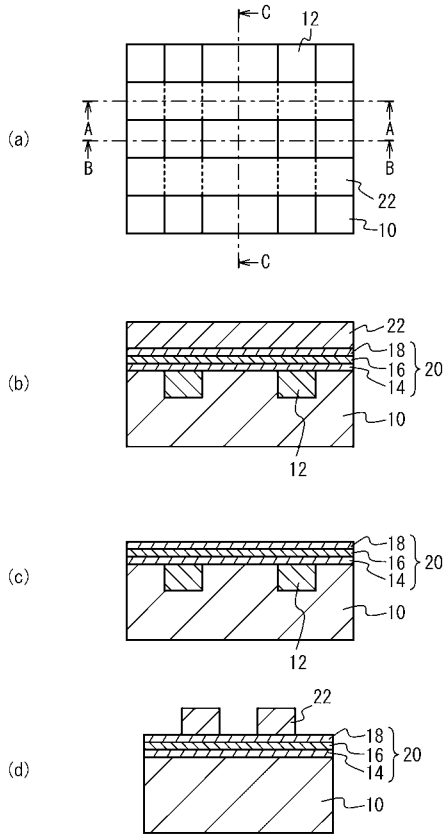
【 図 4 】



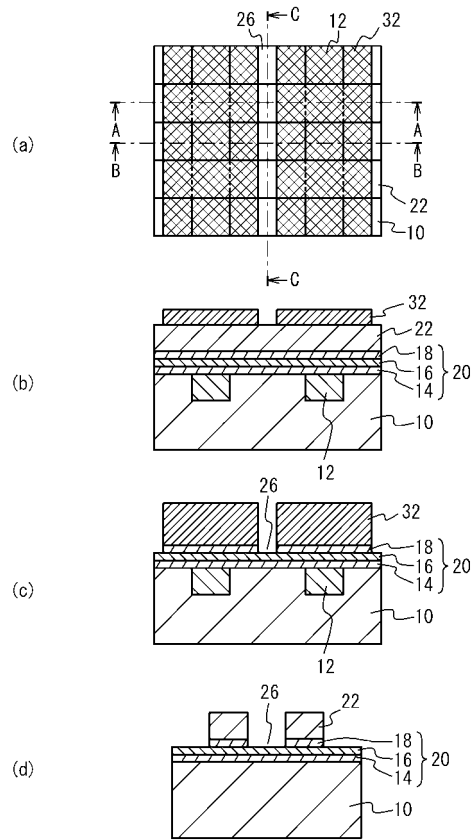
【 図 5 】



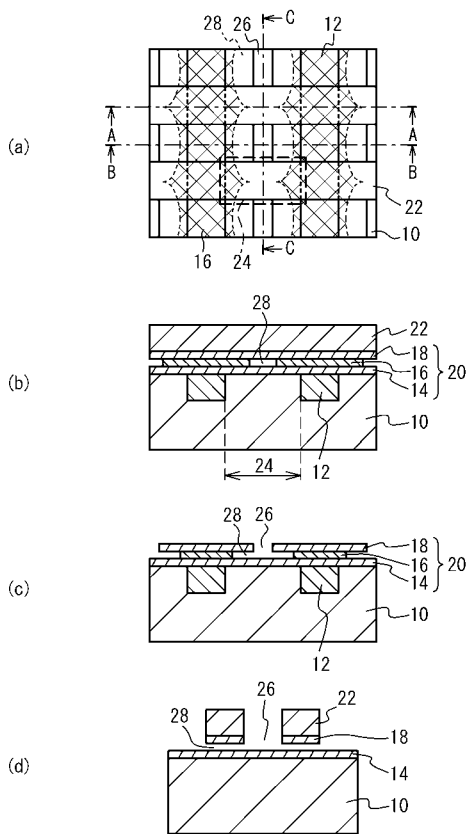
【 図 6 】



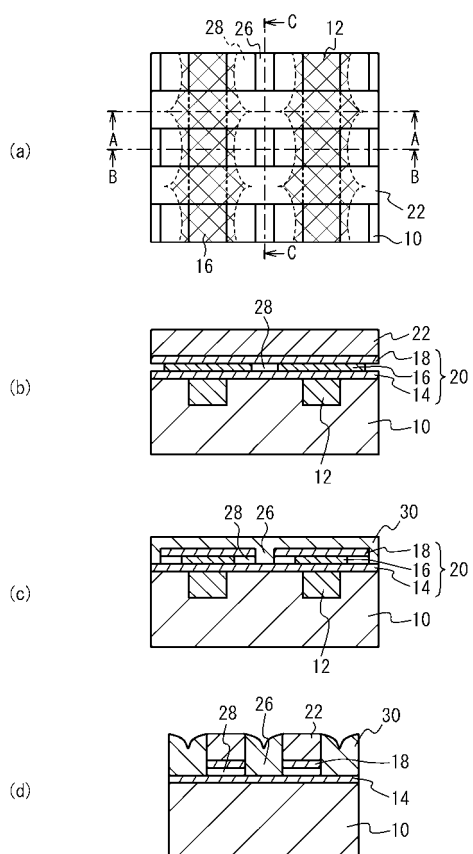
【 図 7 】



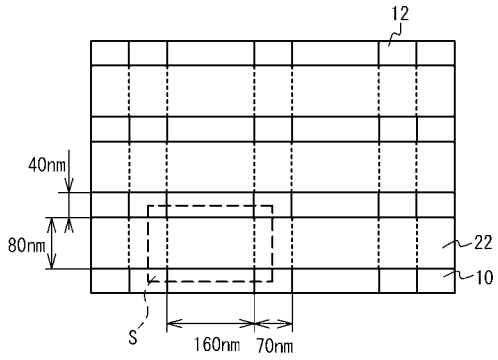
【 図 8 】



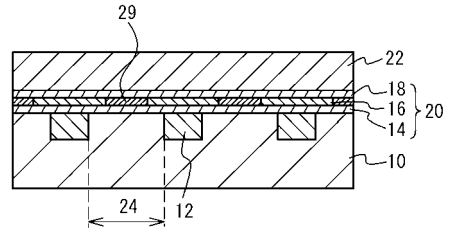
【 図 9 】



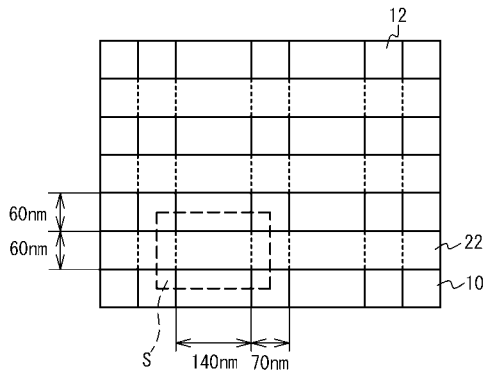
【 図 1 0 】



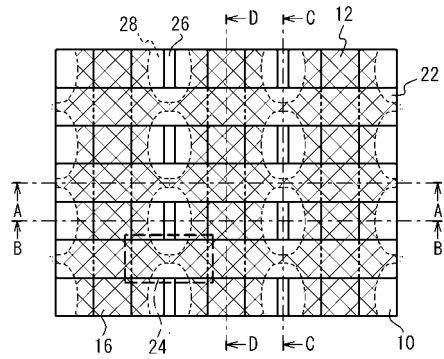
【 図 1 2 】



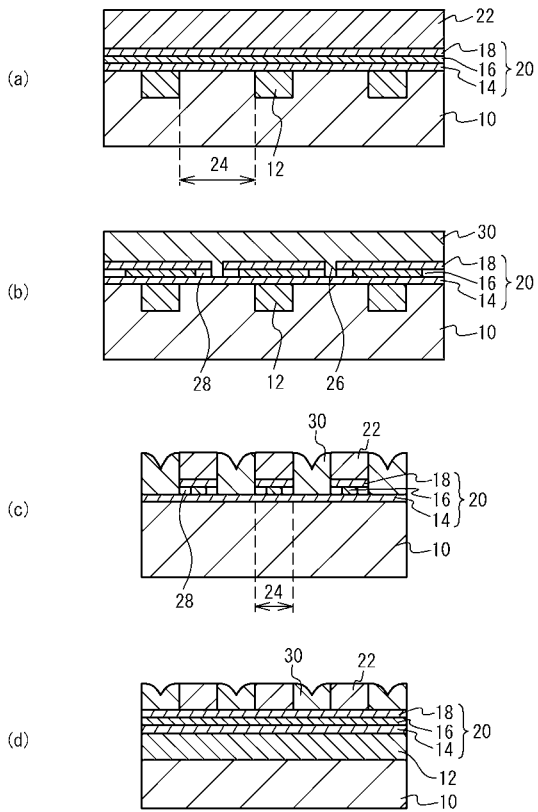
【 図 1 1 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(72)発明者 早川 幸夫

福島県会津若松市高久工業団地2番 S p a n s i o n J a p a n株式会社内

Fターム(参考) 5F083 EP18 EP22 ER22 GA11 KA08 PR05 ZA21

5F101 BA45 BB02 BD02 BD10 BE07 BF05 BH13