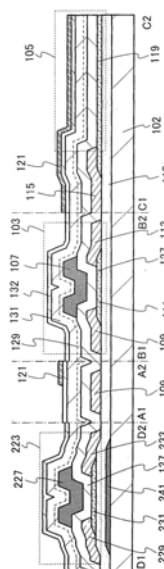




(43)申请公布日 2019.08.16

权利要求书2页 说明书47页 附图47页

本发明的目的之一是提供一种开口率高的半导体装置。该半导体装置包括晶体管以及包括一对电极的电容元件。将形成在同一个绝缘表面上的氧化物半导体层用于该晶体管的沟道形成区及该电容元件的一个电极。该电容元件的另一个电极是透光导电膜。该电容元件的一个电极与布线电连接,该布线在设置有该晶体管的源电极或漏电极的绝缘表面上形成,电容元件的另一个电极与该晶体管的源电极和漏电极中的一个电连接。



1. 一种半导体装置,包括:
绝缘表面上的晶体管,所述晶体管包括:
第一氧化物半导体层;
源电极层及漏电极层;
所述第一氧化物半导体层上的第一绝缘膜;以及
隔着所述第一绝缘膜在所述第一氧化物半导体层上的栅电极层;以及
所述绝缘表面上的电容元件,所述电容元件包括:
第二氧化物半导体层;
透光导电膜;以及
电介质,用作所述电容元件的电介质,
其中所述第二氧化物半导体层与所述第一氧化物半导体层用同一步骤形成并且被改变成与所述第一氧化物半导体层相比具有增高的导电率。
2. 根据权利要求1所述的半导体装置,进一步包括布线,
其中所述布线与所述第二氧化物半导体层重叠。
3. 根据权利要求2所述的半导体装置,其中所述布线隔着所述电介质与所述透光导电膜重叠。
4. 根据权利要求2所述的半导体装置,其中所述源电极层、所述漏电极层及所述布线从同一层形成。
5. 根据权利要求1所述的半导体装置,还包括:
所述栅电极层上的第二绝缘膜;以及
所述第二绝缘膜上的第三绝缘膜,
其中所述第二绝缘膜及所述第三绝缘膜与所述第二氧化物半导体层重叠,
并且所述电介质包括所述第二绝缘膜及所述第三绝缘膜。
6. 根据权利要求5所述的半导体装置,
其中所述第二绝缘膜具有包括选自氧化硅、氮化硅、氧化铝、氧化镓、氧化铟及Ga-Zn类金属氧化物中的氧化绝缘材料的单层结构或叠层结构。
7. 根据权利要求5所述的半导体装置,
其中所述第三绝缘膜具有包括选自氮氧化硅、氮化硅、氮化铝及氮氧化铝中的氮化绝缘材料的单层结构或叠层结构。
8. 根据权利要求1所述的半导体装置,还包括:
所述栅电极层上的第二绝缘膜,所述第二绝缘膜与所述第二氧化物半导体层接触;以及
所述第二绝缘膜上的第三绝缘膜,
其中所述第二绝缘膜及所述第三绝缘膜与所述第二氧化物半导体层重叠,
并且所述电介质包括所述第二绝缘膜及所述第三绝缘膜。
9. 根据权利要求1所述的半导体装置,还包括:
所述栅电极层上的第二绝缘膜;以及
所述第二绝缘膜上的第三绝缘膜,所述第三绝缘膜与所述第二氧化物半导体层接触,
其中所述第三绝缘膜与所述第二氧化物半导体层重叠,

并且所述电介质包括所述第三绝缘膜。

10. 根据权利要求1所述的半导体装置，

其中所述第一氧化物半导体层和所述第二氧化物半导体层均包括铟、锌及镓。

11. 根据权利要求1所述的半导体装置，

其中通过添加选自氢、硼、氮、氟、铝、磷、砷、铟、锡、锑及稀有气体元素中的一种以上的元素来改变所述第二氧化物半导体层。

12. 根据权利要求1所述的半导体装置，

其中所述第一氧化物半导体层和所述第二氧化物半导体层的能隙均为2.0eV以上。

13. 根据权利要求1所述的半导体装置，

其中所述透光导电膜与所述源电极层和所述漏电极层中的一个电连接。

半导体装置及半导体装置的制造方法

本申请是如下发明专利申请的分案申请：

申请号：201380068545.X；申请日：2013年12月18日；发明名称：半导体装置及半导体装置的制造方法。

技术领域

[0001] 本发明涉及一种物体、方法、制造方法、工序(process)、机器(machine)、产品(manufacture)或组合物(composition of matter)。例如,本发明尤其涉及一种半导体装置、显示装置、发光装置、其驱动方法或其制造方法。例如,本发明尤其涉及一种包括氧化物半导体的半导体装置、显示装置或者发光装置及其制造方法。

背景技术

[0002] 近年来,液晶显示器(LCD)等平板显示器广泛地得到普及。在平板显示器等显示装置中,像素配置在行方向及列方向,每个像素包括用作开关元件的晶体管、与该晶体管电连接的液晶元件以及与该液晶元件并联连接的电容元件。

[0003] 该晶体管的半导体膜通常使用非晶硅或多晶硅等硅半导体等半导体材料形成。

[0004] 也可以将具有半导体特性的金属氧化物(以下也称为氧化物半导体)用于晶体管的半导体膜。例如,已公开有一种制造包含氧化锌或In-Ga-Zn类氧化物半导体的晶体管的技术(参照专利文献1及专利文献2)。

[参考文献]

[专利文献]

[0005] [专利文献1]日本专利申请公开2007-123861号公报

[专利文献2]日本专利申请公开2007-96055号公报

发明内容

[0006] 在很多情况下,在电容元件中,在一对电极之间设置有介电膜,一对电极中的至少一个由与晶体管的栅电极、源电极或漏电极等相同的材料形成,因此由金属膜等遮光膜形成。

[0007] 在施加电场的状态下,电容元件的电容值越大,能够将液晶元件的液晶分子的取向保持为固定的期间越长。当在能够显示静态图像的显示装置中能够延长该期间时,可以减少重写图像数据的次数,从而可以降低耗电量。

[0008] 增大电容元件的电荷容量的方法之一是:增大像素内的电容元件的占有面积,具体而言增大一对电极彼此重叠的区域的面积。但是,当在上述显示装置中为了增大一对电极彼此重叠的区域的面积而增大遮光导电膜的面积时,像素的开口率降低,这导致图像显示质量下降。

[0009] 鉴于上述问题,本发明的一个方式的目的之一是提供一种开口率高的半导体装置等。本发明的一个方式的目的之另一是提供一种具有能够增大电荷容量的电容元件的半导

体装置等。本发明的一个方式的目的之另一是提供一种光刻工序中的掩模个数较少的半导体装置等。本发明的一个方式的目的之另一是提供一种关态电流(off-state current)小的半导体装置等。本发明的一个方式的目的之另一是提供一种耗电量低的半导体装置等。本发明的一个方式的目的之另一是提供一种使用透明半导体层的半导体装置等。本发明的一个方式的目的之另一是提供一种可靠性高的半导体装置等。本发明的一个方式的目的之另一是提供一种对眼睛的刺激小的半导体装置等。本发明的一个方式的目的之另一是提供一种新颖的半导体装置等。本发明的一个方式的目的之另一是提供一种半导体装置等的新颖的制造方法。

[0010] 注意,这些目的并不妨碍其他目的的存在。在本发明的一个方式中,并不需要实现上述所有目的。从说明书、附图、权利要求书等的记载得知并可以抽出上述以外的目的。

[0011] 本发明的一个方式涉及一种包括透光性电容元件的半导体装置,该电容元件的一个电极是氧化物半导体层,另一个电极是透光导电膜。

[0012] 本发明的一个方式是一种具有晶体管的半导体装置。该半导体装置包括:第一绝缘膜上的第一氧化物半导体层及第二氧化物半导体层;与第一氧化物半导体层电连接的源电极层及漏电极层;与第二氧化物半导体层电连接的布线;第一绝缘膜、第一氧化物半导体层、第二氧化物半导体层、源电极层、漏电极层及布线上的第二绝缘膜;隔着第二绝缘膜与第一氧化物半导体层重叠的栅电极层;第二绝缘膜及栅电极层上的第三绝缘膜;第三绝缘膜上的第四绝缘膜;以及在第四绝缘膜上且与第二氧化物半导体层重叠的透光导电膜。半导体装置还包括电容元件,该电容元件具有电介质、第二氧化物半导体层的至少一部分作为第一电极、透光导电膜的至少一部分作为第二电极。

[0013] 第一氧化物半导体层及第二氧化物半导体层优选使用同样的材料形成。

[0014] 第一氧化物半导体层及第二氧化物半导体层的能隙优选为2.0eV以上。

[0015] 对第二氧化物半导体层可以添加选自氢、硼、氮、氟、铝、磷、砷、铟、锡、锑及稀有气体元素中的一种以上的掺杂剂。

[0016] 电介质可以使用第二绝缘膜、第三绝缘膜及第四绝缘膜形成。

[0017] 电介质可以使用第三绝缘膜及第四绝缘膜形成。

[0018] 电介质可以使用第四绝缘膜形成。

[0019] 第三绝缘膜优选具有包括选自氧化硅、氮氧化硅、氧化铝、氧化镓、氧化铟及Ga-Zn类金属氧化物中的氧化绝缘材料的单层结构或叠层结构。

[0020] 第四绝缘膜优选具有包括选自氮氧化硅、氮化硅、氮化铝、氮氧化铝中的氮化绝缘材料的单层结构或叠层结构。

[0021] 也可以在第一绝缘膜与第二氧化物半导体层之间形成有包含氢的氮化绝缘材料。

[0022] 源电极层、漏电极层及布线可以形成在同一个绝缘表面上。

[0023] 源电极层、漏电极层及布线可以使用同样的材料形成。

[0024] 透光导电膜可以与源电极和漏电极中的一个电连接。

[0025] 本发明的另一个方式是一种半导体装置的制造方法,包括如下步骤:在第一绝缘膜上形成第一氧化物半导体层及第二氧化物半导体层;形成与第一氧化物半导体层电连接的源电极层及漏电极层、与第二氧化物半导体层电连接的布线;在第一绝缘膜、第一氧化物半导体层、第二氧化物半导体层、源电极层、漏电极层及布线上形成第二绝缘膜;形成隔着

第二绝缘膜与第一氧化物半导体层重叠的栅电极层；在第二绝缘膜及栅电极层上形成第三绝缘膜；在第三绝缘膜上形成第四绝缘膜；以到达源电极层或漏电极层的方式在第二绝缘膜、第三绝缘膜及第四绝缘膜中形成开口部；以通过开口部与源电极层或漏电极层电连接的方式在第四绝缘膜上形成透光导电膜，由此形成晶体管及电容元件，该电容元件包括第二氧化物半导体层的至少一部分作为第一电极、透光导电膜的至少一部分作为第二电极、以及电介质。

[0026] 第一氧化物半导体层及第二氧化物半导体层优选使用同样的材料形成。

[0027] 第一氧化物半导体层及第二氧化物半导体层的能隙优选为2.0eV以上。

[0028] 可以对第二氧化物半导体层添加选自氢、硼、氮、氟、铝、磷、砷、铟、锡、锑及稀有气体元素中的一种以上的掺杂剂。

[0029] 电介质可以使用第二绝缘膜、第三绝缘膜及第四绝缘膜形成。

[0030] 电介质可以对第二氧化物半导体层上的第二绝缘膜进行蚀刻，并使用第三绝缘膜及第四绝缘膜形成。

[0031] 电介质可以对第二氧化物半导体层上的第二绝缘膜及第三绝缘膜进行蚀刻，并使用第四绝缘膜形成。

[0032] 第三绝缘膜优选具有包括选自氧化硅、氮氧化硅、氧化铝、氧化镓、氧化铟或Ga-Zn类金属氧化物中的氧化绝缘材料的单层结构或叠层结构。

[0033] 第四绝缘膜优选具有包括选自氮氧化硅、氮化硅、氮化铝、氮氧化铝中的氮化绝缘材料的单层结构或叠层结构。

[0034] 也可以在第一绝缘膜与第二氧化物半导体层之间形成包含氢的氮化绝缘膜。

[0035] 源电极层、漏电极层及布线优选使用同样的材料形成。

[0036] 源电极层、漏电极层及布线优选形成在同一个绝缘表面上。

[0037] 根据本发明的一个方式，可以提供一种开口率高的半导体装置等。根据本发明的一个方式，可以提供一种具有能够增大电荷容量的电容元件的半导体装置等。根据本发明的一个方式，可以提供一种光刻工序中的掩模个数较少的半导体装置等。根据本发明的一个方式，可以提供一种关态电流小的半导体装置等。根据本发明的一个方式，可以提供一种耗电量低的半导体装置等。根据本发明的一个方式，可以提供一种使用透明半导体层的半导体装置等。根据本发明的一个方式，可以提供一种可靠性高的半导体装置等。根据本发明的一个方式，可以提供一种对眼睛的刺激小的半导体装置。根据本发明的一个方式，可以提供一种半导体装置的制造方法。

附图说明

[0038] 图1示出半导体装置的俯视图；

图2示出半导体装置的截面图；

图3示出半导体装置的图；

图4A和图4B示出半导体装置的像素的电路图；

图5A和图5B示出半导体装置的制造方法的截面图；

图6A和图6B示出半导体装置的制造方法的截面图；

图7A和图7B示出半导体装置的电容元件的截面图；

图8示出半导体装置的截面图；
图9A和图9B示出半导体装置的截面图；
图10A和图10B是示出纳米束电子衍射图案的图；
图11A和图11B是示出氧化物半导体膜的CPM测量结果的图；
图12是示出CAAC-OS膜的CPM测量结果的图；
图13A示出氧化物半导体膜的截面TEM图像，图13B至图13D示出纳米束电子衍射图案；
图14A示出氧化物半导体膜的平面TEM图像，图14B示出选区电子衍射图案；
图15A至图15C示出电子衍射强度分布的示意图；
图16示出石英玻璃衬底的纳米束电子衍射图案；
图17示出氧化物半导体膜的纳米束电子衍射图案；
图18A和图18B示出氧化物半导体膜的截面TEM图像；
图19示出氧化物半导体膜的X射线衍射分析结果；
图20示出CAAC-OS膜的截面TEM图像；
图21A至图21D示出CAAC-OS膜的电子衍射图案；
图22示出CAAC-OS膜的截面TEM图像；
图23A示出CAAC-OS膜的截面TEM图像，图23B示出X射线衍射光谱；
图24A至图24D示出CAAC-OS膜的电子衍射图案；
图25A示出CAAC-OS膜的截面TEM图像；图25B示出X射线衍射光谱；
图26A至图26D示出CAAC-OS膜的电子衍射图案；
图27A示出CAAC-OS膜的截面TEM图像，图27B示出X射线衍射光谱；
图28A至图28D示出CAAC-OS膜的电子衍射图案；
图29A至图29C示出半导体装置的俯视图；
图30示出半导体装置的截面图；
图31A和图31C示出半导体装置的截面图，图31B示出半导体装置的俯视图；
图32示出具有显示功能的信息处理装置的结构方框图；
图33A1和图33A2示出信息处理装置的显示部的结构的方框图，图33B1和图33B2示出信息处理装置的显示部的结构的电路图；
图34A示出信息处理装置的结构方框图，图34B是说明图像数据的示意图；
图35A1、图35A2、图35B1及图35B2示出信息处理装置的效果；
图36示出信息处理装置的结构方框图；
图37A至图37C示出使用半导体装置的电子设备的图；
图38A和图38B示出使用半导体装置的电子设备的图；
图39A至图39C示出使用半导体装置的电子设备的图。

具体实施方式

[0039] 下面，参照附图将详细地说明本发明的实施方式。但是，本发明不局限于以下说明，所属技术领域的普通技术人员可以很容易地理解一个事实，就是本发明的方式和详细内容可以被变换为各种各样的方式。因此，本发明不应该被解释为仅限定在以下所示的实施方式的内容。

[0040] 在以下说明的本发明的结构中,在不同附图之间共同使用同一符号表示同一部分或具有同样功能的部分而省略其重复说明。另外,对表示具有相同功能的部分附加相同的阴影线,有时对该部分不特别附加符号。

[0041] 在本说明书所说明的每一个附图中,有时为了明确起见,夸大表示各构成要素的大小、膜厚度或区域。因此,本发明的实施方式不局限于该尺度。

[0042] 在本说明书等中,为了方便起见,附加了“第一”、“第二”等序数词,而其并不表示工序顺序或叠层顺序。此外,本说明书中的这些序数词不表示指定发明的事项的固有名称。

[0043] 注意,电压是指两个点之间的电位差,电位是指静电场中的某一点的单位电荷的静电能(电位能量)。注意,一般来说,将一点的电位与标准的电位(例如接地电位)之间的差异简单地称为电位或电压,在很多情况下,电位和电压是同义词。因此,在本说明书中,除了特别指定的情况以外,既可将“电位”称为“电压”,又可将“电压”称为“电位”。

[0044] 在本说明书中,当在进行光刻处理之后进行蚀刻处理时,去除在光刻处理中形成的抗蚀剂掩模。

[0045] 实施方式1

在本实施方式中,将参照附图对本发明的一个方式的半导体装置进行说明。注意,在本实施方式中,以液晶显示装置为例子将说明本发明的一个方式的半导体装置。注意,可以将本发明的一个方式的半导体装置用于其他显示装置。

[0046] 图3示出本发明的一个方式的半导体装置的例子。图3所示的半导体装置包括:像素部100;第一驱动电路104;第二驱动电路106;彼此平行或大致平行地配置且其电位由第一驱动电路104控制的 m 个扫描线107;以及彼此平行或大致平行地配置且其电位由第二驱动电路106控制的 n 个信号线109。像素部100包括配置为矩阵状的多个像素101。该半导体装置还包括电容线115(在图3中未图示)。以与扫描线107或信号线109平行或大致平行的方式设置电容线115。

[0047] 各扫描线107电连接到在像素部100中配置为 m 行 n 列的像素101中的配置在相应的行的 n 个像素101。各信号线109电连接到配置为 m 行 n 列的像素101中的配置在相应的列的 m 个像素101。注意, m 、 n 都是1以上的整数。各电容线115电连接到配置为 m 行 n 列的像素101中的配置在相应的行的 n 个像素101。注意,当电容线115以与信号线109平行或大致平行的方式配置时,各电容线115电连接到配置为 m 行 n 列的像素101中的配置在相应的列的 m 个像素101。

[0048] 注意,第一驱动电路104可以具有供应用来开关连接到扫描线107的晶体管的信号的功能,例如,可以用作扫描线驱动电路。此外,第二驱动电路106可以具有对连接到信号线109的晶体管供应影像信号的功能,例如,可以用作信号线驱动电路。注意,不局限于此,第一驱动电路104及第二驱动电路106也可以供应其他的信号。

[0049] 由于在本实施方式中以液晶显示装置为例子进行说明,因此为方便起见将连接到第一驱动电路104的布线称为扫描线107、电容线115,将连接到第二驱动电路106的布线称为信号线109,但是布线的功能没有受到名称的限制。

[0050] 图1是示出上述半导体装置所包括的像素101结构的一个例子的俯视图。注意,在图1中,省略液晶层及液晶元件所包括的一对电极中的一个。

[0051] 在图1所示的像素101中,在大致正交于信号线109的方向(行方向)上扫描线107延

伸。在大致正交于扫描线107的方向(列方向)上信号线109延伸。在平行于信号线109的方向上电容线115延伸。注意,扫描线107与第一驱动电路104(参照图3)电连接,信号线109与第二驱动电路106(参照图3)电连接。

[0052] 晶体管103设置于扫描线107及信号线109交叉的区域附近。晶体管103至少包括具有沟道形成区的半导体膜111、栅电极、栅极绝缘膜(图1中未图示)、源电极及漏电极。扫描线107中的与半导体膜111重叠的部分用作晶体管103的栅电极。信号线109中的与半导体膜111重叠的部分用作晶体管103的源电极和漏电极中的一个。导电膜113中的与半导体膜111重叠的部分用作晶体管103的源电极和漏电极中的另一个。由此,有时将栅电极、源电极和漏电极分别称为扫描线107、信号线109和导电膜113。此外,在图1中,在俯视时扫描线107的边缘位于半导体膜111的边缘的外侧。因此,扫描线107用作遮挡来自外部的光的遮光膜。因此,光不照射到包括在晶体管中的半导体膜111,由此可以减少晶体管的电特性变动。

[0053] 在本发明的一个方式中,优选将氧化物半导体用于半导体膜111。当在适当的条件下使用氧化物半导体制造晶体管时,可以使晶体管的关态电流极小,这实现半导体装置的耗电量的降低。

[0054] 注意,在本发明的一个方式中使用的包括氧化物半导体的晶体管是n沟道型晶体管。氧化物半导体中的氧空位会生成载流子,而有可能降低晶体管的电特性及可靠性。例如,有时晶体管的阈值电压向负方向变动,当栅极电压为0V时漏电流流动。将在栅极电压为0V时漏电流流动的晶体管称为常开启(normally-on)晶体管,另一方面,将在栅极电压为0V时实质上漏电流不流动的晶体管称为常闭(normally-off)晶体管。

[0055] 因此,当将氧化物半导体用于半导体膜111时,优选尽可能地减少氧化物半导体膜111中的缺陷(典型为氧空位)。例如,优选将在平行于膜表面的方向上施加磁场的电子自旋共振法中测量的 g 值=1.93的氧化物半导体膜的自旋密度(氧化物半导体膜中的缺陷密度)降低到测量仪的检测下限以下。当尽可能地减少氧化物半导体膜中的缺陷时,可以抑制晶体管103成为常开启,因此半导体装置的电特性及可靠性得到提高。

[0056] 除了氧空位之外,包含在氧化物半导体中的氢(包括水等氢化物)也有可能使晶体管的阈值电压向负方向变动。氧化物半导体所含的氢的一部分会引起施主能级的形成,而形成作为载流子的电子。因此,包括含有氢的氧化物半导体的晶体管容易成为常开启。

[0057] 于是,当作为半导体膜111使用氧化物半导体时,优选尽量降低氧化物半导体膜111中的氢。具体而言,以具有如下区域的方式形成半导体膜111:使利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测量的氢浓度低于 $5 \times 10^{18} \text{atoms/cm}^3$,优选为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下,更优选为 $5 \times 10^{17} \text{atoms/cm}^3$ 以下,进一步优选为 $1 \times 10^{16} \text{atoms/cm}^3$ 以下的区域。

[0058] 另外,优选以具有如下区域的方式形成半导体膜111:使利用二次离子质谱分析法(SIMS)测量的碱金属或碱土金属的浓度为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下,优选为 $2 \times 10^{16} \text{atoms/cm}^3$ 以下的区域。这是因为在碱金属及碱土金属与氧化物半导体键合时会生成载流子,此时晶体管103的关态电流会增大。

[0059] 另外,当氧化物半导体膜111含有氮时生成作为载流子的电子,载流子密度增加,因此半导体膜容易成为n型。因此,包括含有氮的氧化物半导体的晶体管容易成为常开启。因此,优选尽可能地减少该氧化物半导体膜111中的氮,例如,优选以具有氮浓度为 $5 \times$

10^{18} atoms/cm³以下的区域的方式形成半导体膜111。

[0060] 当将这种通过尽可能地减少了杂质(氢、氮、碱金属或碱土金属等)被高度纯化的氧化物半导体膜用于半导体膜111时,可以抑制晶体管103变为常开启,由此可以使晶体管103的关态电流降至极小。因此,可以制造具有良好的电特性的半导体装置。此外,可以制造可靠性得到提高的半导体装置。

[0061] 可以利用各种试验证明包括被高度纯化的氧化物半导体膜的晶体管的关态电流小的事实。例如,即便在元件的沟道宽度为 $1 \times 10^6 \mu\text{m}$ 且沟道长度(L)为 $10 \mu\text{m}$ 时,在源电极和漏电极之间的电压(漏极电压)为1V至10V的范围内,也可以使关态电流为半导体参数分析仪的测量极限以下,即 $1 \times 10^{-13} \text{A}$ 以下。在此情况下,可知:相当于关态电流除以晶体管的沟道宽度而得到的值的关态电流为 100zA/mm 以下。此外,使用如下电路来测量关态电流:其中电容元件与晶体管互相连接,且由该晶体管控制流入到电容元件或从电容元件流出的电荷。在该测量中,将被高度纯化的氧化物半导体膜用于上述晶体管的沟道形成区,且根据电容元件的每单位时间的电荷量推移测量出该晶体管的关态电流。其结果是,可知当晶体管的源电极与漏电极之间的电压为3V时,可以得到几十yA/ μm 的极小的关态电流。由此,可以说包括被高度纯化的氧化物半导体膜的晶体管的关态电流显著小。

[0062] 在图1中,导电膜113通过开口117与像素电极121电连接。该像素电极121是使用透光性的导电膜形成的液晶元件的一对电极中的一个。

[0063] 使用如下构成要素形成电容元件105:将由具有透光性的氧化物半导体形成的半导体膜119用作一个电极,将具有透光性的像素电极121用作另一个电极,将包含在晶体管103中的具有透光性的绝缘膜(在图1中未图示)用作介电膜。也就是说,电容元件105透射光。另外,被用作电容元件105的一个电极的半导体膜119与电容线115电连接。

[0064] 因为如上所述电容元件105透射光,所以光可以透过液晶元件与电容元件105重叠的区域。因此,即使在像素101内电容元件105所占的面积较大,也可以实现高开口率,例如55%以上、60%以上。此外,可以得到增大了电容元件的电荷容量的半导体装置。

[0065] 例如,在高分辨率液晶显示装置中,像素整体的面积缩小,但是电容元件必须确保电荷容量,所以对面积的缩小有限度。这引起高分辨率液晶显示装置中的开口率的降低。另一方面,因为本实施方式所示的电容元件105透射光,所以在包括电容元件105的各像素中,可以在确保充分的电荷容量的同时,提高开口率。典型的是,优选将电容元件105用于像素密度为200ppi(pixel per inch:每英寸像素)以上或300ppi以上的高分辨率液晶显示装置。另外,本发明的一个方式可以提高开口率,因此可以高效地利用来自背光等光源的光,并且降低显示装置的耗电量。

[0066] 图2示出沿图1中的点划线A1-A2、B1-B2和C1-C2的截面图、以及用于图3中的第一驱动电路104的晶体管的截面图。注意,省略第一驱动电路104的俯视图,并且在图2中以D1-D2示出第一驱动电路104的截面图。还可以将用于第一驱动电路104的晶体管用于第二驱动电路106。

[0067] 首先,将说明沿点划线A1-A2、B1-B2及C1-C2的像素101的截面结构。

[0068] 在衬底102上设置有基底绝缘膜110,在基底绝缘膜110上设置有半导体膜111及半导体膜119。在半导体膜111上设置有包括晶体管103的源电极和漏电极中的一个的信号线109、以及包括晶体管103的源电极和漏电极中的另一个的导电膜113。在半导体膜119上设

置有电容线115。在半导体膜111、半导体膜119、信号线109、导电膜113及电容线115上设置有栅极绝缘膜127,扫描线107与半导体膜111隔着栅极绝缘膜127重叠。在栅极绝缘膜127、信号线109、半导体膜111、导电膜113以及半导体膜119上设置有用晶体管103的保护绝缘膜的绝缘膜129、绝缘膜131以及绝缘膜132。绝缘膜129、绝缘膜131及绝缘膜132包括到达导电膜113的开口117(参照图1),以覆盖该开口的方式设置有像素电极121(参照图1)。

[0069] 在本实施方式中,电容元件105的一对电极中的一个是在基底绝缘膜110上以与半导体膜111同样地工序形成的半导体膜119,一对电极中的另一个是像素电极121,设置在一对电极之间的电介质膜是绝缘膜129、绝缘膜131及绝缘膜132。

[0070] 注意,对半导体膜119可以添加掺杂剂。当半导体膜119是氧化物半导体膜时,例如,通过添加选自氢、硼、氮、氟、铝、磷、砷、铟、锡、锑以及稀有气体元素中的一种以上的掺杂剂,可以获得其导电率得到提高的n型氧化物半导体层。换言之,半导体膜119是导电膜,并可以将其用作电容元件的一个电极。

[0071] 另外,优选的是用作导电膜的半导体膜119具有比半导体膜111高的氢浓度。在半导体膜119中,通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测量的氢浓度为 8×10^{19} atoms/cm³以上,优选为 1×10^{20} atoms/cm³以上,更优选为 5×10^{20} atoms/cm³以上。在半导体膜111中,通过SIMS测量的氢浓度为 5×10^{19} atoms/cm³以下,优选为 5×10^{18} atoms/cm³以下,更优选为 1×10^{18} atoms/cm³以下,更优选为 5×10^{17} atoms/cm³以下,进一步优选为 1×10^{16} atoms/cm³以下。

[0072] 用作导电膜的半导体膜119的电阻率比半导体膜111的电阻率低。半导体膜119的电阻率优选为半导体膜111的电阻率的 1×10^{-8} 倍以上且 1×10^{-1} 倍以下。半导体膜119的电阻率典型的是 $1 \times 10^{-3} \Omega \text{ cm}$ 以上且小于 $1 \times 10^4 \Omega \text{ cm}$,更优选为 $1 \times 10^{-3} \Omega \text{ cm}$ 以上且小于 $1 \times 10^{-1} \Omega \text{ cm}$ 。

[0073] 注意,半导体膜119还可以使用与半导体膜111或半导体膜231不同的材料形成。也就是说,可以通过与半导体膜111或半导体膜231不同的工序形成半导体膜119。

[0074] 注意,可以将以与形成半导体膜119相同的方法形成的半导体膜用于电阻元件的形成。而且,使用该电阻元件可以形成保护电路。保护电路可以减少来自静电等的破坏。

[0075] 接着,将说明设置在第一驱动电路104中的晶体管的结构。

[0076] 在衬底102上设置有导电膜241,在该衬底102及导电膜241上设置有基底绝缘膜110。半导体膜231设置在基底绝缘膜110上并与导电膜241重叠。在半导体膜231上设置有用晶体管223的源电极和漏电极中的一个的布线229、以及用晶体管223的源电极和漏电极中的另一个的布线233。在半导体膜231、布线229以及布线233上设置有栅极绝缘膜127,在栅极绝缘膜127的与半导体膜231重叠的区域上设置有栅电极227。在栅极绝缘膜127以及栅电极227上设置有用晶体管223的保护绝缘膜的绝缘膜129、绝缘膜131以及绝缘膜132。注意,第一驱动电路104中的晶体管不必须包括导电膜241。

[0077] 晶体管223包括隔着半导体膜231重叠于栅电极227的导电膜241,因此可以降低在不同的漏极电压之间的使通态电流(on-state current)上升的栅极电压的偏差。还可以在与导电膜241对置的半导体膜231的表面上控制在布线229与布线233之间流过的电流,由此可以降低不同的晶体管之间的电特性的偏差。此外,由于导电膜241,而减轻周围的电场的变化给半导体膜231带来的影响,由此可以提高晶体管的可靠性。并且,当将导电膜241的电

位与最低电位 (V_{ss} , 例如布线229的电位为基准时的布线229的电位) 相同或大致相同时, 可以减少晶体管的阈值电压的变动, 并且可以提高晶体管的可靠性。

[0078] 注意, 设置在栅极绝缘膜127、扫描线107以及栅电极227上的绝缘膜不局限于上述三层膜, 也可以采用一层、两层或四层以上的结构。

[0079] 接着, 将对上述结构的构成要素进行详细说明。

[0080] 尽管对衬底102的材料等没有特别的限制, 但是该材料需要具有至少能够承受半导体装置的制造工序中进行的热处理程度的耐热性。例如, 作为衬底的例子可以举出玻璃衬底、陶瓷衬底、塑料衬底等, 作为玻璃衬底优选使用钡硼硅酸盐玻璃、铝硼硅酸盐玻璃或铝硅酸盐玻璃等无碱玻璃衬底。另外, 还可以使用不锈钢合金等不具有透光性的衬底, 此时, 优选在衬底表面上设置绝缘膜。作为衬底102, 也可以使用石英衬底、蓝宝石衬底、单晶半导体衬底、多晶半导体衬底、化合物半导体衬底、SOI (Silicon On Insulator: 绝缘体上硅片) 衬底等。

[0081] 基底绝缘膜110例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧化铪、氧化镓或Ga-Zn类金属氧化物等绝缘材料, 并以单层结构或叠层结构形成。基底绝缘膜110的一部分具有30nm至500nm、优选为150nm至400nm的厚度。

[0082] 半导体膜111、半导体膜119以及半导体膜231优选使用氧化物半导体膜。该氧化物半导体膜可以是非晶、单晶或多晶。半导体膜111的一部分的厚度为1nm以上且100nm以下, 优选为1nm以上且50nm以下, 更优选为1nm以上且30nm以下, 进一步优选为3nm以上且20nm以下。

[0083] 注意, 还可以以遮盖半导体膜111的沟道区的方式在基底绝缘膜110下配置遮光膜。遮光膜例如可以与导电膜241同时形成。

[0084] 可以用于半导体膜111、半导体膜119以及半导体膜231的氧化物半导体具有2eV以上、优选为2.5eV以上、更优选为3eV以上, 且小于3.9eV、优选小于3.7eV、更优选小于3.5eV的能隙。通过使用这样能隙宽的氧化物半导体, 可以降低晶体管103的关态电流。另外, 该氧化物半导体具有高可见光透过率, 且将其用于电容元件105的一个电极, 因此电容元件105透射光, 而可以提高液晶显示装置等中的像素的开口率。

[0085] 当氧化物半导体膜具有n型导电性时, 氧化物半导体膜的光学带隙可以为2.4eV以上且3.1eV以下或2.6eV以上且3.0eV以下。例如, 当用作半导体膜119的氧化物半导体膜是原子数比为In:Ga:Zn=1:1:1的In-Ga-Zn类金属氧化物膜时, 氧化物半导体膜的光学带隙为3.15eV。另外, 用于像素电极121等的铟锡氧化物的光学带隙为3.7eV至3.9eV。因此, 半导体膜119可以吸收透过像素电极121的能量最高的可见光及紫外光。由于担忧能量最高的可见光及紫外光会伤害眼睛, 因此可以说在像素101中包括具有透光性的电容元件105的半导体装置是对眼睛的刺激少的装置。注意, 电容元件105也不需要与像素101的全部区域重叠。当电容元件105至少与像素101的一部分重叠时, 可以吸收能量最高的可见光及紫外光。

[0086] 可以用于半导体膜111、半导体膜119及半导体膜231的氧化物半导体优选至少包含铟(In)或锌(Zn)。或者, 氧化物半导体优选包含In和Zn的双方。为了减少包括该氧化物半导体的晶体管的电特性的偏差, 除了In和Zn的一方或双方以外, 氧化物半导体优选还包含一种或多种稳定剂(stabilizer)。

[0087] 作为稳定剂, 可以举出镓(Ga)、锡(Sn)、铪(Hf)、铝(Al)和锆(Zr)。作为其他稳定

剂,可以举出镧系元素的镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镱(Lu)等。

[0088] 作为可以用于半导体膜111、半导体膜119以及半导体膜231的氧化物半导体,例如,可以使用:氧化镓;氧化锡;氧化锌;含有两种金属的氧化物,如In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物、In-Ga类氧化物;含有三种金属的氧化物,如In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-Zr-Zn类氧化物、In-Ti-Zn类氧化物、In-Sc-Zn类氧化物、In-Y-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物;含有四种金属的氧化物,如In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物。

[0089] 在此,“In-Ga-Zn类氧化物”是指以In、Ga以及Zn为主要成分的氧化物,对In、Ga以及Zn的比例没有特别的限制。此外,In-Ga-Zn类氧化物也可以包含In、Ga、Zn以外的金属元素。

[0090] 另外,作为氧化物半导体,可以使用以 InM_mO_3 (ZnO)_m ($m>0$) 表示的材料。注意,M表示选自Ga、Fe、Mn及Co中的一种或多种金属元素或者用作上述稳定剂的元素。

[0091] 例如,可以使用原子数比为In:Ga:Zn=1:1:1($=1/3:1/3:1/3$)、In:Ga:Zn=2:2:1($=2/5:2/5:1/5$)或In:Ga:Zn=3:1:2($=1/2:1/6:1/3$)的In-Ga-Zn类金属氧化物。或者,可以使用原子数为In:Sn:Zn=1:1:1($=1/3:1/3:1/3$)、In:Sn:Zn=2:1:3($=1/3:1/6:1/2$)或In:Sn:Zn=2:1:5($=1/4:1/8:5/8$)的In-Sn-Zn类金属氧化物。注意,金属氧化物的原子数比中的每个原子的比例在 $\pm 20\%$ 的范围内变动作为误差。

[0092] 注意,材料不局限于此,可以根据半导体特性及电特性(场效应迁移率、阈值电压等)使用具有适当的原子数比的材料。另外,优选采用适当的载流子密度、杂质浓度、缺陷密度、金属元素及氧的原子数比、原子间距离、密度等,以得到所需要的半导体特性。例如,当使用In-Sn-Zn类氧化物时可以较容易地获得较高的场效应迁移率。并且,当使用In-Ga-Zn类氧化物时也可以通过降低块体内的缺陷密度提高场效应迁移率。

[0093] 为了减少电阻损失,信号线109、导电膜113、电容线115、布线229以及布线233优选使用电阻较低的金属膜形成。信号线109、导电膜113、电容线115、布线229以及布线233例如可以使用钼(Mo)、钛(Ti)、钨(W)、钽(Ta)、铝(Al)、铜(Cu)、铬(Cr)、钕(Nd)、钪(Sc)等金属材料或以上述元素为主要成分的合金材料,并以单层结构或叠层结构形成。

[0094] 信号线109、导电膜113、电容线115、布线229以及布线233例如可以具有:使用包含硅的铝的单层结构;在铝上层叠钛的两层结构;在氮化钛上层叠钛的两层结构;在氮化钛上层叠钨的两层结构;在氮化钽上层叠钨的两层结构;在铜-镁-铝合金上层叠铜的两层结构;以及依次层叠氮化钛、铜和钨的三层结构等。

[0095] 例如,信号线109、导电膜113、电容线115、布线229以及布线233优选使用低电阻材料的铝或铜形成。当使用铝或铜时,可以降低信号迟延,并且提高显示质量。注意,由于铝的耐热性低,因此容易产生因小丘、晶须或迁移引起的不良。为了防止铝迁移,优选在铝上层

叠钼、钛、钨等熔点比铝高的金属材料。另外,当使用铜时,为了防止因迁移引起的不良或者铜元素的扩散,优选在铜上层叠钼、钛、钨等熔点比铜高的金属材料。

[0096] 信号线109、导电膜113、电容线115、布线229以及布线233可以使用能够用于像素电极121的具有透光性的导电材料形成。注意,当本发明的一个方式的半导体装置为反射型的显示装置时,作为像素电极121或衬底102可以使用不具有透光性的导电性材料。

[0097] 栅极绝缘膜127例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧化钪、氧化镓或Ga-Zn类金属氧化物等绝缘材料,并以单层结构或叠层结构形成。为了提高栅极绝缘膜127与氧化物半导体膜111之间的界面特性,优选栅极绝缘膜127中的至少接触于半导体膜111的区域使用包含氧的绝缘膜形成。

[0098] 另外,通过将抗氧、氢、水等具有阻挡性的绝缘膜用于栅极绝缘膜127,可以防止来自氧化物半导体膜111的氧的外方扩散以及从外部氢、水等进入氧化物半导体膜。作为抗氧、氢、水等具有阻挡性的绝缘膜,可以举出氧化铝膜、氧氮化铝膜、氧化镓膜、氧氮化镓膜、氧化钪膜、氧氮化钪膜、氧化钪膜、氧氮化钪膜、氮化硅膜。

[0099] 栅极绝缘膜127可以使用硅酸钪(HfSiO_x)、含有氮的硅酸钪($\text{HfSi}_x\text{O}_y\text{N}_z$)、含有氮的铝酸钪($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化钪、氧化钪等high-k材料形成,此时可以降低晶体管103的栅极漏电流。

[0100] 栅极绝缘膜127优选具有如下层叠结构:作为第一氮化硅膜,设置缺陷量少的氮化硅膜;作为第二氮化硅膜,在第一氮化硅膜上设置氢脱离量及氮脱离量少的氮化硅膜;并且在第二氮化硅膜上设置上述可以用于栅极绝缘膜127的包含氧的绝缘膜中的任一个。

[0101] 第二氮化硅膜优选使用在热脱附谱分析法中的氢分子的脱离量低于 5×10^{21} 分子/ cm^3 ,优选为 3×10^{21} 分子/ cm^3 以下,更优选为 1×10^{21} 分子/ cm^3 以下,氮分子的脱离量低于 1×10^{22} 分子/ cm^3 ,优选为 5×10^{21} 分子/ cm^3 以下,更优选为 1×10^{21} 分子/ cm^3 以下的氮化硅膜。当将第一氮化硅膜及第二氮化硅膜用作栅极绝缘膜127的一部分时,作为栅极绝缘膜127可以为缺陷量少且氢及氮的脱离量少的膜。由此,可以降低包含在栅极绝缘膜127中的进入半导体膜111的氢量及氮量。

[0102] 当在包括氧化物半导体的晶体管中,氧化物半导体膜和栅极绝缘膜的界面或栅极绝缘膜中存在陷阱态(也称为界面态)时,容易产生晶体管的阈值电压的变动,典型的是阈值电压的负向变动。该陷阱态会导致亚阈值摆幅(S值)增大,该亚阈值摆幅值示出在晶体管成为导通状态时为了使漏极电流变化一个数量级而所需的栅极电压。有上述电特性的变化不均匀,而根据晶体管不同的问题。因此,当作为栅极绝缘膜使用缺陷量少的氮化硅膜且以与半导体膜111接触的方式设置含有氧的绝缘膜时,可以减少阈值电压的负向漂移,并且可以抑制S值的增大。

[0103] 栅极绝缘膜127的厚度为5nm以上且400nm以下,优选为10nm以上且300nm以下,更优选为50nm以上且250nm以下。

[0104] 扫描线107、栅电极227以及导电膜241可以使用能够应用于信号线109、导电膜113、电容线115、布线229以及布线233的材料,并以单层结构或叠层结构形成。

[0105] 另外,扫描线107、栅电极227及导电膜241可以部分地使用含有氮的金属氧化物形成,具体地说,含有氮的In-Ga-Zn类氧化物、含有氮的In-Sn类氧化物、含有氮的In-Ga类氧化物、含有氮的In-Zn类氧化物、含有氮的Sn类氧化物、含有氮的In类氧化物或金属氮化物

(InN、SnN等)膜。这些材料都具有5eV(电子伏特)以上的功函数。当晶体管103的半导体膜111使用氧化物半导体形成时,通过作为扫描线107(晶体管103的栅电极)使用含有氮的金属氧化物,可以使晶体管103的阈值电压向正方向变动,即,晶体管可以具有常闭特性。例如,当使用包含氮的In-Ga-Zn类氧化物时,可以使用氮浓度至少比半导体膜111高的In-Ga-Zn类氧化物,具体而言,氮浓度为7atom%以上的In-Ga-Zn类氧化物。

[0106] 绝缘膜129及绝缘膜131例如可以使用氧化硅、氮化硅、氧化铝、氧化钪、氧化镓或Ga-Zn类金属氧化物等氧化绝缘材料,并以单层结构或叠层结构形成。

[0107] 绝缘膜129的一部分的厚度为5nm至150nm,优选为5nm至50nm,更优选为10nm至30nm。绝缘膜131的一部分的厚度为30nm至500nm,优选为150nm至400nm。

[0108] 另外,绝缘膜129和绝缘膜131中的一方或双方优选为其氧含量超过化学计量组成的氧化绝缘膜。此时,在防止氧从该氧化物半导体膜脱离,并且可以使包含在氧过剩区域中的氧透过栅极绝缘膜127扩散到氧化物半导体膜,从而可以填补氧空位。例如,使用具有如下特征的氧化绝缘膜填补该氧化物半导体膜中的氧空位:在使用利用热脱附谱分析(以下称为TDS分析)测量时,在100℃以上且700℃以下,优选为100℃以上且500℃以下的加热处理中的氧分子的释放量为 1.0×10^{18} 分子/cm³以上。注意,可以使用部分包括其氧含量超过化学计量组成的区域(氧过剩区域)的氧化绝缘膜作为绝缘膜129和绝缘膜131中的一方或双方。当这种氧过剩区域在至少与半导体膜111重叠的区域中存在时,可以防止氧从该氧化物半导体膜脱离,并可以使氧过剩区域中的氧扩散到氧化物半导体膜中来填补氧空位。

[0109] 当绝缘膜131是其氧含量超过化学计量组成的氧化绝缘膜时,绝缘膜129优选是使氧透过的氧化绝缘膜。从外部进入绝缘膜129的氧不都穿过绝缘膜129并扩散,也有留在绝缘膜129中的氧。此外,也有预先就包含在绝缘膜129中并从绝缘膜129向外部扩散的氧。因此,绝缘膜129优选具有高的氧的扩散系数。

[0110] 另外,绝缘膜129和绝缘膜131中的一方或双方优选为抗氮具有阻挡性的绝缘膜。例如,致密的氧化绝缘膜可以抗氮具有阻挡性。具体地说,优选采用在25℃使用0.5wt%的氟化氢酸时以10nm/分以下的速率被蚀刻的氧化绝缘膜。

[0111] 当作为绝缘膜129和绝缘膜131中的一方或双方使用氮化硅膜或氮氧化硅膜等含有氮的氧化绝缘膜时,优选以具有利用二次离子质谱分析法(SIMS)测量的氮浓度为SIMS的检出下限以上且低于 3×10^{20} atoms/cm³,更优选为 1×10^{18} atoms/cm³以上且 1×10^{20} atoms/cm³以下的区域的方式形成氧化绝缘膜。此时,可以减少进入晶体管103中的半导体膜111氮量,可以减少含有氮的氧化绝缘膜自身的缺陷量。

[0112] 绝缘膜132例如可以使用氮氧化硅、氮化硅、氮化铝、氮氧化铝等氮化绝缘材料,并以单层结构或叠层结构形成。

[0113] 作为绝缘膜132,也可以设置氢含量少的氮化绝缘膜。氮化绝缘膜为如下:例如,利用在膜的表面温度为100℃以上且700℃以下,优选为100℃以上且500℃以下的加热处理中进行的TDS分析所测量的氢分子的释放量低于 5.0×10^{21} 分子/cm³、优选低于 3.0×10^{21} 分子/cm³、更优选低于 1.0×10^{21} 分子/cm³的氮化绝缘膜。

[0114] 绝缘膜132的一部分的厚度为足以抑制来自外部的氢及水等杂质进入的厚度。例如,绝缘膜132的厚度为50nm以上且200nm以下,优选为50nm以上且150nm以下,更优选为50nm以上且100nm以下。当设置绝缘膜132时,由绝缘膜132阻挡碳等杂质,以抑制杂质移动

到晶体管103的半导体膜111及晶体管223的半导体膜231,由此可以减少晶体管的电特性的偏差。

[0115] 当在栅极绝缘膜127、扫描线107及栅电极227上设置一层的绝缘膜时,优选设置绝缘膜131。当设置两层的绝缘膜时,优选从该半导体膜一侧以绝缘膜131、绝缘膜132的顺序设置。

[0116] 作为在栅极绝缘膜127、扫描线107及栅电极227与像素电极121、导电膜241以及能够与像素电极121和导电膜241同时形成的布线等之间形成的绝缘膜,可以包含利用通过使用有机硅烷气体的CVD法(化学气相沉积法)形成的氧化绝缘膜,典型的是氧化硅膜。

[0117] 该氧化硅膜的厚度可以为300nm至600nm。作为有机硅烷气体,可以使用如下含有硅的化合物中的任何一种或多种:正硅酸乙酯(TEOS:化学式为 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基硅烷(TMS:化学式为 $\text{Si}(\text{CH}_3)_4$)、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅氮烷(HMDS)、三乙氧基硅烷($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三(二甲氨基)硅烷($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)。

[0118] 当利用使用有机硅烷气体的CVD法形成该氧化硅膜时,可以提高形成在衬底102上的元件部表面的平坦性。其结果是,即使不设置使用有机树脂形成的平坦化膜,也可以减少液晶分子的取向无序,可以减少漏光,并可以提高对比度。当然,也可以使用有机树脂代替该氧化硅膜、或该氧化硅膜和有机树脂膜的叠层。

[0119] 像素电极121可以使用铟锡氧化物、含有氧化钨的铟氧化物、含有氧化钨的铟锌氧化物、含有氧化钛的铟氧化物、含有氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等具有透光性的导电材料形成。

[0120] 接着,将详细地说明本实施方式所示的像素101中的构成要素。

[0121] 图4A示出上述像素101的电路图的一个例子。像素101包括晶体管103、电容元件105以及液晶元件108。晶体管103的栅电极电连接到扫描线107,晶体管103的源电极和漏电极中的一个电连接到信号线109,源电极和漏电极中的另一个电连接到电容元件105的一个电极及液晶元件108的一个电极(像素电极)。电容元件105的另一个电极电连接到电容线115,液晶元件108的另一个电极(对置电极)电连接到对置电极供应对置电位的布线。

[0122] 液晶元件108通过利用由形成有晶体管103及像素电极的衬底与对置衬底(例如形成有对置电极的衬底)夹住的液晶的光学调制作用控制光的透过或非透过。注意,液晶的光学调制作用由施加到液晶的电场(包括纵向电场及斜向电场)控制。注意,当在同一衬底上形成像素电极及对置电极(也称为公共电极)时,横向电场施加到液晶。

[0123] 图4B示出像素101的详细电路图的一个例子。如图4B及图2所示,晶体管103包括:包括栅电极的扫描线107;包括源电极和漏电极中的一个的信号线109;以及包括源电极和漏电极中的另一个的导电膜113。

[0124] 将连接到电容线115的半导体膜119用作电容元件105的一个电极。将连接到包括源电极和漏电极中的另一个的导电膜113的像素电极121用作电容元件105的另一个电极。将设置在半导体膜119与像素电极121之间的绝缘膜129、绝缘膜131以及绝缘膜132用作介电膜。

[0125] 液晶元件108包括:像素电极121;对置电极154;以及设置于像素电极121与对置电极154之间的液晶层。

[0126] 即使半导体膜119具有与半导体膜111同样高的电阻,电容元件105中的半导体膜

119也被用作电容元件105的电极。这是因为可以将像素电极121用作栅电极,可以将绝缘膜129、绝缘膜131以及绝缘膜132用作栅极绝缘膜,可以将电容线115用作源电极或漏电极,因此可以使电容元件105与晶体管同样地工作,而可以使半导体膜119成为导通状态。因此,可以将半导体膜119用作电容元件105的一个电极。

[0127] 接着,将参照图5A和图5B、图6A和图6B说明图1及图2所示的半导体装置的制造方法。

[0128] 首先,在衬底102上形成导电膜241,并且以覆盖导电膜241的方式形成基底绝缘膜110。

[0129] 可以通过使用上述材料形成导电膜,在该导电膜上形成掩模,利用该掩模进行加工来形成导电膜241。可以使用蒸镀法、CVD法、溅射法或旋涂法等各种成膜方法,由此形成导电膜241。注意,对于该导电膜的厚度没有特别的限定,可以考虑形成所需时间以及所希望的电阻率等决定导电膜的厚度。作为该掩模,例如可以使用通过光刻工序形成的抗蚀剂掩模。可以使用干蚀刻和湿蚀刻中的一种或两种对导电膜241进行加工。

[0130] 基底绝缘膜110可以使用上述材料形成。基底绝缘膜110可以利用蒸镀法、CVD法、溅射法、旋涂法等各种成膜方法形成。

[0131] 接着,形成半导体膜111、半导体膜119以及半导体膜231(参照图1)。可以使用上述氧化物半导体形成氧化物半导体膜,在该氧化物半导体膜上形成掩模,利用该掩模进行加工,由此形成半导体膜111、半导体膜119以及半导体膜231。该氧化物半导体膜可以使用溅射法、涂敷法、脉冲激光蒸镀法、激光烧蚀法等形式。当使用印刷法时,可以将互相分离的半导体膜111及半导体膜119直接形成在基底绝缘膜110上。当利用溅射法形成该氧化物半导体膜时,可以通过适当地使用RF电源装置、AC电源装置或DC电源装置等电源装置生成等离子体。作为溅射气体,可以适当地使用稀有气体(典型地为氩)、氧气体、包含稀有气体及氧的混合气体。当采用包含稀有气体及氧的混合气体时,氧的比例优选比稀有气体高。另外,根据所形成的氧化物半导体膜的组成而选择靶材,即可。作为该掩模,例如可以使用通过光刻工序形成的抗蚀剂掩模。可以使用干蚀刻和湿蚀刻中的一方或双方对该氧化物半导体膜进行加工。根据材料适当地设定蚀刻条件(例如,蚀刻气体、蚀刻液、蚀刻时间、温度,以能够使氧化物半导体膜蚀刻为所希望的形状。

[0132] 上述氧化物半导体膜也可以利用CVD法形成。作为CVD法,可以采用MOCVD(Metal Organic Chemical Vapor Deposition:有机金属化学气相沉积)法或ALD(Atomic Layer Deposition:原子层沉积)法等。

[0133] 热CVD法是不使用等离子体的成膜方法,因此具有不产生因等离子体损伤所引起的缺陷的优点。

[0134] 可以以如下方法进行利用热CVD法的成膜:将源气体及氧化剂同时供应到处理室内,将处理室内的压力设定为大气压或减压,使其在衬底附近或在衬底上发生反应。

[0135] 可以以如下方法进行利用ALD法的成膜:将处理室内的压力设定为大气压或减压,将用于反应的源气体依次引入处理室,并且按该顺序反复地引入气体。例如,通过切换各开关阀(也称为高速阀)将两种以上的源气体依次供应到处理室内。例如,在引入第一源气体的同时或之后引入惰性气体(氩或氮等)等,因此多种源气体不混合,然后引入第二源气体。注意,当同时引入第一源气体及惰性气体时,惰性气体被用作载流子气体,并且可以在引入

第二源气体的同时引入惰性气体。另外,也可以利用真空抽气将第一源气体排出代替引入惰性气体,然后引入第二源气体。第一源气体附着到衬底表面形成第一层,然后,引入第二源气体以与该第一层起反应,其结果是,第二层层叠在第一层上而形成薄膜。按该顺序反复多次地引入气体直到获得所希望的厚度为止,由此可以形成台阶覆盖率良好的薄膜。由于薄膜的厚度可以根据按顺序反复引入气体的次数来进行调节,因此,ALD法可以准确地调节厚度而适用于微型晶体管的制造。

[0136] 例如,当形成 InGaZnO_X ($X>0$) 膜时,使用三甲基铟、三甲基镓及二甲基锌。注意,三甲基铟的化学式为 $\text{In}(\text{CH}_3)_3$ 。三甲基镓的化学式为 $\text{Ga}(\text{CH}_3)_3$ 。二甲基锌的化学式为 $\text{Zn}(\text{CH}_3)_2$ 。不局限于上述组合,也可以使用三乙基镓(化学式为 $\text{Ga}(\text{C}_2\text{H}_5)_3$)代替三甲基镓,并且可以使用二乙基锌(化学式为 $\text{Zn}(\text{C}_2\text{H}_5)_2$)代替二甲基锌。

[0137] 在利用ALD法形成In-Ga-Zn-O膜时,依次反复引入 $\text{In}(\text{CH}_3)_3$ 气体和 O_3 气体形成 InO_2 层,同时引入 $\text{Ga}(\text{CH}_3)_3$ 气体和 O_3 气体形成GaO层,之后同时引入 $\text{Zn}(\text{CH}_3)_2$ 气体和 O_3 气体形成ZnO层。注意,这些层的顺序不局限于上述例子。也可以混合这些气体来形成混合化合物层如In-Ga-O层、In-Zn-O层、Ga-In-O层、Zn-In-O层或Ga-Zn-O层。注意,虽然也可以使用利用Ar等惰性气体进行鼓泡而得到的 H_2O 气体代替 O_3 气体,但是优选使用不包含H的 O_3 气体。另外,也可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 气体代替 $\text{In}(\text{CH}_3)_3$ 气体。也可以使用 $\text{Ga}(\text{C}_2\text{H}_5)_3$ 气体代替 $\text{Ga}(\text{CH}_3)_3$ 气体。还可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 气体代替 $\text{In}(\text{CH}_3)_3$ 气体。另外,也可以使用 $\text{Zn}(\text{CH}_3)_2$ 气体。

[0138] 优选在形成半导体膜111、半导体膜119以及半导体膜231之后进行加热处理,来使氧化物半导体膜111、氧化物半导体膜119以及氧化物半导体膜231脱氢化或脱水化。作为该加热处理的温度,典型地为 150°C 以上且低于衬底的应变点,优选为 200°C 以上且 450°C 以下,更优选为 300°C 以上且 450°C 以下。注意,也可以对被加工为半导体膜111、半导体膜119以及半导体膜231之前的氧化物半导体膜进行该加热处理。

[0139] 在该加热处理中使用的加热处理装置不限于电炉,还可以使用通过诸如来自被加热的气体等媒介的热传导或热辐射来加热物体的装置。例如,可以使用GRTA(Gas Rapid Thermal Anneal:气体快速热退火)装置、LRTA(Lamp Rapid Thermal Anneal:灯快速热退火)装置等RTA(Rapid Thermal Anneal:快速热退火)装置。LRTA装置是利用从灯如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯等发出的光(电磁波)的辐射加热物体的装置。GRTA装置是使用高温的气体进行加热处理的装置。

[0140] 该加热处理可以在氮、氧、超干燥空气(水含量为20ppm以下,优选为1ppm以下,更优选为10ppb以下的空气)或稀有气体(氩或氦等)的气氛下进行。优选上述氮、氧、超干燥空气或稀有气体的气氛不含氢、水等。另外,也可以首先在惰性气体气氛中进行加热,然后在氧气气氛中进行加热。处理时间为3分钟至24小时。

[0141] 在此,可以通过如下方法对半导体膜119添加掺杂剂:在半导体膜119之外的区域设置掩模,通过离子注入法或离子掺杂法等对半导体膜119添加选自氢、硼、氮、氟、铝、磷、砷、铟、锡、锑以及稀有气体元素中的一种以上的掺杂剂。此外,也可以将半导体膜暴露于包含该掺杂剂的等离子体来对半导体膜119添加该掺杂剂,代替使用离子注入法或离子掺杂法。也可以在对半导体膜119添加掺杂剂之后进行加热处理。该加热处理可以参照用于半导体膜111以及半导体膜119的脱氢化或脱水化的加热处理的详细内容而适当地进行。

[0142] 接着,形成信号线109、导电膜113、电容线115、布线229以及布线233。可以使用上

述材料中的一种或多种形成导电膜,在该导电膜上形成掩模,利用该掩模进行加工,由此形成信号线109、导电膜113、电容线115、布线229以及布线233。该掩模的形成及该加工可以与导电膜241同样地进行。

[0143] 接着,以覆盖基底绝缘膜110、半导体膜111、半导体膜119、半导体膜231、信号线109、导电膜113、电容线115、布线229以及布线233的方式形成栅极绝缘膜127。

[0144] 栅极绝缘膜127可以使用上述材料中的一种或多种并利用CVD法或溅射法等各种成膜方法形成。当将氧化镓用于栅极绝缘膜127时,可以利用MOCVD(Metal Organic Chemical Vapor Deposition:有机金属化学气相沉积)法形成栅极绝缘膜127。

[0145] 接着,隔着栅极绝缘膜127在半导体膜111上形成扫描线107,隔着栅极绝缘膜127在半导体膜231上形成栅电极227(参照图5B)。

[0146] 使用上述材料中的一种或多种形成导电膜,在该导电膜上形成掩模,利用该掩模进行加工,由此可以形成扫描线107及栅电极227。该掩模的形成及该加工可以与导电膜241同样地进行。

[0147] 接着,在栅极绝缘膜127、扫描线107以及栅电极227上形成绝缘膜129、绝缘膜131以及绝缘膜132(参照图6A)。注意,优选连续形成绝缘膜129、绝缘膜131及绝缘膜132。由于该连续形成而可以抑制杂质混入绝缘膜129、绝缘膜131及绝缘膜132的各界面。

[0148] 可以使用上述材料中的一种或多种并利用CVD法或溅射法等各种成膜方法形成绝缘膜129、绝缘膜131及绝缘膜132。

[0149] 例如,可以使用上述氧化绝缘膜形成绝缘膜129。这里,作为该氧化绝缘膜,形成氧化硅膜或氮化硅膜。该形成条件为:将设置于等离子体CVD装置的被真空排气的处理室内的衬底的温度保持于180℃以上且400℃以下,优选为200℃以上且370℃以下,向处理室中引入作为源气体的包含硅的沉积气体及氧化性气体,并将处理室内的压力设定为20Pa以上且250Pa以下,优选为40Pa以上且200Pa以下,对设置于处理室内的电极供应高频电力。

[0150] 作为包含硅的沉积气体的典型例子,可以举出硅烷、乙硅烷、丙硅烷、氟化硅烷等。作为氧化性气体的例子,可以举出氧、臭氧、一氧化二氮、二氧化氮等。

[0151] 通过将氧化性气体量与包含硅的沉积气体量的比值为100以上,可以减少绝缘膜129中的氢含量,并减少绝缘膜129中的悬空键。从绝缘膜131释放的氧有时被绝缘膜129中的悬空键俘获,因此在绝缘膜129中的悬空键减少时,绝缘膜131中的氧可以透过栅极绝缘膜127高效地扩散到半导体膜111及半导体膜231中,从而可以填补氧化物半导体膜111及氧化物半导体膜231中的氧空位。其结果是,可以减少进入该氧化物半导体膜中的氢含量并可以减少氧化物半导体膜中的氧空位。

[0152] 当绝缘膜131是上述包括氧过剩区域的氧化绝缘膜或其氧含量超过化学计量组成的氧化绝缘膜时,可以在如下形成条件下形成绝缘膜131。这里,作为该氧化绝缘膜形成氧化硅膜或氮化硅膜。关于形成条件,将设置于等离子体CVD装置的被真空排气的处理室内的衬底的温度保持于180℃以上且260℃以下,优选为180℃以上且230℃以下,向处理室中引入源气体,处理室内的压力为100Pa以上且250Pa以下,优选为100Pa以上且200Pa以下,对设置于处理室内的电极供应0.17W/cm²以上且0.5W/cm²以下,优选为0.25W/cm²以上且0.35W/cm²以下的高频电力。

[0153] 作为绝缘膜131的源气体可以使用能够用于绝缘膜129的源气体。

[0154] 在绝缘膜131的形成条件下,在上述压力的处理室中供应具有上述功率密度的高频电力,而在等离子体中源气体的分解效率得到提高,氧自由基增加,而促进源气体的氧化,因此绝缘膜131中的氧含量比化学计量组成多。然而,在上述衬底温度范围内,由于硅与氧的键合力低,因此因加热而氧的一部分脱离。由此,可以形成其氧含量超过化学计量组成且因加热氧的一部分脱离的氧化绝缘膜。

[0155] 通过增大绝缘膜131的厚度,较多的氧因加热而脱离,因此优选将绝缘膜131形成厚于绝缘膜129的膜。通过设置绝缘膜129,即使将绝缘膜131形成得较厚也可以实现良好的覆盖率。

[0156] 当作为绝缘膜132使用氢含量少的氮化绝缘膜时,可以在如下条件下形成绝缘膜132。这里,作为该氮化绝缘膜形成氮化硅膜。关于形成条件,将设置于等离子体CVD装置的被真空排气的处理室内的衬底的温度保持于80℃以上且400℃以下,优选为200℃以上且370℃以下,向处理室中引入源气体,将处理室内的压力设定为100Pa以上且250Pa以下,优选为100Pa以上且200Pa以下,对设置于处理室内的电极供应高频电力。

[0157] 作为绝缘膜132的源气体,优选使用包含硅的沉积气体、氮气气体及氨气气体。作为包含硅的沉积气体的典型例子,可以举出硅烷、乙硅烷、丙硅烷、氟化硅烷等。另外,氮的流量与氨的流量的比值优选为5以上且50以下,更优选为10以上且50以下。通过作为源气体使用氨,可以促进含有硅的沉积气体及氮的分解。这是因为如下缘故:氨因等离子体能或热能而离解,因离解而产生的能量有助于含有硅的沉积气体分子的键合及氮分子的键合的分解。在上述条件下,可以形成氢含量少且能够抑制来自外部的氢及水等杂质进入的氮化硅膜。

[0158] 优选的是,至少在形成绝缘膜131之后进行加热处理,使包含在绝缘膜129或绝缘膜131中的过剩氧透过栅极绝缘膜127扩散到半导体膜111及半导体膜231,由此填补氧化物半导体膜111及氧化物半导体膜231中的氧空位。注意,该加热处理可以参照用于半导体膜111及半导体膜231的脱氢化或脱水化的加热处理的详细内容适当地进行。

[0159] 接着,在绝缘膜129、绝缘膜131以及绝缘膜132的与导电膜113重叠的部分中形成到达导电膜113的开口117(参照图1)。

[0160] 接着,形成像素电极121,由此可以形成图1、图2所示的半导体装置(参照图6B)。像素电极121可以通过如下方法形成:使用上述材料中的一种或多种形成通过开口117与导电膜113接触的导电膜,在该导电膜上形成掩模,并利用该掩模进行加工而形成。该掩模的形成及该加工可以与导电膜241同样地进行。

[0161] 在本发明的一个方式的半导体装置中,可以适当地改变电容元件的结构。例如,如图7A中的电容元件105的截面图所示,也可以从电容元件105的电介质去除栅极绝缘膜127。其结果是,可以使电介质的厚度薄,并且从而提高电容元件105的电荷容量。注意,可以通过使用形成在栅极绝缘膜127上的掩模进行加工来部分去除栅极绝缘膜127。该掩模的形成及该加工可以与导电膜241同样地进行。在使用半色调掩模形成栅电极227时,可以去除栅极绝缘膜127的一部分。此时,可以减少光刻工序数。此外,还可以去除绝缘膜129和绝缘膜131中的一个。

[0162] 另外,如图7B中的电容元件105的截面图所示,也可以从电容元件105的电介质去除栅极绝缘膜127、绝缘膜129及绝缘膜131。其结果是,可以使电介质的厚度变得更薄,从而

进一步提高电容元件105的电荷容量。

[0163] 在图7B所示的电容元件105中,半导体膜119与绝缘膜132接触。如上所述,绝缘膜132优选为氮化绝缘膜。可以将氮化绝缘膜所包含的多量的氮及氢扩散到半导体膜119。在将氧化物半导体用于半导体膜119时,进入氧化物半导体内的氮及氢的一部分有助于形成产生载流子的施主能级,所以可以得到n型氧化物半导体层。因此,可以提高半导体膜119的导电率,且可以省略对半导体膜119掺杂杂质的工序等。

[0164] 另外,如图8所示,氮化绝缘膜118可以设置在基底绝缘膜110与用作电容元件105的一个电极的半导体膜119之间。通过采用这种结构,如图7B所示,可以使氮及氢从氮化绝缘膜118扩散到半导体膜119,从而提高半导体膜119的导电率。注意,氮化绝缘膜118可以通过如下方法形成:形成能够用于绝缘膜132的膜,在该膜上形成掩模,并且利用该掩模进行加工。该掩模的形成及该加工可以与导电膜241同样地进行。这种电容元件的结构也可以与图7A或图7B所示的电容元件的结构组合。

[0165] 在本发明的一个方式的半导体装置中,设置在像素内的晶体管的形状不局限于图1及图2所示的晶体管的形状,而可以适当地改变。例如,在晶体管中,包括在信号线109中的源电极和漏电极中的一个可以为围绕包括源电极和漏电极中的另一个的导电膜的U字形状(C字形状、方括号状形状或马蹄型状)。通过采用上述形状,即使晶体管的面积较小,也可以确保足够的沟道宽度,由此可以增加晶体管的开启时流过的漏电流(也称为通态电流)量。

[0166] 虽然上述像素101中的晶体管是具有一个栅电极的晶体管,但是也可以使用具有夹着半导体膜111而对置的两个栅电极的晶体管。注意,具有两个栅电极的晶体管的例子是图2所示的晶体管,该晶体管用于第一驱动电路104并具有栅电极227及导电膜241。

[0167] 在上述具有两个栅电极的晶体管中,在本实施方式所说明的晶体管103的基底绝缘膜110下设置导电膜。导电膜至少重叠于半导体膜111的沟道形成区。优选通过将导电膜设置在重叠于半导体膜111的沟道形成区的位置,因此导电膜的电位为输入到信号线109的视频信号的最低电位。在此情况下,在对置于导电膜的半导体膜111的表面上可以控制在源电极与漏电极之间流过的电流,由此可以减少晶体管之间的电特性的偏差。此外,通过设置导电膜,可以减轻周围的电场的变化给半导体膜111带来的影响,而可以提高晶体管的可靠性。

[0168] 上述导电膜可以使用与导电膜241、扫描线107、信号线109、像素电极121等同样的材料及方法而形成。

[0169] 如上所述,当作为电容元件的一个电极使用在与晶体管所包括的半导体膜相同的形成工序中形成的半导体膜时,可以制造具有在提高开口率的同时能够增大电荷容量的电容元件的半导体装置。其结果是,可以得到显示质量优良的半导体装置。

[0170] 而且,当将与晶体管所包括的半导体膜相同的工序形成的半导体膜用作电容元件的一个电极时,可以不增加光刻工序所需要的掩模的个数而制造开口率高且具有电荷容量大的电容元件的半导体装置。

[0171] 另外,由于晶体管中的半导体膜的氧化物半导体膜包括减少了的氧空位及氢等杂质,因此本发明的一个方式的半导体装置具有良好的电特性。

[0172] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0173] 实施方式2

在本实施方式中,说明可以用作上述实施方式所说明的半导体装置所包括的晶体管及电容元件中的半导体膜的氧化物半导体膜的一个方式。

[0174] 氧化物半导体可以包括非单晶。非单晶例如包括CAAC(C Axis Aligned Crystal;c轴取向结晶)、多晶、微晶和非晶部中的至少一个。

[0175] 氧化物半导体也可以包括CAAC。注意,将包括CAAC的氧化物半导体称为CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向结晶氧化物半导体)。

[0176] 有时在使用透射电子显微镜(TEM:Transmission Electron Microscope)得到的图像中,在CAAC-OS中确认到结晶部。在大多情况下,在使用TEM得到的图像中,CAAC-OS中的结晶部的每一个能够容纳在一个边长短于100nm的立方体内。在使用TEM得到的图像中,有时无法明确地确认到CAAC-OS中的结晶部之间的边界。此外,在使用TEM得到的图像中,有时无法明确地确认到CAAC-OS中的晶界(grain boundary)。在CAAC-OS中,由于不存在明确的晶界,所以不容易产生杂质的偏析。在CAAC-OS中,由于不存在明确的晶界,所以缺陷态密度很少变高。在CAAC-OS中,由于不存在明确的晶界,所以电子迁移率的低下较小。

[0177] CAAC-OS具有多个结晶部。有时在该多个结晶部中,c轴在平行于形成有CAAC-OS的表面的法线向量或CAAC-OS的表面的法线向量的方向上一致。当使用X射线衍射(XRD:X-Ray Diffraction)装置并且利用Out-of-plane法来分析CAAC-OS时,有时在 2θ 为 31° 附近观察到峰值。在 InGaZnO_4 的结晶中, 2θ 为 31° 附近的峰值示出 InGaZnO_4 的结晶取向于(009)面。此外,在CAAC-OS中,有时在 2θ 为 31° 附近出现峰值。在 ZnGa_2O_4 的结晶中, 2θ 为 31° 附近的峰值示出 ZnGa_2O_4 的结晶取向于(222)面。优选的是,在CAAC-OS中,在 2θ 为 31° 附近时出现峰值而在 2θ 为 36° 附近时不出现峰值。

[0178] 在CAAC-OS中,在不同的结晶部间,有时一个结晶部的a轴及b轴的方向与另一个结晶部的a轴及b轴的方向不同。当使用XRD装置并采用使X线从垂直于c轴的方向入射的in-plane法分析具有 InGaZnO_4 的结晶的CAAC-OS时,有时出现 2θ 为 56° 附近的峰值。 2θ 为 56° 附近的峰值来源于 InGaZnO_4 的结晶的(110)面。在此,当将 2θ 固定在 56° 附近,以表面的法线向量为轴(ϕ 轴)使样品旋转,并且进行分析(ϕ 扫描)时,虽然在a轴及b轴的方向与另一个结晶部的a轴及b轴的方向一致的单晶氧化物半导体中出现六个对称性峰值,但是在CAAC-OS中不出现明显的峰值。

[0179] 如上所述,在CAAC-OS中,有时c轴取向且a轴或/及b轴在宏观上不一致。

[0180] 另外,有时在CAAC-OS的电子衍射图案中,观察到斑点(亮点)。将使用电子束径为10nm ϕ 以下或5nm ϕ 以下的电子线而得到的电子衍射图案称为纳米束电子衍射图案。

[0181] 图10A示出包括CAAC-OS的样品的纳米束电子衍射图案的例子。在此,将样品沿着垂直于形成有CAAC-OS的表面的方向截断,将其厚度减薄为40nm左右。此外,在此使电子束径为1nm ϕ 的电子线从垂直于样品的截断面的方向入射。图10A示出在CAAC-OS的纳米束电子衍射图案中观察到的斑点。

[0182] 在包括在CAAC-OS中的各结晶部中,c轴在平行于形成有CAAC-OS的表面的法线向量或CAAC-OS的表面的法线向量的方向上取向。并且,在各结晶部中,当从垂直于ab面的方向看时金属原子排列为三角形或六角形,且当从垂直于c轴的方向看时,金属原子排列为层状或者金属原子和氧原子排列为层状。注意,在结晶部之间,一个结晶部的a轴和b轴的方向可以与另一个结晶部的a轴及b轴的方向不同。在本说明书中,“垂直”的用语包括 80° 至 100°

的范围,优选包括 85° 至 95° 的范围。并且,“平行”的用语包括 -10° 至 10° 的范围,优选包括 -5° 至 5° 的范围。

[0183] 因为包括在CAAC-OS膜中的结晶部的c轴在平行于形成有CAAC-OS的表面的法线向量或CAAC-OS膜的表面的法线向量的方向上取向,所以有时根据CAAC-OS膜的形状(形成有CAAC-OS的表面的截面形状或CAAC-OS的表面的截面形状)c轴的方向可以彼此不同。注意,在形成结晶部时或在形成结晶部后通过诸如加热处理等晶化处理而形成膜。因此,结晶部的c轴在平行于形成有CAAC-OS膜的表面的法线向量或CAAC-OS膜的表面的法线向量的方向上取向。

[0184] 有时可以通过降低杂质浓度获得CAAC-OS。在此,杂质是指氢、碳、硅以及过渡金属元素等氧化物半导体的主要成分以外的元素。特别是,硅等元素与氧的键合力比包括在氧化物半导体中的金属元素与氧的键合力强。因此,当该元素夺取氧化物半导体中的氧时,有时打乱氧化物半导体的原子排列,由此使氧化物半导体的结晶性下降。另外,由于铁或镍等重金属、氫、二氧化碳等的原子半径(或分子半径)大,所以有时会打乱氧化物半导体的原子排列,导致氧化物半导体的结晶性下降。因此,CAAC-OS是杂质浓度低的氧化物半导体。注意,包含在氧化物半导体中的杂质会被用作载流子发生源。

[0185] 在CAAC-OS中,结晶部的分布也可以不均匀。例如,在CAAC-OS的形成过程中,在从氧化物半导体的表面一侧进行结晶生长的情况下,有时氧化物半导体的表面附近的结晶部的比例高于形成有氧化物半导体的表面附近的结晶部的比例。此外,当杂质混入到CAAC-OS时,有时会使该杂质混入区中的结晶部的结晶性降低。

[0186] 另外,CAAC-OS可以通过降低缺陷态密度形成。在氧化物半导体中,氧空位形成缺陷态。氧空位有时形成陷阱态或在俘获氢时被用作载流子发生源。为了形成CAAC-OS,重要的是防止在氧化物半导体中产生氧空位。因此,CAAC-OS是缺陷态密度低的氧化物半导体。换言之,CAAC-OS是氧空位少的氧化物半导体。

[0187] 将杂质浓度低且缺陷态密度低(氧空位的个数少)的状态称为“高纯度本征”或“实质上高纯度本征”。高纯度本征或实质上高纯度本征的氧化物半导体具有较少的载流子发生源,因此有时具有较低的载流子密度。因此,有时在沟道形成区中包括该氧化物半导体的晶体管很少具有负阈值电压(很少处于常开启)。高纯度本征或实质上高纯度本征的氧化物半导体具有较低的缺陷态密度,因此有时具有较低的陷阱态密度。因此,有时在沟道形成区中包括该氧化物半导体的晶体管的电特性变动小,而其可靠性高。被氧化物半导体的陷阱态俘获的电荷直到被释放为止需要较长的时间,有时像固定电荷那样动作。因此,有时在沟道形成区中包括陷阱态密度高的氧化物半导体的晶体管的电特性不稳定。

[0188] 在使用高纯度本征或实质上高纯度本征的CAAC-OS的晶体管中,起因于可见光或紫外光的照射的电特性的变动小。

[0189] CAAC-OS例如可以通过使用DC电源的溅射法来形成。

[0190] 氧化物半导体可以包括多晶。注意,将包括多晶的氧化物半导体称为多晶氧化物半导体。多晶氧化物半导体包括多个晶粒。

[0191] 在多晶氧化物半导体的TEM图像中,可以观察到晶粒。在大多情况下,在使用TEM得到的图像中,多晶氧化物半导体中的晶粒的粒径为 2nm 以上且 300nm 以下、 3nm 以上且 100nm 以下或 5nm 以上且 50nm 以下。此外,在TEM图像中,有时在多晶氧化物半导体中可以确认到晶

粒与晶粒之间的边界。此外,在TEM图像中,有时在多晶氧化物半导体中可以确认到晶界。

[0192] 多晶氧化物半导体具有多个晶粒,在该多个晶粒中结晶取向不同。当使用XRD装置并采用out-of-plane法分析多晶氧化物半导体时,有时出现表示取向的 2θ 为 31° 附近的峰值或表示多种取向的多个峰值。此外,在多晶氧化物半导体的电子衍射图案中,有时观察到斑点。

[0193] 因为多晶氧化物半导体具有高结晶性,所以有时具有高电子迁移率。因此,将多晶氧化物半导体用于沟道形成区的晶体管具有高场效应迁移率。注意,在多晶氧化物半导体的结晶之间的晶界有时产生杂质的偏析。多晶氧化物半导体的晶界成为缺陷态。由于多晶氧化物半导体的晶界有时成为载流子发生源或载流子陷阱,因此有时与将CAAC-OS用于沟道形成区的晶体管相比,将多晶氧化物半导体用于沟道形成区的晶体管的电特性变动较大,且可靠性较低。

[0194] 多晶氧化物半导体可以使用高温加热处理或激光处理形成。

[0195] 氧化物半导体也可以包括微晶。注意,将包括微晶的氧化物半导体称为微晶氧化物半导体。

[0196] 在使用TEM得到的图像中,在微晶氧化物半导体中有时无法明确地确认到结晶部。在大多数情况下,微晶氧化物半导体层所包含的结晶部的尺寸为1nm以上且100nm以下,或1nm以上且10nm以下。尤其是,将1nm以上且10nm以下的微晶称为纳米晶(nc:nanocrystal)。将包括纳米晶的氧化物半导体称为nc-OS(nanocrystalline Oxide Semiconductor)。在nc-OS的TEM图像中,由于不存在明确的晶界,所以很少产生杂质的偏析。在nc-OS中由于不存在明确的晶界,所以缺陷态密度很少变高。在nc-OS中,由于不存在明确的晶界,所以电子迁移率的降低较小。

[0197] 在nc-OS中,在微小区域(例如1nm以上且10nm以下的区域)中有时其原子排列具有周期性。此外,在nc-OS中结晶部没有规律性。因此,有时在宏观上观察不到原子排列的周期性,或者有时观察不到长程有序。因此,根据分析方法,有时无法辨别nc-OS与非晶氧化物半导体。当通过使用XRD装置并利用电子束径比结晶部大X射线的Out-of-plane法来分析nc-OS膜时,有时不出现表示取向的峰值。此外,在使用电子束径比结晶部大(例如 $20\text{nm}\phi$ 以上或 $50\text{nm}\phi$ 以上的电子束径)的电子线而得到的nc-OS的电子衍射图案中,有时可以观察到光晕图案。在使用其电子束径小于或等于结晶部(例如 $10\text{nm}\phi$ 以下或 $5\text{nm}\phi$ 以下)的电子线而得到的nc-OS的纳米束电子衍射图案中,有时出现斑点。在nc-OS的纳米束电子衍射图案中,有时出现圆形图案的亮度高的区域。在nc-OS的纳米束电子衍射图案中,有时在该区域内出现多个斑点。

[0198] 图10B是包括nc-OS的样品的纳米束电子衍射图案的一个例子。在此,将样品沿着垂直于形成有nc-OS的表面的方向截断,将其厚度减薄为40nm左右。此外,使电子束径为 $1\text{nm}\phi$ 的电子线从垂直于样品的截断面的方向入射。图10B示出在nc-OS的纳米束电子衍射图案中可以观察到斑点。

[0199] 由于有时nc-OS中的微小区域中原子排列具有周期性,因此nc-OS的缺陷态密度比非晶氧化物半导体低。注意,由于nc-OS中的结晶部没有规律性,因此与CAAC-OS相比,有时nc-OS的缺陷态密度较高。

[0200] 因此,与CAAC-OS相比,有时nc-OS的载流子密度较高。载流子密度较高的氧化物半

导体有具有高电子迁移率的趋向。因此,将nc-OS用于沟道形成区的晶体管有时具有较高的场效应迁移率。相反,因为与CAAC-OS相比,nc-OS的缺陷态密度较高,所以有时陷阱态密度也变高。因此,有时与将CAAC-OS用于沟道形成区的晶体管相比,将nc-OS用于沟道形成区的晶体管的电特性变动较大,且可靠性较低。注意,因为即使包含较多量的杂质也可以获得nc-OS,所以有时可以根据用途适当地使用nc-OS。另外,也可以通过使用AC电源的溅射法等成膜方法来形成nc-OS。由于使用AC电源的溅射法可以在大尺寸衬底上均匀地形成膜,因此,具有将nc-OS用于沟道形成区的晶体管的半导体装置的生产性较高。

[0201] 氧化物半导体可以包括非晶部。注意,将包括非晶部的氧化物半导体称为非晶氧化物半导体。非晶氧化物半导体具有无秩序的原子排列且不具有结晶部。非晶氧化物半导体具有像石英那样的无定形状态,其原子排列没有规律性。

[0202] 在非晶氧化物半导体的TEM图像中,有时无法观察到结晶部。

[0203] 当使用XRD装置并采用out-of-plane法分析非晶氧化物半导体时,有时不出现表示取向的峰值。此外,在非晶氧化物半导体的电子衍射图案中,有时观察到光晕图案。在其他情况下,在非晶氧化物半导体的纳米束电子衍射图案中,观察不到斑点,而观察到光晕图案。

[0204] 有时,非晶氧化物半导体可以通过导入高浓度的氢等杂质形成。因此,非晶氧化物半导体是包含高浓度杂质的氧化物半导体。

[0205] 当氧化物半导体包含高浓度杂质时,有时在氧化物半导体中形成氧空位等缺陷态。这意味着杂质浓度高的非晶氧化物半导体的缺陷态较高。此外,因为非晶氧化物半导体的结晶性较低,所以与CAAC-OS或nc-OS相比非晶氧化物半导体的缺陷态密度较高。

[0206] 因此,有时非晶氧化物半导体的载流子密度比nc-OS更高。因此,将非晶氧化物半导体用于沟道形成区的晶体管有处于常开启的趋向,有时可以适当地将其用于需要具有这种电特性的晶体管。因为非晶氧化物半导体的缺陷态密度高,所以有时陷阱态密度也变高。因此,有时与将CAAC-OS或nc-OS用于沟道形成区的晶体管相比,将非晶氧化物半导体用于沟道形成区的晶体管的电特性变动较大,且可靠性较低。注意,因为利用包含多量的杂质的成膜方法可以形成非晶氧化物半导体,所以非晶氧化物半导体较容易形成,可以根据用途适当地使用。例如,可以利用旋涂法、溶胶-凝胶法、浸渍法、喷射法、丝网印刷法、接触印刷法、喷墨法、辊涂法、雾化CVD法(mist CVD method)等成膜方法形成非晶氧化物半导体。因此,具有将非晶氧化物半导体用于沟道形成区的晶体管的半导体装置的生产性较高。

[0207] 注意,氧化物半导体也可以是包括CAAC-OS、多晶氧化物半导体、微晶氧化物半导体和非晶氧化物半导体中的两种以上的混合膜。混合膜有时包括非晶氧化物半导体的区域、微晶氧化物半导体的区域、多晶氧化物半导体的区域和CAAC-OS的区域中的两种以上的区域。混合膜例如有时具有非晶氧化物半导体的区域、微晶氧化物半导体的区域、多晶氧化物半导体的区域和CAAC-OS的区域中的两种以上的区域的叠层结构。

[0208] 氧化物半导体例如可以包括单晶。注意,将包括单晶的氧化物半导体称为单晶氧化物半导体。

[0209] 例如,因为单晶氧化物半导体具有低杂质浓度及低缺陷态密度(氧空位少),所以具有低载流子密度。因此,将单晶氧化物半导体用于沟道形成区的晶体管很少处于常开启。此外,因为单晶氧化物半导体的缺陷态密度低,所以陷阱态密度有时也变低。因此,有时将

该单晶氧化物半导体用于沟道形成区的晶体管的电特性变动小,且其可靠性高。

[0210] 有时如果具有少缺陷则氧化物半导体具有高密度。有时如果具有高结晶性则氧化物半导体具有高密度。有时如果包含低浓度的氢等杂质则氧化物半导体具有高密度。此外,单晶氧化物半导体的密度有时比CAAC-OS的密度高。此外,CAAC-OS的密度有时比微晶氧化物半导体的密度高。此外,多晶氧化物半导体的密度有时比微晶氧化物半导体的密度高。此外,微晶氧化物半导体的密度有时比非晶氧化物半导体的密度高。

[0211] 优选在如下条件下形成CAAC-OS。

[0212] 通过减少在成膜时进入CAAC-OS的杂质量,可以抑制因杂质导致的结晶状态的损坏。例如,降低存在于成膜室内的杂质(氢、水、二氧化碳及氮等)的浓度即可。另外,降低成膜气体中的杂质浓度即可。具体而言,使用露点为 -80°C 以下,优选为 -100°C 以下的成膜气体。

[0213] 通过增高成膜时的形成CAAC-OS的面的加热温度(例如,衬底加热温度),在溅射粒子到达形成CAAC-OS的面之后发生溅射粒子的迁移。具体而言,成膜时的形成CAAC-OS的面温度为 100°C 以上且 740°C 以下,优选为 150°C 以上且 500°C 以下。

[0214] 另外,优选通过增高成膜气体中的氧比例并对电力进行最优化,以便减轻成膜时的等离子体损伤。成膜气体中的氧比例为30vol.%以上,优选为100vol.%。

[0215] 下面,作为溅射靶材的一个例子示出In-Ga-Zn-O化合物靶材。

[0216] 通过将 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以规定的摩尔比混合,进行加压处理,并在 1000°C 以上且 1500°C 以下的温度下进行加热处理,由此得到多晶的In-Ga-Zn类金属氧化物靶材。也可以在冷却或加热的同时进行该加压处理。注意,X、Y及Z为任意正数。在此, InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的规定的摩尔比例如为2:2:1、8:4:3、3:1:1、1:1:1、4:2:3或3:1:2。粉末的种类及混合粉末的摩尔比可以根据所制造的溅射靶材适当地改变。

[0217] 表1示出结晶状态下的氧化物半导体(OS)与硅(Si)之间的对比。

[0218] [表1]

		非晶	微晶	多晶	连续结晶	单晶
OS		a-OS a-OS:H	nc-OS μ c-OS	多晶 OS	CAAC-OS	单晶 OS
	纳米束 电子衍射	光晕	环+斑点	斑点	斑点	斑点
	结晶部	-	nm 至 μ m	不连续	连续地连接	-
	DOS	高	稍微低	-	低	极低
	密度	低	中等程度	-	高	-

Si	a-Si a-Si:H	nc-Si μ c-Si	多晶 Si	CG 硅	单晶 Si
----	----------------	---------------------	-------	------	-------

[0219] 如表1所示,氧化物半导体的结晶状态的例子包括非晶氧化物半导体(a-OS、a-OS:H)、微晶氧化物半导体(nc-OS、 μ c-OS)、多晶氧化物半导体(多晶OS)、连续结晶氧化物半导体(CAAC-OS)、单晶氧化物半导体(单晶OS)。硅的结晶状态的例子包括表1所示的非晶硅(a-Si、a-Si:H)、微晶硅(nc-Si、 μ c-Si)、多晶硅(多晶Si)、连续结晶硅(CG (Continuous Grain) Si)、单晶硅(单晶Si)等。

[0220] 对上述结晶状态的氧化物半导体进行使用将电子束径收敛于10nm ϕ 以下的电子线的电子衍射(纳米束电子衍射)。然后,观察到下面所示的电子衍射图案(纳米束电子衍射图案)。在非晶氧化物半导体中观察到光晕图案(也称为晕圈或光晕)。在微晶氧化物半导体中观察到斑点或/及环形图案。在多晶氧化物半导体中观察到斑点。在连续结晶氧化物半导体中观察到斑点。在单晶氧化物半导体中观察到斑点。

[0221] 纳米束电子衍射图案示出微晶氧化物半导体包括直径为纳米(nm)至微米(μ m)的结晶部。发现多晶氧化物半导体在结晶部之间具有晶界,即不连续边界。发现连续结晶氧化物半导体在结晶部之间没有边界,即具有连续边界。

[0222] 各结晶状态下的氧化物半导体的密度为如下。非晶氧化物半导体的密度低。微晶氧化物半导体的密度是中等程度的。连续结晶氧化物半导体的密度高。也就是说,连续结晶氧化物半导体的密度比微晶氧化物半导体的密度高,而微晶氧化物半导体的密度比非晶氧化物半导体的密度高。

[0223] 各结晶状态下的氧化物半导体中的态密度(DOS)为如下。非晶氧化物半导体的DOS高。微晶氧化物半导体的DOS稍微低。连续结晶氧化物半导体的DOS低。单晶氧化物半导体的DOS极低。也就是说,单晶氧化物半导体的DOS比连续结晶氧化物半导体低,连续结晶氧化物半导体的DOS比微晶氧化物半导体低,而微晶氧化物半导体的DOS比非晶氧化物半导体低。

[0224] 氧化物半导体膜也可以包括多个氧化物半导体膜的层叠。例如,如图9A所示的晶体管那样,作为半导体膜可以层叠第一氧化物半导体膜188a和第二氧化物半导体膜188b。第一氧化物半导体膜188a和第二氧化物半导体膜188b可以包括原子数比不同的金属氧化物。例如,一个氧化物半导体膜也可以包括包含两种金属的氧化物、包含三种金属的氧化物和包含四种金属的氧化物中的一个,另一个氧化物半导体膜也可以包括包含两种金属的氧化物、包含三种金属的氧化物或者包含四种金属的氧化物中的另一个。

[0225] 此外,第一氧化物半导体膜188a和第二氧化物半导体膜188b也可以包括其原子数比不同的相同构成要素。例如,一个氧化物半导体膜可以以3:1:2的原子数比包含In、Ga和Zn,而另一个氧化物半导体膜可以以1:1:1的原子数比包含In、Ga和Zn。此外,一个氧化物半导体膜也可以以2:1:3的原子数比包含In、Ga和Zn,而另一个氧化物半导体膜也可以以1:3:2的原子数比包含In、Ga和Zn。一个氧化物半导体膜也可以以1:1:1的原子数比包含In、Ga和Zn,而另一个氧化物半导体膜可以以1:3:2的原子数比包含In、Ga和Zn。一个氧化物半导体膜可以以1:1:1的原子数比包含In、Ga和Zn,而另一个氧化物半导体膜可以以1:6:4的原子数比包含In、Ga和Zn。一个氧化物半导体膜可以以1:1:1的原子数比包含In、Ga和Zn,而另一个氧化物半导体膜也可以以1:9:6的原子数比包含In、Ga和Zn。注意,氧化物半导体膜的各原子数比作为误差包括上述原子数比的 $\pm 20\%$ 的变动。

[0226] 此时,第一氧化物半导体膜和第二氧化物半导体膜中的与栅电极较近(沟道一侧的氧化物半导体膜)的氧化物半导体膜具有 $\text{In} \geq \text{Ga}$ 的原子数比,并且离栅电极较远(背沟道一侧的氧化物半导体膜)的氧化物半导体膜具有 $\text{In} < \text{Ga}$ 的原子数比。在此情况下,可以制造场效应迁移率高的晶体管。另一方面,当沟道一侧的氧化物半导体膜具有 $\text{In} < \text{Ga}$ 的原子数比且背沟道一侧的氧化物半导体膜具有 $\text{In} \geq \text{Ga}$ 的原子数比时,可以减少晶体管的经时变化或因可靠性测试导致的阈值电压的变动量。

[0227] 另外,晶体管的半导体膜也可以具有由第一氧化物半导体膜、第二氧化物半导体膜、第三氧化物半导体膜构成的三层结构。此时,第一氧化物半导体膜至第三氧化物半导体膜也可以包含其原子数比不同的相同构成元素。参照图9B将说明包括三层半导体膜的晶体管。

[0228] 图9B所示的晶体管从栅极绝缘膜127一侧依次层叠有第一氧化物半导体膜199a、第二氧化物半导体膜199b及第三氧化物半导体膜199c。第一氧化物半导体膜199a及第三氧化物半导体膜199c使用以 $\text{InM}_1\text{xZn}_y\text{O}_z$ ($x \geq 1, y > 1, z > 0, \text{M}_1 = \text{Ga}, \text{Hf}$ 等)表示的材料形成。注意,在第一氧化物半导体膜199a及第三氧化物半导体膜199c包含Ga的情况下,因为在成膜时有可能发生粉末,所以所包含的Ga的比例大的材料,具体而言,以 $\text{InM}_1\text{xZn}_y\text{O}_z$ 表示的材料(x 大于10)是不适合的。

[0229] 第二氧化物半导体膜199b使用以 $\text{InM}_2\text{xZn}_y\text{O}_z$ ($x \geq 1, y \geq x, z > 0, \text{M}_2 = \text{Ga}, \text{Sn}$ 等)表示的材料形成。

[0230] 适当地选择第一氧化物半导体膜199a至第三氧化物半导体膜199c的材料,以形成其中第二氧化物半导体膜199b的导带底与第一氧化物半导体膜199a的导带底和第三氧化物半导体膜199c的导带底相比离真空能级最深的阱结构。

[0231] 注意,在氧化物半导体膜中第14族元素的硅或碳有时会有助于施主能级的形成。由此,包含在氧化物半导体膜中的硅或碳使氧化物半导体膜成为n型氧化物半导体膜。因

此,氧化物半导体膜优选以具有硅和碳的浓度皆为 $3 \times 10^{18}/\text{cm}^3$ 以下、优选为 $3 \times 10^{17}/\text{cm}^3$ 以下的区域的方式形成。尤其是,优选使用第一氧化物半导体膜199a及第三氧化物半导体膜199c夹住或围绕被用作载流子路经的第二氧化物半导体膜199b,以不使多量的第14族元素进入第二氧化物半导体膜199b中。即,也可以将第一氧化物半导体膜199a及第三氧化物半导体膜199c称为阻挡膜,该阻挡膜防止硅、碳等第14族元素进入第二氧化物半导体膜199b中。

[0232] 例如,第一氧化物半导体膜199a及第三氧化物半导体膜199c也可以具有In:Ga:Zn=1:3:2、1:6:4或1:9:6的原子数比,并且第二氧化物半导体膜199b也可以具有In:Ga:Zn=1:1:1或3:1:2的原子数比。

[0233] 或者,第一氧化物半导体膜199a也可以具有In:Ga:Zn=1:3:2的原子数比,第二氧化物半导体膜199b也可以具有In:Ga:Zn=1:1:1或3:1:2的原子数比,第三氧化物半导体膜199c也可以具有In:Ga:Zn=1:6:4或1:9:6的原子数比。

[0234] 由于第一氧化物半导体膜199a至第三氧化物半导体膜199c包含相同构成元素,所以第二氧化物半导体膜199b与第一氧化物半导体膜199a之间的界面的缺陷态密度(陷阱态密度)低。具体而言,该缺陷态密度(陷阱态密度)比栅极绝缘膜127与第一氧化物半导体膜199a之间的界面的缺陷态密度低。由此,当如上所述层叠氧化物半导体膜时,可以减少晶体管的经时变化或因可靠性测试导致的阈值电压的变动量。

[0235] 另外,适当地选择第一氧化物半导体膜199a至第三氧化物半导体膜199c的材料,以形成其中第二氧化物半导体膜199b的导带底构成与第一氧化物半导体膜199a的导带底和第三氧化物半导体膜199c的导带底相比离真空能级最深的阱结构。其结果是,提高晶体管的场效应迁移率,并可以减少晶体管的经时变化或因可靠性测试导致的阈值电压的变动量。

[0236] 另外,使用第一氧化物半导体膜199a至第三氧化物半导体膜199c也可以使用结晶性不同的氧化物半导体形成。也就是说,也可以使用单晶氧化物半导体、多晶氧化物半导体、微晶(纳米晶)氧化物半导体、非晶氧化物半导体以及CAAC-OS中的一个或多个的组合形成第一至第三氧化物半导体膜。通过将非晶氧化物半导体用于第一氧化物半导体膜199a至第三氧化物半导体膜199c中的任一个,可以缓和氧化物半导体膜的内部应力或外部应力,而降低晶体管的特性偏差,还可以减少晶体管的经时变化或因可靠性测试导致的阈值电压的变动量。

[0237] 至少用作沟道形成区的第二氧化物半导体膜199b优选为CAAC-OS膜。

[0238] 在使容易与氧键合的导电材料(例如,用于源电极或漏电极的金属)与氧化物半导体膜接触时,氧化物半导体膜中的氧扩散到容易与氧键合的导电材料。温度越高该现象越显著地发生。因为在晶体管的制造工序中有几个加热工序,所以因上述现象而在与源电极或漏电极接触的氧化物半导体层的区域及其附近中发生氧空位,而该区域成为n型区域。因此,可以将该n型区域用作晶体管的源极或漏极。

[0239] 图9A和图9B例示出上述n型区域。半导体膜中的以虚线表示的边界135是本征半导体区域与n型半导体区域的边界。在氧化物半导体中,与源电极或漏电极接触并靠近的区域成为n型区域。这里边界135是示意性地示出的,但是实际上有时不明确。有时边界135的位置也与图示的位置不同。

[0240] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0241] 实施方式3

在本实施方式中,说明可以用于本发明的一个方式的纳米晶氧化物半导体膜的电子衍射图案及局域能级。

[0242] 当利用使用电子束径为 $10\text{nm}\phi$ 以下的电子衍射(纳米束电子衍射)观察到纳米晶氧化物半导体膜时,在其电子衍射图案中出现没有方向性的斑点。该纳米晶氧化物半导体膜的电子衍射图案既不是表示非晶状态的光晕图案也不是表示取向于特定的面的结晶状态的有规律性的斑点。

[0243] 图13A示出纳米晶氧化物半导体膜的截面TEM(Transmission Electron Microscopy(透射电子显微镜))图像。图13B、图13C、图13D分别示出图13A中的点1、点2、点3的利用纳米束电子衍射观察到的电子衍射图案。

[0244] 在图13A至13D中,作为纳米晶氧化物半导体膜的一个例子,在石英玻璃衬底上形成 50nm 厚的In-Ga-Zn类氧化物膜。纳米微晶氧化物半导体膜的成膜条件为如下:使用以1:1:1的原子数比包含In、Ga及Zn的氧化物靶材;使用氧气气氛(流量为 45sccm);压力为 0.4Pa ;施加 0.5kW 的直流(DC)功率;以及衬底温度为室温。然后,将所形成的纳米晶氧化物半导体膜的宽度减薄为 100nm 以下(例如, $40\text{nm}\pm 10\text{nm}$),并且得到截面TEM图像及纳米束电子衍射图案。

[0245] 图13A示出利用透射电子显微镜(日立高新技术公司制造的“H-9000NAR”)以 300kV 的加速电压及200万倍的倍率拍摄的纳米晶氧化物半导体膜的截面TEM图像。图13B至图13D示出利用透射电子显微镜(日立高新技术公司制造的“HF-2000”)以 200kV 的加速电压及大约 $1\text{nm}\phi$ 的电子束径进行纳米束电子衍射而得来的电子衍射图案。注意,电子束径大约为 $1\text{nm}\phi$ 时的纳米束电子衍射的测量范围为 $5\text{nm}\phi$ 以上且 $10\text{nm}\phi$ 以下。

[0246] 如图13B所示,当利用纳米束电子衍射观察到纳米晶氧化物半导体膜时,获得包括圆周状的多个斑点(亮点)的电子衍射图案。换言之,在纳米晶氧化物半导体膜中,观察到分布为圆周状(同心圆状)的多个斑点,或者,分布为圆周状的多个斑点形成多个同心圆。

[0247] 不但在图13B中而且在示出与石英玻璃衬底的界面附近的图13D及示出纳米晶氧化物半导体膜的厚度方向中央部的图13C中观察到分布为圆周状的多个斑点。在图13C中,从主要斑点到分布为圆周状的斑点的距离为 $3.88/\text{nm}$ 至 $4.93/\text{nm}$,或者,将其换算为面间隔时为 0.203nm 至 0.257nm 。

[0248] 在图13A至13D的纳米束电子衍射图案中,纳米晶氧化物半导体膜包括晶面取向不规则且大小不同的多个结晶部。

[0249] 图14A示出纳米晶氧化物半导体膜的平面TEM图像。图14B示出利用选区电子衍射观察图14A中的用圆圈起来的区域的电子衍射图案。

[0250] 在图14A和图14B中,作为纳米晶氧化物半导体膜的一个例子,在石英玻璃衬底上形成 30nm 厚的In-Ga-Zn类氧化物膜。图14A和图14B所示的纳米晶氧化物半导体膜的成膜条件为如下:使用以1:1:1的原子数比包含In、Ga及Zn的氧化物靶材;使用氧气气氛(流量为 45sccm);压力为 0.4Pa ;施加 0.5kW 的直流(DC)功率;以及衬底温度为室温。然后,将样品减薄,并且纳米晶氧化物半导体膜的平面TEM图像及利用电子衍射的电子衍射图案(大约几纳米)。

[0251] 图14A示出利用透射电子显微镜(日立高新技术公司制造的“H-9000NAR”)以300kV的加速电压及50万倍的倍率拍摄的纳米晶氧化物半导体膜的平面TEM图像。图14B是以300nm ϕ 的选区进行电子衍射而得来的电子衍射图案。注意,当考虑到电子线的扩大范围时,图14B中的测量范围为300nm ϕ 以上。

[0252] 如图14B所示,在利用其测量范围比纳米束电子衍射大的选区电子衍射观察纳米晶氧化物半导体膜时,在电子衍射图案中没有观察到利用纳米束电子衍射观察到的多个斑点而观察到光晕图案。

[0253] 图15A至15C示意性地示出图13A至图13D以及图14A和图14B所示的电子衍射图案中的衍射强度的分布。图15A是示出图13B至图13D所示的纳米束电子衍射图案中的衍射强度的分布的示意图。图15B是示出图14B所示的选区电子衍射图案中的衍射强度的分布的示意图。图15C是示出单晶结构或多晶结构的电子衍射图案中的衍射强度的分布的示意图。

[0254] 在图15A至图15C的每一个中,纵轴表示示出斑点等的分布的电子衍射强度(任意单位),横轴表示离主要斑点的距离。

[0255] 在图15C所示的单晶结构或多晶结构中,在基于结晶部取向的面的面间隔(d值)的离主要斑点有特定距离的位置观察到斑点。

[0256] 另一方面,如图13A至13D所示,由在纳米晶氧化物半导体膜的纳米束电子衍射图案中观察到的多个斑点形成的圆周区域具有较大的宽度。因此,图15A示出离散分布。此外,在纳米束电子衍射图案中,在同心圆之间的区域中观察到由不明确的斑点形成的亮度高的区域。

[0257] 如图15B所示,纳米晶氧化物半导体膜的选区电子衍射图案中的电子衍射强度分布是连续的。因为图15B可以接近于在广范围中观察图15A所示的电子衍射强度分布而得到的结果,所以可以认为多个斑点重叠且连接,从而得到了连续的强度分布。

[0258] 图15A至15C示出纳米晶氧化物半导体膜包括晶面取向不规则且大小不同的多个结晶部,并且该结晶部极微细而在选区电子衍射图案中观察不到斑点。

[0259] 在观察到多个斑点的图13A至图13D中,使纳米晶氧化物半导体膜的宽度减薄为50nm以下。此外,因为电子线的电子束径收敛于1nm ϕ ,所以其测量范围为5nm以上且10nm以下。由此,可以推测纳米晶氧化物半导体膜所包括的结晶部至少为50nm以下,例如为10nm以下或5nm以下。

[0260] 图16示出石英玻璃衬底的纳米束电子衍射图案。图16的测量条件与图13B至13D相同。

[0261] 如图16所示,在具有非晶结构的石英玻璃衬底中,没有特定的斑点而观察到其中亮度从主要斑点逐渐变化的光晕图案。这意味着即使在微小的区域中进行电子衍射也在具有非晶结构的膜中没有观察到在纳米晶氧化物半导体膜中观察到的这种分布为圆周状的多个斑点。这表示在图13B至图13D观察到的分布为圆周状的多个斑点是纳米晶氧化物半导体膜特有的。

[0262] 图17示出在对图13A所示的点2照射将电子束径收敛于大约1nm ϕ 的电子线1分钟之后观察的电子衍射图案。

[0263] 与图13C所示的电子衍射图案同样,在图17所示的电子衍射图案中观察到分布为圆周状的多个斑点,而图17和图13C所示的测量结果之间并没有明显差异。这意味着:在图

13C的电子衍射图案中确认到的结晶部是在形成纳米晶氧化物半导体膜时就存在的,而并不是由于收敛电子线的照射而形成的。

[0264] 图18A和图18B示出图13A的截面TEM图像的部分放大图。图18A是在以800万倍的倍率观察图13A的点1附近(纳米晶氧化物半导体膜表面)的截面TEM图像。图18B是在以800万倍的倍率观察图13A的点2附近(纳米晶氧化物半导体膜的膜厚度方向中央部)的截面TEM图像。

[0265] 在图18A和图18B所示的纳米晶氧化物半导体膜的截面TEM图像中不能明确观察到结晶结构。

[0266] 利用X射线衍射(XRD:X-ray Diffraction)对在石英玻璃衬底上形成有本实施方式的纳米晶氧化物半导体膜的用于图13A至图13D以及图14A和图14B的样品进行分析。图19示出利用out-of-plane法测量的XRD光谱。

[0267] 在图19中,纵轴表示X射线衍射强度(任意单位),横轴表示衍射角 2θ (deg.)。注意,使用Bruker AXS公司制造的X射线衍射装置D-8ADVANCE测量XRD光谱。

[0268] 如图19所示,虽然在 $2\theta=20^\circ$ 至 23° 附近出现起因于石英的峰值,但是不能确认到起因于纳米晶氧化物半导体膜所包括的结晶部的峰值。

[0269] 由图18A和图18B及图19的结果可知:纳米晶氧化物半导体膜中的结晶部是微细的结晶部。

[0270] 如上所述,在本实施方式的纳米晶氧化物半导体膜中,利用测量范围大的X射线衍射没有检测出表示取向的峰值,而利用测量范围有限的选区电子衍射图案中观察到光晕图案。这表示本实施方式的纳米晶氧化物半导体膜在宏观上与具有无秩序的原子排列的膜相同。然而,当利用电子线的电子束径充分小(例如,10nm ϕ 以下)的纳米束电子衍射对纳米晶氧化物半导体膜进行测量时,在所得到的纳米束电子衍射图案中可以观察到斑点(亮点)。因此,可以推测本实施方式的纳米晶氧化物半导体膜由晶面取向不规则的微细结晶部(例如,粒径为10nm以下、5nm以下或3nm以下)凝集而形成。在纳米晶氧化物半导体膜的厚度方向上的全区域中包括包含微细结晶部的纳米结晶区域。

[0271] 在此,将说明纳米晶氧化物半导体膜的局域能级。还说明利用恒定光电流测量法(CPM)的纳米晶氧化物半导体膜的测量结果。

[0272] 首先,将说明测量样品的结构。

[0273] 测量样品包括玻璃衬底上的氧化物半导体膜、与该氧化物半导体膜接触的一对电极以及覆盖氧化物半导体膜及一对电极的绝缘膜。

[0274] 接着,将说明测量样品中的氧化物半导体膜的形成方法。

[0275] 在如下条件下通过溅射法形成第一氧化物半导体膜:使用In-Ga-Zn氧化物靶材(In:Ga:Zn=1:1:1[原子数比]);作为成膜气体使用流量为30sccm的氩及流量为15sccm的氧;压力为0.4Pa;衬底温度为室温;以及施加0.5kW的DC电力。注意,第一氧化物半导体膜为纳米晶氧化物半导体膜。

[0276] 此外,通过在450℃的氮气气氛中对第一氧化物半导体膜进行加热1小时,然后在450℃的氧气气氛中进行加热1小时,由此从第一氧化物半导体膜去除氢,且对第一氧化物半导体膜供应氧,由此得到第二氧化物半导体膜。注意,第二氧化物半导体膜为纳米晶氧化物半导体膜。

[0277] 接着,对包括第一氧化物半导体膜的样品及包括第二氧化物半导体膜的样品进行CPM测量。具体而言,以在对与氧化物半导体膜接触的一对电极之间施加电压的状态下固定光电流值的方式调整照射到端子之间的样品表面的光量,且在所希望的波长的范围中从照射光量求出吸收系数。

[0278] 通过对各样品进行CPM测量获得的吸收系数去除起因于带尾(bandtail)的吸收系数来得到图11A和图11B所示的吸收系数。就是说,图11A和图11B示出起因于缺陷的吸收系数。在图11A和图11B中,横轴表示吸收系数,纵轴表示光能。在图11A和图11B的纵轴中,将氧化物半导体膜的导带底设定为0eV,且降价带顶设定为3.15eV。图11A和图11B中的各曲线表示吸收系数与光能的关系,这相当于缺陷态。

[0279] 图11A示出包括第一氧化物半导体膜的样品的测量结果,缺陷态的吸收系数为 $5.28 \times 10^{-1} \text{cm}^{-1}$ 。图11B示出包括第二氧化物半导体膜的样品的测量结果,缺陷态的吸收系数为 $1.75 \times 10^{-2} \text{cm}^{-1}$ 。

[0280] 通过加热处理可以减少氧化物半导体膜中的缺陷。

[0281] 利用X射线反射法(XRR:X-Ray Reflectometry)对第一氧化物半导体膜及第二氧化物半导体膜的膜密度进行测量。第一氧化物半导体膜的膜密度为 5.9g/cm^3 ,第二氧化物半导体膜的膜密度为 6.1g/cm^3 。

[0282] 这表示通过加热处理可以增高氧化物半导体膜的膜密度。

[0283] 换言之,膜密度高的氧化物半导体膜中包括较少的缺陷。

[0284] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0285] 实施方式4

在本实施方式中,说明可以用于本发明的一个方式的CAAC-OS膜的电子衍射图案及局域能级。

[0286] 在本实施方式中使用的CAAC-OS膜是通过使用In-Ga-Zn氧化物(In:Ga:Zn=1:1:1[原子数比])的靶材并使用包含氧的成膜气体的溅射法形成的In-Ga-Zn类氧化物膜。关于该CAAC-OS膜的制造方法等的详细说明,可以参照实施方式1和实施方式2。

[0287] 图20示出CAAC-OS膜的截面TEM(Transmission Electron Microscope(透射电子显微镜))图像。图21A至图21D示出在图20的点1至点4中使用电子衍射进行测量而得到的电子衍射图案。

[0288] 图20所示的截面TEM图像是利用透射电子显微镜(日立高新技术公司制造的“H-9000NAR”)以300kV的加速电压及200万倍的倍率拍摄的。图21A至图21D所示的电子衍射图案是利用透射电子显微镜(日立高新技术公司制造的“HF-2000”)以200kV的加速电压及大约 $1 \text{nm} \phi$ 或大约 $50 \text{nm} \phi$ 的电子束径而获得的。注意,有时将电子束直径为 $10 \text{nm} \phi$ 以下的电子衍射特别称为纳米束电子衍射。另外,电子束径大约为 $1 \text{nm} \phi$ 时的纳米电子衍射的测量范围为 $5 \text{nm} \phi$ 以上且 $10 \text{nm} \phi$ 以下。

[0289] 图20所示的点1(膜表面一侧)、点2(膜中央)、点3(膜基底一侧)的电子衍射图案分别对应于图21A、图21B、图21C,并是使用 $1 \text{nm} \phi$ 左右的电子束得到的。图20所示的点4(膜整体)的电子衍射图案对应于图21D,并是使用 $50 \text{nm} \phi$ 左右的电子束直径得到的。

[0290] 在点1(膜表面一侧)和点2(膜中央)的电子衍射图案中,确认到由斑点(亮点)形成的图案,在点3(膜基底一侧)中,观察到稍微变形的图案。这意味着在CAAC-OS膜的膜厚度方

向上结晶状态发生变化。注意,在点4(膜整体)中,确认到由斑点(亮点)形成的图案,这意味着膜整体为CAAC-OS膜或包含CAAC-OS膜的膜。

[0291] 图22是图20中的点1(膜表面一侧)附近的放大图。在图22中,呈现CAAC-OS膜的取向性的明确的格子图像发展到作为层间绝缘膜的SiON膜的界面。

[0292] 图23A和图23B分别是与用于图20的截面TEM图像的CAAC-OS膜不同的CAAC-OS膜的截面TEM照片和X射线衍射光谱。CAAC-OS膜也可以具有各种形态,如图23B所示,在 $2\theta=31^\circ$ 附近出现表示结晶成分的峰值A,但是有时该峰值不明确地出现。

[0293] 图24A至图24D示出以 $1\text{nm}\phi$ 、 $20\text{nm}\phi$ 、 $50\text{nm}\phi$ 及 $70\text{nm}\phi$ 的电子线的电子束直径对CAAC-OS膜中的区域进行电子衍射的结果。该区域是在图23A中由同心圆表示的。在电子线的电子束直径为 $1\text{nm}\phi$ 时,如图21A和图21B所示,确认到由明确的斑点(亮点)形成的图案。随着电子线的电子束直径增大,斑点(亮点)变得稍微不明确,但是可以确认到衍射图案,所以膜整体为CAAC-OS膜或包含CAAC-OS膜的膜。

[0294] 图25A和图25B分别是以 450°C 对在图23A的截面TEM的观察使用的CAAC-OS膜进行退火之后的截面TEM图像和X射线衍射光谱。

[0295] 图26A至图26D示出以 $1\text{nm}\phi$ 、 $20\text{nm}\phi$ 、 $50\text{nm}\phi$ 及 $70\text{nm}\phi$ 的电子线的电子束直径对CAAC-OS膜中的区域进行电子衍射的结果。该区域是在图25A中由同心圆表示的。与图24A至图24D所示的结果相同,在电子线的电子束直径为 $1\text{nm}\phi$ 时,确认到由明确的斑点(亮点)形成的图案。随着电子线的电子束直径增大,斑点(亮点)变得稍微不明确,但是可以确认到衍射图案,所以膜整体为CAAC-OS膜或包含CAAC-OS膜的膜。

[0296] 图27A和图27B分别是与用于图20的截面TEM图像的CAAC-OS膜和在图23A的截面TEM的观察使用的CAAC-OS膜不同的CAAC-OS膜的截面TEM图像和X射线衍射光谱。CAAC-OS膜具有各种形态,如图27B所示,有时 $2\theta=31^\circ$ 附近出现表示结晶成分的峰值A,同时出现起因于尖晶石型晶体结构的峰值B。

[0297] 图28A至图28D示出以 $1\text{nm}\phi$ 、 $20\text{nm}\phi$ 、 $50\text{nm}\phi$ 及 $90\text{nm}\phi$ 的电子线的电子束直径对CAAC-OS膜的区域进行电子衍射的结果。该区域是在图27A中由同心圆表示的。在电子线的电子束直径为 $1\text{nm}\phi$ 时,确认到由明确的斑点(亮点)形成的图案。随着电子线的电子束直径增大,斑点(亮点)变得稍微不明确,但是可以确认到衍射图案。此外,在电子线的电子束直径为 $90\text{nm}\phi$ 时,确认到更明确的斑点(亮点)。由此,膜整体为CAAC-OS膜或包含CAAC-OS膜的膜。

[0298] 在此,将说明CAAC-OS膜的局域能级。还说明利用恒定光电流测量法(CPM)的CAAC-OS膜的测量结果。

[0299] 首先,将说明进行CPM测量的样品的结构。

[0300] 测量样品包括玻璃衬底上的氧化物半导体膜、与该氧化物半导体膜接触的一对电极以及覆盖氧化物半导体膜及一对电极的绝缘膜。

[0301] 接着,将说明测量样品所包括的氧化物半导体膜的形成方法。

[0302] 在如下条件下通过溅射法形成氧化物半导体膜:使用In-Ga-Zn氧化物靶材(In:Ga:Zn=1:1:1[原子数比]);作为成膜气体使用流量为 30sccm 的氩气体、流量为 15sccm 的氧气体;压力为 0.4Pa ;衬底温度为 400°C ;施加 0.5kW 的DC电力。接着,在 450°C 的氮气气氛中进行加热1小时,然后在 450°C 的氧气气氛中进行加热1小时,由此从氧化物半导体膜去除氢脱

离,且对氧化物半导体膜供应氧。注意,该氧化物半导体膜为CAAC-OS膜。

[0303] 接着,对包括氧化物半导体膜的样品进行CPM测量。具体而言,以在对与氧化物半导体膜接触的一对电极之间施加电压的状态下固定光电流值的方式调整照射到端子之间的样品表面的光量,且在所希望的波长的范围中从照射光量求出吸收系数。

[0304] 图12示出通过从对各样品进行CPM测量获得的吸收系数去除起因于带尾的吸收系数得到的吸收系数。就是说,图12示出起因于缺陷的吸收系数。在图12中,横轴表示吸收系数,纵轴表示光能。在图12的纵轴中,将氧化物半导体膜的导带底设定为0eV,且将价带顶设定为3.15eV。图12中的曲线表示吸收系数与光能的关系,这相当于缺陷态。

[0305] 在图12中,表示缺陷态的吸收系数为 $5.86 \times 10^{-4} \text{cm}^{-1}$ 。也就是说,CAAC-OS膜的起因于缺陷态的吸收系数低于 $1 \times 10^{-3}/\text{cm}$,优选低于 $1 \times 10^{-4}/\text{cm}$,即缺陷态密度低。

[0306] 利用X射线反射法(XRR(X-ray Reflectometry))对氧化物半导体膜的膜密度进行测量。氧化物半导体膜的膜密度为 $6.3 \text{g}/\text{cm}^3$ 。也就是说,CAAC-OS膜的膜密度高。

[0307] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0308] 实施方式5

通过使用上述实施方式所例示的晶体管及电容元件可以制造具有显示功能的半导体装置(显示装置)。此外,通过在形成有像素部的衬底上形成包括晶体管的驱动电路的一部分或全部,可以形成系统整合型面板(system-on-panel)。在本实施方式中,参照图29A至图29C、图30以及图31A至图31C将说明使用上述实施方式所例示的晶体管的显示装置的例子。图30是沿图29B中的M-N点划线的截面图。注意,图30只示出像素部的结构的一部分。

[0309] 在图29A中,以围绕第一衬底901上的像素部902的方式设置有密封剂905,并且使用第二衬底906密封像素部902。在图29A中,使用单晶半导体或多晶半导体在另行准备的衬底上形成第二驱动电路903及第一驱动电路904,并将其安装在第一衬底901上的与由密封剂905围绕的区域不同的区域中。此外,从FPC(Flexible printed circuit:柔性印刷电路)918a、FPC918b对第二驱动电路903、第一驱动电路904及像素部902供应各种信号及电位。

[0310] 第一驱动电路904被用作扫描线驱动电路,第二驱动电路903被用作信号线驱动电路。

[0311] 在图29B和图29C中,以围绕设置在第一衬底901上的像素部902和第一驱动电路904的方式设置有密封剂905。在像素部902和第一驱动电路904上设置有第二衬底906。因此,像素部902及第一驱动电路904与显示元件一起被第一衬底901、密封剂905以及第二衬底906密封。在图29B和图29C中,使用单晶半导体或多晶半导体形成的第二驱动电路903设置在另行形成的衬底上并安装到第一衬底901上的与由密封剂905围绕的区域不同的区域中。在图29B和图29C中,从FPC918对第二驱动电路903、第一驱动电路904及像素部902供应各种信号及电位。

[0312] 虽然图29B和图29C示出另行形成第二驱动电路903并且将其安装到第一衬底901的例子,但是本发明的一个方式不局限于该结构。既可以另行形成第一驱动电路并进行安装,又可以仅另行形成第二驱动电路的一部分或者第一驱动电路的一部分并进行安装。

[0313] 对另行形成的驱动电路的连接方法没有特别的限制,例如可以采用COG(Chip On Glass:玻璃覆晶封装)方法、引线键合方法或者TCP(Tape Carrier Package:带载封装)等方法。图29A是通过COG方法安装第二驱动电路903、第一驱动电路904的例子,图29B是通过

COG方法安装第二驱动电路903的例子,图29C是通过TCP方法安装第二驱动电路903的例子。

[0314] 显示装置在其范围内包括其中显示元件为密封状态的面板和在该面板上安装有包括控制器的IC等的模块。

[0315] 注意,本说明书中的显示装置是指图像显示装置或显示装置。显示装置也可以用作光源(包括照明装置)。另外,显示装置在其范围内包括如下模块:安装有诸如FPC或TCP等连接器的模块;在TCP的端部设置有印刷线路板的模块;以及通过COG方式将IC(集成电路)直接安装到显示元件的模块。

[0316] 设置在第一衬底上的像素部及第一驱动电路具有多个晶体管,作为该晶体管可以应用上述实施方式所示的任何晶体管。

[0317] 作为设置在显示装置中的显示元件的例子,可以使用液晶元件、发光元件。作为液晶元件的一个例子,可以举出利用液晶的光学调制作用来控制光的透过或非透过的元件。该元件可以由一对电极和液晶层构成。液晶的光学调制作用由施加到液晶的电场(包括横向电场、纵向电场和斜向电场)控制。注意,作为液晶元件的具体例子,可以举出向列液晶、胆甾相液晶、近晶相液晶、盘状液晶、热致液晶、溶致液晶、低分子液晶、高分子液晶、聚合物分散液晶(PDLC)、铁电液晶、反铁电液晶、主链型液晶、侧链型高分子液晶、香蕉型液晶等。作为液晶的驱动方式的例子,可以举出TN(Twisted Nematic:扭曲向列)模式、STN(Super Twisted Nematic:超扭曲向列)模式、IPS(In-Plane-Switching:平面内切换)模式、FFS(Fringe Field Switching:边缘场切换)模式、MVA(Multi-domain Vertical Alignment:多象限垂直取向)模式、PVA(Patterned Vertical Alignment:垂直取向构型)模式、ASV(Advanced Super View:高级超视觉)模式、ASM(Axially Symmetric aligned Micro-cell:轴对称排列微单元)模式、OCB(Optically Compensated Birefringence:光学补偿双折射)模式、ECB(Electrically Controlled Birefringence:电控双折射)模式、FLC(Ferroelectric Liquid Crystal:铁电液晶)模式、AFLC(AntiFerroelectric Liquid Crystal:反铁电液晶)模式、PDLC(Polymer Dispersed Liquid Crystal:聚合物分散液晶)模式、宾主模式、蓝相(Blue Phase)模式等。注意,本发明的一个方式并不局限于此,可以使用各种液晶元件及其驱动方法。发光元件在其范畴内包括由电流或电压控制亮度的元件,具体而言,包括无机EL(Electro Luminescence:电致发光)元件、有机EL元件等。此外,也可以应用电子墨水等由于电作用而改变对比度的显示媒介。图30示出作为显示元件使用液晶元件的液晶显示装置的例子。

[0318] 图30是纵向电场方式的液晶显示装置的截面图。该液晶显示装置包括连接端子电极915及端子电极916。连接端子电极915及端子电极916通过各向异性导电剂919电连接到FPC918所具有的端子。

[0319] 连接端子电极915由与第一电极930相同的导电膜形成,并且,端子电极916由与晶体管910、911的源电极及漏电极相同的导电膜形成。

[0320] 设置在第一衬底901上的像素部902、第一驱动电路904包括多个晶体管,作为例子示出像素部902所包括的晶体管910、第一驱动电路904所包括的晶体管911。在晶体管910及晶体管911上设置有相当于实施方式1所示的绝缘膜129、绝缘膜131及绝缘膜132的绝缘膜924。此外,为了提高平坦性,在绝缘膜924上设置有绝缘膜934。绝缘膜923为氮化绝缘膜。

[0321] 在本实施方式中,作为晶体管910可以应用上述实施方式1所示的设置在像素101

中的晶体管。作为晶体管911可以应用上述实施方式1所示的设置在第一驱动电路104中的晶体管。虽然晶体管911包括导电膜917,但是不一定必须设置导电膜917。

[0322] 使用氧化物半导体膜927、绝缘膜924、绝缘膜934及第一电极930构成电容元件936。氧化物半导体膜927与电容线929电连接。电容线929使用与晶体管910、晶体管911的栅电极相同的导电膜形成。虽然作为电容元件936示出实施方式1所示的电容元件,但是也可以适当地使用其他实施方式所示的电容元件。

[0323] 设置在像素部902中的晶体管910与显示元件电连接,以形成显示面板。只要能够进行显示就对显示元件的种类没有特别的限制,而可以采用各种各样的显示元件。

[0324] 液晶元件913是包括第一电极930、第二电极931以及液晶层908的显示元件。以夹持液晶层908的方式设置有被用作取向膜的绝缘膜932及绝缘膜933。第二电极931设置在第二衬底906一侧,第一电极930和第二电极931隔着液晶层908重叠。

[0325] 根据取出光的方向、设置电极的位置以及电极的图案结构,用来对显示元件施加电压的第一电极930及第二电极931(也称为像素电极、公共电极、对置电极等)可以具有透光性或反射光性。

[0326] 第一电极930及第二电极931可以适当地使用与实施方式1所示的像素电极121相同的材料形成。

[0327] 间隔物935是通过对绝缘膜选择性地进行的蚀刻而得到的柱状间隔物,并是为控制第一电极930与第二电极931之间的间隔(单元间隙)而设置的。此外,也可以使用球状间隔物。

[0328] 当作为显示元件使用液晶元件时,可以使用热致液晶、低分子液晶、高分子液晶、聚合物分散液晶、铁电液晶、反铁电液晶等。上述液晶材料根据条件而呈现胆甾相、近晶相、立方相、手向列相、各向同性相等。

[0329] 另外,也可以使用不需要取向膜且呈现蓝相的液晶。蓝相是液晶相中之一,当使胆甾相液晶的温度升高时,在即将由胆甾相转变成各向同性相之前呈现。由于蓝相只出现在较窄的温度范围内,所以为了改善温度范围而将混合手性材料的液晶组成物用于液晶层。注意,由于取向膜使用包含氢、水等的有机树脂,所以有可能降低本发明的一个方式的半导体装置的晶体管的电特性。于是,通过作为液晶层使用呈现蓝相的液晶,可以制造本发明的一个方式的半导体装置而不使用有机树脂,因此可以获得可靠性高的半导体装置。

[0330] 第一衬底901和第二衬底906由密封剂925固定。作为密封剂925,可以使用热固化树脂或光固化树脂等有机树脂。密封剂925接触于绝缘膜924。注意,密封剂925相当于图29A至图29C所示的密封剂905。

[0331] 密封剂925设置在绝缘膜924上。绝缘膜934设置在密封剂925的内侧。绝缘膜924的最上层是氮化绝缘膜,可以抑制来自外部的氢或水等杂质的进入。另一方面,绝缘膜934具有高透湿性。因此,当将绝缘膜934设置在密封剂925的内侧且将密封剂925设置在绝缘膜924上时,可以抑制来自外部的氢或水等杂质的进入,由此可以抑制晶体管910及晶体管911的电特性的不均匀。

[0332] 在液晶显示装置中,适当地设置黑矩阵(遮光膜)、偏振构件、相位差构件、抗反射构件等光学构件(光学衬底)等。例如,也可以利用偏振衬底以及相位差衬底获得圆偏振。此外,作为光源,也可以使用背光、侧光等。

[0333] 由于晶体管容易被静电等损坏,所以优选设置用来保护驱动电路的保护电路。保护电路优选使用非线性元件形成。

[0334] 图31A至图31C示出在图30所示的液晶显示装置中将与设置在衬底906上的第二电极931电连接的公共连接部(焊盘部)形成在衬底901上的例子。

[0335] 公共连接部配置于与用来粘合衬底901和衬底906的密封剂重叠的位置,并通过密封剂所包含的导电粒子与第二电极931电连接。或者,在不与密封剂重叠的位置(像素部以外的位置)设置公共连接部,并且,以与公共连接部重叠的方式从密封剂独立地设置包含导电粒子的膏剂,由此公共连接部与第二电极931电连接。

[0336] 图31A的右侧是像素部中的晶体管910的截面图,图31A的左侧是可以利用与晶体管910相同的工序形成的公共连接部的截面图。图31A所示的公共连接部相当于图31B所示的公共连接部俯视图中的I-J的截面。

[0337] 公共电位线975设置在栅极绝缘膜922上并利用与晶体管910的源电极971或漏电极973相同的材料及工序制造。

[0338] 此外,公共电位线975被绝缘膜924及绝缘膜934覆盖,以重叠于公共电位线975的方式在绝缘膜924及绝缘膜934中形成多个开口。该开口使用与接触孔相同的工序制造,该接触孔连接晶体管910的源电极971和漏电极973中的一个与第一电极930。

[0339] 此外,公共电位线975与公共电极977通过设置于绝缘膜924及绝缘膜934中的开口连接。公共电极977设置在绝缘膜934上,并使用与连接端子电极915、像素部中的第一电极930相同的材料及工序制造。

[0340] 如此,可以通过与像素部902的开关元件相同的工序制造公共连接部。

[0341] 公共电极977是与包含在密封剂中的导电粒子接触的电极,并与衬底906的第二电极931电连接。

[0342] 如图31C所示,公共电位线985也可以利用与晶体管910的栅电极相同的材料及工序制造。

[0343] 在图31C所示的公共连接部中,公共电位线985设置在栅极绝缘膜922、绝缘膜924及绝缘膜934之下,以重叠于公共电位线985的方式在栅极绝缘膜922、绝缘膜924及绝缘膜934中形成多个开口。利用与使晶体管910的源电极971和漏电极973中的一个和第一电极930连接的接触孔相同的工序对绝缘膜924及绝缘膜934进行蚀刻,还对栅极绝缘膜922选择性地蚀刻,由此形成该开口。

[0344] 此外,公共电位线985与公共电极987通过设置于绝缘膜922、绝缘膜924及绝缘膜934中的开口连接。公共电极987设置在绝缘膜934上,并利用与连接端子电极915、像素部中的第一电极930相同的材料及工序制造。

[0345] 如上所述,当应用上述实施方式所示的晶体管及电容元件时,可以制造包括具有增大了的电荷容量的电容元件的半导体装置并提高开口率。其结果是,可以获得显示质量优良的半导体装置。

[0346] 另外,作为晶体管中的半导体膜的氧化物半导体膜包括得到降低的氧空位及氢等杂质,因此本发明的一个方式的半导体装置具有良好的电特性。

[0347] 注意,本实施方式可以与本说明书所示的其它实施方式适当地组合。

[0348] 实施方式6

在本实施方式中,参照图32、图33A1、图33A2、图33B1及图33B2将说明可以应用本发明的一个方式的半导体装置且能够处理并显示图像的信息处理装置的结构。

[0349] 具体而言,说明具备第一模式及第二模式的信息处理装置,在该第一模式中以30Hz(每秒30次)以上的频率,优选为60Hz(每秒60次)以上且低于960Hz(每秒960次)的频率输出选择像素的G信号,而在第二模式中以11.6 μ Hz(每天1次)以上且低于0.1Hz(每秒0.1次)的频率,优选为0.28 μ Hz(每小时1次)以上且低于1Hz(每秒1次)的频率输出G信号。

[0350] 当使用本发明的一个方式的信息处理装置显示静态图像时,可以将刷新速率设定为低于1Hz,优选为0.2Hz以下。由此可以进行对使用者的眼睛刺激小的显示,即减轻使用者的眼睛疲劳的显示、不给使用者的眼睛带来负担的显示。此外,可以对应于显示在显示部上的图像的质量以最适当的频率刷新显示图像。具体而言,在显示静态图像中,与流畅地显示动态图像的情况相比,刷新频率较低,因此可以显示闪烁少的静态图像,并且可以降低耗电量。

[0351] 图32是说明本发明的一个方式的具有显示功能的信息处理装置的结构方框图。

[0352] 图33A1和图33A2是说明本发明的一个方式的显示装置的显示部的结构方框图。

[0353] 本实施方式所说明的具有显示功能的信息处理装置600包括显示装置640、运算装置620及输入单元500(参照图32)。

[0354] 显示装置640具有显示部630及控制部610(参照图32)。一次图像信号625_V及一次控制信号625_C可以被供应到显示装置640。在显示装置640中,在显示部630上能够显示图像信息。

[0355] 一次图像信号625_V例如包括图像的灰度信息(也可以称为亮度信息)及色度信息等。

[0356] 一次控制信号625_C例如包括用来控制显示装置640的扫描工作的时序的信号。

[0357] 注意,电源电位等被供应到显示装置640的控制部610及显示部630。

[0358] 控制部610具有控制显示部630的功能。例如在控制部610中生成二次图像信号615_V及/或二次控制信号615_C。

[0359] 控制部610例如也可以具备极性决定电路。极性决定电路可以使信号的极性按每个帧反转。

[0360] 极性决定电路可以通知反转二次图像信号615_V的极性的定时,控制部610在该通知定时反转二次图像信号615_V的极性。注意,既可以在控制部610中进行二次图像信号615_V的极性的反转,或者也可以根据来自控制部610的指令在显示部630中进行二次图像信号615_V的极性的反转。

[0361] 极性决定电路可以包括计数器和信号生成电路,因此通过使用同步信号决定使二次图像信号615_V的极性反转的定时。

[0362] 计数器具有使用水平同步信号的脉冲来计数帧期间的数量的功能。信号生成电路具有向控制部610通知使二次图像信号615_V的极性反转的定时的功能。由此,可以使用由计数器得到的帧期间的数量的信息按每几个连续的帧期间使二次图像信号615_V的极性反转。

[0363] 可以使二次图像信号615_V包括图像信息。

[0364] 例如,在控制部610中可以从一次图像信号625_V生成二次图像信号615_V,并从控

制部610输出该二次图像信号615_V。

[0365] 另外,在控制部610中,可以以具有按每个帧反转的极性及与一次图像信号625_V的电位和基准电位Vsc之间的差异相等的振幅的方式生成二次图像信号615_V。

[0366] 二次控制信号615_C可以包括用来控制显示部630的第一驱动电路(也称为G驱动电路632)的信号或用来控制显示部630的第二驱动电路(也称为S驱动电路633)的信号。

[0367] 例如,控制部610可以从包括垂直同步信号或水平同步信号等同步信号的一次控制信号625_C生成二次控制信号615_C。

[0368] 二次控制信号615_C例如包括初始脉冲信号SP、锁存信号LP、脉冲宽度控制信号PWC、时钟信号CK。

[0369] 具体而言,二次控制信号615_C包括控制S驱动电路633的工作的S驱动电路用初始脉冲信号SP、S驱动电路用时钟信号CK、锁存信号LP等。二次控制信号615_C还可以包括控制G驱动电路632的工作的G驱动电路用初始脉冲信号SP、G驱动电路用时钟信号CK、脉冲宽度控制信号PWC等。

[0370] 显示部630包括像素部631、第一驱动电路(也称为G驱动电路632)以及第二驱动电路(也称为S驱动电路633)。

[0371] 像素部631不包括其波长短于420nm的光作为显示光并包括以150ppi以上的清晰度配置的多个像素631p以及连接该多个像素631p的布线。多个像素631p的每一个至少与一个扫描线G及一个信号线S连接。注意,布线的种类及个数取决于像素631p的结构、个数及配置。

[0372] 例如,当像素631p在像素部631中被配置为x列y行的矩阵状时,将信号线S1至信号线Sx及扫描线G1至扫描线Gy配置在像素部631中(参照图33A1)。多个扫描线(G1至Gy)可以按行供应G信号。多个信号线(S1至Sx)可以对多个像素供应S信号。

[0373] G驱动电路632可以控制G信号632_G的供应并选择扫描线G(参照图32)。

[0374] 例如,也可以将像素部631分为多个区域(具体而言,第一区域631a、第二区域631b及第三区域631c)来驱动(参照图33A2)。

[0375] 在各个区域中可以设置多个像素631p、用来按行选择该像素631p的多个扫描线G、以及用来对被选择的像素631p供应S信号633_S的多个信号线S。

[0376] 另外,也可以设置多个G驱动电路(具体而言,第一G驱动电路632a、第二G驱动电路632b及第三G驱动电路632c)。

[0377] G驱动电路可以控制G信号632_G的供应并选择各个区域中的扫描线G(具体而言,第一G驱动电路632a中的扫描线G1至Gj、第二G驱动电路632b中的扫描线Gj+1至G2j、以及第三G驱动电路632c中的扫描线G2j+1至Gy)。

[0378] G驱动电路将选择像素电路634的第一驱动信号(也称为G信号)632_G输出到像素电路634。G驱动电路632具有第一模式及第二模式,在该第一模式中以30Hz(每秒30次)以上的频率,优选为60Hz(每秒60次)以上且低于960Hz(每秒960次)的频率向各个扫描线输出选择扫描线的G信号632_G,在第二模式中以11.6μHz(每天1次)以上且低于0.1Hz(每秒0.1次)的频率,优选为0.28μHz(每小时1次)以上且低于1Hz(每秒1次)的频率向各个扫描线输出G信号632_G。

[0379] G驱动电路632能够通过切换第一模式和第二模式而工作。例如,利用包括模式切

换信号的二次控制信号615_C或二次控制信号615_C所包括的G驱动电路用起始脉冲信号可以切换G驱动电路632的第一模式和第二模式。具体而言,也可以控制来自控制部610的G驱动电路用起始脉冲信号的输出频率。

[0380] G信号632_G通过G驱动电路632生成。G信号632_G按行被输出到像素631p,而像素631p按行被选择。

[0381] 显示部630也可以具有S驱动电路633。S驱动电路从二次图像信号615_V生成第二驱动信号(也称为S信号633_S),且控制该S信号633_S向信号线S(具体而言,S1至Sx)的供应。

[0382] S信号633_S包括图像的灰度信息等。S信号633_S被供应到G信号632_G所选择的像素631p。

[0383] 像素部631包括多个像素631p。

[0384] 像素631p具备显示元件635及包括该显示元件635的像素电路634(参照图32)。

[0385] 像素电路634保持被供应的S信号633_S,并在显示元件635中显示图像数据的一部分。可以对应于显示元件635的种类或驱动方法选择像素电路634的结构。

[0386] 作为像素电路634的一个例子,图33B1示出将液晶元件635LC用作显示元件635的结构。

[0387] 像素电路634包括:具备被输入G信号632_G的栅电极及被输入S信号的第一电极的晶体管634t;以及具备与晶体管634t的第二电极电连接的第一电极及被供应公共电位的第二电极的液晶元件635LC。

[0388] 像素电路634具有控制S信号633_S供应到显示元件635的晶体管634t。

[0389] 晶体管634t的栅极连接到扫描线G1至扫描线Gy中的任一个。晶体管634t的源极和漏极中的一个连接到信号线S1至信号线Sx中的任一个,并且晶体管634t的源极和漏极中的另一个连接到显示元件635的第一电极。

[0390] 在像素631p中将晶体管634t用作控制S信号633_S输入到像素631p的开关元件。此外,也可以将用作一个开关元件的多个晶体管用于像素631p。此时,也可以将用作一个开关元件的上述多个晶体管并联连接,又可以串联连接,还可以组合并联和串联连接。

[0391] 注意,像素631p根据需要还包括用来保持液晶元件635LC的第一电极与第二电极之间的电压的电容元件634c、以及晶体管、二极管、电阻元件、电容元件或电感器等其他电路元件。对显示元件635的第二电极施加指定的公共电位Vcom。

[0392] 适当地调整电容元件634c的电容即可。例如,在后面说明的第二模式中,在较长期间(具体而言,1/60sec以上)保持S信号633_S的情况下,设置电容元件634c。也可以使用没有设置电容元件634c的结构调整像素电路634的电容。另外,通过使用重叠设置液晶元件635LC的第一电极与第二电极的结构也可以实质上形成电容元件。

[0393] 作为像素电路的另一个例子,图33B2示出将EL元件635EL使用于显示元件635的结构。

[0394] 像素电路634EL具有第一晶体管634t_1,该第一晶体管634t_1包括被输入G信号632_G的栅电极、被输入S信号的第一电极以及与电容元件634c的第一电极电连接的第二电极。像素电路634EL还具有第二晶体管634t_2,该第二晶体管634t_2包括与第一晶体管634t_1的第二电极电连接的栅电极、与电容元件634c的第二电极电连接的第一电极以及与

EL元件635EL的第一电极电连接的第二电极。向电容元件634c的第二电极以及第二晶体管634t₂的第一电极供应电源电位,而向EL元件635EL的第二电极供应公共电位。注意,电源电位与公共电位的电位差比EL元件635EL的发光开始电压大。

[0395] 在像素电路634中,晶体管634t控制是否对显示元件635的第一电极施加信号线S的电位。

[0396] 注意,可以将包括氧化物半导体的晶体管适当地用作本发明的一个方式的显示装置的晶体管。关于包括氧化物半导体的晶体管的详细内容可以参照实施方式1及实施方式2。

[0397] 包括氧化物半导体膜的晶体管可以使关闭状态下的源极与漏极之间的泄漏电流(关态电流(off-state current))比现有的包含硅的晶体管小得多。通过将关态电流极小的晶体管用于显示部的像素部,可以在抑制闪烁产生的同时减少帧频率。

[0398] 作为显示元件635,除了液晶元件635LC以外,例如还可以使用在被施加电压时产生电致发光(Electroluminescence)的OLED元件、使用电泳的电子墨水等各种显示元件。

[0399] 例如,液晶元件635LC的偏振光的透过率可以由S信号633_S的电位控制,由此可以显示灰度。

[0400] 例如,当将透射型液晶元件用于显示元件635时,可以在显示部630中设置光供应部650。光供应部650具有光源。控制部610控制光供应部650中的光源的驱动。光供应部650对包括液晶元件的像素部631供应光而用作背光。

[0401] 作为光供应部650的光源,可以使用冷阴极荧光灯、发光二极管(LED)、OLED元件等。

[0402] 尤其是,优选光源所发射的蓝色光的强度比其他颜色的光的强度弱。因为包括在光源所发射的光中的蓝色光不被眼睛的角膜及晶状体吸收而到达视网膜,所以可以降低对视网膜的长期性的影响(例如,年龄相关性黄斑变性等)或直到深夜里暴露于蓝色光时的对昼夜节律(Circadian rhythm)的负面影响等。具体而言,光源优选发射不包括具有400nm以下、优选为420nm以下、更优选为440nm以下的波长的光的光。

[0403] 本发明的一个方式的半导体装置中的像素吸收具有上述波长的光且几乎不使其透过。因此,即使光源发射具有上述波长的光,通过使用本发明的一个方式的半导体装置也可以减少或遮断具有上述波长的光。

[0404] 运算装置620生成一次图像信号625_V及包括模式切换信号的一次控制信号625_C。

[0405] 模式切换信号例如可以通过信息处理装置600的使用者的指令而生成。

[0406] 信息处理装置600的使用者可以利用输入单元500发出切换显示的指令。运算装置620也可以被供应图像切换信号500_C并输出包括模式切换信号的一次控制信号625_C。

[0407] 包括模式切换信号的一次控制信号625_C被供应到显示装置640的控制部610,从控制部输出包括模式切换信号的二次控制信号615_C。

[0408] 例如,当包括将G驱动电路632从第二模式切换为第一模式的模式切换信号的二次控制信号615_C被供应到G驱动电路632时,G驱动电路632从第二模式切换为第一模式。然后,G驱动电路632输出G信号至少1个帧以上,然后切换为第二模式。

[0409] 具体而言,输入单元500也可以在检测出翻页工作时将图像切换信号500_C输出到

运算装置620。

[0410] 运算装置620生成包括翻页工作的一次图像信号625_V,并与该一次图像信号625_V一起输出包括模式切换信号的一次控制信号625_C。

[0411] 供应有该一次图像信号625_V及该一次控制信号625_C的控制部610供应包括模式切换信号的二次控制信号615_C及执行翻页工作的二次图像信号615_V。

[0412] 供应有包括模式切换信号的二次控制信号615_C的G驱动电路632从第二模式切换为第一模式,并以高频率输出G信号632_G。

[0413] 供应有包括翻页工作的二次图像信号615_V的S驱动电路633向像素电路634输出从该二次图像信号615_V生成的S信号633_S。

[0414] 由此,像素631p可以以高频率改写包括翻页工作的多个帧图像。其结果,可以流畅地显示执行翻页工作的基于二次图像信号615_V的图像。

[0415] 运算装置620也可以辨别基于向显示部630输出的一次图像信号625_V的图像是动态图像还是静态图像,并根据其辨别结果输出包括模式切换信号的一次控制信号625_C。

[0416] 具体而言,当基于一次图像信号625_V的图像是动态图像时,该运算装置620输出选择第一模式的切换信号,而当基于一次图像信号625_V的图像是静态图像时,该运算装置620输出选择第二模式的切换信号。

[0417] 辨别基于一次图像信号的图像是动态图像还是静态图像的方法为如下。对一次图像信号625_V所包括的一个帧的信号与该帧前后的帧的信号进行比较。当信号之间的差异大于预先设定的差异时,辨别为图像是动态图像,而在其他情况下,辨别为图像是静态图像。

[0418] 当控制部610将G驱动电路的工作模式从一个模式切换为其他模式时(例如,从第二模式切换为第一模式)时,G驱动电路也可以在输出G信号632_G一次以上的预定的次数之后,切换为其他模式。

[0419] 作为输入单元500例如可以使用触摸屏、触摸板、滑鼠、控制杆、轨迹球、数据手套或摄像装置等。在运算装置620中,可以使从输入单元500输出的电信号和显示部的坐标彼此相关。由此,使用者可以输入用来处理显示在显示部上的信息的指令。

[0420] 作为使用者使用输入单元500输入的信息,例如可以举出如下指令:改变显示于显示部的图像的显示位置的拖拉指令;将显示图像翻到下一个图像的滑动指令;滚动连续的图像的指令;选择特定的图像的指令;改变所显示的图像的尺寸的缩放指令;以及输入手写的文字的指令等。

[0421] 注意,照度是指在每单位时间内入射到被照射面的每单位面积上的光量,该光量包括眼睛的光谱灵敏度。

[0422] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0423] 实施方式7

在本实施方式中,参照图34A和图34B将说明使用本发明的一个方式的半导体装置的信息处理装置的信息处理方法。

[0424] 具体而言,说明能够显示在使用本发明的一个方式的半导体装置的信息处理装置的显示部上的图像的生成方法。尤其是,说明在将显示于显示部的图像切换为其他图像时对使用者的眼睛刺激少的图像的切换方法,即减轻使用者的眼睛疲劳的图像的切换方法或

不给使用者的眼睛带来负担的图像的切换方法。

[0425] 图34A示出使用本发明的一个方式的半导体装置的信息处理装置的结构方框图,图34B是说明图像数据的示意图。

[0426] 在本发明的一个方式中,在信息处理装置的显示部中流畅地切换显示图像。

[0427] 上述结构减轻切换显示时给使用者的眼睛带来的负担。因此,可以提供能够对眼睛刺激少的方式显示包括运算单元所处理的信息的图像的新颖的信息处理方法。

[0428] 当快速地切换并显示图像时,例如,当在动态图像中不断地切换情景时或者当静态图像切换为不同的静态图像时,使用者有可能感觉眼睛疲劳。

[0429] 当图像切换为不同的图像时,优选缓慢地(流畅地)且自然地切换图像而不瞬间地切换。

[0430] 例如,当第一静态图像切换为第二静态图像时,优选的是,在第一静态图像和第二静态图像之间插入第一静态图像淡出的动态图像及/或第二静态图像淡入的动态图像。此外,也可以插入以在第一静态图像淡出的同时,第二静态图像淡入(将该技术也称为交替淡变)的方式插入重叠第一静态图像及第二静态图像而得到的动态图像。还可以插入显示第一静态图像逐渐变成第二静态图像的过程的动态图像(将该技术也称为影像变形)。

[0431] 注意,也可以在以低刷新速率显示第一静态图像,接着以高刷新速率显示用来切换图像的图像之后,以低刷新速率显示第二静态图像。

[0432] 下面将说明切换互不相同的图像A和图像B的方法的一个例子。

[0433] 图34A是示出能够切换图像的显示部的结构的方框图。图34A所示的显示部包括运算单元701、存储单元702、控制单元703以及显示单元704。

[0434] 在第一步骤中,运算单元701将从外部存储装置等输入的图像A的数据及图像B的数据储存在存储单元702中。

[0435] 在第二步骤中,运算单元701根据预先设定的图像数据的分割数基于图像A的数据和图像B的数据依次生成新的图像数据。

[0436] 在第三步骤中,将所生成的图像数据输出到控制单元703。控制单元703将被输入的图像数据显示于显示单元704。

[0437] 图34B是用来说明在将图像从图像A逐渐切换为图像B时生成的图像数据的示意图。

[0438] 在图34B中示出在图像A与图像B之间生成而显示N(N是自然数)个图像数据,且分别将每一个图像数据显示f帧期间(f是自然数)的情况。由此,将显示从图像A切换为图像B的期间是 $f \times N$ 帧。

[0439] 在此,优选的是,使用者可以自由地设定上述N及f等参数。运算单元701预先取得这些参数,且根据该参数生成图像数据。

[0440] 第i次生成的图像数据(i是1以上且N以下的整数)是可以对图像A的数据和图像B的数据分别进行加权并将该加权数据加在一起生成的。例如,当以a表示显示图像A的像素的亮度(灰度),而以b表示显示图像B的像素的亮度时,以公式1表示显示第i次生成的图像数据的像素的亮度(灰度)c。注意,灰度是指显示在显示部上的浓淡的等级。可以将只具有白色及黑色的两个等级的浓淡的图像称为二级图像。例如,现有的个人计算机的显示部具有显示红色、绿色、蓝色的子像素。对子像素输入用来显示256等级的浓淡的信号。

[0441] [公式1]

$$c = \frac{(N-i)a + ib}{N} \quad (1)$$

[0442] 当将使用这种方法生成的图像数据用来将显示从图像A切换为图像B时,可以缓慢地(流畅地)且自然地切换不连续的图像。

[0443] 注意,在公式1中,在所有的像素中 $a=0$ 的情况相当于从黑色图像逐渐切换为图像B的淡入。此外,在所有的像素中 $b=0$ 的情况相当于从图像A逐渐切换为黑色图像的淡出。

[0444] 虽然在上述说明中描述了通过使两个图像暂时重叠来切换图像的方法,但是也可以采用没有重叠操作的方法。

[0445] 在没有两个图像的重叠而图像A切换为图像B的情况下,也可以在将图像A和图像B之间插入黑色图像。此时,当图像A迁移到黑色图像及/或黑色图像迁移到图像B时,也可以采用上述图像切换方法。此外,在图像A和图像B之间插入的图像不局限于黑色图像,而且还可以使用白色图像等单色图像或与图像A及图像B不同的多色图像。

[0446] 当在图像A和图像B之间插入图像,特别是黑色图像等单色图像时,使用者可以不引起不舒服的感觉地感觉到图像切换的定时,从而可以以不使使用者感到不快的方式切换图像。

[0447] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0448] 实施方式8

在本实施方式中,参照图35A1、图35A2、图35B1及图35B2以及图36将说明使用本发明的一个方式的半导体装置的信息处理装置的结构。

[0449] 图35A1、图35A2、图35B1及图35B2说明信息处理装置的效果。

[0450] 图36说明信息处理装置的结构方框图。

[0451] 将眼睛疲劳分为神经疲劳和肌肉疲劳的两种疲劳。使用图35A1和图35A-2的示意图说明眼睛疲劳。

[0452] 当使用者长时间观看显示部所发射的连续或闪烁的光时,引起神经疲劳。这是因为亮度刺激眼睛的视网膜、视神经或脑子并使其疲劳。将荧光灯或现有的显示装置的显示部频繁地明灭的现象称为闪烁,该闪烁引起神经疲劳。

[0453] 肌肉疲劳是由于过度使用在调节焦点时使用的睫状肌而引起的。

[0454] 图35A1示出现有的显示部的显示的示意图。现有的显示部进行每秒60次的图像改写。当使用者长时间一直观看这种显示时,恐怕会刺激视网膜、视神经或脑子而引起眼睛疲劳。

[0455] 另外,如图35A2所示,在每个像素的尺寸大的情况下(例如,在清晰度低于150ppi的情况下),显示在显示部上的文字等的轮廓变得模糊。当使用者长时间一直观看显示在显示部上的轮廓模糊的文字等时,即使睫状肌为了调节焦点不断运动也难以持续对文字的焦点,这恐怕会对眼睛造成负担。

[0456] 已研讨定量地测定眼睛疲劳的方法。例如,作为神经疲劳的评价指标,已知有临界闪烁(融合)频率(CFF:Critical Flicker (Fusion) Frequency)。作为肌肉疲劳的评价指标,已知有调节时间、调节近点距离等。

[0457] 作为评价眼睛疲劳的其他方法,已知有脑波测定、温度图法、眨眼次数的测定计算、泪液量的测量、瞳孔的收缩反应速度的测量、用来调查自觉症状的问卷调查等。

[0458] 为了解决上述课题,本发明的一个方式着眼于工作环境的照度及显示在显示装置上的图像信息的背景的灰调。下面说明的实施方式包括:着眼于工作环境的照度信息及图像信息的背景的灰调信息而创作的本发明的一个实施方式。

[0459] 本发明的一个方式的图像信息的处理及显示方法包括如下步骤:取得环境的照度信息及显示在显示部上的图像信息的背景的灰调信息的步骤;以及利用所取得的信息将图像信息显示在具备多个像素的显示部的步骤,该多个像素具有150ppi以上的清晰度并发射波长长于420nm的光。其结果是,能够根据环境照度显示图像信息。因此,可以提供能够进行图像信息处理及对眼睛刺激少的显示的新颖的图像信息的处理及显示方法。

[0460] 图36示出信息处理装置的方框图的一个例子,该信息处理装置可以采用本发明的一个方式的图像信息的处理及显示方法。

[0461] 信息处理装置330包括运算单元311、存储单元312及传送通道314。传送通道314使运算单元311、存储单元312以及输入/输出接口315相互连接并进行信息的传送。注意,无法明确地辨别上述单元,有时一个单元兼作其他单元或包含其他单元的一部分。例如,触控面板既是显示单元又是输入单元。

[0462] 输入/输出装置320通过输入/输出接口315连接到传送通道314。输入/输出装置320是用来从外部向运算装置310输入信息或从运算装置310输出信息的装置。

[0463] 作为输入/输出装置320的例子,可以举出通信设备、网络互连设备或硬盘、抽取式存储器等可写的外部存储装置。

[0464] 作为输入装置321的例子,可以举出键盘、指向装置(例如,鼠标)或触控面板等人机接口设备;数码相机、数码摄像机等相机;扫描仪;CDROM、DVDROM等只读的外部存储装置。例如,信息处理装置330的使用者能够使用输入装置321输入翻页指令等。

[0465] 显示单元322、扬声器、印刷机等作为输出装置连接。

[0466] 本发明的一个方式的信息处理装置330具有显示单元322。尤其是,显示单元322的显示光不包含波长短于420nm的光,优选不包含波长短于440nm的光。显示部包括清晰度为150ppi以上、优选为200ppi以上的多个像素。由此,可以进行对眼睛的刺激小的显示。注意,在本说明书中,显示光是指从信息处理装置的显示单元发射或在信息处理装置的显示单元上反射的光,由此使用者可以观看显示图像。

[0467] 本发明的一个方式的显示单元的显示光由于不被眼睛的角膜或晶状体吸收而到达视网膜,因此不包括给视网膜带来长期的影响或给昼夜节律(Circadian rhythm)带来负面影响的光。具体而言,显示图像的光不包括具有400nm以下、优选为420nm以下、更优选为440nm以下的波长的光。

[0468] 本发明的一个方式的信息处理装置330可以使用本发明的一个方式的半导体装置。该半导体装置中的像素吸收具有上述波长的光且几乎不使其透过。因此,即使光源发射具有上述波长的光,也可以通过使用本发明的一个方式的半导体装置减少或遮断具有上述波长的光。

[0469] 另外,本发明的一个方式的显示部具备清晰度为150ppi以上、优选为200ppi以上的像素,即每一个像素的尺寸小。由此,可以减轻使用者的眼睛的肌肉疲劳。

[0470] 图35B1和图35B2示出本发明的一个方式的信息处理装置的减轻眼睛疲劳的效果的示意图。

[0471] 在本发明的一个方式的信息处理装置中,可以改变输出选择像素的信号频率。尤其是,当将关态电流极小的晶体管用于显示部的像素部中时,可以在减少闪烁的同时减少帧频率。例如,能够以少于每5秒钟一次的频率可以改写图像。因此使用者可以尽可能长时间地观看相同的图像,因此降低使用者所察觉的屏幕的闪烁。由此,减少使用者的眼睛的视网膜、神经或脑子所受的刺激,从而减轻神经疲劳(参照图35B1)。

[0472] 注意,作为关态电流极小的晶体管,适当地使用包括氧化物半导体的晶体管,尤其是包括CAAC-OS的晶体管。

[0473] 本发明的一个方式的信息处理装置的每一个像素的尺寸小。具体而言,可以实现150ppi以上、优选为200ppi以上的高精细度。可以准确地且流畅地显示其轮廓明确的图像,由此睫状肌的焦点调节变得容易,从而可以减轻使用者的肌肉疲劳(参照图35B2)。注意,清晰度可以使用像素密度(ppi:pixel per inch)表示。像素密度为每英寸的像素数。像素是构成图像的单位。

[0474] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0475] 实施方式9

本发明的一个方式的半导体装置可以应用于各种电子设备(包括游戏机)。作为电子设备的例子,可以举出电视装置、计算机等的显示器、数码相机、数码摄像机、数码相框、移动电话机、游戏机、便携式游戏机、便携式信息终端、声音再现装置、游戏机(弹珠机(pachinko machine)或投币机(slot machine)等)。图37A至图37C、图38A及图38B示出上述电子设备的例子。

[0476] 图37A示出具有显示部的桌子。在桌子9000中,框体9001组装有显示部9003,在显示部9003上可以显示图像。注意,利用四个桌腿9002支撑框体9001。另外,框体9001具有用于供应电力的电源线9005。

[0477] 可以将上述实施方式中任一个所示的半导体装置用于显示部9003。因此显示部9003可以具有高显示品质。

[0478] 显示部9003具有触屏输入功能。当使用者用他/她的手指等接触显示于桌子9000的显示部9003上的按钮9004时,使用者可以进行画面操作及信息输入。并且,当桌子与家电产品进行通信或控制家电产品时,显示部9003被用作通过画面操作控制家电产品的控制装置。例如,通过使用具有触控传感器功能或图像传感器功能的半导体装置,可以使显示部9003具有触屏输入功能。

[0479] 另外,利用设置于框体9001的铰链也可以使显示部9003的画面垂直于地板,从而也可以将桌子9000用作电视装置。虽然当在较小的房间里设置大画面的电视装置时自由使用的空间变小,但是在桌子内安装有显示部时可以有效地利用房间的空间。

[0480] 图37B示出电视装置。在电视装置9100中,框体9101组装有显示部9103,并且在显示部9103上可以显示图像。注意,在此示出利用支架9105支撑框体9101。

[0481] 通过利用框体9101所具备的操作开关、另外提供的遥控器9110,可以进行电视装置9100的操作。通过利用遥控器9110的操作键9109,可以进行频道及音量的控制,因此可以对在显示部9103上显示的图像进行控制。此外,也可以在遥控器9110中设置用来显示从该

遥控器9110输出的数据的显示部9107。

[0482] 图37B所示的电视装置9100具备接收机及调制解调器等。电视装置9100可以利用接收机接收一般的电视广播。再者,当电视装置9100通过调制解调器以有线或无线方式连接到通信网络时,也可以进行单向(从发送者到接收者)或双向(发送者和接收者之间或接收者之间等)的数据通信。

[0483] 可以将上述实施方式中任一个所示的半导体装置用于显示部9103、显示部9107。因此电视机可以具有高显示品质。

[0484] 图37C示出计算机9200,该计算机包括主体9201、框体9202、显示部9203、键盘9204、外部连接端口9205、指向装置9206等。

[0485] 可以将上述实施方式中任一个所示的半导体装置用于显示部9203。因此计算机9200可以具有高显示品质。

[0486] 显示部9203具有触屏输入功能。当使用者用他/她的手指等接触显示在显示部9203上的按钮时,使用者可以进行画面操作及信息输入。此外,可以利用键盘或音频来输入信息。

[0487] 图38A和图38B示出能够折叠的平板终端。在图38A中,平板终端处于打开的状态,并包括框体9630、显示部9631a、显示部9631b、显示模式切换按钮9034、电源开关9035、省电模式切换按钮9036、扣件9033以及操作按钮9038。

[0488] 可以将上述实施方式中任一个所示的半导体装置用于显示部9631a、显示部9631b。因此平板终端可以具有高显示品质。

[0489] 可以将显示部9631a的一部分用作触摸屏的区域9632a,并且可以在接触所显示的操作键9638时输入数据。虽然例示出显示部9631a的一半只具有显示的功能,并且另一半具有触摸屏的功能的结构,但是显示部9631a的结构不局限于该结构。显示部9631a的全部区域也可以具有触摸屏的功能。例如,可以使显示部9631a的整个面显示键盘按钮并且将其用作触摸屏,并且可以将显示部9631b用作显示画面。

[0490] 与显示部9631a同样,可以将显示部9631b的一部分用作触摸屏的区域9632b。当使用手指或触屏笔等接触显示在触摸屏上的键盘显示切换按钮9639时,可以在显示部9631b上显示键盘。

[0491] 也可以对触摸屏的区域9632a和触摸屏的区域9632b同时进行接触输入。

[0492] 显示模式切换按钮9034能够进行显示方向的切换(竖屏模式和横屏模式等)以及显示模式的选择(黑白显示和彩色显示之间的切换)等。根据内置于平板终端中的光传感器所检测的使用平板终端的外光的光量,省电模式切换按钮9036可以控制显示亮度。平板终端除了光传感器以外还可以包括检测倾斜度的传感器(陀螺仪或加速度传感器等)等其他检测装置。

[0493] 虽然在图38A中显示部9631a和显示部9631b具有相同的显示面积,但是本发明的一个方式不局限于该例子。显示部9631a和显示部9631b也可以具有不同的面积及不同的显示品质。例如,显示部9631a和显示部9631b中的一个也可以是能够显示比另一个更高精细的图像的显示面板。

[0494] 在图38B中,平板终端处于合上的状态并包括框体9630、太阳能电池9633、充放电控制电路9634。注意,在图38B中,示出充放电控制电路9634具有电池9635和DCDC转换器

9636的例子。

[0495] 由于可以使平板终端折叠,因此不使用时可以合上框体9630。因此,可以保护显示部9631a和显示部9631b,而可以提供一种具有良好的耐久性且从长期使用的观点来看具有高可靠性的平板。

[0496] 此外,图38A和图38B所示的平板终端还可以具有如下功能:显示各种各样的数据(静态图像、动态图像、文本图像等)的功能;将日历、日期或时刻等显示在显示部上的功能;通过触摸输入对显示在显示部上的数据进行操作或编辑的触摸输入的功能;通过各种各样的软件(程序)控制处理的功能等。

[0497] 安装在平板终端的表面上的太阳能电池9633将电力供应到触摸屏、显示部和图像信号处理部等。注意,太阳能电池9633可以设置在框体9630的一面或两面,因此可以高效地进行电池9635的充电。通过作为电池9635使用锂离子电池,电池9635有实现小型化等的优点。

[0498] 参照图39A至图39C所示的方框图对图38B所示的充放电控制电路9634的结构和工作进行说明。图39A示出太阳能电池9633、电池9635、DCDC转换器9636、DCDC转换器9637、开关SW1至SW3以及负载(显示部9631等),电池9635、DCDC转换器9636、DCDC转换器9637、开关SW1至SW3对应于图38B所示的充电/放电控制电路9634。

[0499] 首先,将说明在利用太阳能电池9633发电时的工作的例子。使用DCDC转换器9636对太阳能电池9633所产生的电力的电压进行升压或降压,以得到用来对电池9635进行充电的电压。当利用来自太阳能电池9633的电力使负载(显示部9631等)工作时使开关SW1导通,并且,利用DCDC转换器9637将电压升压或降压到负载(显示部9631等)的工作所需要的电压。另外,当不进行对负载(显示部9631等)的电力供应时,可以使开关SW1截止且使开关SW2导通,由此对电池9635进行充电。

[0500] 在通过电池9635一直进行对负载(显示部9631等)的电力供应时,如图39B所示,也可以省略开关SW1。

[0501] 另外,当对负载供应的电压在于与电池9635的电压相同的范围内时,如图39C所示,也可以还省略DCDC转换器9637。

[0502] 注意,作为发电单元的一个例子示出太阳能电池9633,但是不局限于此,也可以使用压电元件(piezoelectric element)或热电转换元件(珀耳帖元件(Peltier element))等其他发电单元进行电池9635的充电。例如,也可以使用以无线(不接触)的方式收发电力的非接触电力传输模块、或其他充电单元的组合,由此进行电池9635的充电。

[0503] 注意,本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而实施。

本申请案根据2012年12月28日在日本专利局所申请之日本专利申请案序号2012-288973及2013年3月12日在日本专利局所申请之日本专利申请案序号2013-049261,该申请案的全部内容结合于本文以供参考。

附图标记说明

[0504] 100:像素部;101:像素;102:衬底;103:晶体管;104:驱动电路;105:电容元件;106:驱动电路;107:扫描线;108:液晶元件;109:信号线;110:基底绝缘膜;111:半导体膜;113:导电膜;115:电容线;117:开口;118:氮化绝缘膜;119:半导体膜;121:像素电极;127:

栅极绝缘膜;129:绝缘膜;130:绝缘膜;131:绝缘膜;132:绝缘膜;135:边界;154:对置电极;188a:氧化物半导体膜;188b:氧化物半导体膜;199a:氧化物半导体膜;199b:氧化物半导体膜;199c:氧化物半导体膜;223:晶体管;227:栅电极;229:布线;231:半导体膜;233:布线;241:导电膜;310:运算装置;311:运算部;312:存储部;314:传送通道;315:输入/输出接口;320:输入/输出装置;321:输入装置;322:显示单元;330:信息处理装置;500:输入单元;500_C:信号;600:信息处理装置;610:控制部;615_C:二次控制信号;615_V:二次图像信号;620:运算装置;625_C:一次控制信号;625_V:一次图像信号;630:显示部;631:像素部;631a:区域;631b:区域;631c:区域;631p:像素;632:G驱动电路;632_G:G信号;632a:G驱动电路;632b:G驱动电路;632c:G驱动电路;633:S驱动电路;633_S:S信号;634:像素电路;634c:电容元件;634EL:像素电路;634t:晶体管;634t_1:晶体管;634t_2:晶体管;635:显示元件;635EL:EL元件;635LC:液晶元件;640:显示装置;650:光供应部;701:运算单元;702:存储单元;703:控制单元;704:显示单元;901:衬底;902:像素部;903:驱动电路;904:驱动电路;905:密封剂;906:衬底;908:液晶层;910:晶体管;911:晶体管;913:液晶元件;915:连接端子电极;916:端子电极;917:导电膜;918:FPC;918b:FPC;919:各向异性导电剂;922:栅极绝缘膜;923:绝缘膜;924:绝缘膜;925:密封剂;926:电容元件;927:氧化物半导体膜;929:电容线;930:电极;931:电极;932:绝缘膜;933:绝缘膜;934:绝缘膜;935:间隔物;936:电容元件;971:源电极;973:漏电极;975:公共电位线;977:公共电极;985:公共电位线;987:公共电极;9000:桌子;9001:框体;9002:桌腿;9003:显示部;9004:按钮;9005:电源线;9033:扣件;9034:切换按钮;9035:电源开关;9036:切换按钮;9038:操作按钮;9100:电视装置;9101:框体;9103:显示部;9105:支架;9107:显示部;9109:操作键;9110:遥控器;9200:计算机;9201:主体;9202:框体;9203:显示部;9204:键盘;9205:外部连接端口;9206:指向装置;9630:框体;9631:显示部;9631a:显示部;9631b:显示部;9632a:区域;9632b:区域;9633:太阳能电池;9634:充电/放电控制电路;9635:电池;9636:DCDC转换器;9637:DCDC转换器;9638:操作键;9639:切换按钮。

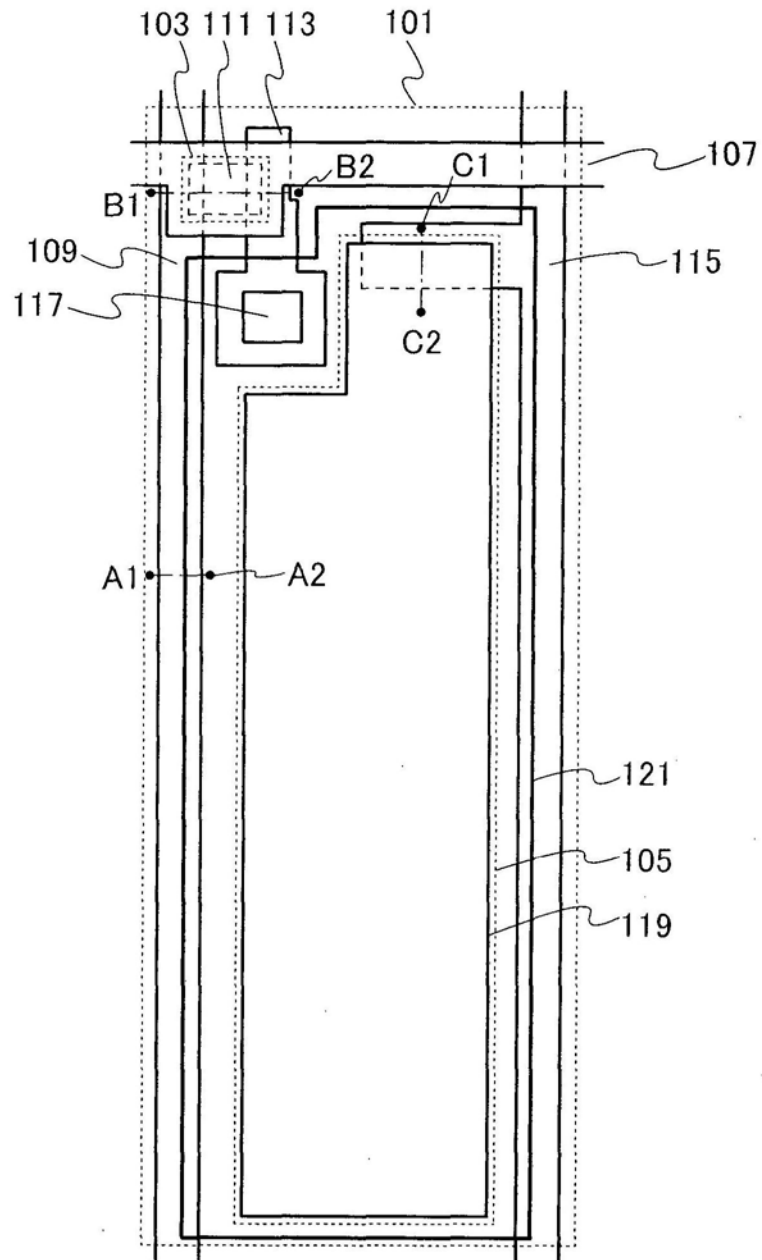


图1

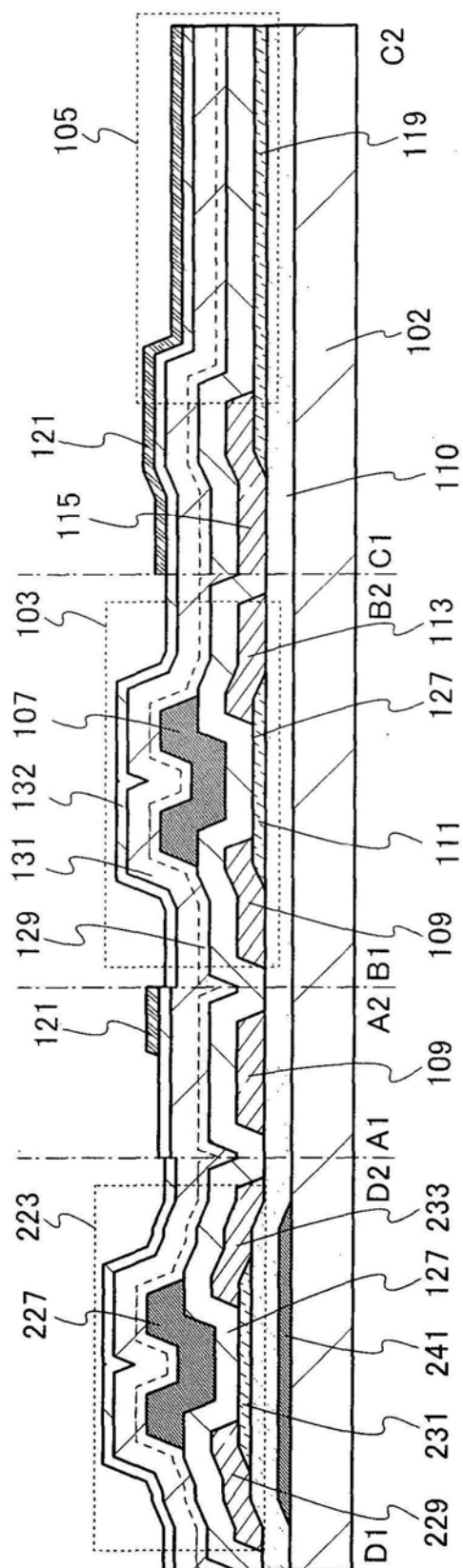


图2

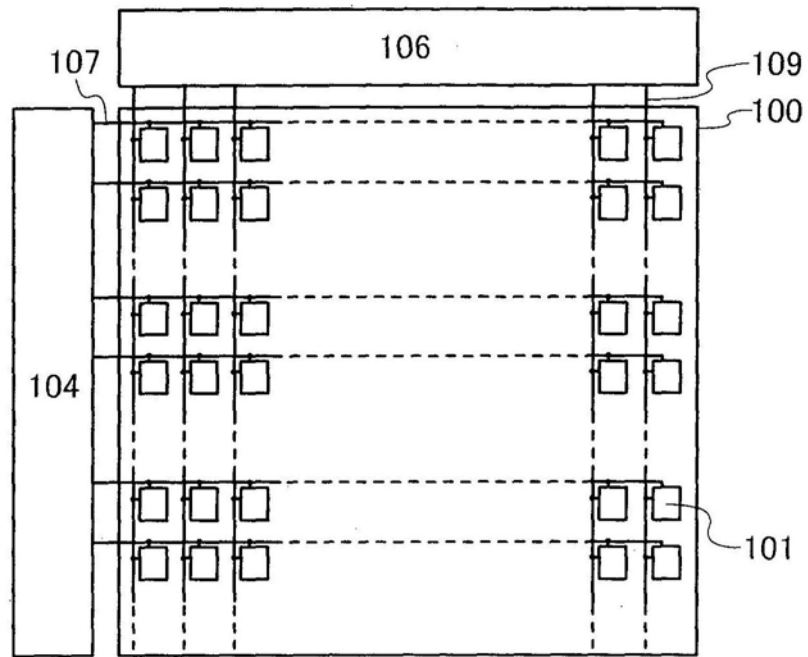


图3

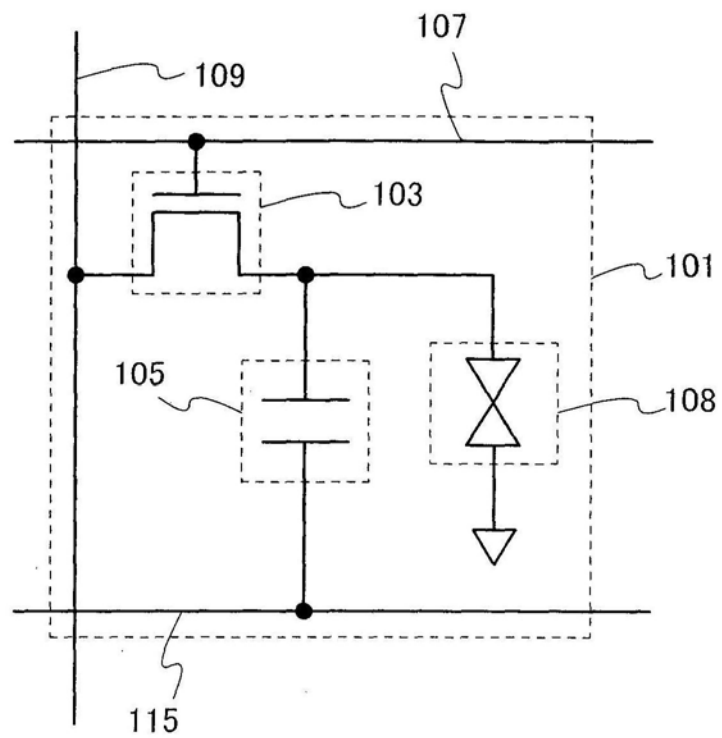


图4A

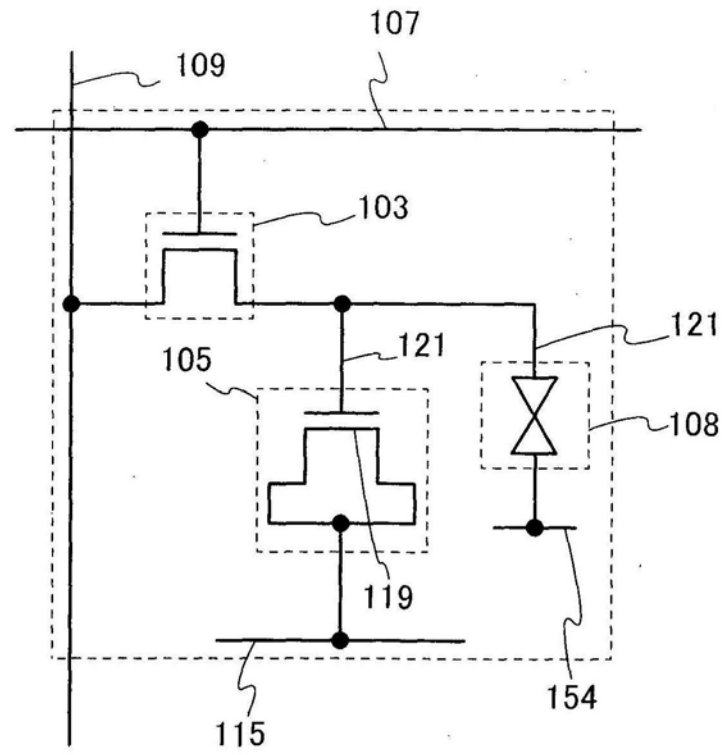


图4B

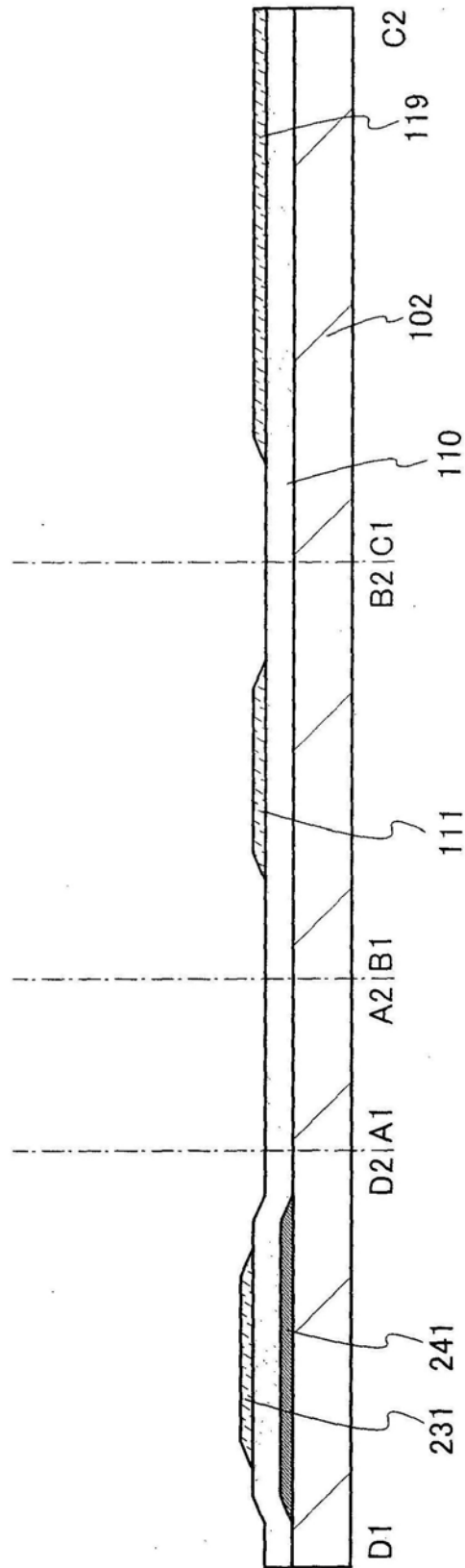


图5A

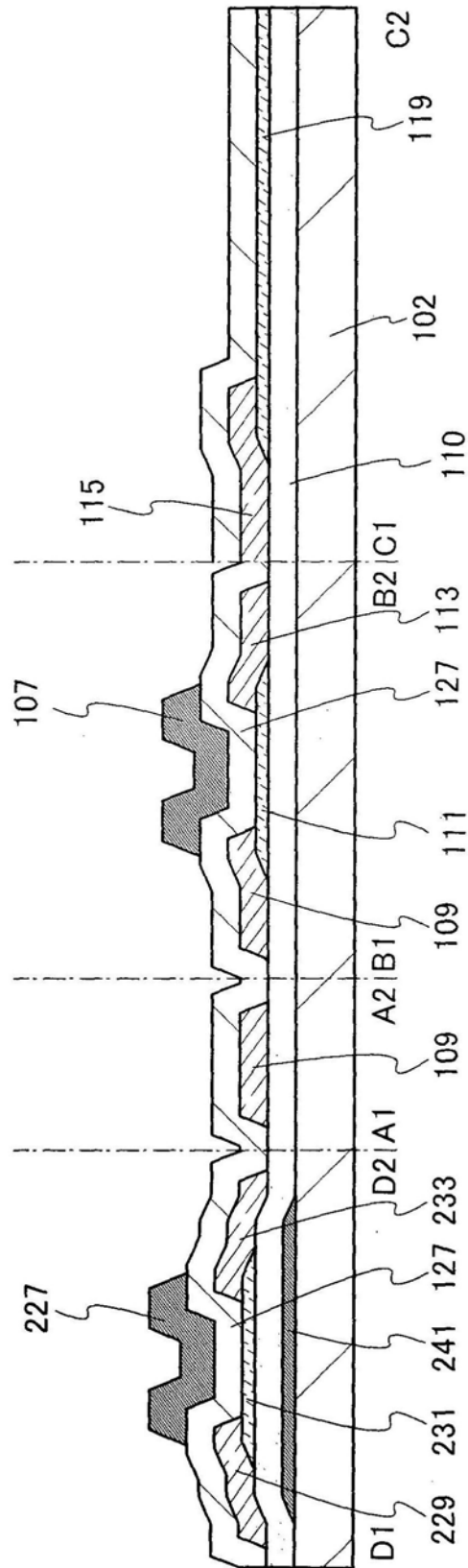


图5B

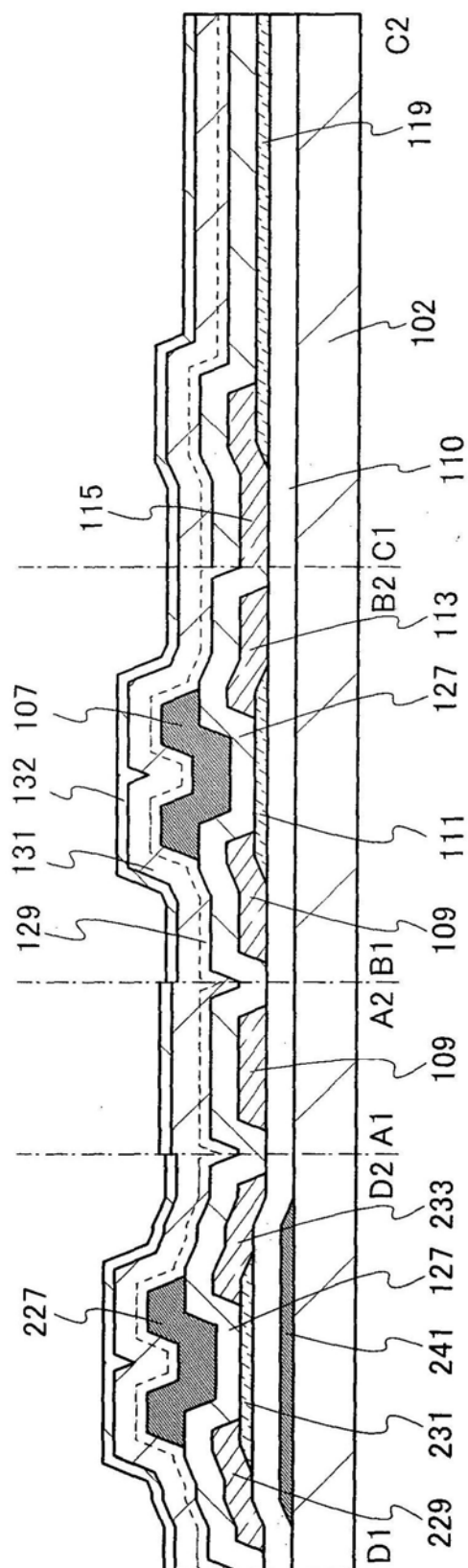


图6A

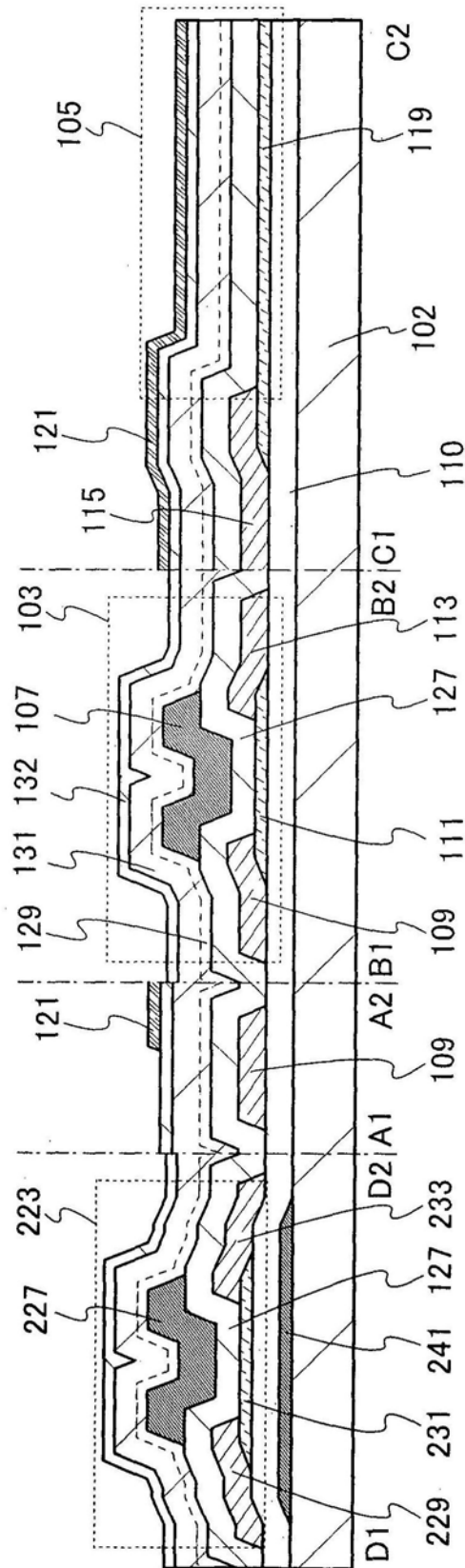


图6B

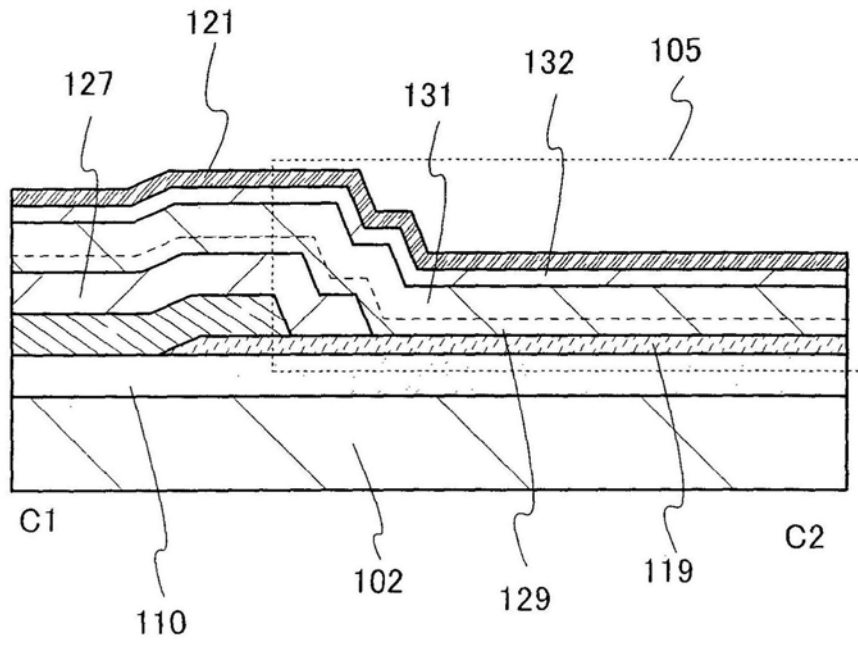


图7A

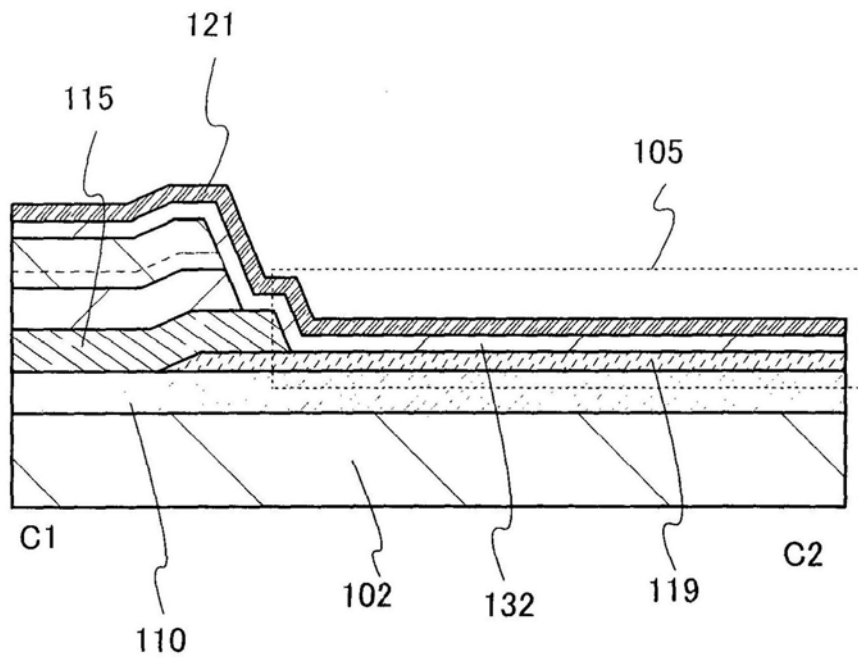


图7B

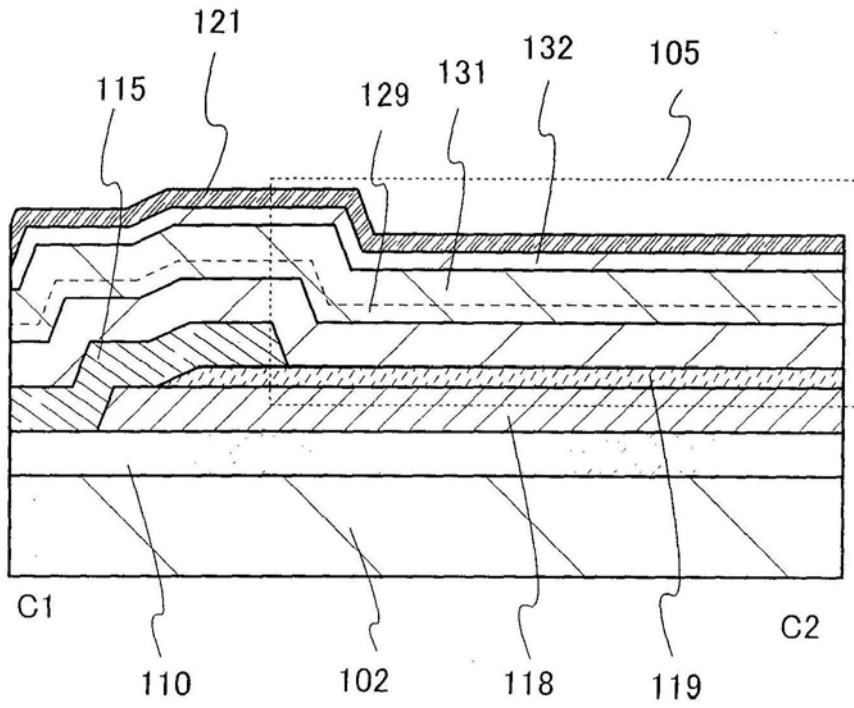


图8

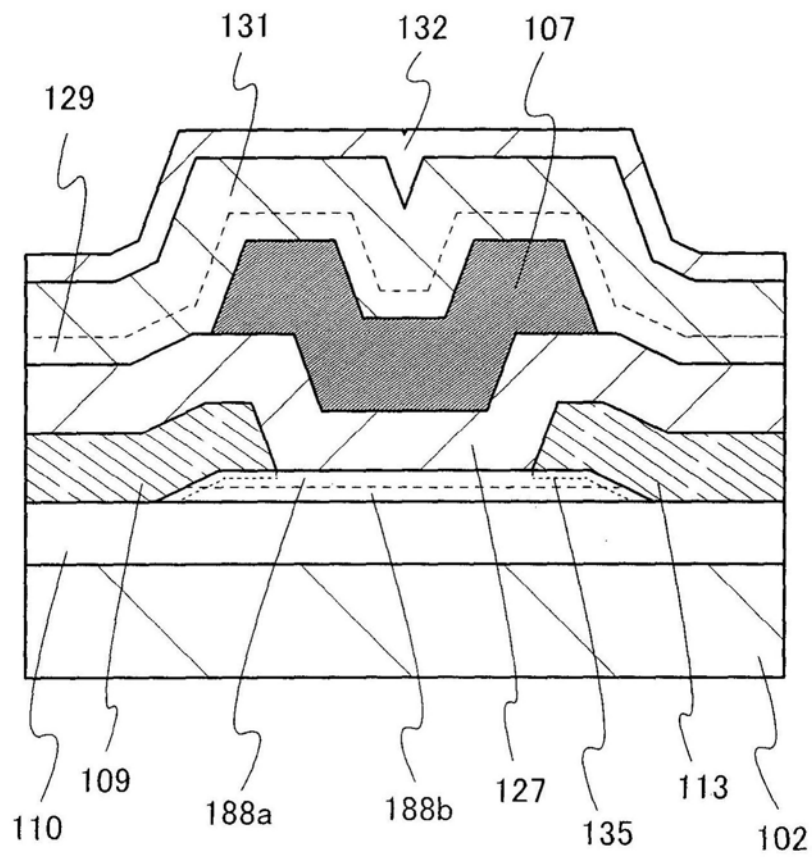


图9A

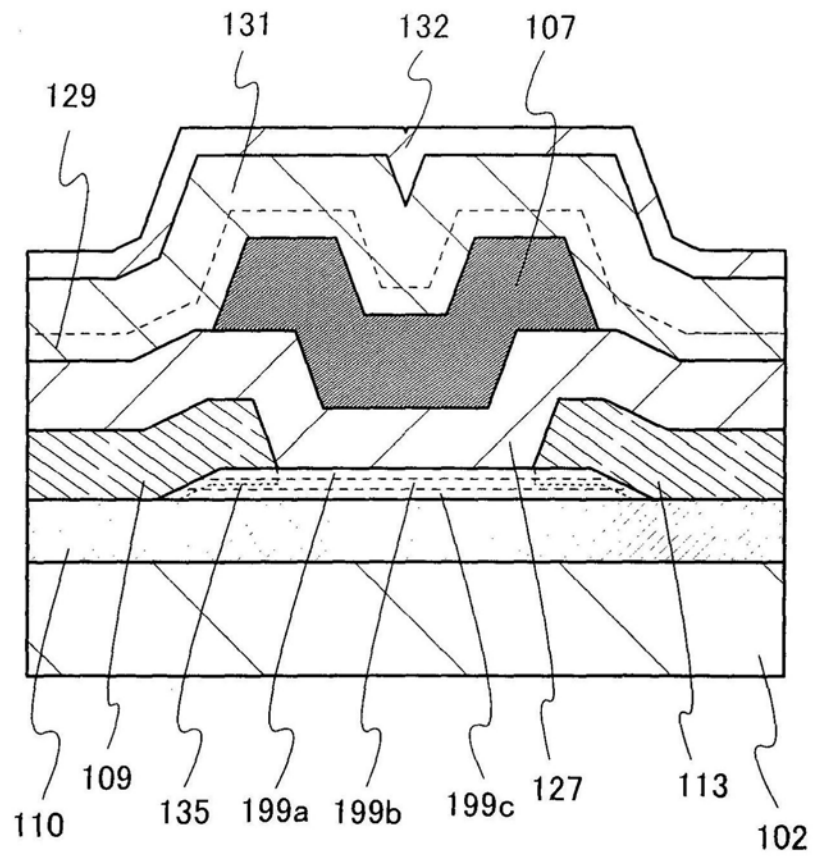


图9B

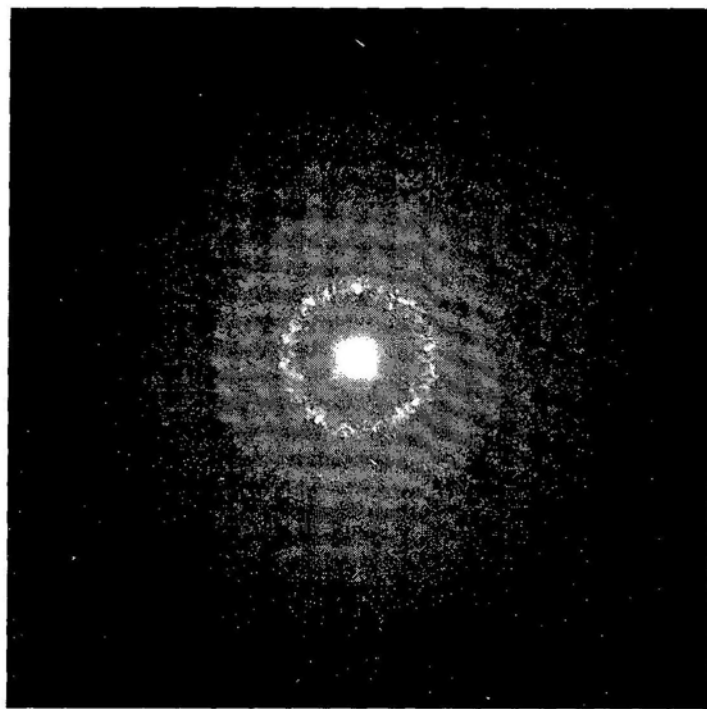


图10A

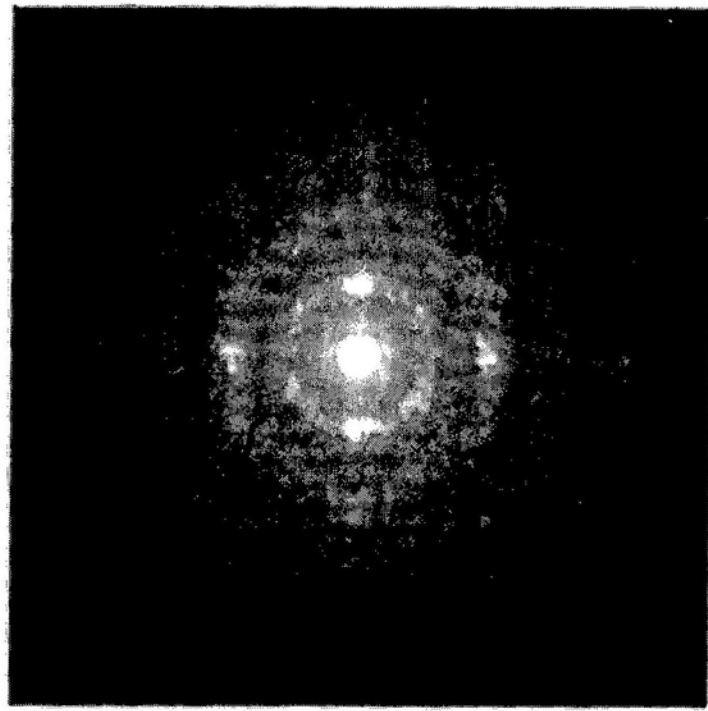


图10B

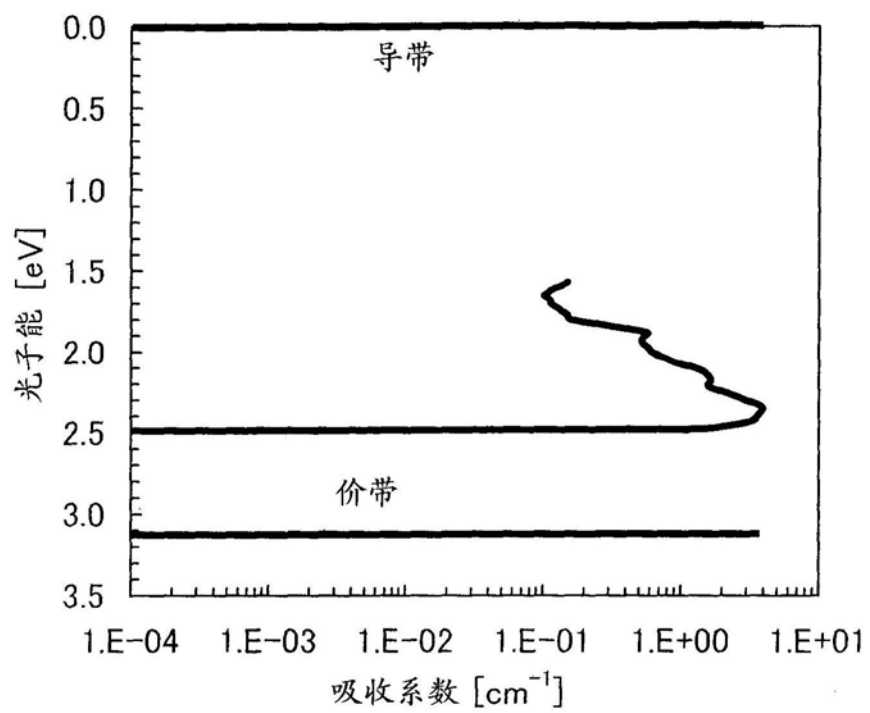


图11A

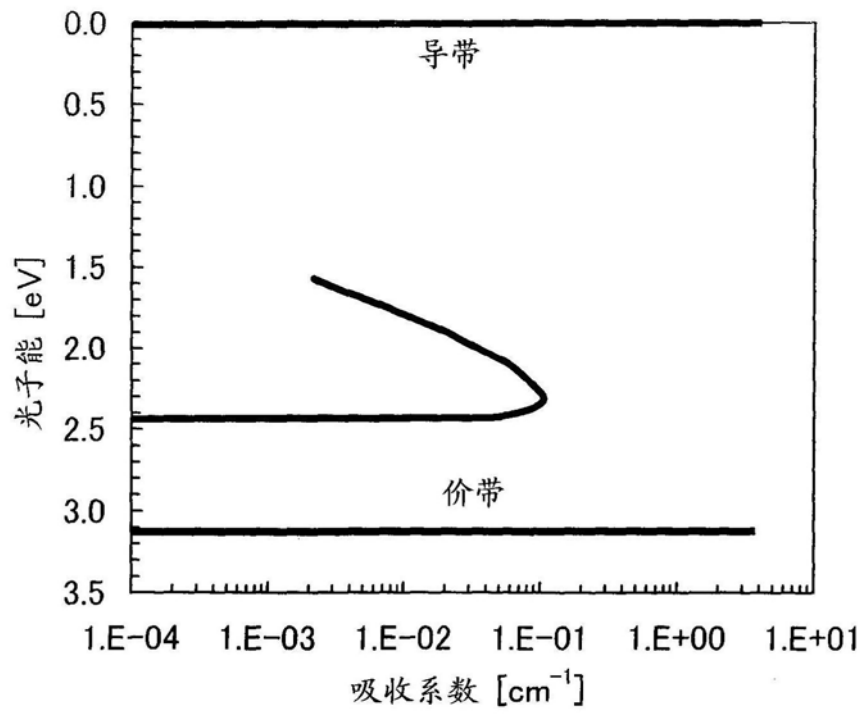


图11B

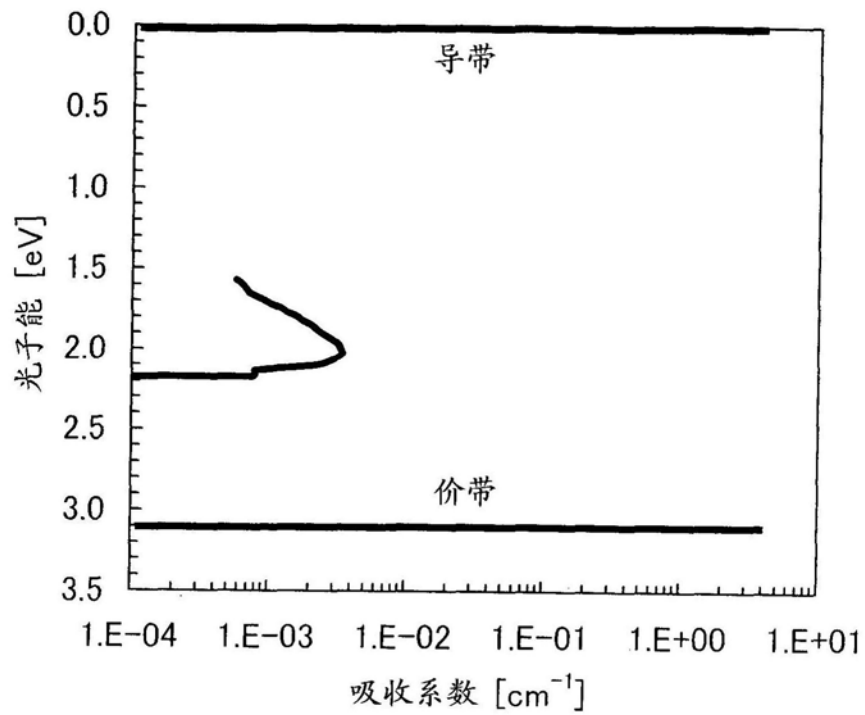


图12

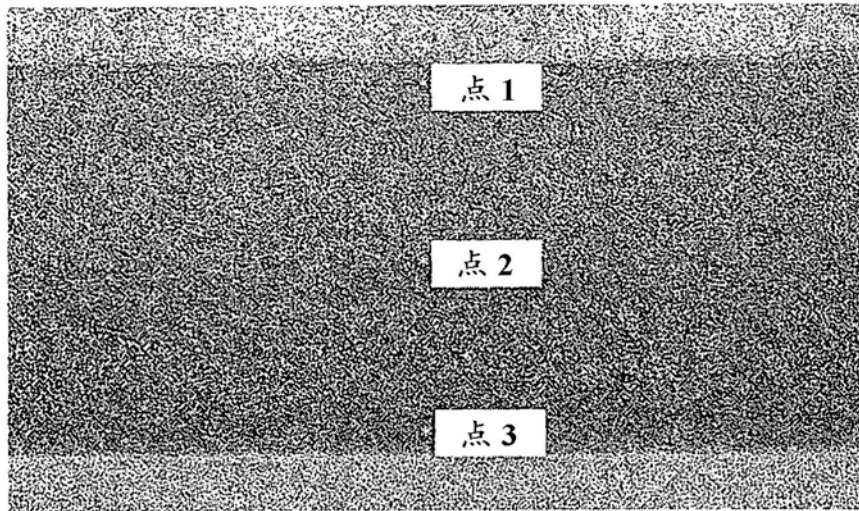


图13A

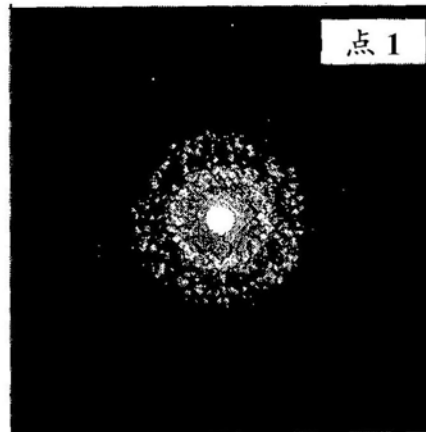


图13B

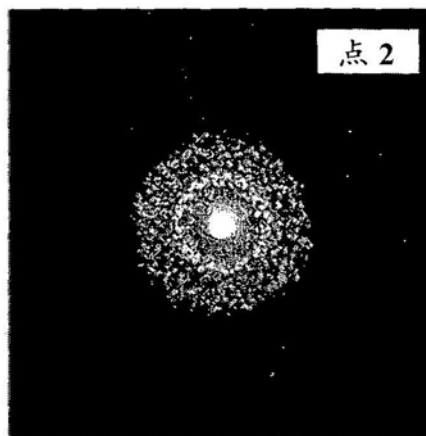


图13C

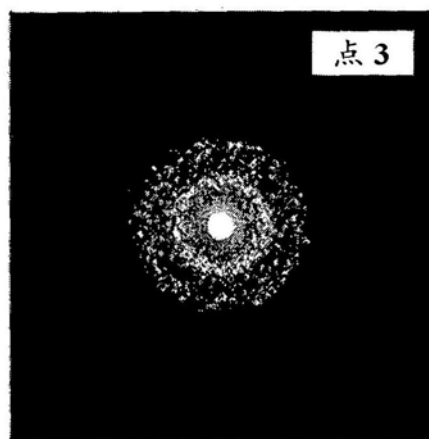


图13D

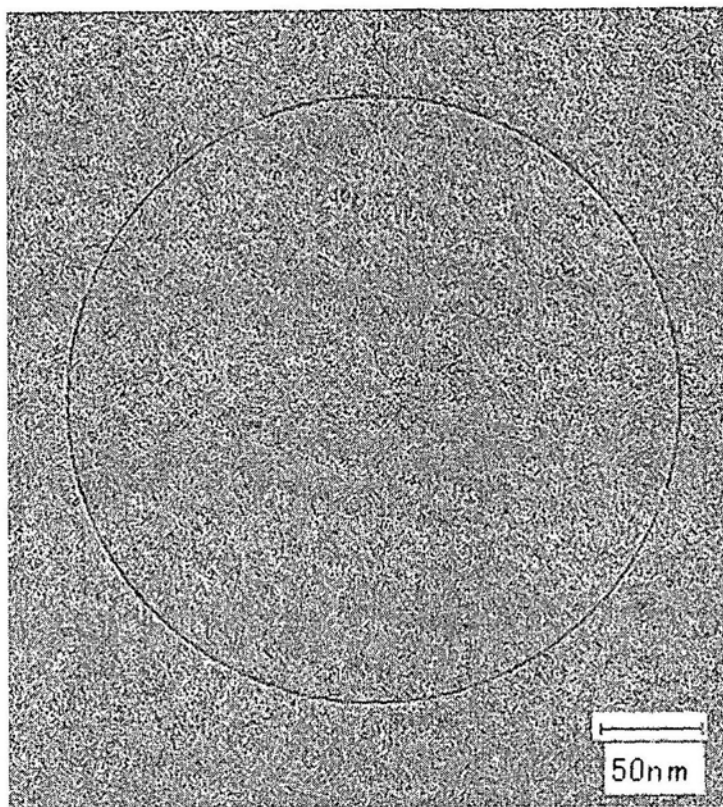


图14A

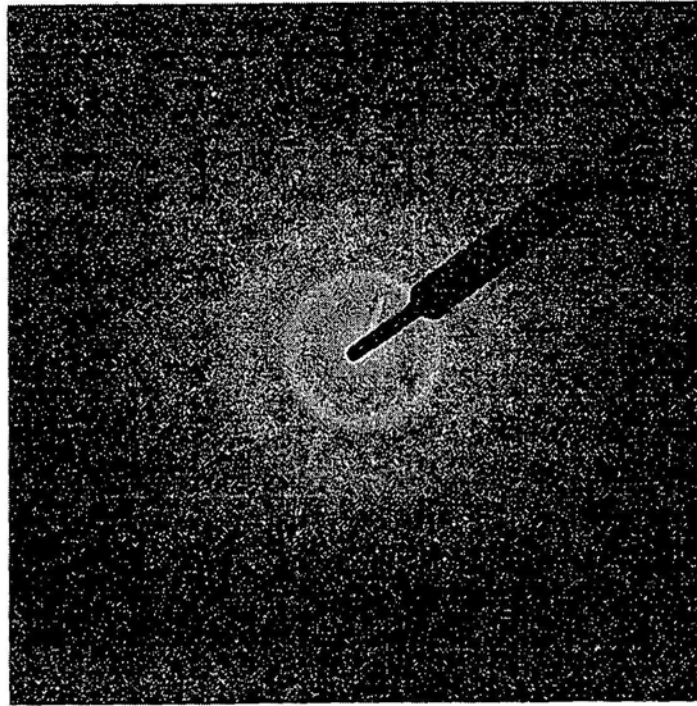


图14B

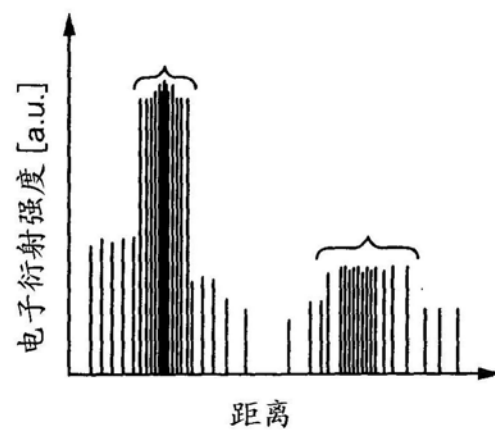


图15A

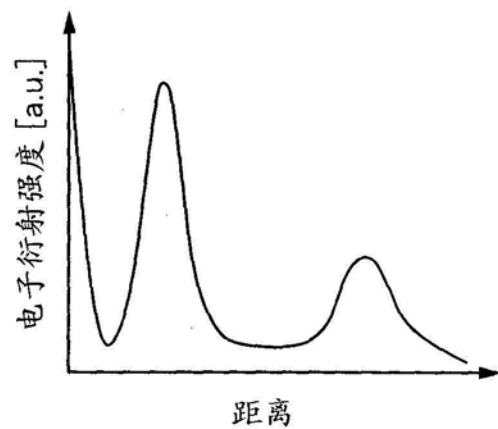


图15B

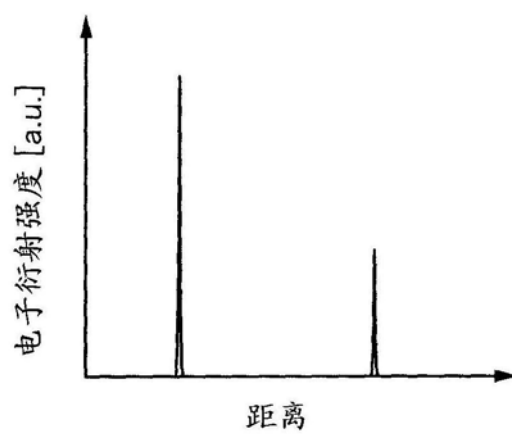


图15C

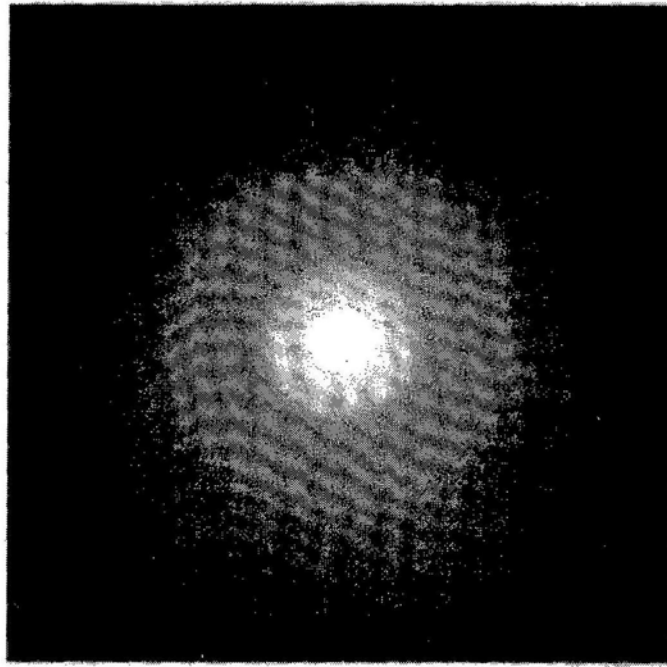


图16

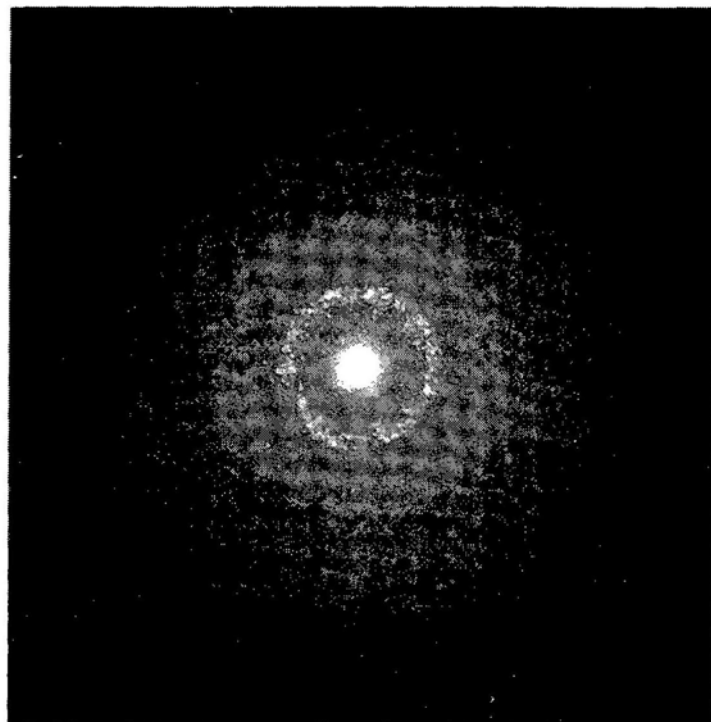


图17

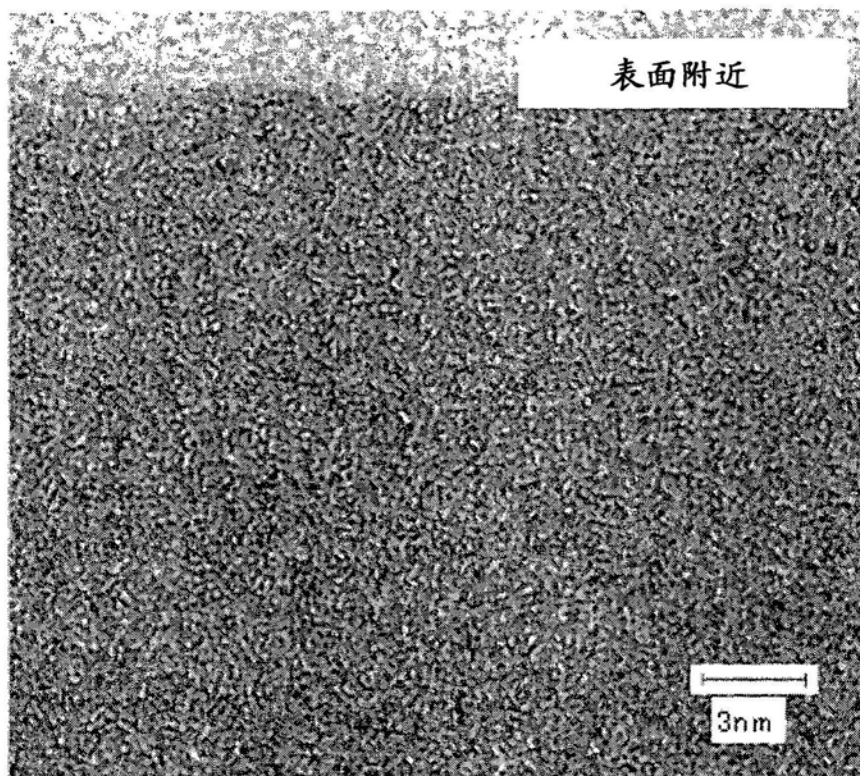


图18A

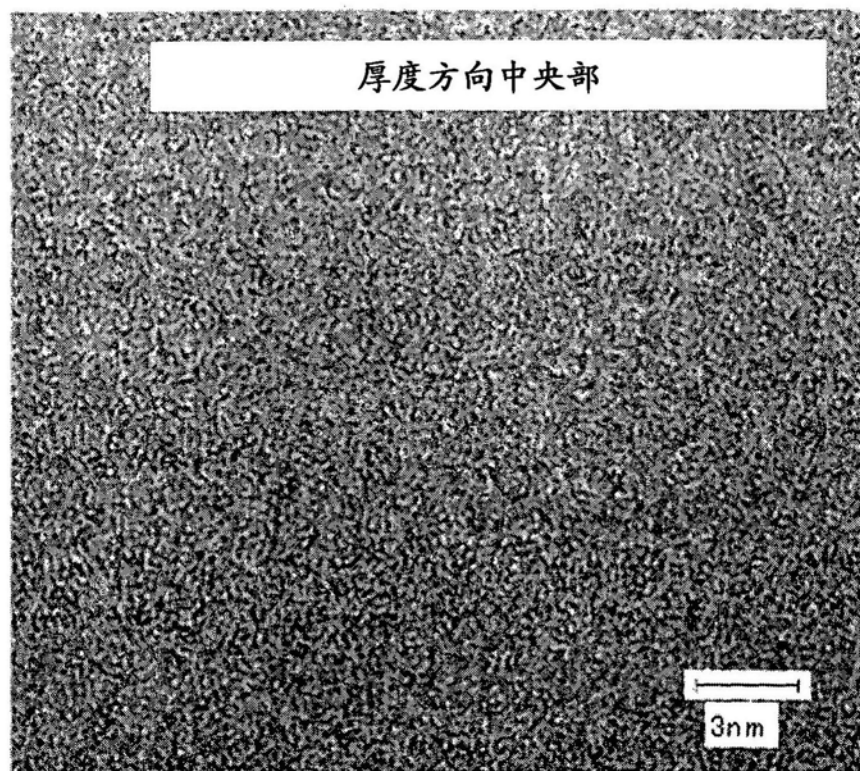


图18B

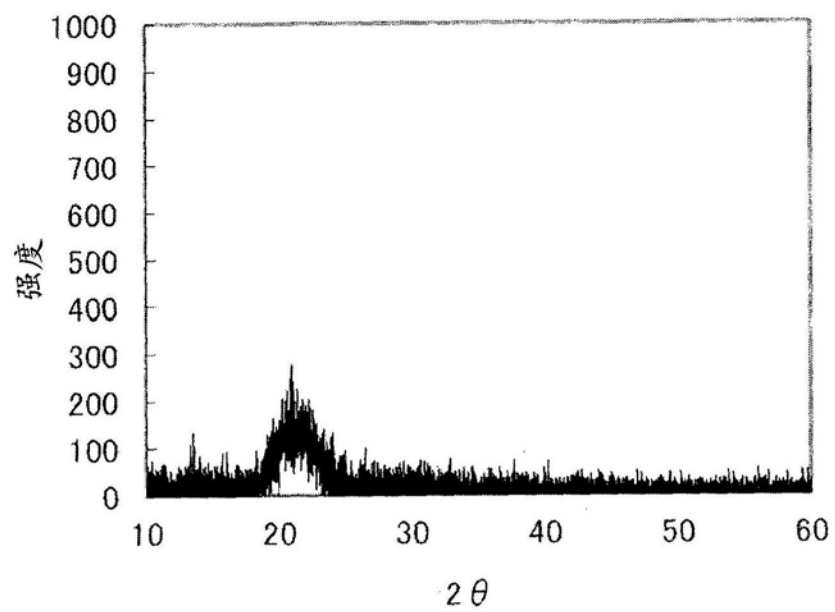


图19

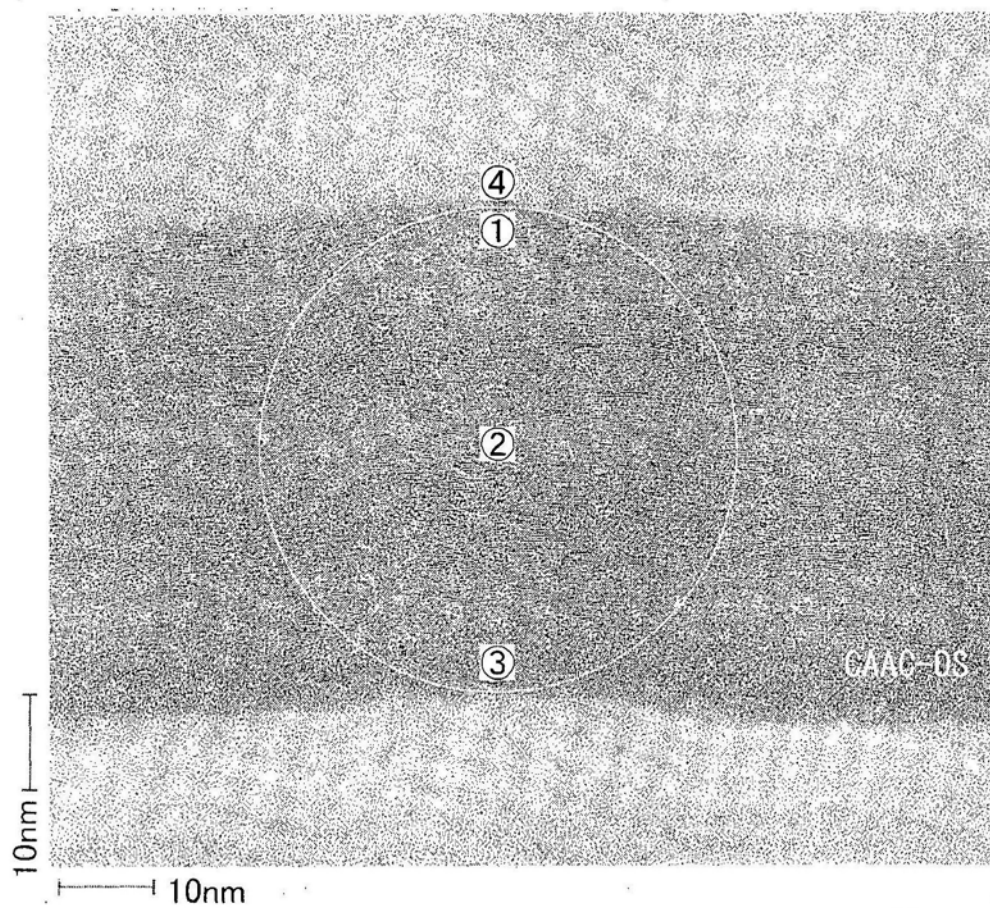


图20

点① 膜表面一侧

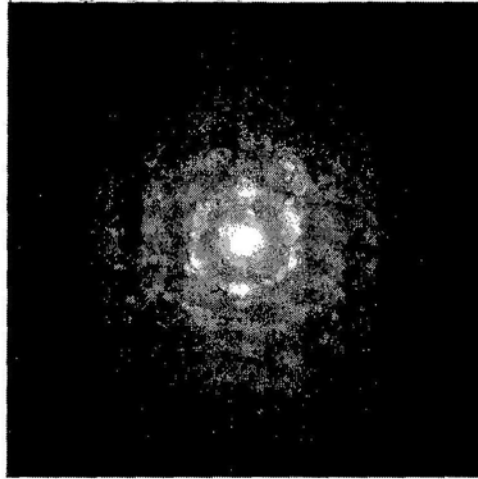


图21A

点② 膜中央

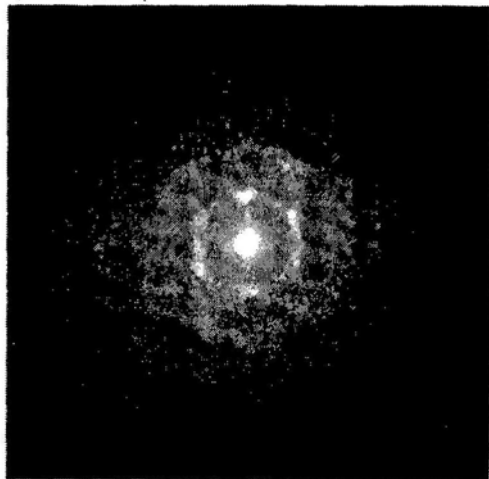


图21B

点③ 膜基底一侧

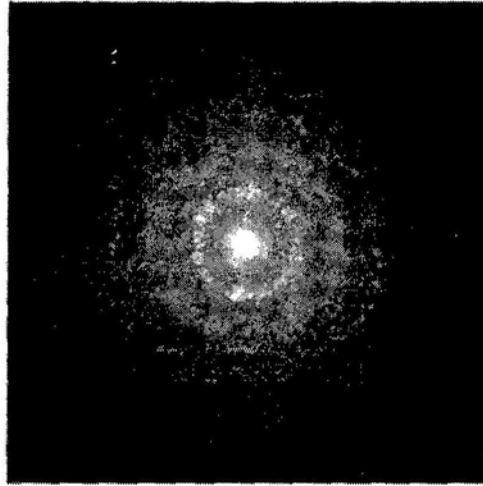


图21C

点④ 膜整体

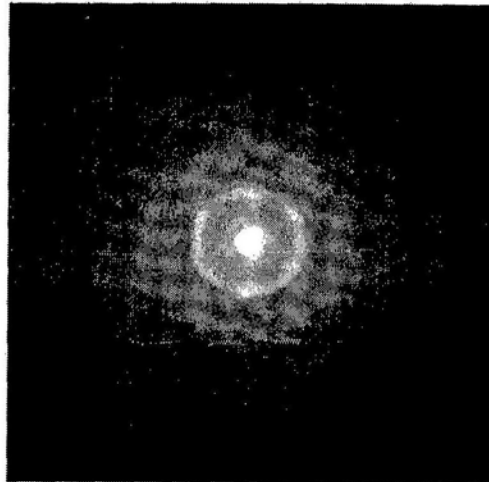


图21D

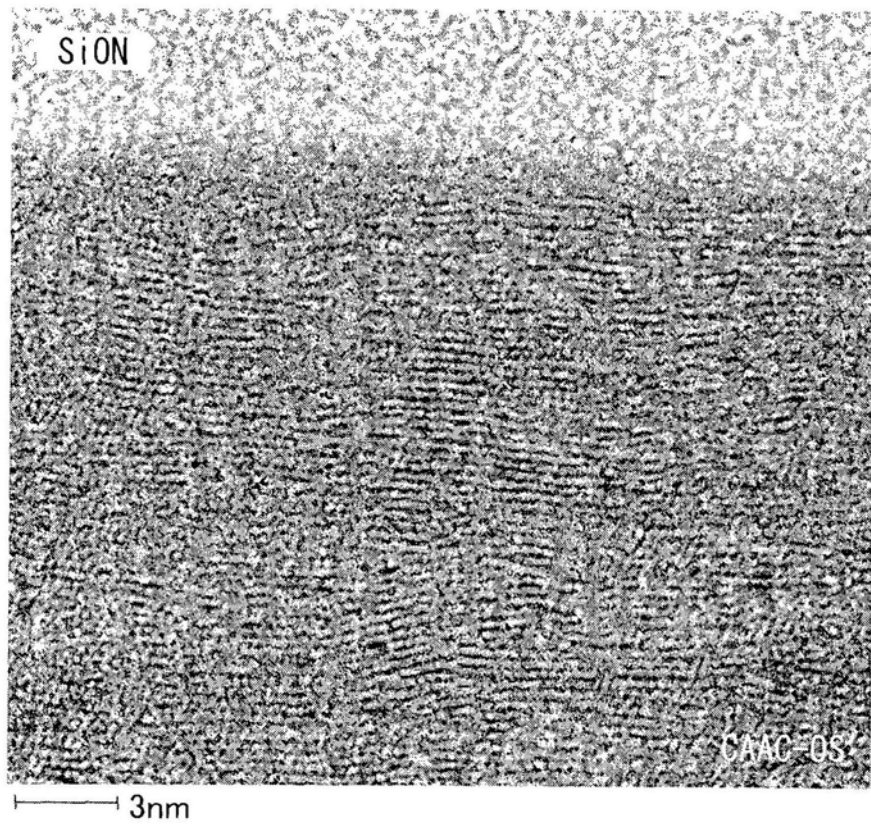


图22

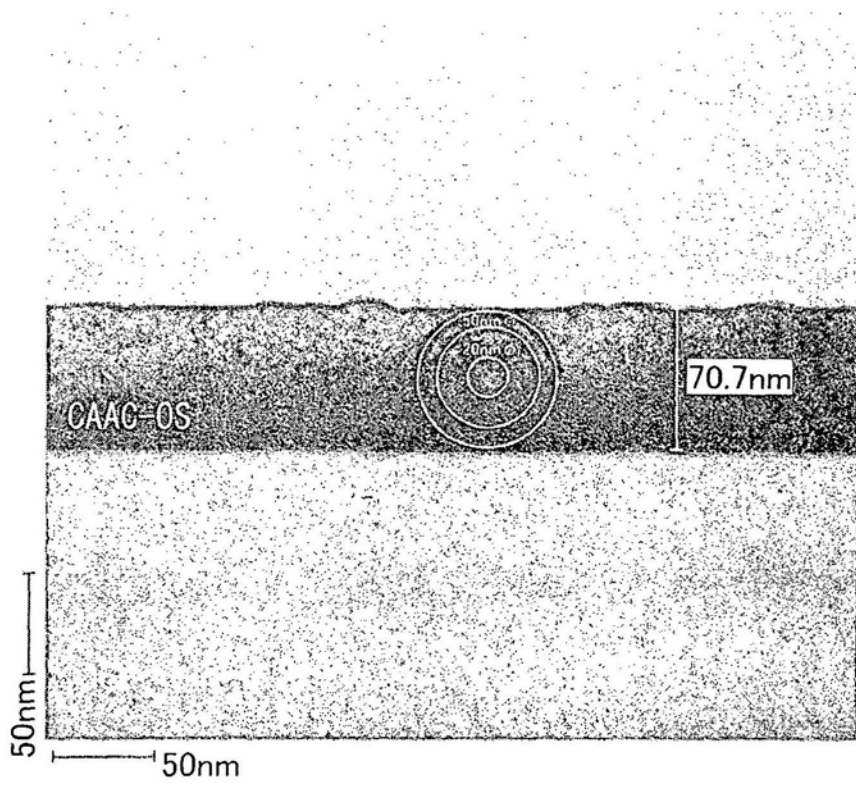


图23A

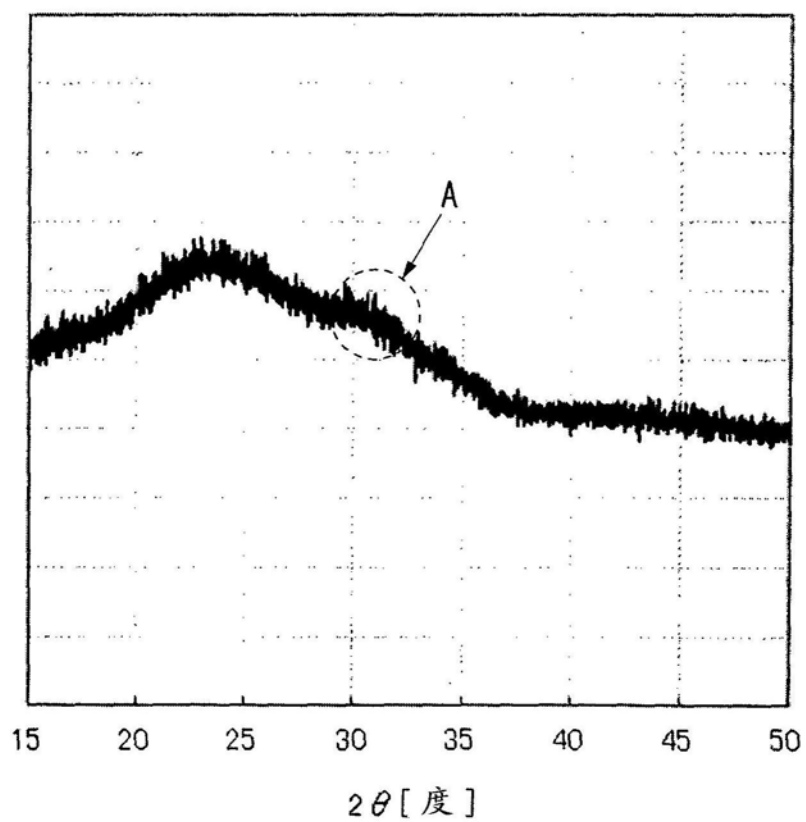


图23B

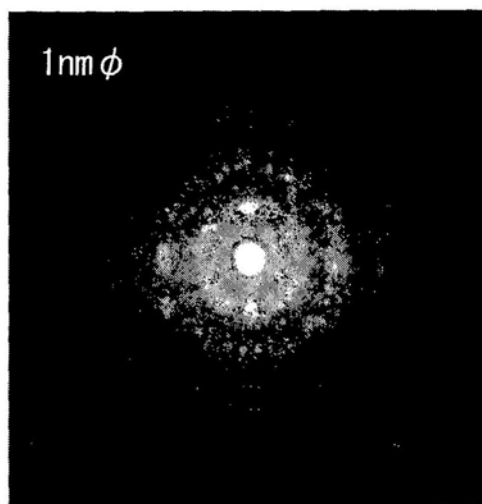


图24A

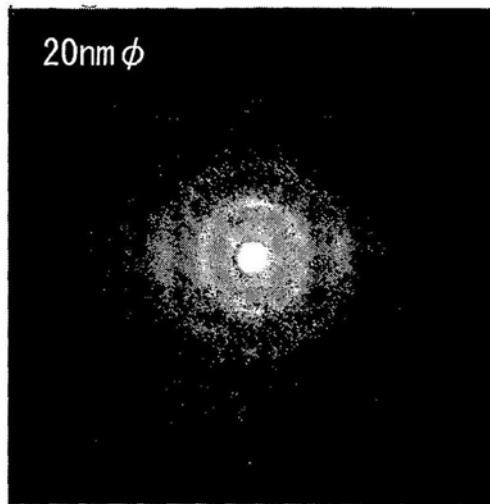


图24B

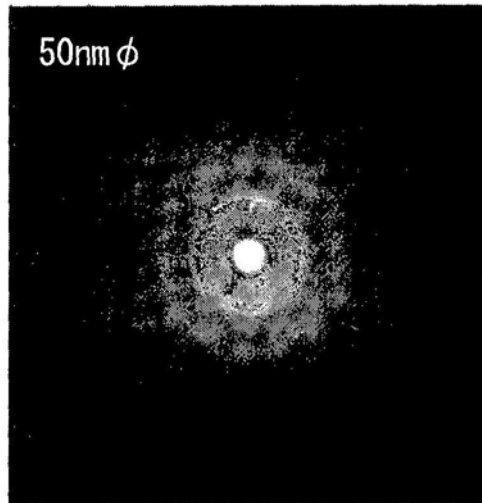


图24C

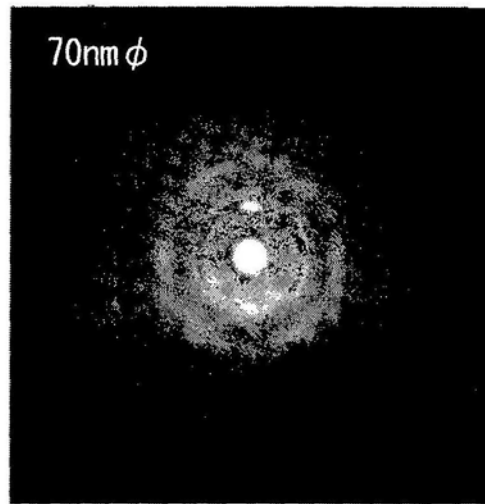


图24D

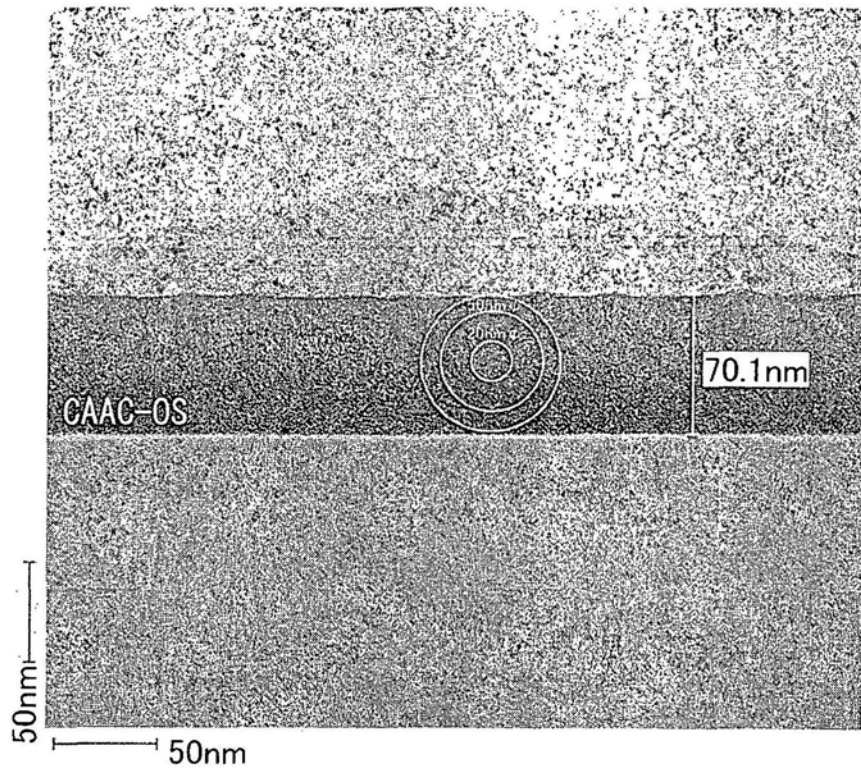


图25A

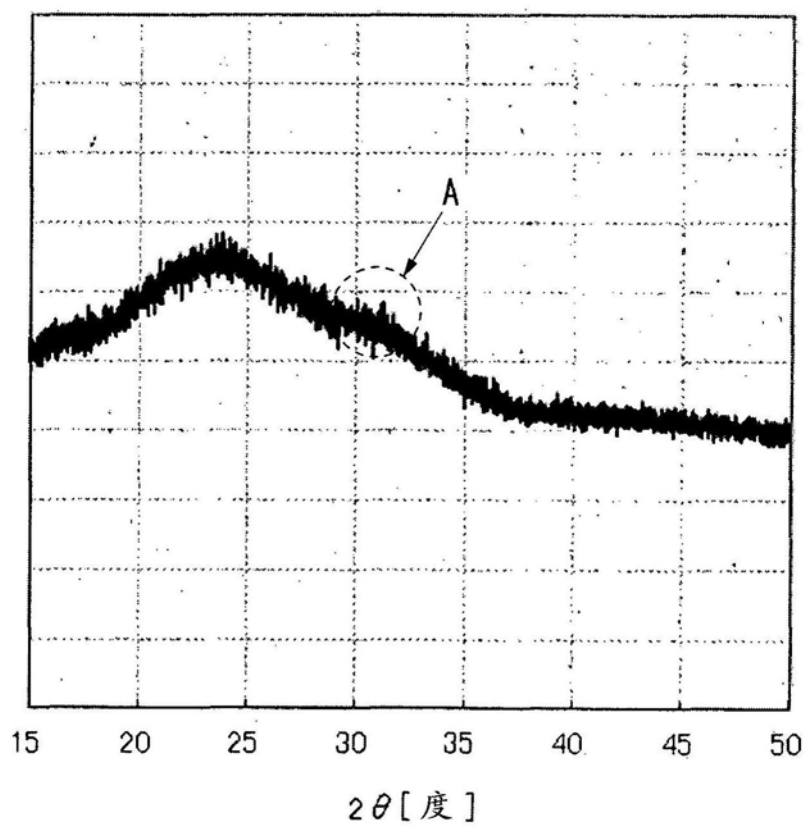


图25B

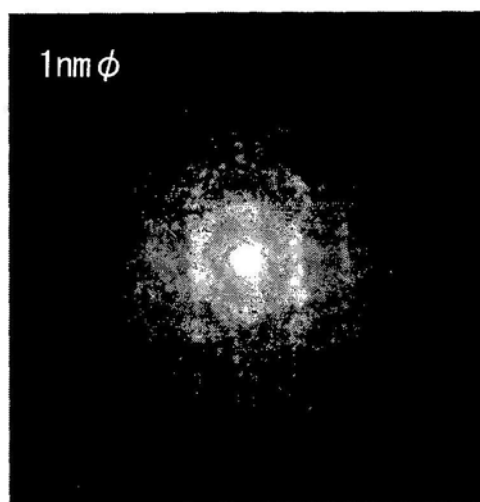


图26A

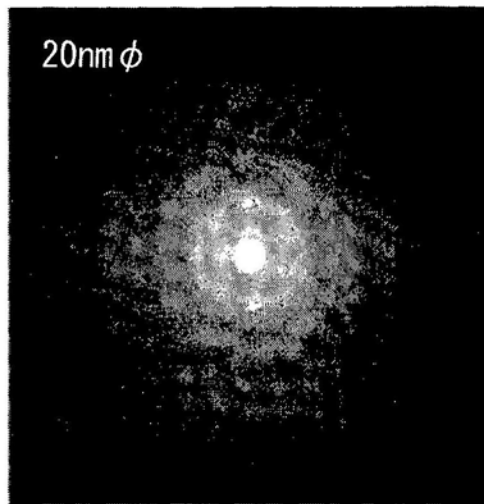


图26B

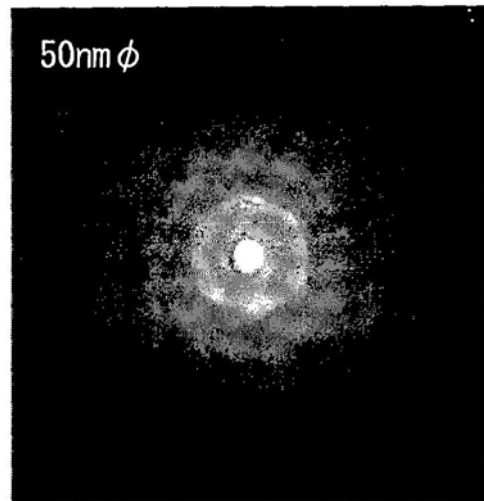


图26C

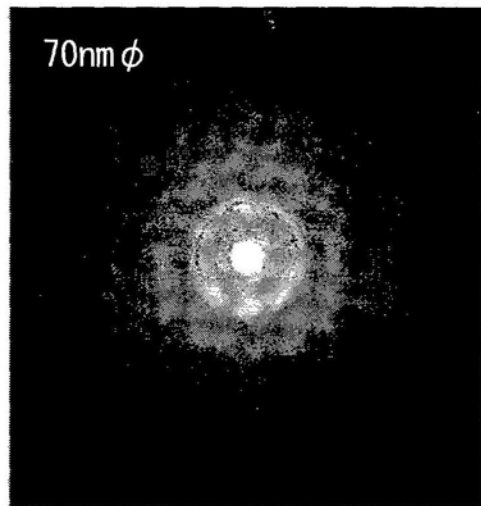


图26D

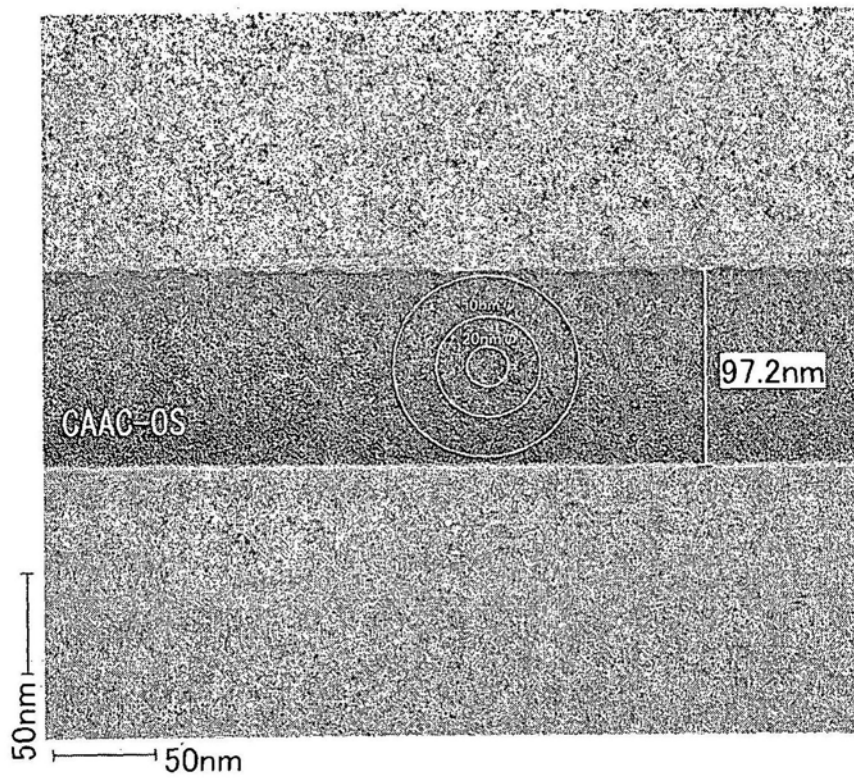


图27A

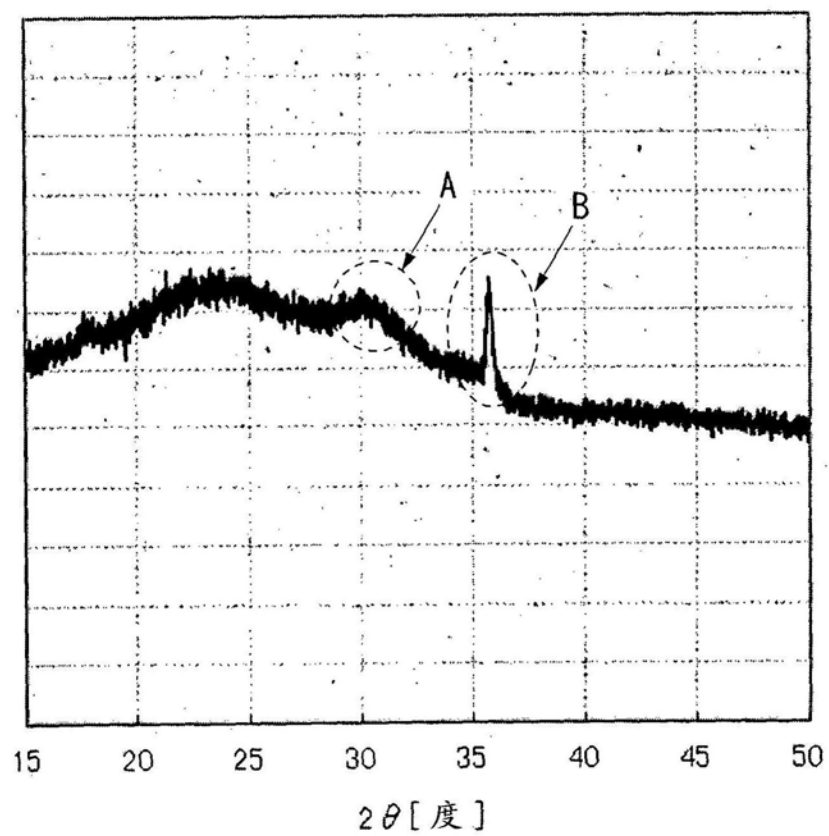


图27B

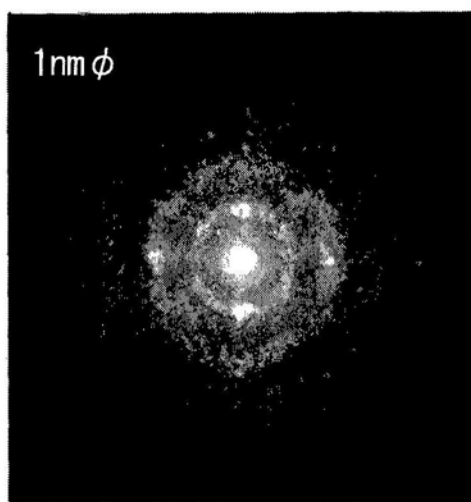


图28A

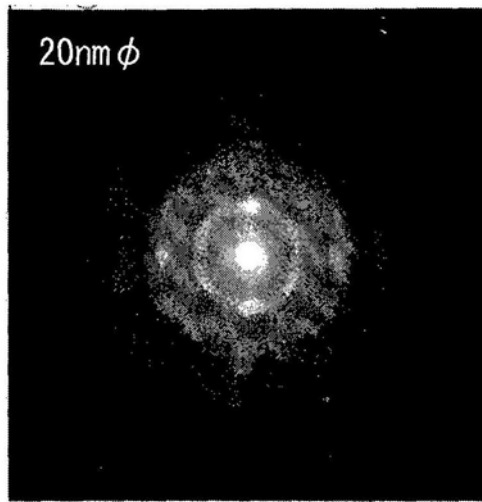


图28B

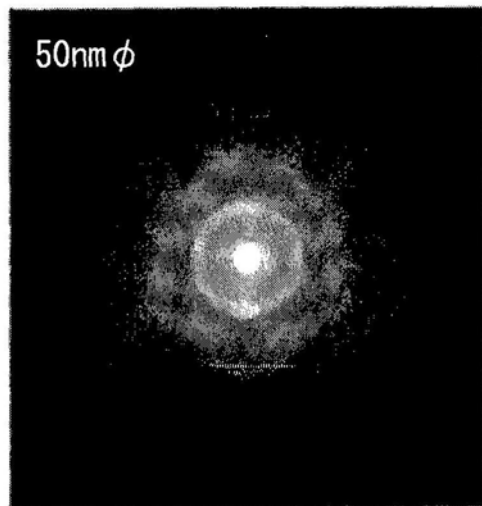


图28C

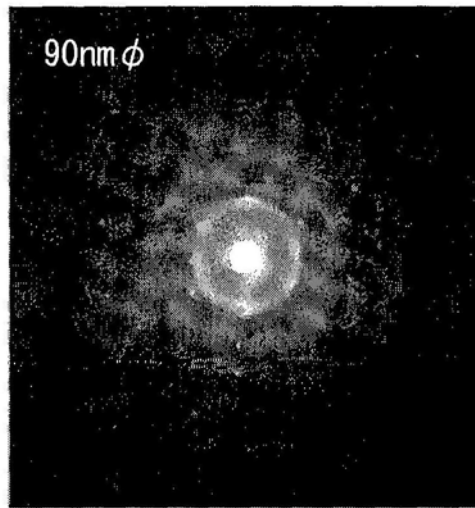


图28D

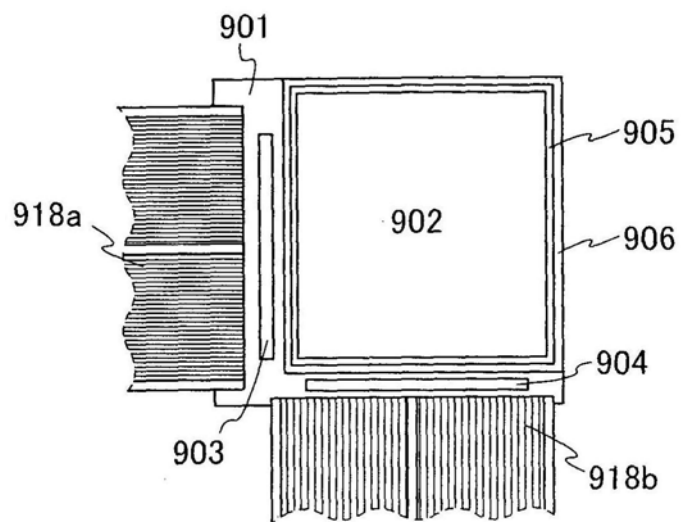


图29A

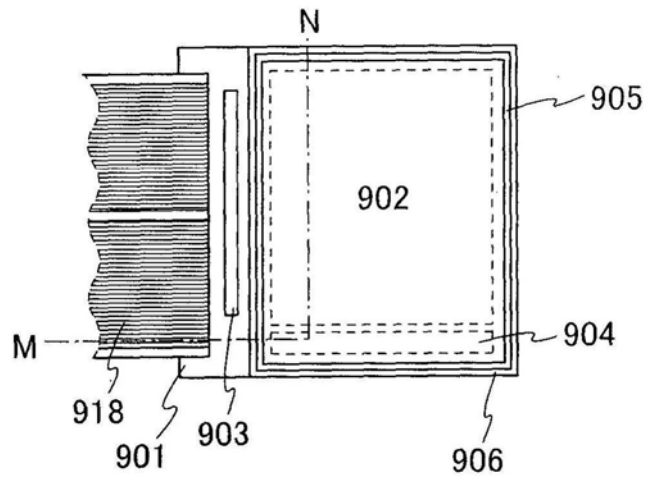


图29B

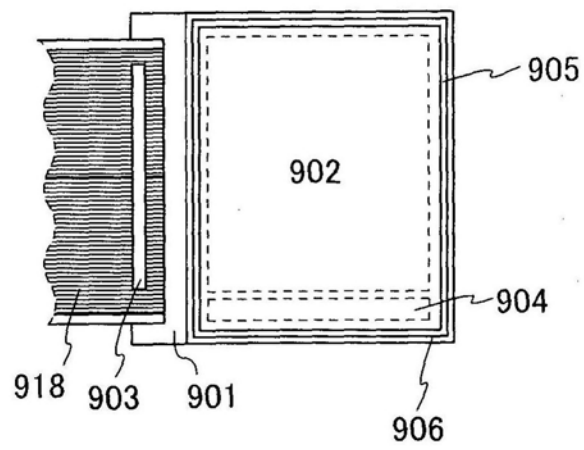


图29C

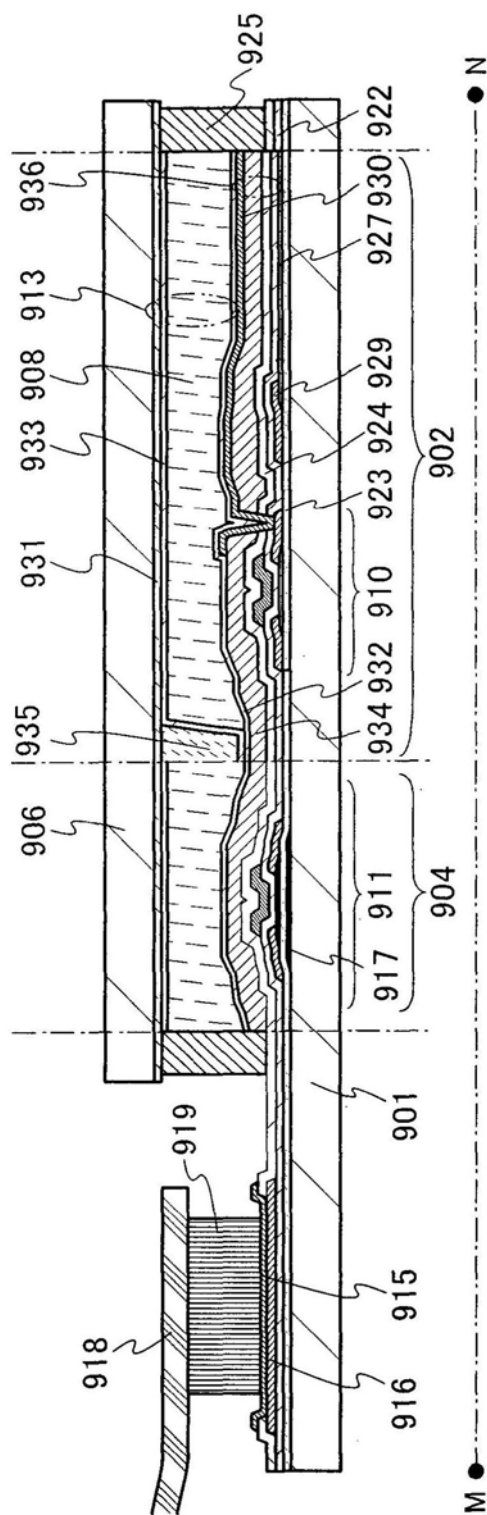


图30

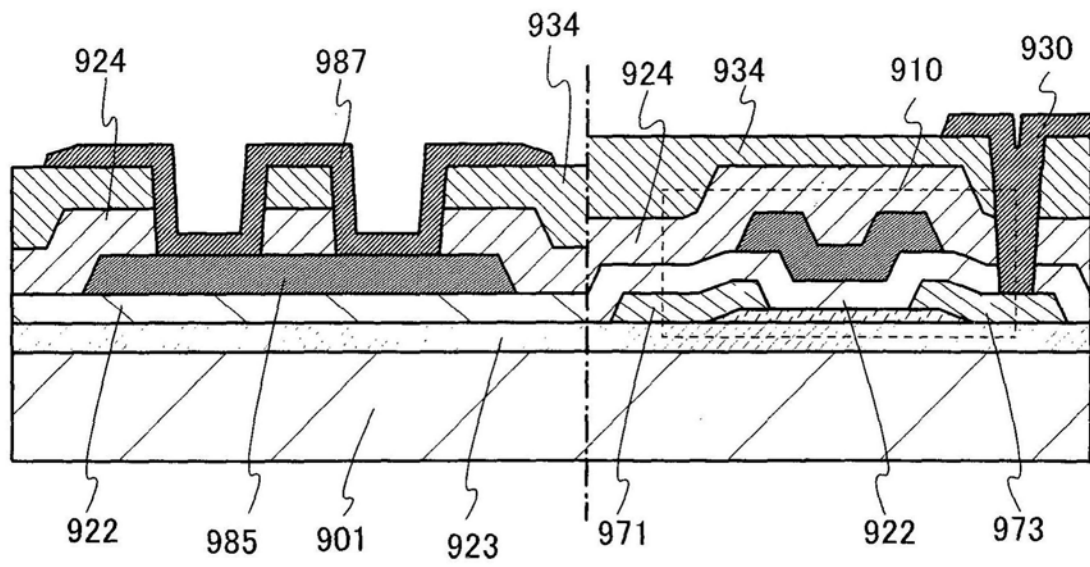


图31C

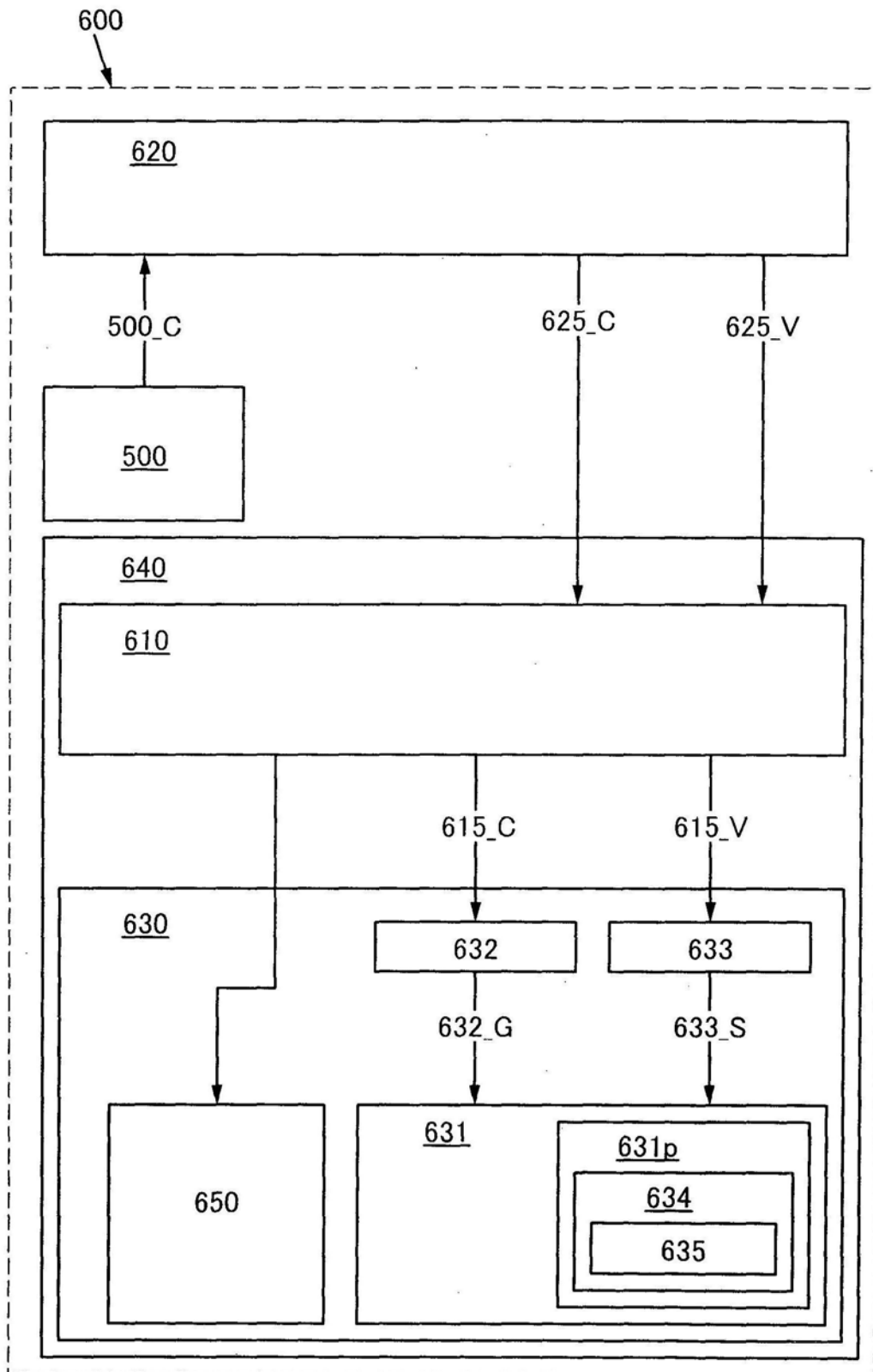


图32

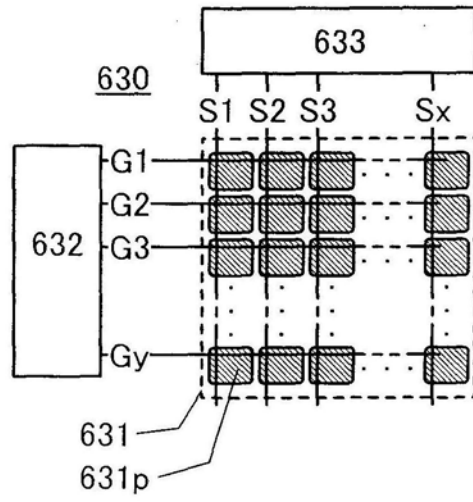


图33A1

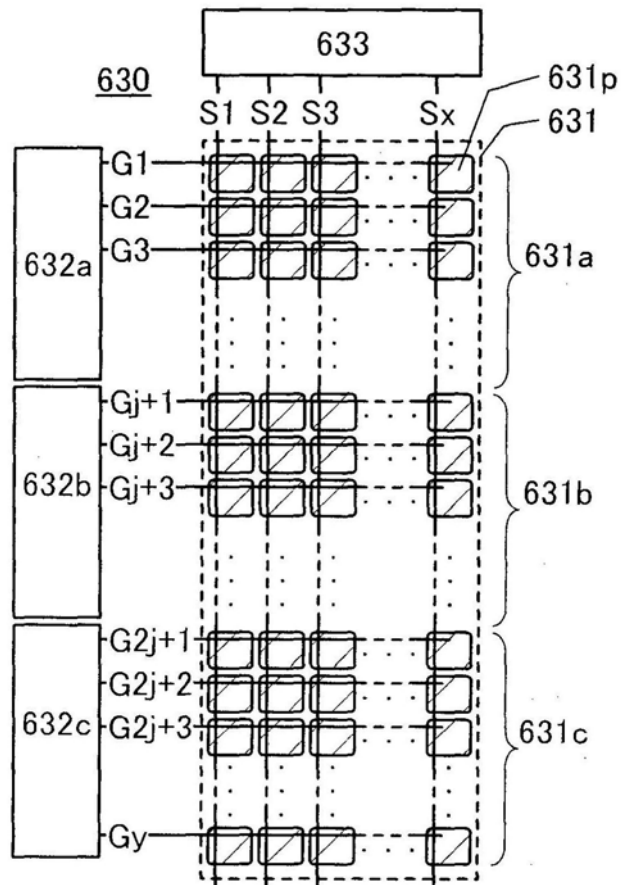


图33A2

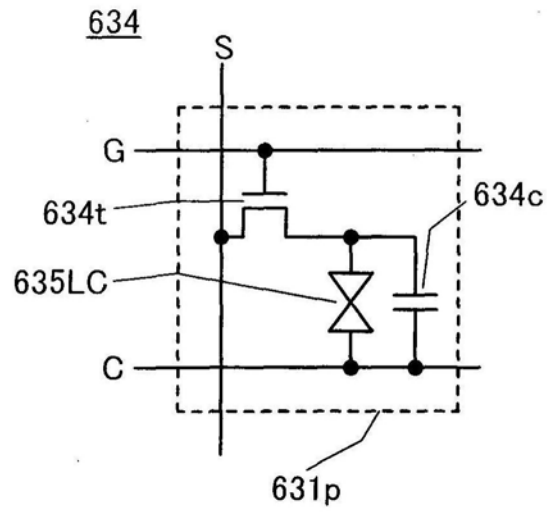


图33B1

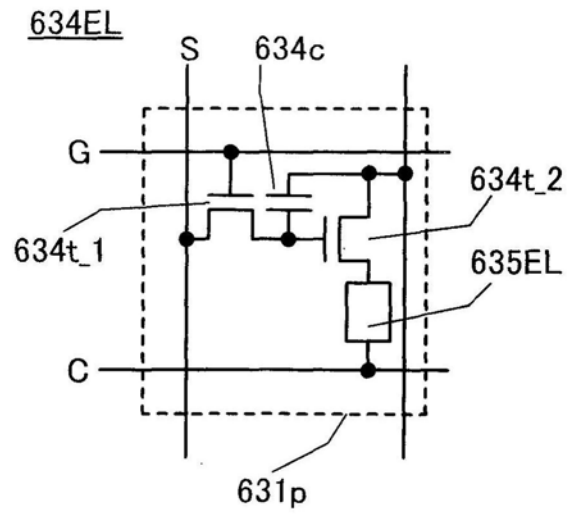


图33B2

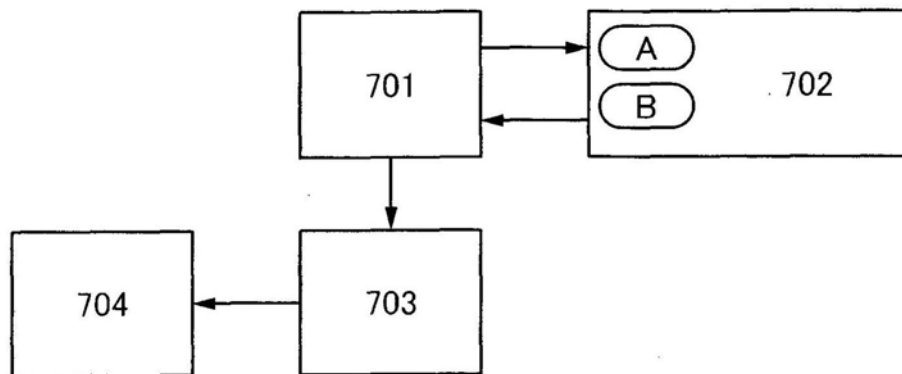


图34A

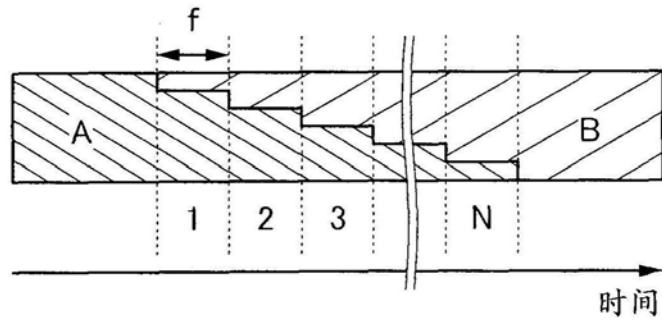


图34B

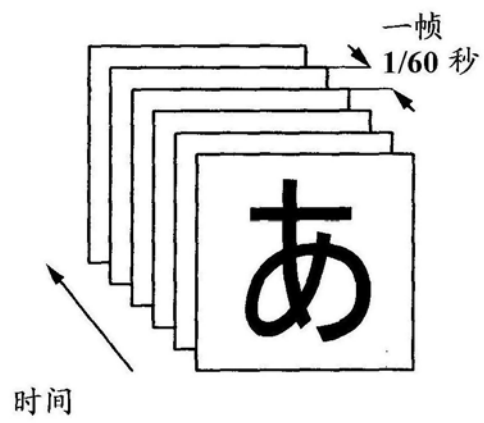


图35A1

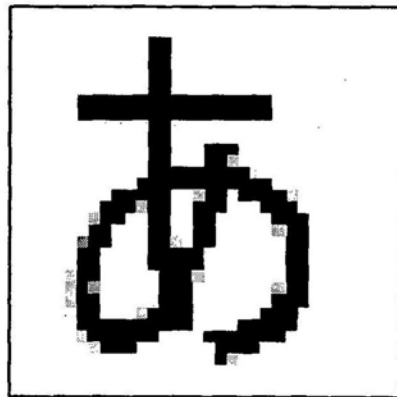


图35A2

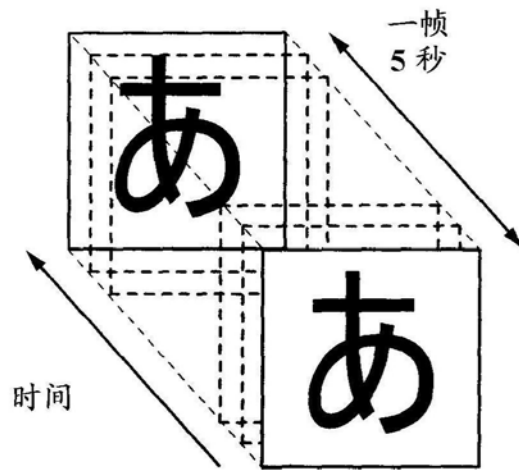


图35B1

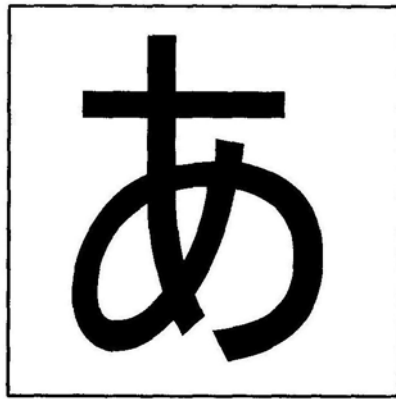


图35B2

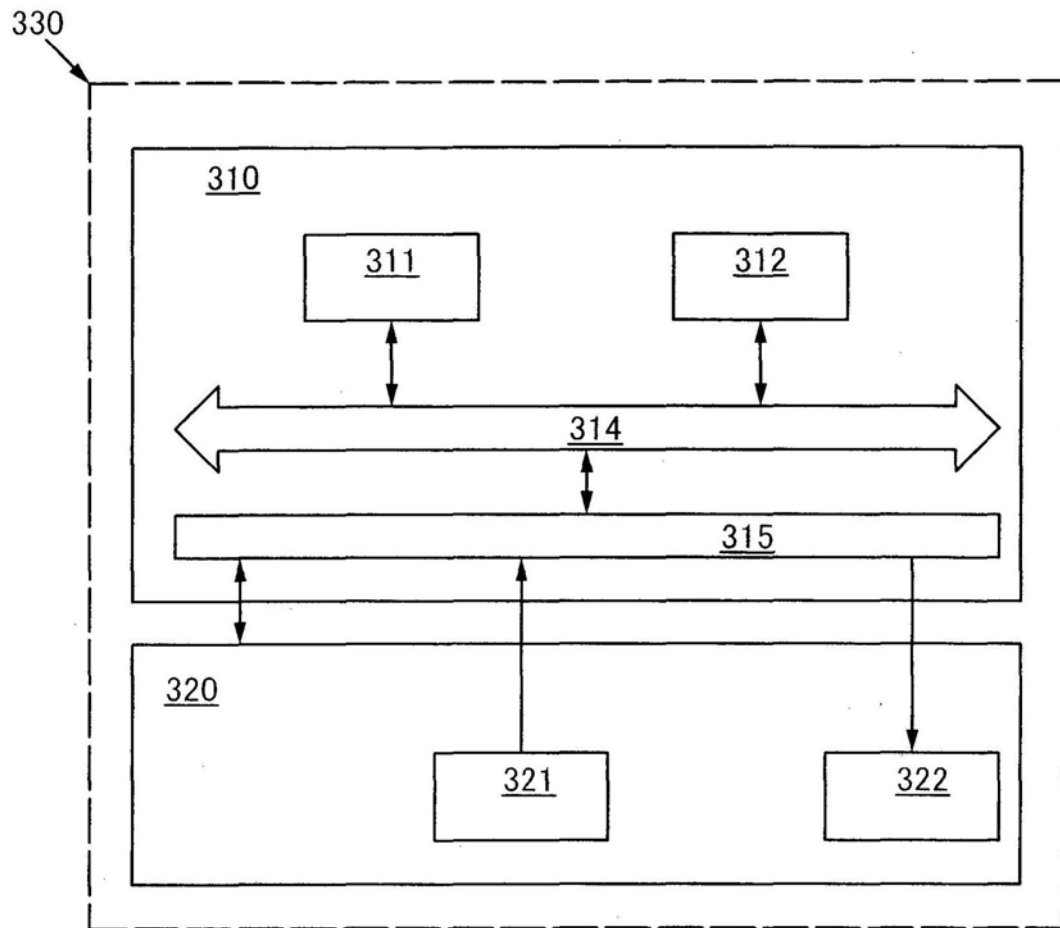


图36

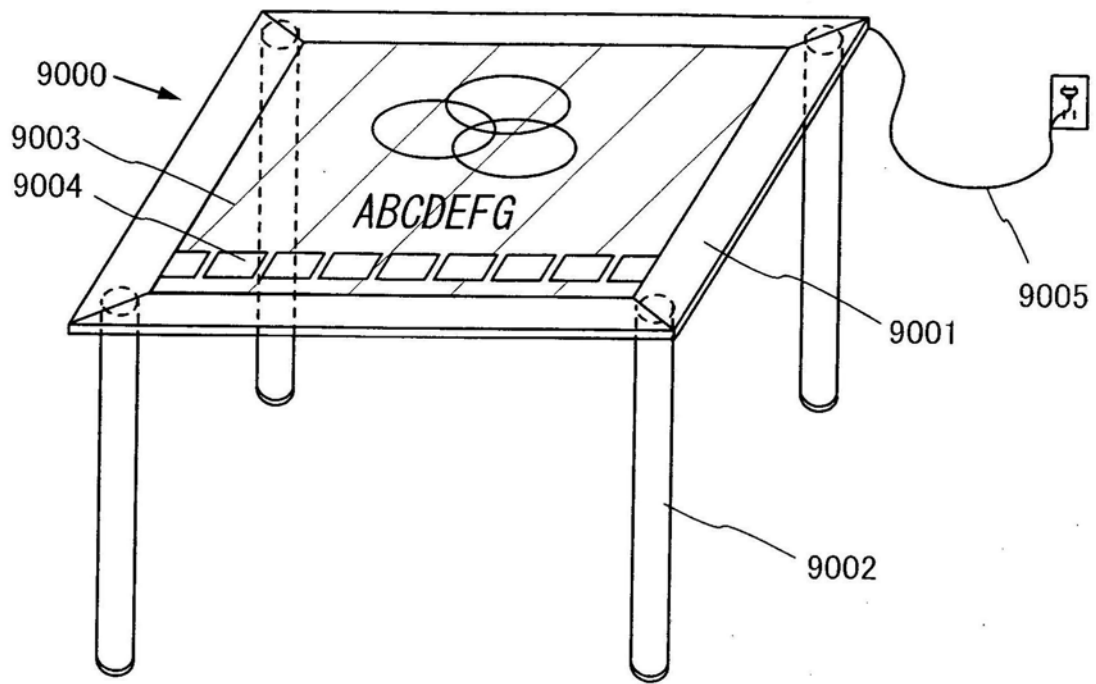


图37A

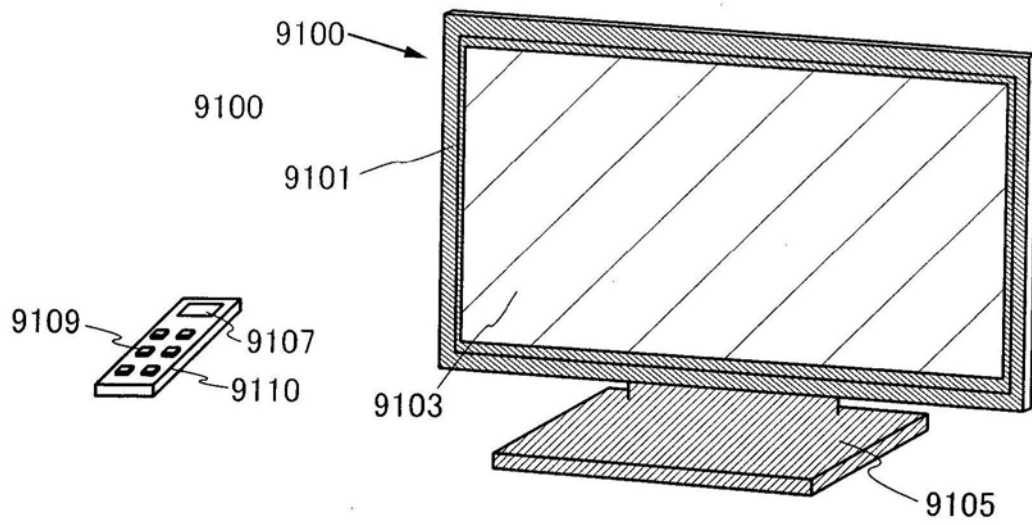


图37B

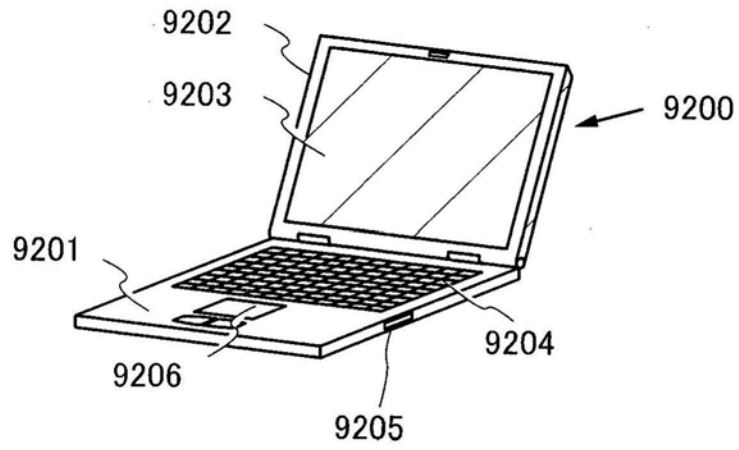


图37C

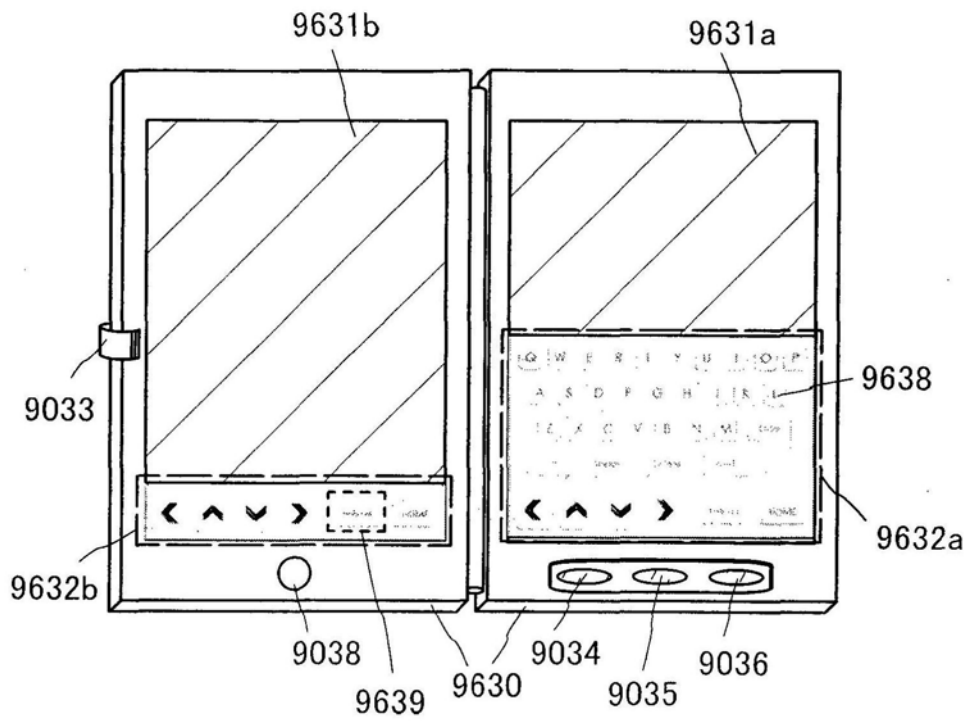


图38A

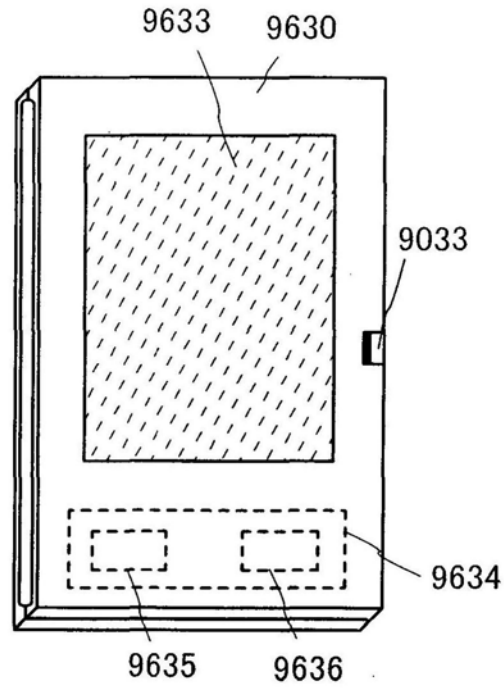


图38B

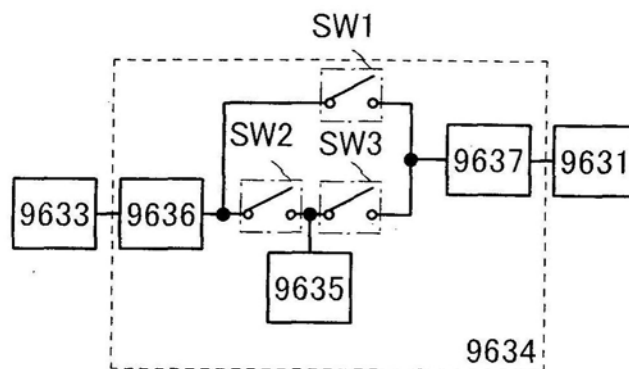


图39A

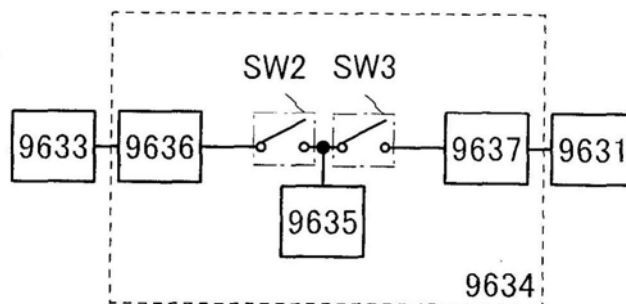


图39B

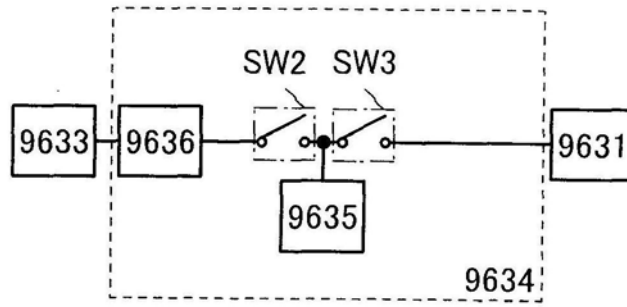


图39C