

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 9 月 10 日 (10.09.2020)



(10) 国际公布号
WO 2020/177089 A1

(51) 国际专利分类号:
G11C 17/14 (2006.01)

国广东省深圳市福田保税区腾飞工业大厦
B座13层, Guangdong 518045 (CN)。

(21) 国际申请号: PCT/CN2019/077093

(22) 国际申请日: 2019 年 3 月 6 日 (06.03.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市汇顶科技股份有限公司(SHENZHEN GOODIX TECHNOLOGY CO.,LTD.)
[CN/CN]; 中国广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(72) 发明人: 姚国峰(YAO, Guofeng); 中国广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。 沈健(SHEN, Jian); 中

(74) 代理人: 北京同立钧成知识产权代理有限公司(LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区西直门北大街32号枫蓝国际A座8F-6, Beijing 100082 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: 2T2R RESISTIVE RANDOM ACCESS MEMORY WITH DIFFERENTIAL ARCHITECTURE, AND MCU AND DEVICE

(54) 发明名称: 具有差分架构的2T2R阻变式存储器、MCU及设备

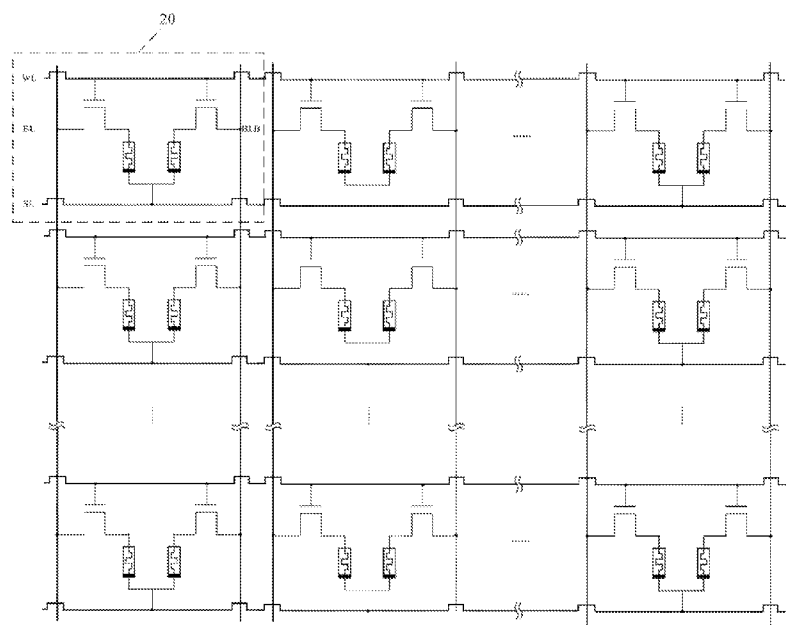


图 2A

(57) Abstract: Provided in the present application are a 2T2R resistive random access memory with differential architecture, and an MCU and a device. The memory comprises a memory unit array composed of a plurality of memory units, wherein each of the memory units comprises a first transistor, a second transistor, a first resistive switching device and a second resistive switching device; a gate electrode of the first transistor and a gate electrode of the second transistor are connected to the same word line, a source electrode of the first transistor and a source electrode of the second transistor are respectively connected to a first bit line and a second bit line,

[见续页]

WO 2020/177089 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

a drain electrode of the first transistor is connected to a first electrode of the first resistive switching device, a drain electrode of the second transistor is connected to a first electrode of the second resistive switching device, and a second electrode of the first resistive switching device and a second electrode of the second resistive switching device are connected to the same source line; and the first electrodes of the first resistive switching device and the second resistive switching device are located on the same layer, and the second electrodes of the first resistive switching device and the second resistive switching device are located on the same layer. Therefore, the reliability of the memory can be ensured.

(57) 摘要: 本申请提供一种具有差分架构的2T2R阻变式存储器、MCU及设备。该存储器包括多个存储单元构成的存储单元阵列; 每个存储单元包括第一晶体管、第二晶体管、第一阻变器件和第二阻变器件; 第一晶体管的栅极和第二晶体管的栅极连接在同一根字线上, 第一晶体管的源极和第二晶体管的源极分别连接在第一位线和第二位线上, 第一晶体管的漏极与第一阻变器件的第一电极连接, 第二晶体管的漏极与第二阻变器件的第一电极连接, 第一阻变器件的第二电极和第二阻变器件的第二电极连接在同一根源线上; 第一阻变器件与第二阻变器件的第一电极位于同一层, 第一阻变器件与第二阻变器件的第二电极位于同一层。从而可以保证所述存储器的可靠性。

具有差分架构的 2T2R 阻变式存储器、MCU 及设备

技术领域

本申请涉及半导体存储器技术领域，尤其涉及一种具有差分架构的 2T2R 阻变式存储器、微控制单元(Micro Controller Unit, MCU)及设备。

背景技术

阻变式存储器(Resistive Random Access Memory, RRAM)是一种利用器件电阻可变的特性来实现数据存储的新型非易失性存储器 (Non-volatile Memory, NVM)，因其具有操作功耗低，读写速度快等优点而备受关注。

通常 RRAM 包括：多个存储单元构成的阵列，常见的存储单元结构包括 1T1R，1D1R，1S1R 等，其中 T 指的是晶体管 (Transistor)，R 指的是阻变器件 (Resistive Switching Device)，D 指的是二极管 (Diode)。图 1 为现有技术提供的一种 1T1R 结构的存储单元阵列的示意图，如图 1 所示，每个存储单元 10 由一个晶体管 (T) 11 和一个阻变器件 (R) 12 串联组成。阻变器件 12 通常由电极 120、阻变层 121 和电极 122 构成，其阻值会随施加电压的变化而改变，按阻值大小可分为低阻态 (Low Resistance State, LRS) 和高阻态 (High Resistance State, HRS)，可对应逻辑的“1”和“0”。写入低阻态的过程被称为 set，其具体步骤为：通过字线 (WL) 选中对应行，并在该字线先上施加开启电压，以开启该行的晶体管，将操作电压作用于对应列的位线 (BL)，而对应列的源线 (SL) 接地，位线上的电压即可完成对 RRAM 的 set 过程。写入高阻态的过程称为 reset，其步骤与写入低阻态类似，只是将操作电压作用于对应列的源线，而位线接地。存储单元的状态 (即阻变器件 12 为低阻态或高阻态) 的读取过程为：通过字线选中对应行，对应列的源线接地，将读电压作用于位线上完成低阻态或高阻态的读取过程。

然而，目前阻变存储器在技术上还存在着诸多问题，例如：阻变存储器内部存在的各种寄生和线路噪声会对高阻态或者低阻态的读取产生不利影响，从而造成阻变存储器可靠性低的问题。

发明内容

本申请提供一种具有差分架构的 2T2R 阻变式存储器、MCU 及设备。其中该 2T2R 阻变式存储器可以抵消存储器内部各种寄生参数和线路噪声所带来的负面影响，从而提高了 2T2R 阻变式存储器的可靠性。

5 第一方面，本申请提供一种具有差分架构的 2T2R 阻变式存储器，包括：
多个 2T2R 阻变式存储单元构成的存储单元阵列；每个 2T2R 阻变式存储单元
包括第一晶体管、第二晶体管、第一阻变器件和第二阻变器件；第一晶体管的
栅极和第二晶体管的栅极连接在同一根字线上，第一晶体管的源极和第二
10 晶体管的源极分别连接在第一位线和第二位线上，第一晶体管的漏极与第一
阻变器件的第一电极连接，第二晶体管的漏极与第二阻变器件的第一电极连
接，第一阻变器件的第二电极和第二阻变器件的第二电极连接在同一根源线
上；其中，第一阻变器件的第一电极与第二阻变器件的第一电极位于同一层，
第一阻变器件的第二电极与第二阻变器件的第二电极位于同一层。其中，第
一阻变器件和第二阻变器件的连接方式可以被称为同向连接方式。

15 一方面，由于该 2T2R 阻变式存储器的结构设计，从而可以抵消存储器
内部各种寄生参数和线路噪声所带来的负面影响，使高低阻态的读取更加准
确和稳定。另一方面，通过该 2T2R 阻变式存储器的结构设计，可以有效解
决存储单元一致性不够好的问题。此外，相比 1T1R 结构的存储单元，2T2R
结构的存储单元对工艺一致性的要求也有所降低。进一步地，由于两个阻变
20 器件的同向连接方式，使得 2T2R 阻变式存储器在电路设计上更为简化，工
艺上易于实现。

第二方面，本申请提供一种 MCU，该 MCU 上具有如第一方面的 2T2R
阻变式存储器。其效果可参考上述 2T2R 阻变式存储器的效果。

在一种可能的设计中，MCU 用于控制充电单元在字线上施加开启电压，
25 以开启第一晶体管和第二晶体管，控制充电单元在第一位线上施加第一操作
电压，在第二位线上施加第二操作电压；其中，第一操作电压与第二操作电
压不同，第一操作电压相对于源线上的电压的电压差使得第一阻变器件由高
阻态变为低阻态，第二操作电压相对于源线上的电压的电压差使得第二阻变
器件由低阻态变为高阻态；或者，第一操作电压相对于源线上的电压的电压
30 差使得第一阻变器件由低阻态变为高阻态，第二操作电压相对于源线上的电

压的电压差使得第二阻变器件由高阻态变为低阻态。

在一种可能的设计中，MCU 用于控制充电单元在第一位线和第二位线上充电，以使第一位线和第二位线上的电压达到同一读取电压，并控制充电单元在预设时间之后停止对第一位线和第二位线的充电，控制充电单元在源线上施加一个电压，在字线上施加开启电压，以开启第一晶体管、第二晶体管，以使第一位线和第二位线开始放电，根据第一位线和第二位线的放电速度获取第一阻变器件和第二阻变器件的相对阻值，根据第一阻变器件和第二阻变器件的相对阻值确定 2T2R 阻变式存储单元的状态。

在一种可能的设计中，在源线上施加的电压小于读取电压，且所述读取电压与在所述源线上施加的电压的电压差值小于预设阈值，其中该预设阈值可以为 0.2 伏或者 0.1 伏。从而可以避免因电压差过大而造成阻变器件的状态改变。

在一种可能的设计中，2T2R 阻变式存储单元的状态为第一阻变器件相对于第二阻变器件呈高阻态，第二阻变器件相对于第一阻变器件呈低阻态；或者，第一阻变器件相对于第二阻变器件呈低阻态，第二阻变器件相对于第一阻变器件呈高阻态。

第三方面，本申请提供一种设备，包括：如第一方面所述的 2T2R 阻变式存储器。

第四方面，本申请提供一种设备，包括：如第一方面所述的 MCU。

本申请提供一种具有差分架构的 2T2R 阻变式存储器、MCU 及设备。第一，由于该 2T2R 阻变式存储器的结构设计，从而可以抵消存储器内部各种寄生参数和线路噪声所带来的负面影响，使高低阻态的读取更加准确和稳定。第二，通过该 2T2R 阻变式存储器的结构设计，可以有效解决存储单元一致性不够好的问题。第三，相比 1T1R 结构的存储单元，2T2R 结构的存储单元对工艺一致性的要求也有所降低。第四，由于两个阻变器件的同向连接方式，使得 2T2R 阻变式存储器在电路设计上更为简化，工艺上易于实现。此外，相比于 SRAM，本申请提供的具有差分架构的 2T2R 阻变式存储器具有存储密度高以及数据掉电保持的优点。

附图说明

为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

- 5 图 1 为现有技术提供一种 1T1R 结构的存储单元阵列的示意图；
图 2A 为本申请提供一种 2T2R 结构的存储单元阵列的示意图；
图 2B 为本申请一实施例提供一种 2T2R 阻变式存储单元的示意图；
图 3 为本申请一实施例提供的 MCU 的示意图；

图 4 为本申请一实施例提供的存储单元的存储状态的写入过程中字线
10 WL、源线 SL、第一位线 BL 以及第二位线 BLB 的时序图；

图 5 为本申请一实施例提供的存储单元的存储状态的读取过程中字线
WL、源线 SL、第一位线 BL 以及第二位线 BLB 的时序图；

图 6 为本申请一实施例提供的设备 60 的示意图。

15 具体实施方式

为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”、“第三”、“第四”等（如果存在）是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便这里描述的本申请的实施例，例如能够以除了在这里图示或描述的那些以外的
25 顺序实施。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

如上所述，目前阻变存储器在技术上还存在着诸多问题。第一，阻变存
30 储器内部存在的各种寄生和线路噪声会对高阻态或者低阻态的读取产生不利

影响，从而造成阻变存储器可靠性低的问题。第二，目前阻变存储器一致性（uniformity）还不够好，这个和阻变存储器的工作机理—导电细丝（conductive filament）的产生和消失具有一定的随机性和不可控制性相关。尤其是在目前阻变存储器经历了成千上万次的循环（cycling，通常一次 set 加一次 reset 操作称为一个 cycling）之后，高阻态阻值分布的一致性问题的更加凸显。例如：对于一个 1Kb 阻变式存储器，随着循环次数的增加，高阻态阻值接近低阻态阻值的存储单元的比例不断增加，高低阻态间差异的缩小对于高低阻态的读取提出了很高的要求。第三，1T1R 结构的阻变式存储器对于工艺条件也较为敏感，甚至在同一片晶圆上，不同位置的存储单元可能会因为工艺波动而呈现迥异的阻变行为，进一步增加了高低阻态的读取难度。

为了解决上述技术问题，本申请提供一种具有差分架构的 2T2R 阻变式存储器、MCU 及设备。

本申请的主旨思想是：本申请提供一种具有差分架构的 2T2R 阻变式存储器，该 2T2R 阻变式存储器具有 2T2R 的对称结构，具体包括第一晶体管（T1）和第二晶体管（T2），第一阻变器件（R1）和第二阻变器件（R2）。T1 和 T2 的栅极（Gate）连接到同一根字线（WL），源极（Source）连接到不同的两根位线（BL 和 BLB），漏极（Drain）分别连接到 R1 和 R2 的一个电极如 BE。R1 和 R2 的另一电极，如 TE 连接到同一根源线（SL）。第一阻变器件（R1）和第二阻变器件（R2）同向连接。针对这种 2T2R 阻变式存储器，其中，MCU 可以通过两个阻变器件阻值的相对大小确定存储单元的状态。一方面，由于该 2T2R 阻变式存储器的结构设计，从而可以抵消存储器内部各种寄生参数和线路噪声所带来的负面影响，使高低阻态的读取更加准确和稳定。另一方面，通过该 2T2R 阻变式存储器的结构设计，可以有效解决存储单元一致性不够好的问题。此外，相比 1T1R 结构的存储单元，2T2R 结构的存储单元对工艺一致性的要求也有所降低。进一步地，由于两个阻变器件的同向连接方式，使得 2T2R 阻变式存储器在电路设计上更为简化，工艺上易于实现。

具体地，具有差分架构的 2T2R 阻变式存储器，包括：多个 2T2R 阻变式存储单元构成的存储单元阵列。图 2A 为本申请提供的一种 2T2R 结构的存储单元阵列的示意图，如图 2A 所示，位于同一行的 2T2R 阻变式存储单元

的两端分别与一条 WL、一条 SL 连接，位于同一列的 2T2R 阻变式存储单元 20 的两端分别与一条 BL、一条 BLB 连接。图 2B 为本申请一实施例提供一种 2T2R 阻变式存储单元的示意图，如图 2B 所示，该 2T2R 阻变式存储单元包括第一晶体管 21 和第二晶体管 22，第一阻变器件 23 和第二阻变器件 24。

5 第一晶体管 21 的栅极 210 和第二晶体管 22 的栅极 220 连接到字线 25；第一晶体管 21 的源极 211 和第二晶体管 22 的源极 221 分别连接到第一位线 26 和第二位线 27；第一晶体管 21 的漏极 212 和第二晶体管 22 的漏极 222 分别连接到第一阻变器件 23 的第一电极 231 和第二阻变器件 24 的第一电极 241；第一阻变器件 23 的第二电极 232 和第二阻变器件 24 的第二电极 242 连接到
10 源线 28，所述第一阻变器件 23 的第一电极 231 与所述第二阻变器件 24 的第一电极 241 位于同一层，所述第一阻变器件 23 的第二电极 232 与所述第二阻变器件 24 的第二电极 242 位于同一层。即第一阻变器件 23 的第一电极 231 先于第一阻变器件 23 的第二电极 232 被制备，且第二阻变器件 24 的第一电极 241 先于第二阻变器件 24 的第二电极 242 被制备。或者第一阻变器件 23
15 的第一电极 231 后于第一阻变器件 23 的第二电极 232 被制备，且第二阻变器件 24 的第一电极 241 后于第二阻变器件 24 的第二电极 242 被制备。这种同向连接方式的电路设计更为简化，工艺上易于实现。

其中，MCU 可以通过读取第一阻变器件 23 和第二阻变器件 24 的相对阻值确定 2T2R 阻变式存储单元的状态，例如：第一阻变器件 23 相对于第二阻
20 变器件 24 呈高阻态，第二阻变器件 24 相对于第一阻变器件 23 呈低阻态，或者，第一阻变器件 23 相对于第二阻变器件 24 呈低阻态，第二阻变器件 24 相对于第一阻变器件 23 呈高阻态。这种读取方式可以称之为差分读取，由于上述 2T2R 阻变式存储单元可实现差分读取，因而可将该存储单元称作具有“差分架构”的存储单元。

25 此外，相对于传统的 1T1R 结构的阻变式存储器，2T2R 结构的阻变式存储器中的存储单元虽然面积增长了一倍，但是所带来的有益效果同样是巨大的，即通过这种结构设计可以大幅提高对存储单元的状态读取的可靠性和稳定性。具体地，对于 1T1R 结构的存储单元，读取的是单个阻变器件阻值的绝对值，由于受阻变器件阻值分布的一致性、线路噪声、工艺波动等诸多因
30 素影响，因此往往会出现数据读取出错的情况，例如错把一个阻值异常低的

高阻态当做低阻态，或把一个阻值异常高的低阻态当做高阻态。而 2T2R 结构的阻变式存储器中的存储单元，只要经过一定的初始化之后，存储单元内两个阻变器件的阻态始终是相反的，即“一低一高”，而不可能是“两低”或“两高”。基于这种存储单元的结构设计，使得 MCU 读取的不再是单个阻变器件的阻值，而是两个阻变器件阻值的相对大小，因此可以将阻值分布的不均匀性带来的影响降到最低，同时不受各种寄生参数和线路噪声的影响（单元内部相互抵消），通过这种结构设计可以大幅提高对存储单元的状态读取的可靠性和稳定性；另外，由于存储单元内部的两个阻变器件可视为等同工艺条件，因此采用差分架构的 2T2R 阻变式存储器对于工艺条件的一致性要求也有所放宽。

本申请还提供一种 MCU，其中，该 MCU 包括：上述 2T2R 阻变式存储器。具体地，图 3 为本申请一实施例提供的 MCU 的示意图，如图 3 所示，上述 2T2R 阻变式存储器 31 集成在该 MCU30 上。

如上所述，具有差分架构的 2T2R 阻变式存储器，包括：多个 2T2R 阻变式存储单元构成的存储单元阵列；每个 2T2R 阻变式存储单元包括第一晶体管、第二晶体管、第一阻变器件和第二阻变器件；所述第一晶体管的栅极和所述第二晶体管的栅极连接在同一根字线上，所述第一晶体管的源极和所述第二晶体管的源极分别连接在第一位线和第二位线上，所述第一晶体管的漏极与所述第一阻变器件的第一电极连接，所述第二晶体管的漏极与所述第二阻变器件的第一电极连接，所述第一阻变器件的第二电极和所述第二阻变器件的第二电极连接在同一根源线上；其中，所述第一阻变器件的第一电极与所述第二阻变器件的第一电极位于同一层，所述第一阻变器件的第二电极与所述第二阻变器件的第二电极位于同一层。即第一阻变器件的第一电极先于第一阻变器件的第二电极被制备，且第二阻变器件的第一电极先于第二阻变器件的第二电极被制备。或者第一阻变器件的第一电极后于第一阻变器件的第二电极被制备，且第二阻变器件的第一电极后于第二阻变器件的第二电极被制备。

在本申请中，当 2T2R 阻变式存储器中的存储单元的状态为：第一阻变器件相对于所述第二阻变器件呈高阻态，所述第二阻变器件相对于所述第一

阻变器件呈低阻态；或者，所述第一阻变器件相对于所述第二阻变器件呈低阻态，所述第二阻变器件相对于所述第一阻变器件呈高阻态。

其中，逻辑“0”表示第一阻变器件相对于第二阻变状态呈低阻态，第二阻变器件相对于第一阻变器件呈高阻态，逻辑“1”表示第一阻变器件相对于第二阻变状态呈高阻态，第二阻变器件相对于第一阻变器件呈低阻态。

或者，

逻辑“1”表示第一阻变器件相对于第二阻变状态呈低阻态，第二阻变器件相对于第一阻变器件呈高阻态，逻辑“0”表示第一阻变器件相对于第二阻变状态呈高阻态，第二阻变器件相对于第一阻变器件呈低阻态。

下面介绍 MCU 对 2T2R 阻变式存储单元的存储状态的读写过程：

假设逻辑“0”表示第一阻变器件相对于第二阻变状态呈低阻态，第二阻变器件相对于第一阻变器件呈高阻态，逻辑“1”表示第一阻变器件相对于第二阻变状态呈高阻态，第二阻变器件相对于第一阻变器件呈低阻态。假设一 2T2R 阻变式存储单元的初始存储状态为逻辑“0”，以写入逻辑“1”为例，图 4 为本申请一实施例提供的存储单元的存储状态的写入过程中字线 WL、源线 SL、第一位线 BL 以及第二位线 BLB 的时序图，其中，图 4 中横轴表示时间，纵轴表示电压。结合图 2B、图 4 进行说明。在 t_1 时间，MCU 控制充电单元，以在字线 25 上施加开启电压 VG，以开启第一晶体管 21 和第二晶体管 22。同样在 t_1 时间，MCU 控制充电单元，以在第一位线 26 上施加大小为 VDD 的操作电压，而在第二位线 27 上施加大小相同但方向相反的操作电压 -VDD。源线 28 接地，此时跟第一位线 26 相连的第一阻变器件 23 在两个电极之间的电压差 $\Delta V = -VDD$ 的作用下发生 reset，由低阻态变为高阻态；第二位线 27 上的第二阻变器件 34 在两个电极之间的电压差 $\Delta V = VDD$ 的作用下发生 set，由高阻态变为低阻态。至此，逻辑“1”的写入完成。

写入逻辑“0”的方法是类似的，只是将施加于两根位线上的电压互换即可。

具体地，假设逻辑“0”表示第一阻变器件相对于第二阻变状态呈低阻态，第二阻变器件相对于第一阻变器件呈高阻态，逻辑“1”表示第一阻变器件相对于第二阻变状态呈高阻态，第二阻变器件相对于第一阻变器件呈低阻态。

假设一 2T2R 阻变式存储单元的初始存储状态为逻辑“1”，以写入逻辑“0”

为例，在 t_1 时间，MCU 控制充电单元，以在字线 25 上施加开启电压 V_G ，以开启第一晶体管 21 和第二晶体管 22。同样在 t_1 时间，MCU 控制充电单元，以在第一位线 26 上施加大小为 $-V_{DD}$ 的操作电压，而在第二位线 27 上施加大小相同但方向相反的操作电压 V_{DD} 。源线 28 接地，此时跟第一位线 26 相连的第一阻变器件 23 在两个电极之间的电压差 $\Delta V = V_{DD}$ 的作用下发生 set，由高阻态变为低阻态；第二位线 27 上的第二阻变器件 34 在两个电极之间的电压差 $\Delta V = -V_{DD}$ 的作用下发生 reset，由低阻态变为高阻态。至此，逻辑“0”的写入完成。

假设逻辑“0”表示第一阻变器件相对于第二阻变状态呈低阻态，第二阻变器件相对于第一阻变器件呈高阻态，逻辑“1”表示第一阻变器件相对于第二阻变状态呈高阻态，第二阻变器件相对于第一阻变器件呈低阻态。图 5 为本申请一实施例提供的存储单元的存储状态的读取过程中字线 WL、源线 SL、第一位线 BL 以及第二位线 BLB 的时序图，其中，图 5 中横轴表示时间，纵轴表示电压。结合图 2B、图 5 进行说明。其中，读取逻辑“1”过程中，在 t_0 时间，MCU 控制充电单元在第一位线 26 和第二位线 27 上预充电 (precharge) 至同一读取电压 V_{RD} ，直到 t_1 时间停止充电，随即在源线 28 上施加一个电压，与此同时通过在字线 25 上施加开启电压 V_G ，以开启第一晶体管 21 和第二晶体管 22。需要注意的是，在源线 28 上施加的电压应略小于读取电压，例如在源线 28 上施加的电压为 $V_{RD} - 0.2$ 伏，从而可以避免因电压差过大而造成阻变器件的状态改变。第一位线 26 和第二位线 27 从 t_1 时间开始放电 (discharge)。由于第一阻变器件 23 处在高阻态，其放电速率相对较慢；而第二阻变器件 24 处在低阻态，其放电速率相对较快。到 t_2 时间同步探测第一位线 26 和第二位线 27 上的电位，MCU 对应这两个电位进行比较，由于第一位线 26 的电位高于第二位线 27 的电位，因而读取该存储单元数据为“逻辑 1”。类似的，若第一位线 26 的电位低于第二位线 27 的电位，则读取该存储单元数据为“逻辑 0”。

需要说明的是，本申请提供的具有差分架构的 2T2R 阻变式存储器，其写入和读取的方式与传统的静态随机存取存储器 (Static Random Access Memory, SRAM) 比较接近，例如，写入过程都是在两根位线上施加不同的电压，读取过程都是采用预充电，然后比较放电速率的快慢，因此可在不改

变或小改变外围电路设计的前提下用本申请提供的 2T2R 阻变式存储器取代 SRAM。

相比于 SRAM，本申请提供的具有差分架构的 2T2R 阻变式存储器具有如下优点：

5 第一、存储密度高。SRAM 通常是 6 晶体管（6T）结构，而 2T2R 阻变式存储器只有 2 个晶体管，存储单元面积更小。

第二、数据掉电保持。SRAM 要保持数据必须一致保持供电，而阻变式存储器在断电的情况下数据依然不会丢失。

10 综上所述，本申请所提出的具有差分架构的 2T2R 阻变式存储器具有广泛的应用前景。

本申请还提供一种设备，该设备可以是手机、平板电脑、计算机、可穿戴设备等智能设备，一切具有存储器的设备都在本申请的保护范围之内，其中，该存储器为上述具有差分架构的 2T2R 阻变式存储器。图 6 为本申请一
15 实施例提供的设备 60 的示意图，如图 6 所示，该设备包括：MCU61、上述具有差分架构的 2T2R 阻变式存储器 62 以及收发器 63，其中收发器 63 用于与其他设备之间进行数据传输。

如上所述，具有差分架构的 2T2R 阻变式存储器，包括：多个 2T2R 阻变式存储单元构成的存储单元阵列；每个 2T2R 阻变式存储单元包括第一晶体
20 管、第二晶体管、第一阻变器件和第二阻变器件；第一晶体管的栅极和第二晶体管的栅极连接在同一根字线上，第一晶体管的源极和第二晶体管的源极分别连接在第一位线和第二位线上，第一晶体管的漏极与第一阻变器件的第一电极连接，第二晶体管的漏极与第二阻变器件的第一电极连接，第一阻变器件的第二电极和第二阻变器件的第二电极连接在同一根源线上；其中，第
25 一阻变器件的第一电极与第二阻变器件的第一电极位于同一层，第一阻变器件的第二电极与第二阻变器件的第二电极位于同一层。

在一种可能的设计中，该设备还包括：MCU 以及充电单元，该 MCU 和所述具有差分架构的 2T2R 阻变式存储器电连接。

30 在一种可能的设计中，MCU 用于控制充电单元在字线上施加开启电压，以开启第一晶体管和第二晶体管，控制充电单元在第一位线上施加第一操作

电压，在第二位线上施加第二操作电压；其中，第一操作电压与第二操作电压不同，第一操作电压相对于源线上的电压的电压差使得第一阻变器件由高阻态变为低阻态，第二操作电压相对于源线上的电压的电压差使得第二阻变器件由低阻态变为高阻态；或者，第一操作电压相对于源线上的电压的电压差使得第一阻变器件由低阻态变为高阻态，第二操作电压相对于源线上的电压的电压差使得第二阻变器件由高阻态变为低阻态。

在一种可能的设计中，MCU 用于控制充电单元在第一位线和第二位线上充电，以使第一位线和第二位线上的电压达到同一读取电压，并控制充电单元在预设时间之后停止对第一位线和第二位线的充电，控制充电单元在源线上施加一个电压，在字线上施加开启电压，以开启第一晶体管、第二晶体管，以使第一位线和第二位线开始放电，根据第一位线和第二位线的放电速度获取第一阻变器件和第二阻变器件的相对阻值，根据第一阻变器件和第二阻变器件的相对阻值确定 2T2R 阻变式存储单元的状态。

在一种可能的设计中，在源线上施加的电压小于读取电压，所述读取电压与在所述源线上施加的电压的电压差值小于预设阈值，该预设阈值可以取值为 0.2 伏或者 0.1 伏。

本申请实施例提供的设备，其包括：所述具有差分架构的 2T2R 阻变式存储器，其内容和效果可参考上述实施例，对此不再赘述。

本申请还提供一种设备，包括：MCU，该 MCU 上集成有所述具有差分架构的 2T2R 阻变式存储器，其内容和效果可参考上述实施例，对此不再赘述。

虽然本申请是以 MCU 上集成上述阻变式存储器为例进行了说明，但是本领域技术人员可以理解，嵌入式存储器的应用不仅仅局限于 MCU，还包括 CPU、FPGA、DSP、ASIC 等各种类型的电路或芯片，或者说本发明的阻变式存储器可以广泛应用于各类 SoC。

最后应说明的是：以上各实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述各实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并

不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

权 利 要 求 书

1、一种具有差分架构的 2T2R 阻变式存储器，其特征在于，包括：多个 2T2R 阻变式存储单元构成的存储单元阵列；每个 2T2R 阻变式存储单元包括第一晶体管、第二晶体管、第一阻变器件和第二阻变器件；

5 所述第一晶体管的栅极和所述第二晶体管的栅极连接在同一根字线上，所述第一晶体管的源极和所述第二晶体管的源极分别连接在第一位线和第二位线上，所述第一晶体管的漏极与所述第一阻变器件的第一电极连接，所述第二晶体管的漏极与所述第二阻变器件的第一电极连接，所述第一阻变器件的第二电极和所述第二阻变器件的第二电极连接在同一根源线上；

10 其中，所述第一阻变器件的第一电极与所述第二阻变器件的第一电极位于同一层，所述第一阻变器件的第二电极与所述第二阻变器件的第二电极位于同一层。

2、一种微控制单元 MCU，其特征在于，所述 MCU 上具有如权利要求 1 所述的具有差分架构的 2T2R 阻变式存储器。

15 3、根据权利要求 2 所述的 MCU，其特征在于，

 所述 MCU 用于控制充电单元在所述字线上施加开启电压，以开启所述第一晶体管和所述第二晶体管，控制所述充电单元在所述第一位线上施加第一操作电压，在所述第二位线上施加第二操作电压；

20 其中，所述第一操作电压与第二操作电压不同，所述第一操作电压相对于所述源线上的电压的电压差使得所述第一阻变器件由高阻态变为低阻态，所述第二操作电压相对于所述源线上的电压的电压差使得所述第二阻变器件由低阻态变为高阻态；或者，所述第一操作电压相对于所述源线上的电压的电压差使得所述第一阻变器件由低阻态变为高阻态，所述第二操作电压相对于所述源线上的电压的电压差使得所述第二阻变器件由高阻态变为低阻态。

25 4、根据权利要求 2 所述的 MCU，其特征在于，

 所述 MCU 用于控制充电单元在所述第一位线和第二位线上充电，以使所述第一位线和所述第二位线上的电压达到同一读取电压，并控制充电单元在预设时间之后停止对所述第一位线和所述第二位线的充电，控制所述充电单元在所述源线上施加一个电压，在所述字线上施加开启电压，以开启所述
30 第一晶体管、所述第二晶体管，以使所述第一位线和第二位线开始放电，根

据所述第一位线和第二位线的放电速度获取所述第一阻变器件和所述第二阻变器件的相对阻值，根据所述第一阻变器件和所述第二阻变器件的相对阻值确定所述 2T2R 阻变式存储单元的状态。

5 5、根据权利要求 4 所述的 MCU，其特征在于，在所述源线上施加的电压小于所述读取电压，且所述读取电压与在所述源线上施加的电压的电压差值小于预设阈值。

10 6、根据权利要求 4 或 5 所述的 MCU，其特征在于，所述 2T2R 阻变式存储单元的状态为所述第一阻变器件相对于所述第二阻变器件呈高阻态，所述第二阻变器件相对于所述第一阻变器件呈低阻态；或者，所述第一阻变器件相对于所述第二阻变器件呈低阻态，所述第二阻变器件相对于所述第一阻变器件呈高阻态。

7、一种设备，其特征在于，包括：如权利要求 1 所述的具有差分架构的 2T2R 阻变式存储器。

8、一种设备，其特征在于，包括：如权利要求 2 所述的 MCU。

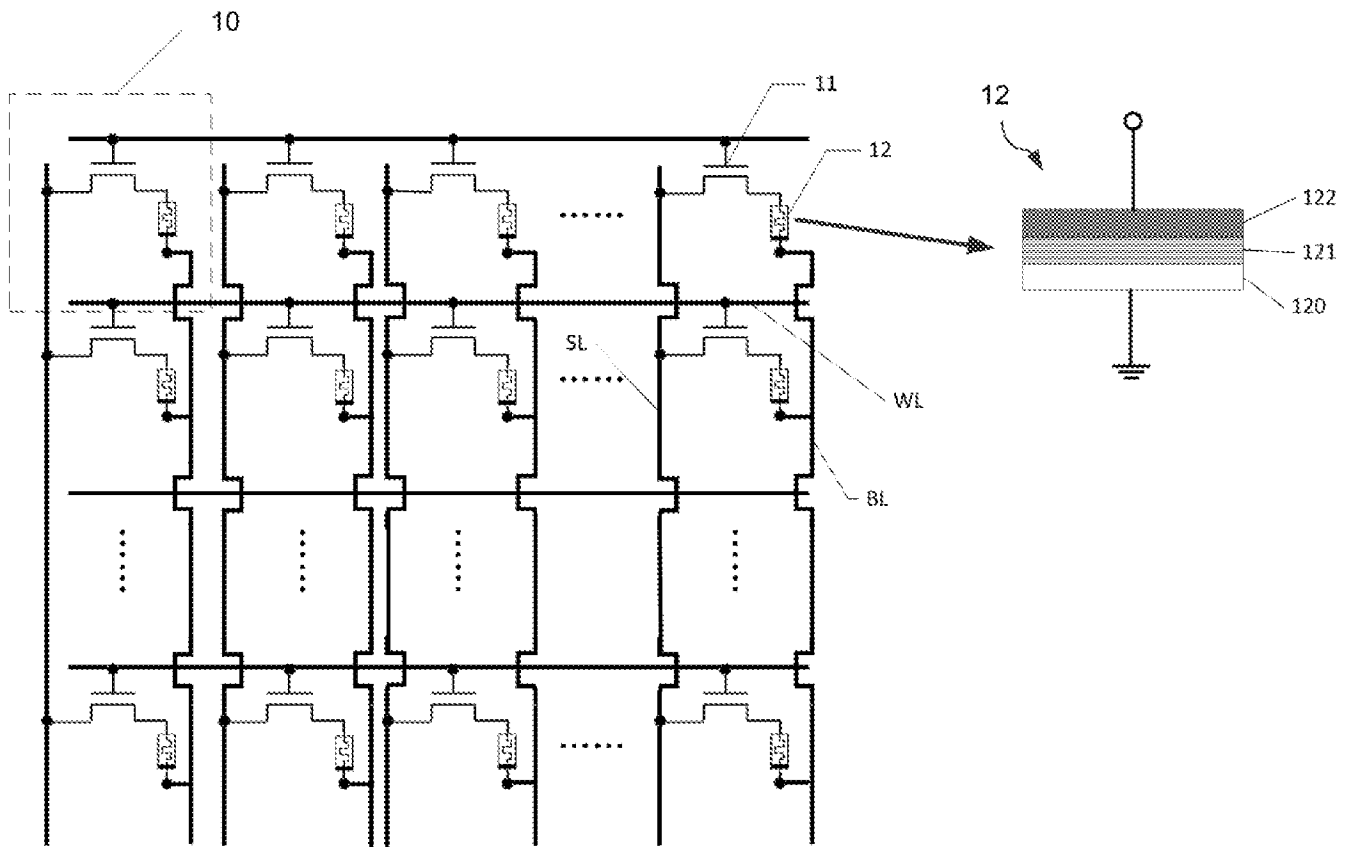


图 1

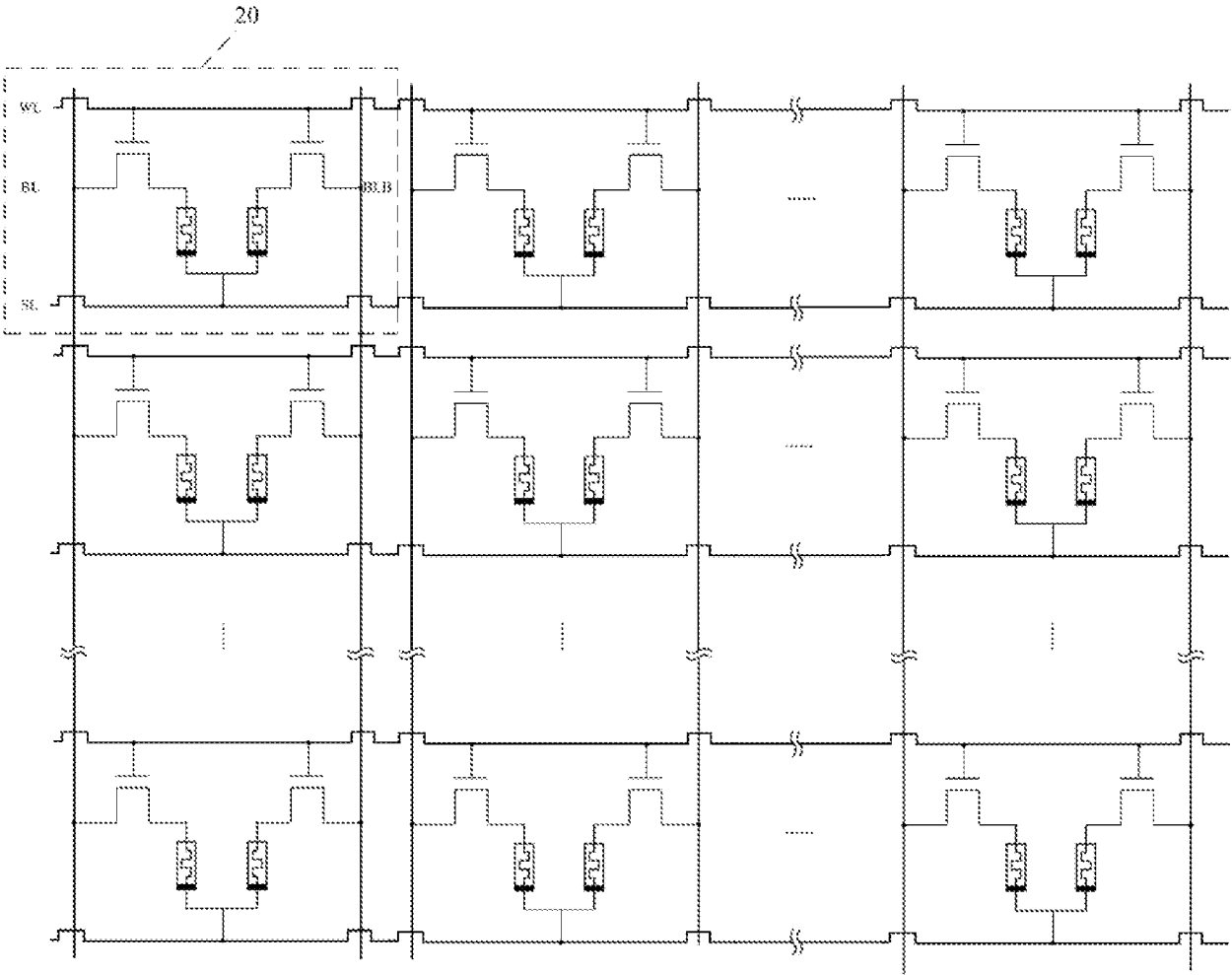


图 2A

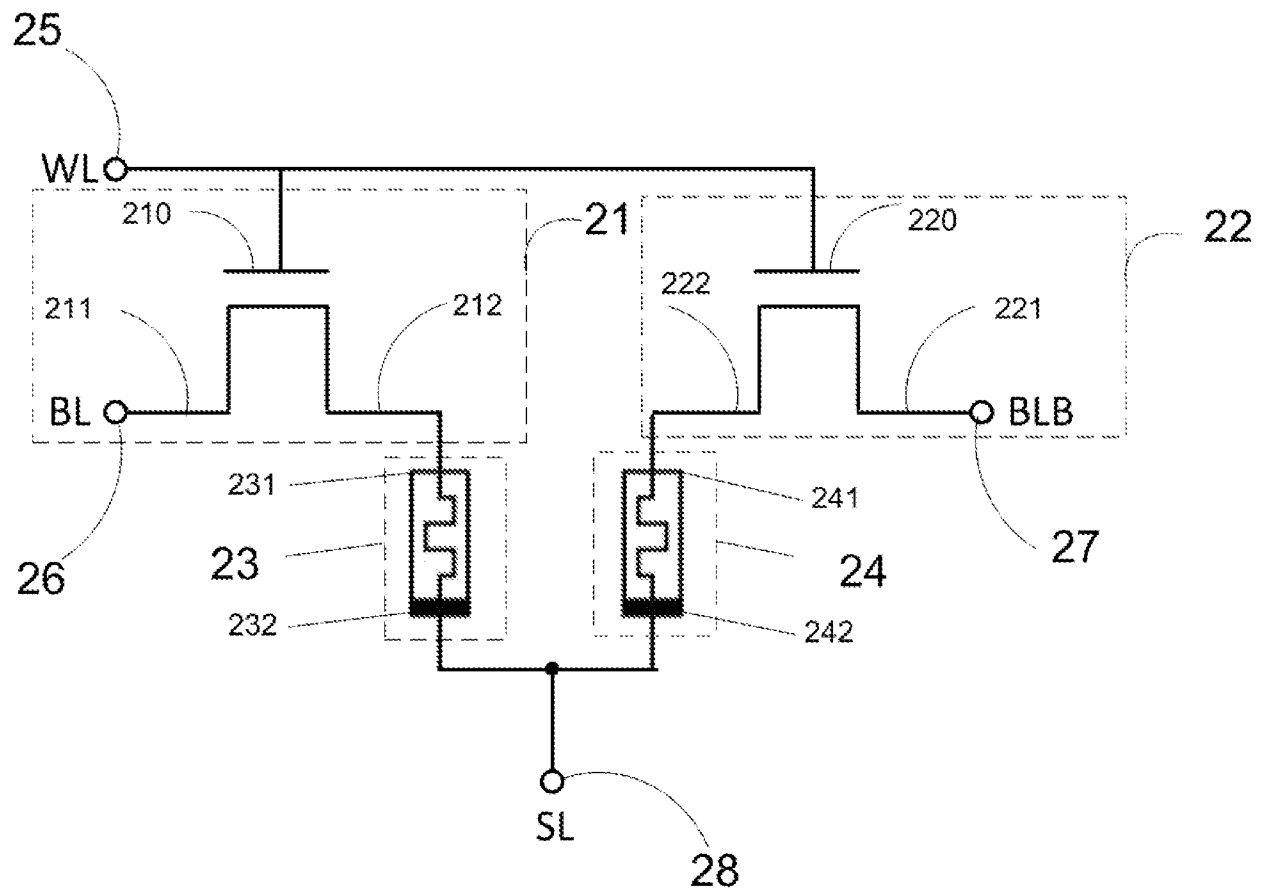


图 2B

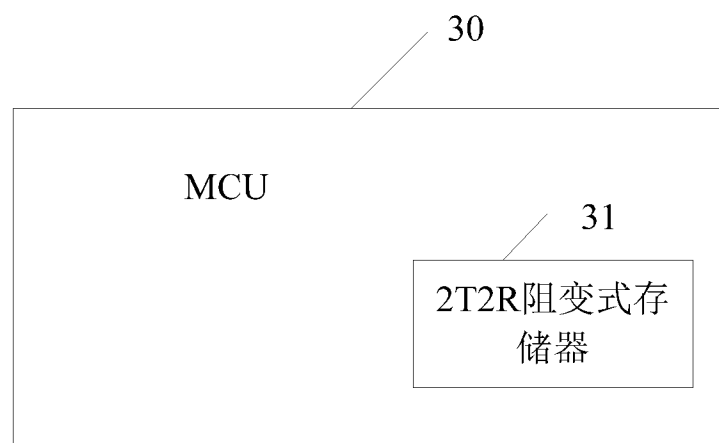


图 3

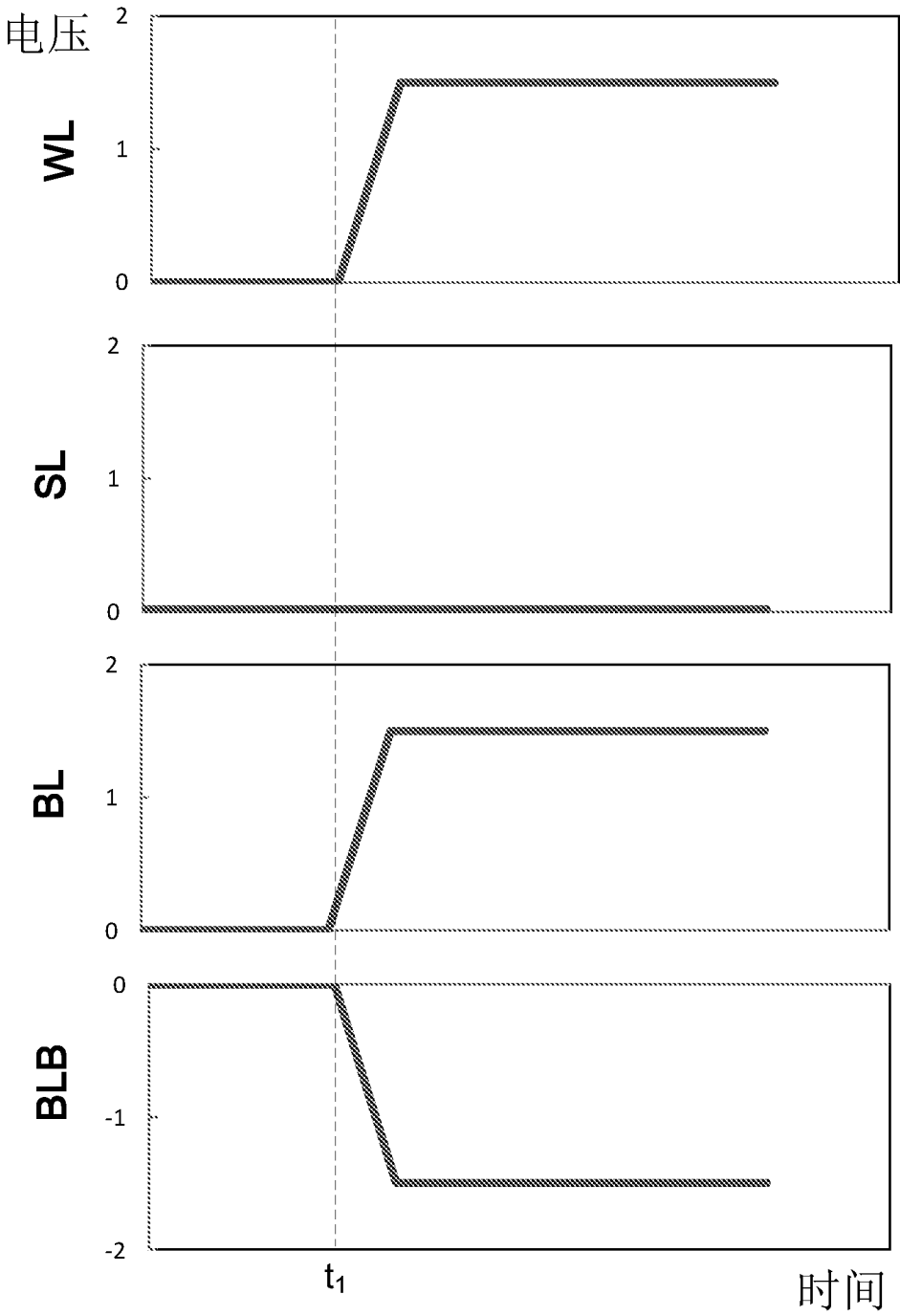


图 4

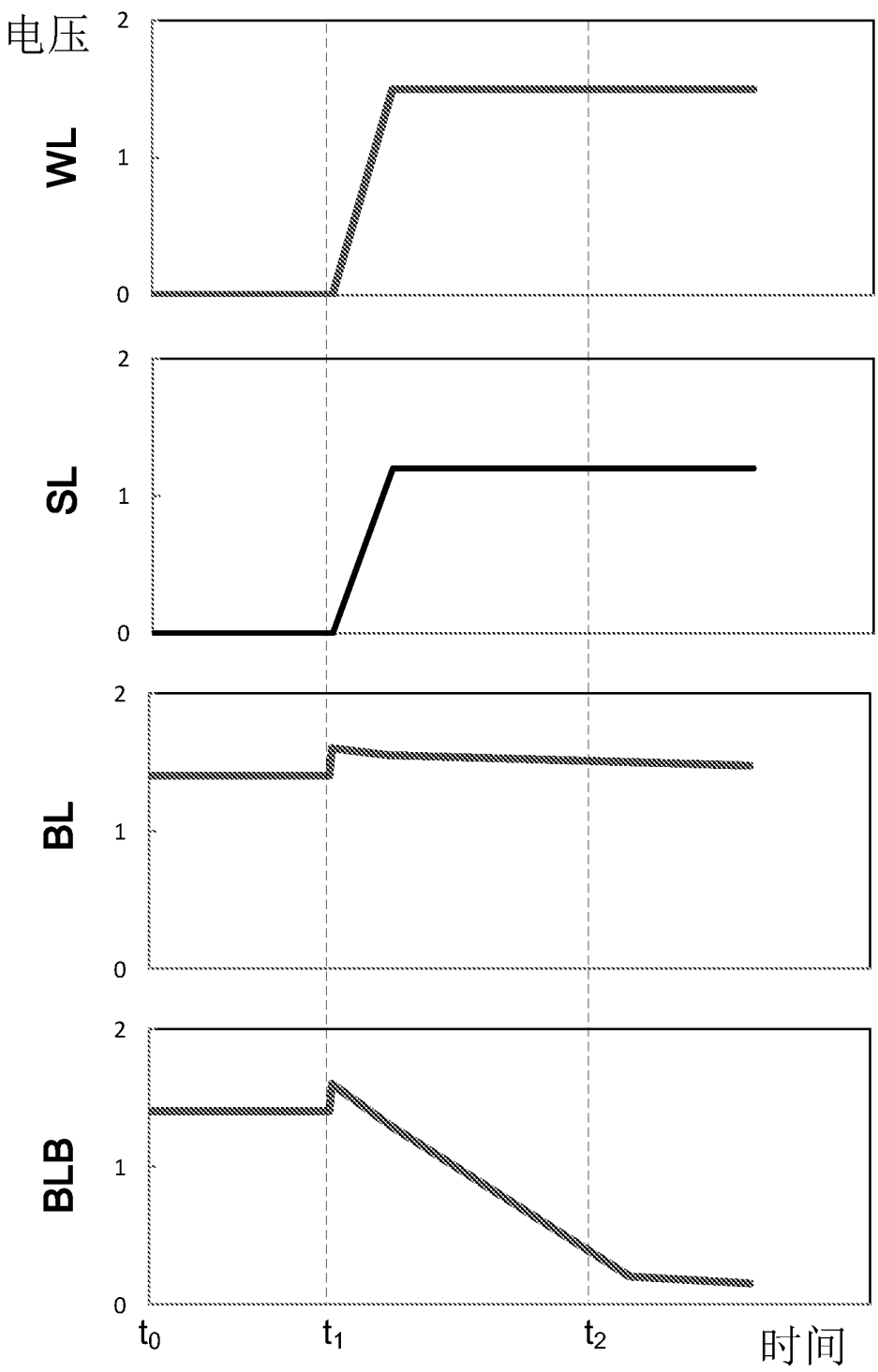


图 5

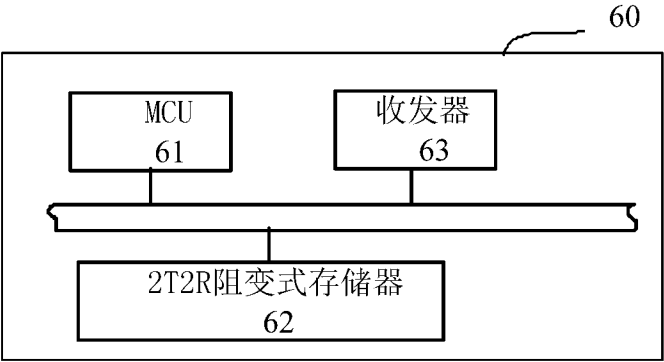


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/077093

A. CLASSIFICATION OF SUBJECT MATTER

G11C 17/14(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C17/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; WOTXT; USTXT; EPTXT; CNKI: 阻变, 变化, 变换, 电阻, 存储, 晶体管, 微控制器, 差分, resistance change, change, convert, resistance, memory, storage, transistor, microcontroller, MCU, difference

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101872647 A (FUDAN UNIVERSITY) 27 October 2010 (2010-10-27) description, paragraphs 14-84, and figures 4 and 5	1-8
X	CN 102169719 A (FUDAN UNIVERSITY) 31 August 2011 (2011-08-31) description, paragraphs 7-51, and figures 1, 3, and 4	1-8
A	CN 1770319 A (SONY CORPORATION) 10 May 2006 (2006-05-10) entire document	1-8
A	CN 102368536 A (PEKING UNIVERSITY) 07 March 2012 (2012-03-07) entire document	1-8
A	US 2014241038 A1 (RENESAS ELECTRONICS CORPORATION) 28 August 2014 (2014-08-28) entire document	1-8
A	US 8947909 B1 (MARVELL INT LTD.) 03 February 2015 (2015-02-03) entire document	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 November 2019

Date of mailing of the international search report

04 December 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/077093

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	101872647	A	27 October 2010	CN	101872647	B	08 January 2014
CN	102169719	A	31 August 2011	None			
CN	1770319	A	10 May 2006	TW	200617989	A	01 June 2006
				US	7242606	B2	10 July 2007
				CN	100481254	C	22 April 2009
				TW	I289315	B	01 November 2007
				KR	20060051736	A	19 May 2006
				JP	2006099866	A	13 April 2006
				US	2006067114	A1	30 March 2006
CN	102368536	A	07 March 2012	US	2014268988	A1	18 September 2014
				US	8995165	B2	31 March 2015
				WO	2013075416	A1	30 May 2013
US	2014241038	A1	28 August 2014	JP	2014165329	A	08 September 2014
				JP	6021688	B2	09 November 2016
				US	9208868	B2	08 December 2015
US	8947909	B1	03 February 2015	None			

国际检索报告

国际申请号

PCT/CN2019/077093

A. 主题的分类 G11C 17/14 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G11C17/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS; CNTXT; VEN; WOTXT; USTXT; EPTXT; CNKI: 阻变, 变化, 变换, 电阻, 存储, 晶体管, 微控制器, 差分, resistance change, change, convert, resistance, memory, storage, transistor, microcontroller, MCU, difference																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 101872647 A (复旦大学) 2010年 10月 27日 (2010 - 10 - 27) 说明书第14-84段, 图4-5</td> <td>1-8</td> </tr> <tr> <td>X</td> <td>CN 102169719 A (复旦大学) 2011年 8月 31日 (2011 - 08 - 31) 说明书第7-51段, 图1、3-4</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>CN 1770319 A (索尼株式会社) 2006年 5月 10日 (2006 - 05 - 10) 全文</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>CN 102368536 A (北京大学) 2012年 3月 7日 (2012 - 03 - 07) 全文</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>US 2014241038 A1 (RENESAS ELECTRONICS CORP) 2014年 8月 28日 (2014 - 08 - 28) 全文</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>US 8947909 B1 (MARVELL INT LTD) 2015年 2月 3日 (2015 - 02 - 03) 全文</td> <td>1-8</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 101872647 A (复旦大学) 2010年 10月 27日 (2010 - 10 - 27) 说明书第14-84段, 图4-5	1-8	X	CN 102169719 A (复旦大学) 2011年 8月 31日 (2011 - 08 - 31) 说明书第7-51段, 图1、3-4	1-8	A	CN 1770319 A (索尼株式会社) 2006年 5月 10日 (2006 - 05 - 10) 全文	1-8	A	CN 102368536 A (北京大学) 2012年 3月 7日 (2012 - 03 - 07) 全文	1-8	A	US 2014241038 A1 (RENESAS ELECTRONICS CORP) 2014年 8月 28日 (2014 - 08 - 28) 全文	1-8	A	US 8947909 B1 (MARVELL INT LTD) 2015年 2月 3日 (2015 - 02 - 03) 全文	1-8
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 101872647 A (复旦大学) 2010年 10月 27日 (2010 - 10 - 27) 说明书第14-84段, 图4-5	1-8																					
X	CN 102169719 A (复旦大学) 2011年 8月 31日 (2011 - 08 - 31) 说明书第7-51段, 图1、3-4	1-8																					
A	CN 1770319 A (索尼株式会社) 2006年 5月 10日 (2006 - 05 - 10) 全文	1-8																					
A	CN 102368536 A (北京大学) 2012年 3月 7日 (2012 - 03 - 07) 全文	1-8																					
A	US 2014241038 A1 (RENESAS ELECTRONICS CORP) 2014年 8月 28日 (2014 - 08 - 28) 全文	1-8																					
A	US 8947909 B1 (MARVELL INT LTD) 2015年 2月 3日 (2015 - 02 - 03) 全文	1-8																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2019年 11月 13日		国际检索报告邮寄日期 2019年 12月 4日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 周文龙 电话号码 86-(20)-28950729																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/077093

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	101872647	A	2010年 10月 27日	CN	101872647	B		2014年 1月 8日	
CN	102169719	A	2011年 8月 31日	无					
CN	1770319	A	2006年 5月 10日	TW	200617989	A		2006年 6月 1日	
				US	7242606	B2		2007年 7月 10日	
				CN	100481254	C		2009年 4月 22日	
				TW	1289315	B		2007年 11月 1日	
				KR	20060051736	A		2006年 5月 19日	
				JP	2006099866	A		2006年 4月 13日	
				US	2006067114	A1		2006年 3月 30日	
CN	102368536	A	2012年 3月 7日	US	2014268988	A1		2014年 9月 18日	
				US	8995165	B2		2015年 3月 31日	
				WO	2013075416	A1		2013年 5月 30日	
US	2014241038	A1	2014年 8月 28日	JP	2014165329	A		2014年 9月 8日	
				JP	6021688	B2		2016年 11月 9日	
				US	9208868	B2		2015年 12月 8日	
US	8947909	B1	2015年 2月 3日	无					