(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年12月16日(16.12.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/250870 A1

(51) 国際特許分類:
G05F 3/26 (2006.01) *H03F 3/343* (2006.01)
H03F 3/16 (2006.01) *H03F 3/45* (2006.01)

(21) 国際出願番号： PCT/JP2020/023110

(22) 国際出願日： 2020年6月11日(11.06.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:株式会社ソシオネクスト(**SOCIONEXT INC.**) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ Kanagawa (JP).

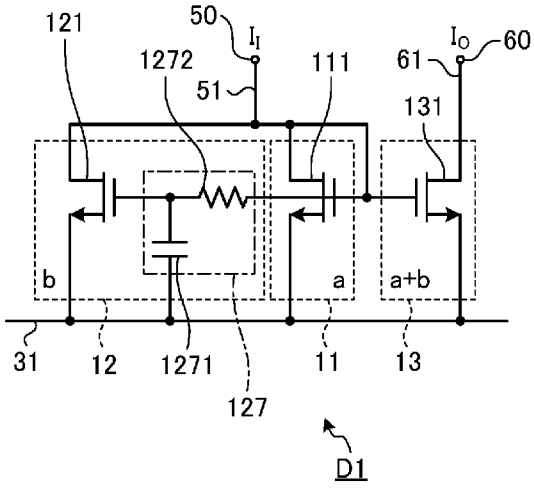
(72) 発明者:中村 遼一郎(**NAKAMURA, Ryoichiro**); 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ 株式会社ソシオネクスト内 Kanagawa (JP). 工藤 真大(**KUDO, Masahiro**); 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ 株式会社ソシオネクスト内 Kanagawa (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (**SAKAI INTERNATIONAL PATENT OFFICE**); 〒1000013 東京都千代田区霞が関３丁目８番１号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** AMPLIFICATION CIRCUIT, DIFFERENTIAL AMPLIFICATION CIRCUIT, RECEPTION CIRCUIT, AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称： 増幅回路、差動増幅回路、受信回路及び半導体集積回路



(57) **Abstract:** The amplification circuit according to an embodiment has a first circuit, a second circuit, and a third circuit. The first circuit includes a first transistor connected between a reference potential node and an input node through which an input current is channeled, the gate electrode of the first transistor being connected to the input node. The second circuit includes a low-pass filter circuit, and includes a second transistor connected between the input node and the reference potential node so as to be parallel to the first transistor, the gate electrode of the second transistor being connected, via the low-pass filter circuit, to the gate electrode of the first transistor. The third circuit includes a third transistor connected between the reference potential node and an output node through which an output current is channeled, the gate electrode of the third transistor being connected to the gate of the first transistor.

WO 2021/250870 A1

［続葉有］

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

(57) 要約:一実施形態に係る増幅回路は、第１回路と、第２回路と、第３回路とを有する。第１回路は、入力電流が流れる入力ノードと基準電位ノードの間に接続され、ゲート電極が前記入力ノードと接続された第１トランジスタを含む。第２回路は、ローパスフィルタ回路を含み、前記入力ノードと前記基準電位ノードの間において前記第１トランジスタと並列に接続され、ゲート電極が前記第１トランジスタのゲート電極と前記ローパスフィルタ回路を介して接続された第２トランジスタを含む。第３回路は、出力電流が流れる出力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第１トランジスタのゲートと接続された第３トランジスタを含む。

明　細　書

発明の名称 ：

増幅回路、差動増幅回路、受信回路及び半導体集積回路

技術分野

[0001] 本明細書等に開示の一実施形態は、例えば、ＣＴＬＥ（Ｃｏｎｔｉｎｕｏｕｓ　Ｔｉｍｅ　Ｌｉｎｅａｒ　Ｅｑｕａｌｉｚｅｒ、連続時間線形等化器）に用いられる増幅回路、差動増幅回路、受信回路及び半導体集積回路に関する。

背景技術

[0002] ＣＴＬＥは、ネットワークやデータセンタ向けの高速インターフェース等に用いられるＳｅｒＤｅｓ（ＳＥＲｉａｌｉｚｅｒ　ＤＥＳｅｒｉａｌｉｚｅｒ）受信回路の入力増幅回路であり、伝送路でのロス補償回路として用いられる。従来のＣＴＬＥは、ソースデジェネレーション型イコライザを用いている。

先行技術文献

特許文献

[0003] 特許文献1：特開平９－７４３４０号公報

特許文献2：米国特許出願公開第２００８／２４２２８号明細書

特許文献3：米国特許第５３６３０６５号明細書

発明の概要

発明が解決しようとする課題

[0004] しかしながら、ソースデジェネレーション型イコライザを用いる従来のＣＴＬＥは、インダクタ素子（コイル）を用いてブーストゲイン増幅機能を実現する。このため、回路サイズ（面積）が大きくなる。また、回路内の抵抗、相互コンダクタンスなどのばらつき要素により、ゲインが非線形となる。

[0005] 近年では、ＣＭＯＳテクノロジの微細化により、ＣＴＬＥの更なる低電力化と小面積化が要求される。また、信号振幅レベルの多値化により、高い線

形性が必要とされる。

[0006] 本明細書等に開示の実施形態が解決しようとする課題の一つは、ゲインの線形性を維持しつつ、ブーストゲイン増幅機能及び小面積化を実現する増幅回路、差動増幅回路、受信回路及び半導体集積回路を提供することである。

課題を解決するための手段

[0007] 実施形態に係る増幅回路は、入力電流が流れる入力ノードと基準電位ノードの間に接続され、ゲート電極が前記入力ノードと接続された第１トランジスタを含む第１回路と、ローパスフィルタ回路を含み、前記入力ノードと前記基準電位ノードの間において前記第１トランジスタと並列に接続され、ゲート電極が前記第１トランジスタのゲートと前記ローパスフィルタ回路を介して接続された第２トランジスタを含む第２回路と、出力電流が流れる出力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第１トランジスタのゲートと接続された第３トランジスタを含む第３回路と、を有する。

発明の効果

[0008] 本明細書に開示の一実施形態によれば、ゲインの線形性を維持しつつ、ブーストゲイン増幅機能及び小面積化を実現する増幅回路、差動増幅回路、受信回路及び半導体集積回路を実現することができる。

図面の簡単な説明

[0009] [図1]図１は、第１実施形態に係る増幅回路の構成を示した図である。

[図2]図２は、第１実施形態に係る増幅回路のＤＣゲイン、ブーストゲイン、ピークゲインと周波数との関係を示した図である。

[図3]図３は、第２実施形態に係る増幅回路の構成を示した図である。

[図4]図４は、第２実施形態に係る増幅回路のＤＣゲイン、ブーストゲイン、ピークゲインと周波数との関係を示した図である。

[図5]図５は、第３実施形態に係る増幅回路の構成を示した図である。

[図6]図６は、第３実施形態に係る増幅回路のＤＣゲイン、ブーストゲイン、ピークゲインと周波数との関係を示した図である。

[図7]図７は、第４実施形態に係る増幅回路の構成を示した図である。

[図8]図８は、第５実施形態に係る増幅回路の構成を示した図である。

[図9]図９（ａ）、（ｂ）、（ｃ）のそれぞれは、ＤＣゲイン及びブーストゲインに基づいてサイズパラメータを決定するためのルックアップテーブルである。

[図10]図１０は、第６実施形態に係る増幅回路の構成を示した図である。

[図11]図１１は、第７実施形態に係る受信回路の構成を示した図である。

[図12]図１２は、第８実施形態に係る半導体集積回路の構成を示した図である。

発明を実施するための形態

[0010] 以下に添付図面を参照して、実施形態に係る増幅回路、差動増幅回路、受信回路及び半導体集積回路を詳細に説明する。なお、この実施形態により本発明が限定されるものではない。また、以下の説明において、各図面で共通する部分には同一の符号を付して、詳細な説明を省略する。

[0011] （第１実施形態）

図１は、第１実施形態に係る増幅回路Ｄ１の構成を示した図である。なお、増幅回路Ｄ１はシングルエンドとしての増幅器である。

[0012] 図１に示した様に、増幅回路Ｄ１は、第１回路１１、第２回路１２、第３回路１３、基準電位ノード３１、入力端子５０、入力ノード５１、出力端子６０、出力ノード６１を含む。なお、図１において、ａ、ｂは、それぞれ第１回路１１、第２回路１２が有するトランジスタに流れる電流の大きさを示すパラメータであり、トランジスタのサイズを示すパラメータ（以降、「サイズパラメータ」と呼ぶ。）である。サイズパラメータａ、ｂは、例えば、ＦｉｎＦＥＴ（Ｆｉｎ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）のフィン数やプレーナ型トランジスタのゲート幅に対応する。

[0013] 入力ノード５１は、入力電流I_iが流れる配線を含む。出力ノード６１は、出力電流I_oが流れる配線を含む。基準電位ノード３１は、基準電位Ｖｂａｓｉｓ（例えばアース電位）が供給される配線を含む。なお、入力ノード５１

の電位Ｖｉｎと基準電位ＶｂａｓｉｓはＶｉｎ＞Ｖｂａｓｉｓの関係にある。

[0014] 第１回路１１は、第１トランジスタ１１１を有する。第１トランジスタ１１１は、例えばｎチャネルトランジスタであり、入力電流Ｉ$_{i}$が流れる入力ノード５１と基準電位ノード３１との間に接続されている。第１トランジスタ１１１のゲート電極は入力ノード５１と接続されている。また、第１トランジスタ１１１のドレイン電極、ソース電極は、それぞれ入力ノード５１、基準電位ノード３１と接続されている。第１トランジスタ１１１のサイズパラメータはａである。なお、第１トランジスタ１１１は、第１トランジスタの一例である。

[0015] 第２回路１２は、第２トランジスタ１２１、ローパスフィルタ回路１２７を有する。第２トランジスタ１２１は、例えばｎチャネルトランジスタであり、入力電流Ｉ$_{i}$が流れる入力ノード５１と基準電位ノード３１との間において第１トランジスタ１１１と並列に接続されている。第２トランジスタ１２１のゲート電極は、第１トランジスタ１１１のゲート電極とローパスフィルタ回路１２７を介して接続されている。また、第２トランジスタ１２１のドレイン電極、ソース電極は、それぞれ入力ノード５１、基準電位ノード３１と接続されている。第２トランジスタ１２１のサイズパラメータはｂである。なお、第２トランジスタ１２１は、第２トランジスタの一例である。

[0016] ローパスフィルタ回路１２７は、キャパシタ１２７１、抵抗１２７２から構成されているローパスフィルタである。ローパスフィルタ回路１２７は、高周波帯域において、第２トランジスタ１２１のゲート電極への信号をフィルタリングする。

[0017] なお、ローパスフィルタ回路１２７が通過させる周波数帯域、すなわち、ローパスフィルタ回路１２７のカットオフ周波数ω_zは、キャパシタ１２７１の容量Ｃ、抵抗１２７２の抵抗値Ｒによって調整することができる（$\omega_z = 1/RC$）。また、図１では、ローパスフィルタ回路１２７は、キャパシタ１２７１、抵抗１２７２を一つずつ有する構成を例示した。しかしながら、キ

ャパシタ１２７１、抵抗１２７２の数は、目的に応じて任意に選択することが可能である。

[0018] 第３回路１３は、第３トランジスタ１３１を有する。第３トランジスタ１３１は、例えばｎチャネルトランジスタであり、出力電流I_oが流れる出力ノード６１と基準電位ノード３１との間に接続されている。第３トランジスタ１３１のゲート電極は、第１トランジスタ１１１のゲート電極と接続されている。また、第３トランジスタ１３１のサイズパラメータはａ＋ｂである。すなわち、第３トランジスタ１３１のサイズパラメータａ＋ｂは、第１トランジスタ１１１のサイズパラメータａと第２トランジスタ１２１のサイズパラメータｂの合計に等しい。なお、第３トランジスタ１３１は、第３トランジスタの一例である。

[0019] 第１回路１１、及び第２回路１２は、第３回路１３とカレントミラー回路を構成する。入力電流I_iが入力ノード５１に流れると、ミラー先の第３回路１３には、第３トランジスタ１３１のサイズパラメータａ＋ｂに対応する比率の電流I_{a+b}が流れる。

[0020] 次に、増幅回路Ｄ１の動作について、図１、図２を参照しながら説明する。図２は、第１実施形態に係る増幅回路Ｄ１のＤＣゲイン、ブーストゲイン、ピークゲインと周波数との関係を示した図である。ここで、ＤＣゲインはローパスフィルタ回路１２７のフィルタリング動作を反映させていないゲインに相当し、入力電流I_iの周波数がローパスフィルタ回路１２７のカットオフ周波数より小さい場合のゲインに相当する。ピークゲインは、ローパスフィルタ回路１２７のフィルタリング動作を反映させたゲインに相当し、入力電流I_iの周波数がローパスフィルタ回路１２７のカットオフ周波数より大きい場合のゲインに相当する。ブーストゲインは、ピークゲインとＤＣゲインの差分に対応し、ブーストゲイン＝ピークゲイン－ＤＣゲインによって定義される。

[0021] 増幅回路Ｄ１においては、入力電流I_iの周波数がローパスフィルタ回路１２７のカットオフ周波数より大きい場合のゲイン（ピークゲイン）は、入力

電流I_{I}の周波数がローパスフィルタ回路１２７のカットオフ周波数より小さい場合のゲイン（ＤＣゲイン）よりも大きいものとなる。

[0022] より具体的には、まず、入力信号としての入力電流I_{I}の周波数ωが$\omega \leqq \omega_{z}$＝１／ＲＣの場合（すなわち、ローパスフィルタ回路１２７のカットオフ周波数ω_{z}に等しいか、それよりも低周波の場合）を想定する。係る場合、入力信号はローパスフィルタ回路１２７を通過する。従って、入力電流I_{I}が入力ノード５１に入力されると、第１回路１１には第１トランジスタ１１１のサイズパラメータａに対応した比率の電流I_{a}が、第２回路１２には第２トランジスタ１２１のサイズパラメータｂに対応した比率の電流I_{b}がそれぞれ流れる。

[0023] 第３トランジスタ１３１、第１トランジスタ１１１、第２トランジスタ１２１において、ゲートソース間の電圧は等しい。このため、カレントミラー動作に基づいて、同じオーバードライブ電圧V_{od}により電流変換され、第３トランジスタ１３１にはミラー電流としてドレイン電流I_{a+b}が流れる。従って、入力信号が低周波数である場合のＤＣゲインは、図２に示した様に、$A1 = I_{a+b} / (I_{a} + I_{b}) = (a+b)/(a+b) = 1$となる。

[0024] また、入力信号としての入力電流I_{I}の周波数ωが$\omega > \omega_{z}$＝１／ＲＣの場合（すなわち、ローパスフィルタ回路１２７のカットオフ周波数ω_{z}よりも高周波の場合）を想定する。係る場合、入力電流I_{I}が入力ノード５１に入力されると、カレントミラー動作に基づいて、第３トランジスタ１３１にはミラー電流としてドレイン電流I_{a+b}が流れる。このとき、第１回路１１には第１トランジスタ１１１のサイズパラメータａに対応した比率の電流I_{a}が流れる。一方、第２トランジスタ１２１のゲート電極は、ローパスフィルタ回路１２７を介して第１トランジスタ１１１のゲート電極と接続されている。これにより、第２トランジスタ１２１のゲート電極への入力信号は、ローパスフィルタ回路１２７によってフィルタリングされるため、第２トランジスタ１２１には電流I_{b}が流れなくなる。従って、図２に示した様に、入力信号の周波数$\omega > \omega_{z}$＝１／ＲＣの場合、入力信号の周波数ωが$\omega_{z} > 1/RC$を満た

す一定の高周波範囲においてＤＣゲインからブーストゲインＡ２だけ上昇する。その結果、$A3 = I_{a+b} / I_a = (a+b)/a$となる。

[0025] なお、増幅回路Ｄ１においては、入力電流I_iの周波数がローパスフィルタ回路１２７のカットオフ周波数より大きい場合のゲイン（ピークゲイン）と、入力電流I_iの周波数がローパスフィルタ回路１２７のカットオフ周波数より小さい場合のゲイン（ＤＣゲイン）との差は、第２トランジスタ１２１のサイズパラメータｂに応じて決定することができる。

[0026] また、ＤＣゲインＡ１とブーストゲインＡ２との境界点$\omega_z = 1/RC$は、ローパスフィルタ回路１２７の抵抗値Ｒ、容量Ｃを調整することで、所望の位置に設定することができる。また、直線Ｂは、ゲインの減少部分の周波数特性を示した直線であり、$A = g_m / sC_{TOT}$である。ここで、ｇｍは相互コンダクタンス、ｓはラプラス変換の変数、C_{TOT}はゲート端子の全容量の値である。

[0027] 以上述べた様に、本実施形態に係る増幅回路Ｄ１は、第１回路１１、第２回路１２、第３回路１３を有する。第１回路１１は、入力電流が流れる入力ノード５１と基準電位ノード３１の間に接続され、ゲート電極が入力ノード５１と接続された第１トランジスタ１１１を含む。第２回路１２は、ローパスフィルタ回路１２７を含む。第２回路１２は、入力ノード５１と基準電位ノード３１の間において第１トランジスタ１１１と並列に接続され、ゲート電極が第１トランジスタ１１１のゲート電極とローパスフィルタ回路１２７を介して接続された第２トランジスタ１２１を含む。第３回路１３は、出力電流が流れる出力ノード６１と基準電位ノード３１の間に接続され、ゲート電極が第１トランジスタ１１１と接続された第３トランジスタ１３１を含む。

[0028] 入力信号としての入力電流I_iの周波数が高周波である場合、第２トランジスタ１２１のゲート電極に入力する入力信号は、ローパスフィルタ回路１２７によってフィルタリングされる。従って、高周波帯域においては、第２トランジスタ１２１に電流I_bが流れるのを抑止することができ、増幅率をＤＣ

ゲインからピークゲインまで引き上げることができる。

[0029] また、増幅回路Ｄ１は、インダクタ素子（コイル）を必要としない。従って、インダクタ素子（コイル）を用いる従来の増幅回路に比して、回路面積を小さくすることができ、消費電力を低減させることができる。

[0030] また、増幅回路Ｄ１は、同一のプロセスで製造されるカレントミラー回路をベースとしている。一般に、集積回路における入力と出力のバラつき要因（例えば、トランジスタの閾値Ｖｔｈ、利得係数β等のパラメータ）は同じプロセス内では同様に変化する。従って、バラつき変化が発生しても、同様の変化によりこれらのバラつき要因は互いに打ち消しあい、最終的にゲイン誤差の少ない増幅回路を実現することができる。

[0031] また、例えば、抵抗（抵抗値R_S）、キャパシタ（容量C_S）、インダクタの寄生抵抗（抵抗値R_P）及び負荷抵抗（抵抗値R_L）とを用いてＤＣゲインとブーストゲインを可変させる従来のソースデジェネレーション型イコライザの場合、ＤＣゲインA_Vは、相互コンダクタンスg_m、R_S、R_P、R_Lを用いて$A_V=(R_L+R_P)/(1/g_m+R_S)$と表すことができる。すなわち、$g_m$は非線形であるため、従来のソースデジェネレーション型イコライザのＤＣゲインA_Vは線形にはならない。

[0032] これに対し、カレントミラー回路をベースとした増幅回路Ｄ１の増幅率A_iは、以下に示すように、線形性を実現することができる。

[0033] すなわち、入力信号の電流I_{in}とオーバードライブ電圧V_{od}との間には、式（１）の関係がある。

$$I_{in}=(2I_{in}/\beta_{in})^{1/2}=V_{od} \qquad (1)$$

ここで、β_{in}はミラー元のトランジスタの利得係数である。トランジスタの利得係数βは次の式（２）によって定義される。

$$\beta=\mu C_{OX}\{W(or\ nfin)/L\}\sim\{W(or\ nfin)/L\} \qquad (2)$$

なお、μはキャリア移動度、C_{OX}はゲート酸化膜の容量、Ｗはプレーナ型トランジスタのゲート幅、Ｌはゲート長、ｎｆｉｎはＦｉｎＦＥＴのフィン

数を意味する。

[0034] 出力信号の電流I_{out}とオーバードライブ電圧V_{od}との間には、式（３）の関係がある。

$$I_{out}=(\beta_{out}/2)V_{od}^{2} \quad (3)$$

ここで、β_{out}はミラー先のトランジスタの利得係数である。

式（３）と式（１）より、次の式（４）が成り立つ。

$$I_{out}=(\beta_{out}/2)\cdot\{(2I_{in}/\beta_{in})^{1/2}\}^{2}$$
$$=(\beta_{out}/\beta_{in})I_{in} \quad (4)$$

[0035] 従って、増幅回路Ｄ１の増幅率A_iは、次の式（５）で表され、線形となる。

$$A_i=(\beta_{out}/\beta_{in}) \quad (5)$$

[0036]（第２実施形態）

図３は、第２実施形態に係る増幅回路Ｄ２の構成を示した図である。図３に示す様に、増幅回路Ｄ２は、図１に示した増幅回路Ｄ１の構成に加えて、入力ノード５１側にサイズパラメータｃに対応した比率の電流I_cを出力する定電流源４０をさらに有する。定電流源４０は、入力ノード５１と基準電位ノード３１との間において、第１トランジスタ１１１及び第２トランジスタ１２１と並列に接続されている。また、増幅回路Ｄ２では、定電流源４０が追加されたことに対応して、出力ノード６１側において、第３トランジスタ１３１のサイズパラメータはａ＋ｂ＋ｃとなっている。

[0037] 図４は、第２実施形態に係る増幅回路Ｄ２のＤＣゲイン、ブーストゲイン、ピークゲインと周波数との関係を示した図である。増幅回路Ｄ２の動作について、図３、図４を参照しながら説明する。

[0038] 第３回路１３、第１回路１１、第２回路１２、定電流源４０は、カレントミラー回路として動作する。入力電流I_Iが入力ノード５１に流れると、ミラー先の第３回路１３には、第３トランジスタ１３１のサイズパラメータａ＋ｂ＋ｃに対応した比率の電流I_{a+b+c}が流れる。

[0039] まず、入力信号としての入力電流I_Iの周波数ωが$\omega\leqq\omega_z=1/RC$の場

合（すなわち、ローパスフィルタ回路１２７のカットオフ周波数ω_zに等しいか、それよりも低周波の場合）を想定する。係る場合、入力信号はローパスフィルタ回路１２７を通過するので、入力電流I_Iが入力ノード５１に入力されると、第１トランジスタ１１１にはサイズパラメータａに対応した比率の電流I_aが流れ、第２トランジスタ１２１にはサイズパラメータｂに対応した比率の電流I_bが流れる。また、カレントミラー動作に基づいて、ミラー先の第３トランジスタ１３１にはドレイン電流I_{a+b+c}が流れる。従って、入力信号の周波数$\omega \leqq \omega_z$＝１／ＲＣの場合のＤＣゲインは、図４に示した様に、Ａ４＝I_{a+b+c}／（I_a＋I_b）＝（ａ＋ｂ＋ｃ）／（ａ＋ｂ）となる。

[0040] また、入力信号としての入力電流I_Iの周波数ωが$\omega > \omega_z$＝１／ＲＣの場合（すなわち、ローパスフィルタ回路１２７のカットオフ周波数ω_zよりも高周波の場合）を想定する。係る場合、入力電流I_Iが入力ノード５１に入力されると、カレントミラー動作に基づいて、ミラー先の第３トランジスタ１３１にはドレイン電流I_{a+b+c}が流れる。このとき、第１回路１１には第１トランジスタ１１１のサイズパラメータａに対応した比率の電流I_aが流れる。一方、第２トランジスタ１２１のゲート電極への入力信号は、ローパスフィルタ回路１２７によってフィルタリングされるため、第２トランジスタ１２１には電流I_bが流れなくなる。従って、図４に示した様に、入力信号の周波数$\omega > \omega_z$＝１／ＲＣの場合、入力信号の周波数ωがω_z＞１／ＲＣを満たす一定の高周波範囲においてＤＣゲインからブーストゲインＡ５だけ上昇する。その結果、ピークゲインは、Ａ６＝I_{a+b+c}／I_a＝（ａ＋ｂ＋ｃ）／ａとなる。

[0041] すなわち、第２実施形態に係る増幅回路Ｄ２によれば、ブーストゲインのみならずＤＣゲインも増幅させることができる。また、定電流源４０が出力する電流I_cを調整することで、ブーストゲイン及びＤＣゲインを可変に増幅することができる。また、第１実施形態に係る増幅回路Ｄ１に比して、ブーストゲインをさらに増幅することができる。

[0042] （第３実施形態）

図５は、第３実施形態に係る増幅回路Ｄ３の構成を示した図である。図５に示した様に、増幅回路Ｄ３は、入力端子５０、５２より入力電流I_{IP}、I_{IN}を入力し、出力端子６０、６２から出力電流I_{OP}、I_{ON}を出力する差動増幅器である。

[0043] 増幅回路Ｄ３は、第１回路１１、第２回路１２、第３回路１３、第４回路１４、第５回路１５、第６回路１６、第７回路１７、第８回路１８、入力ノード５１、基準電位ノード３１、出力ノード６１を有する。

[0044] 第１回路１１、第２回路１２については、第１実施形態において説明した通りである。また、第３回路１３が有する第３トランジスタ１３１のサイズパラメータは、第１トランジスタ１１１のサイズパラメータａ、第２トランジスタ１２１のサイズパラメータｂ、及び第７回路１７が有する第７トランジスタ１７１のサイズパラメータｃの合計に等しい。すなわち、第３トランジスタ１３１のサイズパラメータはａ＋ｂ＋ｃである。

[0045] 第４回路１４は、第４トランジスタ１４１を有する。第４トランジスタ１４１は、例えばｎチャネルトランジスタであり、入力電流I_{IN}が流れる入力ノード３２と基準電位ノード３１との間に接続されている。第４トランジスタ１４１のゲート電極は、入力ノード３２と接続されている。また、第４トランジスタ１４１のドレイン電極、ソース電極は、それぞれ入力ノード３２、基準電位ノード３１と接続されている。第４トランジスタ１４１のサイズパラメータはａである。

[0046] 第５回路１５は、第５トランジスタ１５１、ローパスフィルタ回路１５７を有する。第５トランジスタ１５１は、例えばｎチャネルトランジスタであり、入力電流I_{IN}が流れる入力ノード３２と基準電位ノード３１との間において第４トランジスタ１４１と並列に接続されている。第５トランジスタ１５１のゲート電極は、第４トランジスタ１４１とローパスフィルタ回路１５７を介して接続されている。また、第５トランジスタ１５１のドレイン電極、ソース電極は、それぞれ入力ノード３２、基準電位ノード３１と接続されている。第５トランジスタ１５１のサイズパラメータはｂである。

[0047] ローパスフィルタ回路１５７は、キャパシタ１５７１、抵抗１５７２を有する。ローパスフィルタ回路１５７の機能は、ローパスフィルタ回路１２７と同様である。

[0048] 第６回路１６は、第６トランジスタ１６１を有する。第６トランジスタ１６１は、例えばｎチャネルトランジスタであり、出力電流I_{ON}が流れる出力ノード６３と基準電位ノード３１との間に接続されている。第６トランジスタ１６１のゲート電極は、第４トランジスタ１４１のゲート電極と接続されている。また、第６トランジスタ１６１のドレイン電極、ソース電極は、それぞれ出力ノード６３、基準電位ノード３１と接続されている。第６トランジスタ１６１のサイズパラメータは、第４トランジスタ１４１のサイズパラメータａ、第５トランジスタ１５１のサイズパラメータｂ、及び第８回路１８が有する第８トランジスタ１８１のサイズパラメータｃの合計に等しい。すなわち、第６トランジスタ１６１のサイズパラメータはａ＋ｂ＋ｃである。

[0049] 第７回路１７は、第７トランジスタ１７１を有する。第７トランジスタ１７１は、例えばｎチャネルトランジスタであり、入力電流I_{IN}が流れる入力ノード５３と基準電位ノード３１との間に接続されている。また、第７トランジスタ１７１のゲート電極は、第１トランジスタ１１１のゲート電極と接続されている。第７トランジスタ１７１のサイズパラメータはｃである。

[0050] 第８回路１８は、第８トランジスタ１８１を有する。第８トランジスタ１８１は、例えばｎチャネルトランジスタであり、入力電流I_{IP}が流れる入力ノード５１と基準電位ノード３１との間に接続されている。また、第８トランジスタ１８１のゲート電極は、第４トランジスタ１４１のゲート電極と接続されている。第８トランジスタ１８１のサイズパラメータはｃである。

[0051] 第１回路１１、第２回路１２、第３回路１３、第７回路１７は、入力端子５０、５２より入力電流I_{IP}、I_{IN}を入力し、出力端子６０から出力電流I_{OP}を出力する第１カレントミラー回路ＣＭ１として動作する。また、第４回路１４、第５回路１５、第６回路１６、第８回路１８は、入力端子５０、５２

より入力電流I_{IP}、I_{IN}を入力し、出力端子６２から出力電流I_{ON}を出力する第２カレントミラー回路ＣＭ２として動作する。

[0052] 第１カレントミラー回路ＣＭ１と第２カレントミラー回路ＣＭ２は、入力電流I_{IN}を入力する第７回路１７の第７トランジスタ１７１と入力電流I_{IP}を入力する第８回路１８の第８トランジスタ１８１によりクロスカップルされている。

[0053] 図６は、第３実施形態に係る増幅回路Ｄ３のゲインに関する周波数特性を示した図である。増幅回路Ｄ３の動作について、図５、図６を参照しながら説明する。

[0054] まず、第１カレントミラー回路ＣＭ１において、入力信号としての入力電流I_{IP}、I_{IN}の周波数ωが$\omega \leqq \omega_z = 1/RC$の場合（すなわち、ローパスフィルタ回路１２７のカットオフ周波数ω_zに等しいか、それよりも低周波の場合）を想定する。係る場合、入力信号はローパスフィルタ回路１２７を通過する。従って、入力電流I_{IP}が入力ノード５１に入力されると、第１回路１１には第１トランジスタ１１１のサイズパラメータａに対応した比率の電流I_aが、第２回路１２には第２トランジスタ１２１のサイズパラメータｂに対応した比率の電流I_bがそれぞれ流れる。

[0055] また、入力電流I_{IN}が入力ノード５３に入力されると、入力電流I_{IN}の極性は入力電流I_{IP}の極性と反転しているため、第７回路１７には第７トランジスタ１７１のサイズパラメータｃに対応した比率の電流$-I_c$が流れる。

[0056] また、第３トランジスタ１３１と、第１トランジスタ１１１、第２トランジスタ１２１、第７トランジスタ１７１との間では、ゲートソース間の電圧が等しい。このため、第３トランジスタ１３１にはドレイン電流I_{a+b+c}が流れる。

[0057] 第２カレントミラー回路ＣＭ２の動作についても、極性が反転した入力電流I_{IP}、I_{IN}が入力される点以外は、実質的に同様である。

[0058] 従って、入力信号が低周波数である場合のＤＣゲインは、図６に示した様に、$A10 = I_{a+b+c} / (I_a + I_b - I_c) = (a+b+c)/(a+b-c$

）となる。

[0059] また、入力信号としての入力電流Ｉ$_{IP}$、Ｉ$_{IN}$の周波数ωがω＞ω$_z$＝１／ＲＣの場合（すなわち、ローパスフィルタ回路１２７のカットオフ周波数ω$_z$よりも高周波の場合）を想定する。係る場合、入力電流Ｉ$_{IP}$が入力ノード５１に入力されると、カレントミラー動作に基づいて、ミラー先の第３トランジスタ１３１にはドレイン電流Ｉ$_{a+b+c}$が流れる。このとき、第１回路１１には第１トランジスタ１１１のサイズパラメータａに対応した比率の電流Ｉ$_a$が流れる。第７回路１７には、第７トランジスタ１７１のサイズパラメータｃに対応した比率の電流－Ｉ$_c$が流れる。

[0060] 一方、第２トランジスタ１２１のゲート電極は、ローパスフィルタ回路１２７を介して第１トランジスタ１１１のゲート電極と接続されている。これにより、第２トランジスタ１２１のゲート電極への入力信号は、ローパスフィルタ回路１２７によってフィルタリングされるため、第２トランジスタ１２１には電流Ｉ$_b$が流れなくなる。

[0061] 第２カレントミラー回路ＣＭ２の動作についても、極性が反転した入力電流Ｉ$_{IP}$、Ｉ$_{IN}$が入力される点以外は、実質的に同様である。

[0062] 従って、図６に示した様に、入力信号の周波数ω＞ω$_z$＝１／ＲＣの場合、入力信号の周波数ωがω$_z$＞１／ＲＣを満たす一定の高周波範囲においてＤＣゲインからブーストゲインＡ１１だけ上昇する。その結果、ピークゲインは、図６に示した様にＡ１２＝Ｉ$_{a+b+c}$／（Ｉ$_a$－Ｉ$_c$）＝（ａ＋ｂ＋ｃ）／（ａ－ｃ）となる。

[0063] 以上述べた様に、本実施形態に係る増幅回路Ｄ３は、第１回路１１、第２回路１２、第３回路１３、第４回路１４、第５回路１５、第６回路１６、第７回路１７、第８回路１８を有する。第１回路１１は、入力電流Ｉ$_{IP}$が流れる入力ノード５１と基準電位ノード３１の間に接続され、ゲート電極が入力ノード５１と接続された第１トランジスタ１１１を含む。第２回路１２は、ローパスフィルタ回路１２７を含む。第２回路１２は、入力ノード５１と基準電位ノード３１の間において第１トランジスタ１１１と並列に接続され、

ゲート電極が第１トランジスタ１１１のゲート電極とローパスフィルタ回路１２７を介して接続された第２トランジスタ１２１を含む。第３回路１３は、出力電流が流れる出力ノード６１と基準電位ノード３１の間に接続され、ゲート電極が第１トランジスタ１１１と接続された第３トランジスタ１３１を含む。

[0064] 第４回路１４は、入力電流I_{IN}が流れる入力ノード５３と基準電位ノード３１の間に接続され、ゲート電極が入力ノード５３と接続された第４トランジスタ１４１を含む。第５回路１５は、ローパスフィルタ回路１５７を含む。第５回路１５は、入力ノード５３と基準電位ノード３１の間において第４トランジスタ１４１と並列に接続され、ゲート電極が第４トランジスタ１４１のゲート電極とローパスフィルタ回路１５７を介して接続された第５トランジスタ１５１を含む。第６回路１６は、出力電流が流れる出力ノード６３と基準電位ノード３１の間に接続され、ゲート電極が第４トランジスタ１４１と接続された第６トランジスタ１６１を含む。

[0065] 第７回路１７は、入力電流I_{IN}が流れる入力ノード５３と基準電位ノード３１との間に接続され、ゲート電極が第１トランジスタ１１１のゲート電極と接続された第７トランジスタ１７１を含む。第８回路１８は、入力電流I_{IP}が流れる入力ノード５１と基準電位ノード３１との間に接続され、ゲート電極が第４トランジスタ１４１のゲート電極と接続された第８トランジスタ１８１を含む。

[0066] 第１回路１１、第２回路１２、第３回路１３、第７回路１７は、第１カレントミラー回路ＣＭ１として動作し、第４回路１４、第５回路１５、第６回路１６、第８回路１８は、第２カレントミラー回路ＣＭ２として動作する。第１カレントミラー回路ＣＭ１と第２カレントミラー回路ＣＭ２は、第７回路１７の第７トランジスタ１７１と第８回路１８の第８トランジスタ１８１によりクロスカップルされている。

[0067] 第７回路１７の第７トランジスタ１７１、第８回路１８の第８トランジスタ１８１により、第１カレントミラー回路ＣＭ１と第２カレントミラー回路

ＣＭ２とにおいて、入力電流Ｉ$_{IP}$に対し入力電流Ｉ$_{IN}$がクロスカップルされている。これにより、増幅回路Ｄ３は、第１実施形態において説明したブーストゲイン増幅機能に加えて、ＤＣゲインについても増幅する機能を有することができる。

[0068]（第４実施形態）

図７は、第４実施形態に係る増幅回路Ｄ４の構成を示した図である。図７に示す様に、増幅回路Ｄ４は、図５に示した増幅回路Ｄ３の構成に加えて、入力ノード５１、５３側にそれぞれ、サイズパラメータｄに対応した定電流源４０、４１をさらに有する。定電流源４０は、入力ノード５１と基準電位ノード３１との間において、第１トランジスタ１１１及び第２トランジスタ１２１と並列に接続されている。定電流源４１は、入力ノード５３と基準電位ノード３１との間において、第４トランジスタ１４１及び第５トランジスタ１５１と並列に接続されている。また、増幅回路Ｄ４では、定電流源４０、４１が追加されたことに対応して、出力ノード６１、６３側において、第３トランジスタ１３１及び第６トランジスタ１６１のサイズパラメータはａ＋ｂ＋ｃ＋ｄとなっている。

[0069] これによって、第４実施形態に係る増幅回路Ｄ４によれば、第２実施形態に係る増幅回路Ｄ２の場合と同様に、増幅回路Ｄ３に比して、ＤＣゲインをさらに増幅させることができる。また、定電流源４０、４１が出力する電流Ｉ$_{d}$を調整することで、ブーストゲイン及びＤＣゲインを可変に増幅することができる。

[0070]（第５実施形態）

図８は、第５実施形態に係る増幅回路Ｄ５の構成を示した図である。第５実施形態に係る増幅回路Ｄ５は、第１カレントミラー回路ＣＭ１、第２カレントミラー回路ＣＭ２が有する各トランジスタのソース側に挿入された、オン／オフ制御のためのトランジスタを用いてサイズパラメータａ、ｂ、ｃを個別に制御し、ＤＣゲイン、ブーストゲインを可変に増幅するものである。

[0071] 図８に示す様に、増幅回路Ｄ５は、入力電流Ｉ$_{IP}$、Ｉ$_{IN}$を入力して出力電

流I_{OP}、I_{ON}を出力する差動増幅器である。

[0072] 増幅回路Ｄ５は、並列接続されたＡ個の第１回路１１（以下、「第１回路の群」と呼ぶ）を有する。

[0073] 増幅回路Ｄ５は、並列接続されたＢ個の第２回路１２（以下、「第２回路の群」と呼ぶ）を有する。

[0074] 増幅回路Ｄ５は、並列接続されたＣ個の第７回路１７（以下、「第７回路の群」と呼ぶ）を有する。

[0075] 増幅回路Ｄ５は、並列接続されたＡ＋Ｂ＋Ｃ個の第３回路１３（以下、「第３回路の群」と呼ぶ）を有する。なお、第３回路の群に含まれる第３回路１３の数は、第１回路の群に含まれる第１回路１１の数、第２回路の群に含まれる第２回路１２の数、及び第７回路の群に含まれる第７回路１７の数の合計に等しい。

[0076] 増幅回路Ｄ５は、並列接続されたＡ個の第４回路１４（以下、「第４回路の群」と呼ぶ）を有する。

[0077] 増幅回路Ｄ５は、並列接続されたＢ個の第５回路１５（以下、「第５回路の群」と呼ぶ）を有する。

[0078] 増幅回路Ｄ５は、並列接続されたＣ個の第８回路１８（以下、「第８回路の群」と呼ぶ）を有する。

[0079] 増幅回路Ｄ５は、並列接続されたＡ＋Ｂ＋Ｃ個の第６回路１６（以下、「第６回路の群」と呼ぶ）を有する。なお、第６回路の群に含まれる第６回路の数は、第４回路の群に含まれる第４回路１４の数、第５回路の群に含まれる第５回路１５の数、及び第８回路の群に含まれる第８回路１８の数の合計に等しい。

[0080] 第１回路の群、第２回路の群、第７回路の群は、第３回路の群と第１カレントミラー回路ＣＭ１を構成する。また、第４回路の群、第５回路の群、第６回路の群は、第８回路の群と第２カレントミラー回路ＣＭ２を構成する。また、増幅回路Ｄ５は、コントローラ２５を有する。

[0081] 各第１回路１１は、第１トランジスタ１１１と直列接続された第９トラン

ジスタ１１２を有する。第９トランジスタ１１２は、例えばｎチャネルトランジスタであり、第９トランジスタ１１２のドレイン電極は第１トランジスタ１１１のソース電極と接続されている。第９トランジスタ１１２のソース電極は基準電位ノード３１と接続されている。第９トランジスタ１１２のゲート電極は、所定の固定電位ノード、例えば電源電位ノードに接続される。なお、第１トランジスタ１１１のサイズパラメータは“１”である。第１回路の群における、並列接続されたＡ個の第１トランジスタ１１１は、サイズパラメータａに対応した比率の電流I_aを流すトランジスタの群の一部を構成するものである。

[0082] 各第２回路１２は、第２トランジスタ１２１、ローパスフィルタ回路１２７に加えて、オン／オフ制御のための第１０トランジスタ１２２、第１１トランジスタ１２３、オン／オフ制御のための第１２トランジスタ１２４、第１インバータ１２８を有する。

[0083] 第１０トランジスタ１２２は、例えばｎチャネルトランジスタであり、第２トランジスタ１２１と基準電位ノード３１の間に接続されている。第１０トランジスタ１２２のドレイン電極は第２トランジスタ１２１のソース電極と接続されている。第１０トランジスタ１２２のソース電極は基準電位ノード３１と接続されている。第１０トランジスタ１２２のゲート電極は第１制御ノード３３と接続されている。なお、第２トランジスタ１２１のサイズパラメータは“１”である。第２の回路の群における、並列接続されたＢ個の第２トランジスタ１２１は、オンされた場合に、サイズパラメータｂに対応した比率の電流I_bを流すトランジスタの群の一部を構成するものである。

[0084] 第１１トランジスタ１２３は、例えばｎチャネルトランジスタであり、入力ノード５１と基準電位ノード３１との間において、第１トランジスタ１１１及び第２トランジスタ１２１と並列に接続されている。第１１トランジスタ１２３のドレイン電極は、入力ノード５１と接続されている。第１１トランジスタ１２３のソース電極は第１２トランジスタ１２４のドレイン電極と接続されている。第１１トランジスタ１２３のゲート電極は、第１トランジ

スタ１１１のゲート電極と、ローパスフィルタ回路１２７を介さずに接続されている。なお、第１１トランジスタ１２３のサイズパラメータは“１”である。第２の回路の群における、並列接続されたＢ個の第１１トランジスタ１２３は、オンされた場合に、サイズパラメータａに対応した比率の電流I_aを流すトランジスタの群の一部を構成するものである。

[0085] 第１２トランジスタ１２４は、例えばｎチャネルトランジスタであり、第１１トランジスタ１２３と基準電位ノード３１の間に接続されている。第１２トランジスタ１２４のソース電極は基準電位ノード３１と接続されている。

[0086] 第１インバータ１２８の入力側は、第１０トランジスタ１２２のゲート電極、すなわち、第１制御ノード３３に接続される。第１インバータ１２８の出力側は、第１２トランジスタ１２４のゲート電極に接続される。第１インバータ１２８は、入力される制御信号に応じて第１０トランジスタ１２２及び第１２トランジスタ１２４のいずれか一方を選択的にオンに遷移させる。

[0087] 第２回路１２において、コントローラ２５から、第１０トランジスタ１２２をオンさせ第２トランジスタ１２１に電流を流すための制御信号（例えばハイレベル信号）が第１制御ノード３３に供給される場合を想定する。係る場合、当該ハイレベル信号によって第１０トランジスタ１２２がオンされ、第２トランジスタ１２１にサイズパラメータ“１”に対応した比率の電流I_1が流れる。

[0088] 一方、ハイレベル信号は、第１インバータ１２８にも供給される。第１インバータ１２８は、供給されたハイレベル信号を反転させたローレベル信号を第１２トランジスタ１２４のゲート電極に供給する。第１２トランジスタ１２４は、ゲート電極に供給された制御信号がローレベル信号であるためオンしない。

[0089] また、コントローラ２５から、第１０トランジスタ１２２をオフするための制御信号（例えばローレベル信号）が第１制御ノード３３に供給される場合を想定する。係る場合、当該ローレベル信号によって第１０トランジスタ

１２２はオフとなり、第２トランジスタ１２１に電流Ｉ$_1$は流れない。

[0090] 一方、ローレベル信号は、第１インバータ１２８にも供給される。第１インバータ１２８は、供給されたローレベル信号を反転させたハイレベル信号を第１２トランジスタ１２４のゲート電極に供給する。第１２トランジスタ１２４は、ゲート電極に供給された制御信号がハイレベル信号であるためオン状態となり、第１１トランジスタ１２３にサイズパラメータ“１”に対応した比率の電流Ｉ$_1$が流れる。

[0091] 各第７回路１７は、第７トランジスタ１７１、第１３トランジスタ１７２、第１４トランジスタ１７３、第１５トランジスタ１７４、第２インバータ１７５を有する。

[0092] 第７トランジスタ１７１は、例えばｎチャネルトランジスタであり、入力ノード５３と基準電位ノード３１との間において、第４トランジスタ１４１及び第５トランジスタ１５１と並列に接続されている。第７トランジスタ１７１のドレイン電極は、入力ノード５３と接続されている。第７トランジスタ１７１のソース電極は第１３トランジスタ１７２のドレイン電極と接続されている。第７トランジスタ１７１のゲート電極は、第１トランジスタ１１１のゲート電極と接続されている。なお、第７トランジスタ１７１のサイズパラメータは“１”である。第７の回路の群における、並列接続されたＣ個の第７トランジスタ１７１は、オンされた場合に、サイズパラメータｃに対応した比率の電流－Ｉ$_c$を流すトランジスタの群の一部を構成するものである。

[0093] 第１３トランジスタ１７２は、例えばｎチャネルトランジスタであり、第７トランジスタ１７１と基準電位ノード３１の間に接続されている。第１３トランジスタ１７２のソース電極は基準電位ノード３１と接続されている。

[0094] 第１４トランジスタ１７３は、例えばｎチャネルトランジスタであり、入力ノード５１と基準電位ノード３１との間において、第１トランジスタ１１１及び第２トランジスタ１２１と並列に接続されている。第１４トランジスタ１７３のドレイン電極は、入力ノード５１と接続されている。第１４トラ

ンジスタ１７３のソース電極は第１５トランジスタ１７４のドレイン電極と接続されている。第１４トランジスタ１７３のゲート電極は、第１トランジスタ１１１のゲート電極と接続されている。なお、第１４トランジスタ１７３のサイズパラメータは“１”である。第７の回路の群における、並列接続されたＣ個の第１４トランジスタ１７３は、オンされた場合に、サイズパラメータａに対応した比率の電流I_aを流すトランジスタの群の一部を構成するものである。

[0095] 第１５トランジスタ１７４は、例えばｎチャネルトランジスタであり、第１４トランジスタ１７３と基準電位ノード３１の間に接続されている。第１５トランジスタ１７４のソース電極は基準電位ノード３１と接続されている。第１５トランジスタ１７４のゲート電極は第２制御ノード３４と接続されている。

[0096] 第２インバータ１７５の入力側は、第１５トランジスタ１７４のゲート電極、すなわち、第２制御ノード３４に接続される。第２インバータ１７５の出力側は、第１３トランジスタ１７２のゲート電極に接続される。第２インバータ１７５は、入力される制御信号に応じて第１３トランジスタ１７２及び第１５トランジスタ１７４のいずれか一方を選択的にオンに遷移させる。

[0097] 第７回路１７において、コントローラ２５から、第１５トランジスタ１７４をオンさせ第１４トランジスタ１７３に電流を流すためのハイレベル信号が第２制御ノード３４に供給される場合を想定する。係る場合、当該ハイレベル信号によって第１５トランジスタ１７４がオンされ、第１４トランジスタ１７３にサイズパラメータ“１”に対応した比率の電流I_1が流れる。

[0098] 一方、ハイレベル信号は、第２インバータ１７５にも供給される。第２インバータ１７５は、供給されたハイレベル信号を反転させたローレベル信号を第１３トランジスタ１７２のゲート電極に供給する。第１３トランジスタ１７２は、ゲート電極に供給された制御信号がローレベル信号であるためオンしない。

[0099] また、コントローラ２５から、第１４トランジスタ１７３をオフするため

のローレベル信号が第２制御ノード３４に供給される場合を想定する。係る場合、当該ローレベル信号によって第１５トランジスタ１７４はオフとなり、第１４トランジスタ１７３に電流I_1は流れない。

[0100] 一方、ローレベル信号は、第２インバータ１７５にも供給される。第２インバータ１７５は、供給されたローレベル信号を反転させたハイレベル信号を第１３トランジスタ１７２のゲート電極に供給する。第１３トランジスタ１７２は、ゲート電極に供給された制御信号がハイレベル信号であるためオン状態となり、第７トランジスタ１７１にサイズパラメータ“１”に対応した比率の電流$-I_1$が流れる。

[0101] 各第３回路１３は、第３トランジスタ１３１と基準電位ノード３１の間に接続された第１６トランジスタ１３２を有する。第１６トランジスタ１３２は、例えばｎチャネルトランジスタであり、第１６トランジスタ１３２のドレイン電極は第３トランジスタ１３１のソース電極と接続されている。第１６トランジスタ１３２のソース電極は基準電位ノード３１と接続されている。第１６トランジスタ１３２のゲート電極は、所定の固定電位ノード、例えば電源電位ノードに接続される。なお、第３トランジスタ１３１のサイズパラメータは“１”である。第３の回路の群における、並列接続されたＡ＋Ｂ＋Ｃ個の第３トランジスタ１３１は、サイズパラメータａ＋ｂ＋ｃに対応した比率の電流I_{a+b+c}を流すトランジスタの群を構成するものである。

[0102] 以上説明したように、図８に示した増幅回路Ｄ５では、第１トランジスタ１１１、第２トランジスタ１２１、第３トランジスタ１３１、第７トランジスタ１７１、第１１トランジスタ１２３、及び第１４トランジスタ１７３は、そのサイズパラメータがすべて“１”であり、サイズが互いに等しい。

[0103] 各第４回路１４は、第４トランジスタ１４１と基準電位ノード３１の間に接続された第１７トランジスタ１４２を有する。第１７トランジスタ１４２は、例えばｎチャネルトランジスタであり、第１７トランジスタ１４２のドレイン電極は第４トランジスタ１４１のソース電極と接続されている。第１７トランジスタ１４２のソース電極は基準電位ノード３１と接続されている

。第１７トランジスタ１４２のゲート電極は、所定の固定電位ノード、例えば電源電位ノードに接続される。なお、第４トランジスタ１４１のサイズパラメータは“１”である。第４の回路の群における、並列接続されたＡ個の第４トランジスタ１４１は、サイズパラメータａに対応した比率の電流－I_aを流すトランジスタの群の一部を構成するものである。

[0104] 各第５回路１５は、第５トランジスタ１５１、ローパスフィルタ回路１５７に加えて、第１８トランジスタ１５２、第１９トランジスタ１５３、第２０トランジスタ１５４、第３インバータ１５８を有する。

[0105] 第１８トランジスタ１５２は、例えばｎチャネルトランジスタであり、第５トランジスタ１５１と基準電位ノード３１の間に接続されている。第１８トランジスタ１５２のドレイン電極は第５トランジスタ１５１のソース電極と接続されている。第１８トランジスタ１５２のソース電極は基準電位ノード３１と接続されている。第１８トランジスタ１５２のゲート電極は第３制御ノード３５と接続されている。なお、第５トランジスタ１５１のサイズパラメータは“１”である。第５の回路の群における、並列接続されたＢ個の第５トランジスタ１５１は、オンされた場合に、サイズパラメータｂに対応した比率の電流－I_bを流すトランジスタの群の一部を構成するものである。

[0106] 第１９トランジスタ１５３は、例えばｎチャネルトランジスタであり、入力ノード５３と基準電位ノード３１との間において、第４トランジスタ１４１及び第５トランジスタ１５１と並列に接続されている。第１９トランジスタ１５３のドレイン電極は、入力ノード５３と接続されている。第１９トランジスタ１５３のソース電極は第２０トランジスタ１５４のドレイン電極と接続されている。第１９トランジスタ１５３のゲート電極は、第４トランジスタ１４１のゲート電極と、ローパスフィルタ回路１５７を介さずに接続されている。なお、第１９トランジスタ１５３のサイズパラメータは“１”である。第５の回路の群における、並列接続されたＢ個の第１９トランジスタ１５３は、オンされた場合に、サイズパラメータａに対応した比率の電流－I_aを流すトランジスタの群の一部を構成するものである。

[0107] 第２０トランジスタ１５４は、例えばｎチャネルトランジスタであり、第１９トランジスタ１５３と基準電位ノード３１との間に接続されている。第２０トランジスタ１５４のソース電極は基準電位ノード３１と接続されている。

[0108] 第３インバータ１５８の入力側は、第１８トランジスタ１５２のゲート電極、すなわち、第３制御ノード３５に接続される。第３インバータ１５８の出力側は、第２０トランジスタ１５４のゲート電極に接続される。第３インバータ１５８は、入力される制御信号に応じて第１８トランジスタ１５２及び第２０トランジスタ１５４のいずれか一方を選択的にオンに遷移させる。

[0109] 第５回路１５におけるスイッチング制御は、第２回路１２と同様であるので、その説明は省略する。

[0110] 各第８回路１８は、第８トランジスタ１８１、第２１トランジスタ１８２、第２２トランジスタ１８３、第２３トランジスタ１８４、第４インバータ１８５を有する。

[0111] 第８トランジスタ１８１は、例えばｎチャネルトランジスタであり、入力ノード５１と基準電位ノード３１との間において、第１トランジスタ１１１及び第２トランジスタ１２１と並列に接続されている。第８トランジスタ１８１のドレイン電極は、入力ノード５１と接続されている。第８トランジスタ１８１のソース電極は第２１トランジスタ１８２のドレイン電極と接続されている。第８トランジスタ１８１のゲート電極は、第４トランジスタ１４１のゲート電極と接続されている。なお、第８トランジスタ１８１のサイズパラメータは“１”である。第８の回路の群における、並列接続されたＣ個の第８トランジスタ１８１は、オンされた場合に、サイズパラメータｃに対応した比率の電流Ｉ$_c$を流すトランジスタの群の一部を構成するものである。

[0112] 第２１トランジスタ１８２は、例えばｎチャネルトランジスタであり、第８トランジスタ１８１と基準電位ノード３１との間に接続されている。第２１トランジスタ１８２のソース電極は基準電位ノード３１と接続されている。

[0113] 第２２トランジスタ１８３は、例えばｎチャネルトランジスタであり、入力ノード５３と基準電位ノード３１との間において、第４トランジスタ１４１及び第５トランジスタ１５１と並列に接続されている。第２２トランジスタ１８３のドレイン電極は、入力ノード５３と接続されている。第２２トランジスタ１８３のソース電極は第２３トランジスタ１８４のドレイン電極と接続されている。第２２トランジスタ１８３のゲート電極は、第４トランジスタ１４１のゲート電極と接続されている。なお、第２２トランジスタ１８３のサイズパラメータは“１”である。なお、第２２トランジスタ１８３のサイズパラメータは“１”である。第８の回路の群における、並列接続されたＣ個の第２２トランジスタ１８３は、オンされた場合に、サイズパラメータａに対応した比率の電流－I_aを流すトランジスタの群の一部を構成するものである。

[0114] 第２３トランジスタ１８４は、例えばｎチャネルトランジスタであり、第２２トランジスタ１８３と基準電位ノード３１との間に接続されている。第２３トランジスタ１８４のソース電極は基準電位ノード３１と接続されている。第２３トランジスタ１８４のゲート電極は第４制御ノード３６と接続されている。

[0115] 第４インバータ１８５の入力側は、第２３トランジスタ１８４のゲート電極、すなわち、第４制御ノード３６に接続される。第４インバータ１８５の出力側は、第２１トランジスタ１８２のゲート電極に接続される。第４インバータ１８５は、入力される制御信号に応じて第２１トランジスタ１８２及び第２３トランジスタ１８４のいずれか一方を選択的にオンに遷移させる。

[0116] 第８回路１８におけるスイッチング制御は、第７回路１７と同様であるので、その説明は省略する。

[0117] 各第６回路１６は、第６トランジスタ１６１と基準電位ノード３１との間に接続された第２４トランジスタ１６２を有する。第２４トランジスタ１６２は、例えばｎチャネルトランジスタであり、第２４トランジスタ１６２のドレイン電極は第６トランジスタ１６１のソース電極と接続されている。第

２４トランジスタ１６２のソース電極は基準電位ノード３１と接続されている。第２４トランジスタ１６２のゲート電極は、所定の固定電位ノード、例えば電源電位ノードに接続される。なお、第６トランジスタ１６１のサイズパラメータは“１”である。第６の回路の群における、並列接続されたＡ＋Ｂ＋Ｃ個の第６トランジスタ１６１は、サイズパラメータａ＋ｂ＋ｃに対応した比率の電流－I_{a+b+c}を流すトランジスタの群の一部を構成するものである。

[0118] 以上のように、図８に示した増幅回路Ｄ５では、第４トランジスタ１４１、第５トランジスタ１５１、第６トランジスタ１６１、第８トランジスタ１８１、第１９トランジスタ１５３、及び第２２トランジスタ１８３は、そのサイズパラメータがすべて“１”であり、サイズが互いに等しい。

[0119] コントローラ２５は、設定されるＤＣゲインとブーストゲインとに応じて、第２回路の群に対する複数の第１制御信号の選択的な入力、第７回路の群に対する複数の第２制御信号の選択的な入力、第５回路の群に対する複数の第３制御信号の選択的な入力、第８回路の群に対する複数の第４制御信号の選択的な入力をそれぞれ可変に行う制御回路である。

[0120] なお、増幅回路Ｄ５においては、入力電流I_{IP}、I_{IN}の周波数ωがローパスフィルタ回路１２７及びローパスフィルタ回路１５７のカットオフ周波数ω_zよりも大きい場合と小さい場合の間のゲインの差は、第１制御信号によってオンさせる第２トランジスタ１２１の数、及び、第３制御信号によってオンさせる第５トランジスタ１５１の数に応じて決定される。

[0121] また、増幅回路Ｄ５においては、入力電流I_{IP}、I_{IN}の周波数ωがローパスフィルタ回路１２７及びローパスフィルタ回路１５７のカットオフ周波数ω_zよりも小さい場合のゲインは、第２制御信号によってオンさせる第７トランジスタ１７１の数、及び、第４制御信号によってオンさせる第８トランジスタ１８１の数に応じて決定される。

[0122] また、増幅回路Ｄ５においては、入力電流I_{IP}、I_{IN}の周波数ωがローパスフィルタ回路１２７及びローパスフィルタ回路１５７のカットオフ周波数

ω_zよりも大きい場合のゲインは、入力電流I_{IP}、I_{IN}の周波数ωがローパスフィルタ回路１２７及びローパスフィルタ回路１５７のカットオフ周波数ω_zよりも小さい場合のゲインよりも大きい。

[0123] より具体的には、コントローラ２５は、設定されるＤＣゲインとブーストゲインとに応じて、複数の第１制御ノード３３、複数の第２制御ノード３４、複数の第３制御ノード３５、及び複数の第４制御ノード３６に、それぞれ対応する制御信号を供給する。コントローラ２５は、設定されるＤＣゲイン及びブーストゲインに基づいてサイズパラメータａ、ｂ、ｃを決定するためのルックアップテーブルを記憶する。コントローラ２５は、設定されるＤＣゲイン及びブーストゲインとルックアップテーブルとに基づいてサイズパラメータａ、ｂ、ｃの値を決定する。コントローラ２５は、決定されたサイズパラメータａ、ｂ、ｃの値を設定するための対応する制御信号を複数の第１制御ノード３３、複数の第２制御ノード３４、複数の第３制御ノード３５、及び第４制御ノード３６に供給する。

[0124] 次に、第１カレントミラー回路ＣＭ１における第１回路１１、第２回路１２のスイッチング制御について説明する。このスイッチング制御は、ＤＣゲインのレベルとブーストゲインのレベルとに基づいて決定されたサイズパラメータａ、ｂ、ｃを用いて実行される。

[0125] まず、サイズパラメータａ、ｂ、ｃの決定について説明する。サイズパラメータａ、ｂ、ｃはＤＣゲイン及びブーストゲインを入力情報とし、サイズパラメータａ、ｂ、ｃのそれぞれの値（すなわち、第１カレントミラー回路ＣＭ１において、各サイズパラメータに対応した比率の電流を流すために駆動すべきトランジスタの数）を出力情報として、ルックアップテーブルを用いて決定される。

[0126] 図９（ａ）、（ｂ）、（ｃ）のそれぞれは、設定されるＤＣゲイン及びブーストゲインに基づいてサイズパラメータａ、ｂ、ｃを決定するためのルックアップテーブルである。各ルックアップテーブルにおいて、ＥＱはブーストゲインのレベルを、ＶＧＡはＤＣゲインのレベルをそれぞれ意味する。図

９（ａ）、（ｂ）、（ｃ）に示したルックアップテーブルは、Ａ＝８、Ｂ＝１４、Ｃ＝１０、Ａ＋Ｂ＋Ｃ＝３２の場合の例である。

[0127] 例えば、ブーストゲインのレベル（ＥＱ）を３、ＤＣゲインのレベル（ＶＧＡ）を８と設定する場合を想定する。係る場合、図９（ａ）、（ｂ）、（ｃ）の各ルックアップテーブルに従って、（ａ，ｂ，ｃ）＝（１９，３，１０）となる。

[0128] このとき、コントローラ２５は、ｂ＝３であることから、第２の回路の群を構成する、並列接続されたＢ個の第２回路１２のうち、３個の第２回路１２において、第１０トランジスタ１２２をオンさせ第２トランジスタ１２１に電流を流すための制御信号（例えばハイレベル信号）を第１制御ノード３３に供給する。コントローラ２５は、ｂ＝３であることから、第２の回路の群を構成する、並列接続されたＢ個の第２回路１２のうち、残りの１１個（Ｂ－ｂ＝１１）の第２回路１２において、第１２トランジスタ１２４をオンさせ第１１トランジスタ１２３に電流を流すための制御信号（例えばローレベル信号）を第１制御ノード３３に供給する。

[0129] また、コントローラ２５は、ｃ＝１０であることから、第７の回路の群を構成する、並列接続されたＣ個の第７回路１７のうち、１０個すべての第７回路１７において、第１３トランジスタ１７２をオンさせ第７トランジスタ１７１に電流を流すための制御信号（例えばローレベル信号）を第２制御ノード３４に供給する。一方、いずれの第７回路１７においても、第１５トランジスタ１７４をオンさせ第１４トランジスタ１７３に電流を流すための制御信号（例えばハイレベル信号）は供給されない。

[0130] すなわち、ブーストゲインのレベル（ＥＱ）を３、ＤＣゲインのレベル（ＶＧＡ）を８と設定とする場合には、ルックアップテーブルより（ａ，ｂ，ｃ）＝（１９，３，１０）と設定する必要がある。これは、例えば以下の３つの制御が必要であることに対応する。まず、第１カレントミラー回路ＣＭ１のミラー元において、ゲート電極がミラー先のトランジスタのゲート電極とローパスフィルタ回路を介さずに接続される、サイズパラメータ“１”で

あるトランジスタを１９個並列にオンさせることにより、サイズパラメータａ（＝１９）に対応する電流Ｉ$_a$を発生させる必要がある。また、ゲート電極がミラー先のトランジスタのゲート電極とローパスフィルタ回路を介して接続される、サイズパラメータ“１”であるトランジスタを３個並列にオンさせることにより、サイズパラメータｂ（＝３）に対応する比率の電流Ｉ$_b$を発生させる必要がある。さらに、ドレイン電極がミラー先のトランジスタのドレイン電極と異なる入力ノードに接続される、サイズパラメータ“１”であるトランジスタを１０個並列にオンさせることにより、サイズパラメータｃ（＝１０）に対応する比率の電流－Ｉ$_c$を発生させる必要がある。

[0131] 従って、コントローラ２５の制御は、１４個ある第２回路１２のうち、３個の第２回路１２についてはサイズパラメータが“１”である第２トランジスタ１２１をオンとし、残りの１１個の第２回路１２についてはサイズパラメータが“１”である第１１トランジスタ１２３をオンとする制御となる。

[0132] また、コントローラ２５の制御は、１０個ある第７回路１７のうち、１０個の第７回路１７についてはサイズパラメータが“１”である第７トランジスタ１７１をオンとし、１０個ある第７回路１７においてはサイズパラメータが“１”である第１４トランジスタ１７３は一つもオンされない制御となる。

[0133] 第１回路１１は８個あり、サイズパラメータが“１”である第１トランジスタ１１１は常にオン状態となっている。これに加えて、１１個の第２回路１２においてはサイズパラメータが“１”である第１１トランジスタ１２３がオンされることから、合計で、サイズパラメータａ＝１９に相当する１９（＝８＋１１）個のトランジスタをオンすることができる。

[0134] これによって、第１カレントミラー回路ＣＭ１のミラー元において、サイズパラメータａ＝１９に対応した比率の電流Ｉ$_a$、サイズパラメータｂ＝３に対応した電流Ｉ$_b$、及びサイズパラメータｃ＝１０に対した電流－Ｉ$_c$をそれぞれ流すことができる。

[0135] サイズパラメータａ、ｂ、ｃの決定はどのタイミングで実行してもよい。

例えば、増幅回路Ｄ５を実装する装置の起動時等に行うことができる。

[0136] なお、第２カレントミラー回路ＣＭ２におけるサイズパラメータａ、ｂ、ｃの決定、及び決定されたサイズパラメータａ、ｂ、ｃに基づくスイッチング制御についても同様であるので、その説明は省略する。

[0137] 以上述べた様に、本実施形態に係る増幅回路Ｄ５によれば、所望するＤＣゲイン及びブーストゲイン（ピークゲイン）を設定することで、ルックアップテーブルにより、当該設定を実現するためのサイズパラメータａ、ｂ、ｃを自動的に決定することができる。増幅回路Ｄ５は、決定されたサイズパラメータａ、ｂ、ｃに従うスイッチング制御を実行し、ＤＣゲイン及びブーストゲインを増幅することができる。

[0138] すなわち、ユーザは、ＤＣゲイン及びブーストゲインを個別に可変に設定することができる。これにより、信号振幅レベルの多値化にさらに対応することができる。

[0139]（第６実施形態）

第６実施形態に係る増幅回路Ｄ６は、増幅回路Ｄ１乃至Ｄ５のうちいずれかを多段接続してより大きなＤＣゲイン、ブーストゲインを実現するものである。

[0140] 図１０は、第６実施形態に係る増幅回路Ｄ６の構成を示した図であり、増幅回路Ｄ３を２段接続した場合を例示している。図１０では、ｎチャネルトランジスタによって構成された増幅回路Ｄ３の出力ノードを、増幅回路Ｄ３のｎチャネルトランジスタをｐチャネルトランジスタに置換することによって構成された増幅回路Ｄ３’の入力ノードに接続することにより、２段接続を実現している。

[0141] 図１０に示す様に、増幅回路Ｄ３を、回路の極性を反転させながら複数段繋げることで、より大きなＤＣゲイン、ブーストゲインを実現することができる。

[0142]（第７実施形態）

図１１は、第７実施形態に係る受信回路Ｄ７の構成を示した図である。図

１１に示す様に、受信回路Ｄ７は、ＣＴＬＥ８１、ＤＦＥ（Ｄｅｃｉｓｉｏｎ ｆｅｅｄｂａｃｋ Ｅｑｕａｌｉｚｅｒ、判定帰還型等化器）８２、ＤＥＭＵＸ（Ｄｅｍｕｌｔｉｐｌｅｘｅｒ、デマルチプレクサ）８３を有する。

[0143] ＣＴＬＥ８１は、第１～第６の実施形態に係る各増幅回路を内部に有し、差動入力端子８４及び８５が受けとる差動入力信号（シリアル入力信号）に対して、時間軸上連続的に増幅処理と等化処理を行う入力増幅回路である。ＤＦＥ８２は、ＣＴＬＥ８１の出力信号を受けとり、ＣＴＬＥ８１の出力信号に対して、帰還ループによる等化処理と信号レベルの判定を行う等化回路である。なお、ＣＴＬＥ８１及びＤＦＥ８２は、入力回路の一例である。ＤＥＭＵＸ８３は、ＤＦＥ８２の出力信号を受けとり、ＤＦＥ８２の出力信号をシリアルからパラレルに変換する変換処理を行う変換回路である。

[0144] この様な受信回路Ｄ７によれば、第１～第６の実施形態に係る各増幅回路の効果を有する受信回路を実現することができる。

[0145]（第８実施形態）

図１２は、第８実施形態に係る半導体集積回路Ｄ８の構成を示した図である。図１２に示す様に、半導体集積回路Ｄ８は、受信回路８０、受信回路８０の出力信号に対して、所定の信号処理を実行する処理回路７を有する。

[0146] 受信回路８０は、例えば図１１に示した受信回路Ｄ７であり、受信回路８０内のＣＴＬＥ８１は、第１～第６の実施形態に係る各増幅回路を内部に有する。

[0147] この様な受信回路によれば、第１～第６の実施形態に係る各増幅回路の効果を有する受信回路を実現することができる。

[0148]（変形例１）

第１及び第２実施形態においては、シングルエンドの増幅回路Ｄ１、Ｄ２について説明した。これに対し、増幅回路Ｄ１、Ｄ２を二つ用いて、差動増幅回路を構成することも可能である。

[0149]（変形例２）

上記各実施形態においては、ｎチャネルトランジスタを用いる増幅回路等を例示した。当然ながら、各実施形態に係る増幅回路等は、ｐチャネルトランジスタを用いて実現することも可能である。

[0150] 上記の実施形態に加えて、以下の付記を開示する。

（付記１）

入力電流が流れる入力ノードと基準電位ノードの間に接続され、ゲート電極が前記入力ノードと接続された第１トランジスタを含む第１回路と、

ローパスフィルタ回路を含み、前記入力ノードと前記基準電位ノードの間において前記第１トランジスタと並列に接続され、ゲート電極が前記第１トランジスタのゲート電極と前記ローパスフィルタ回路を介して接続された第２トランジスタを含む第２回路と、

出力電流が流れる出力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第１トランジスタのゲート電極と接続された第３トランジスタを含む第３回路と、

を有する増幅回路。

[0151] （付記２）

前記第１回路及び前記第２回路は、前記第３回路とカレントミラー回路を構成する付記１に記載の増幅回路。

[0152] （付記３）

前記ローパスフィルタ回路は、

前記第２トランジスタのゲート電極と前記基準電位ノードの間に接続されたキャパシタと、

前記第２トランジスタのゲート電極と前記第１トランジスタのゲート電極の間に接続された抵抗と

を含む付記１又は２に記載の増幅回路。

[0153] （付記４）

前記第３トランジスタのサイズは、前記第１トランジスタのサイズと前記第２トランジスタのサイズの合計に等しい付記１乃至３のうちいずれか一つ

に記載の増幅回路。

[0154] （付記５）

前記第１トランジスタ、前記第２トランジスタ及び前記第３トランジスタはそれぞれプレーナ型トランジスタであり、前記サイズはプレーナ型トランジスタのゲート幅に対応する付記４に記載の増幅回路。

[0155] （付記６）

前記第１トランジスタ、前記第２トランジスタ及び前記第３トランジスタはそれぞれＦｉｎＦＥＴであり、前記サイズはＦｉｎＦＥＴのフィン数に対応する付記４に記載の増幅回路。

[0156] （付記７）

前記入力ノードと前記基準電位ノードの間において前記第１トランジスタ及び前記第２トランジスタと並列に接続された電流源をさらに有する付記１乃至３のうちいずれか一つに記載の増幅回路。

[0157] （付記８）

前記入力電流の周波数が前記ローパスフィルタ回路のカットオフ周波数より小さい場合の前記増幅回路のゲインは、前記電流源のサイズに応じて決定される付記７に記載の増幅回路。

[0158] （付記９）

前記入力電流の周波数が前記ローパスフィルタ回路のカットオフ周波数より大きい場合の前記増幅回路のゲインは、入力電流の周波数が前記ローパスフィルタ回路のカットオフ周波数より小さい場合の前記増幅回路のゲインよりも大きい付記１乃至８のうちいずれか一つに記載の増幅回路。

[0159] （付記１０）

前記入力電流の周波数が前記ローパスフィルタ回路のカットオフ周波数より大きい場合と小さい場合の間の前記増幅回路のゲインの差は、前記第２トランジスタのサイズに応じて決定される付記９に記載の増幅回路。

[0160] （付記１１）

第１入力電流が流れる第１入力ノードと基準電位ノードの間に接続され、

ゲート電極が前記第１入力ノードと接続された第１トランジスタを含む第１回路と、

第１ローパスフィルタ回路を含み、前記第１入力ノードと前記基準電位ノードの間において前記第１トランジスタと並列に接続され、ゲート電極が前記第１トランジスタのゲート電極と前記第１ローパスフィルタ回路を介して接続された第２トランジスタを含む第２回路と、

第１出力電流が流れる第１出力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第１トランジスタのゲート電極と接続された第３トランジスタを含む第３回路と、

第２入力電流が流れる第２入力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第２入力ノードと接続された第４トランジスタを含む第４回路と、

第２ローパスフィルタ回路を含み、前記第２入力ノードと前記基準電位ノードの間において前記第４トランジスタと並列に接続され、ゲート電極が前記第４トランジスタのゲート電極と前記第２ローパスフィルタ回路を介して接続された第５トランジスタを含む第５回路と、

第２出力電流が流れる第２出力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第４トランジスタのゲート電極と接続された第６トランジスタを含む第６回路と、

前記第２入力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第１トランジスタのゲート電極と接続された第７トランジスタを含む第７回路と、

前記第１入力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第４トランジスタのゲート電極と接続された第８トランジスタを含む第８回路と、

を有する差動増幅回路。

[0161] （付記１２）

前記第１回路、前記第２回路、及び前記第７回路は、前記第３回路と第１

カレントミラー回路を構成し、

前記第４回路、前記第５回路及び前記第８回路は、前記第６回路と第２カレントミラー回路を構成する付記１１に記載の差動増幅回路。

[0162]（付記１３）

前記第１ローパスフィルタ回路は、

前記第２トランジスタのゲート電極と前記基準電位ノードの間に接続された第１キャパシタと、

前記第２トランジスタのゲート電極と前記第１トランジスタのゲート電極の間に接続された第１抵抗と

を含み、

前記第２ローパスフィルタ回路は、

前記第５トランジスタのゲート電極と前記基準電位ノードの間に接続された第２キャパシタと、

前記第５トランジスタのゲート電極と前記第５トランジスタのゲート電極の間に接続された第２抵抗と

を含む付記１１又は１２に記載の差動増幅回路。

[0163]（付記１４）

前記第３トランジスタのサイズは、前記第１トランジスタのサイズ、前記第２トランジスタのサイズ、及び前記第７トランジスタのサイズの合計に等しく、

前記第６トランジスタのサイズは、前記第４トランジスタのサイズ、前記第５トランジスタのサイズ、及び前記第８トランジスタのサイズの合計に等しい付記１１乃至１３のうちいずれか一つに記載の差動増幅回路。

[0164]（付記１５）

前記第２回路は、前記第２トランジスタと前記基準電位ノードの間に接続された第１０トランジスタと、前記第１入力ノードと前記基準電位ノードの間において前記第２トランジスタと並列に接続され、ゲート電極が前記第１トランジスタのゲートと前記第１ローパスフィルタ回路を介さずに接続され

た第１１トランジスタと、前記第１１トランジスタと前記基準電位ノードの間に接続された第１２トランジスタと、前記第１０トランジスタのゲート電極に入力側及び出力側の一方が接続され、前記第１２トランジスタのゲート電極に前記入力側及び前記出力側の他方が接続され、入力される第１制御信号に応じて前記第１０トランジスタ及び前記第１２トランジスタのいずれか一方を選択的にオンに遷移させる第１インバータと、を有し、

前記第７回路は、前記第７トランジスタと前記基準電位ノードの間に接続された第１３トランジスタと、前記第１入力ノードと前記基準電位ノードの間において前記第７トランジスタと並列に接続され、ゲート電極が前記第１トランジスタのゲートと接続された第１４トランジスタと、前記第１４トランジスタと前記基準電位ノードの間に接続された第１５トランジスタと、前記第１５トランジスタのゲート電極に入力側及び出力側の一方が接続され、前記第１３トランジスタのゲート電極に前記入力側及び前記出力側の他方が接続され、入力される第２制御信号に応じて前記第１３トランジスタ及び前記第１５トランジスタのいずれか一方を選択的にオンに遷移させる第２インバータと、を有し、

前記第５回路は、前記第５トランジスタと前記基準電位ノードの間に接続された第１８トランジスタと、前記第２入力ノードと前記基準電位ノードの間において前記第５トランジスタと並列に接続され、ゲート電極が前記第４トランジスタのゲートと前記第２ローパスフィルタ回路を介さずに接続された第１９トランジスタと、前記第１９トランジスタと前記基準電位ノードの間に接続された第２０トランジスタと、前記第１８トランジスタのゲート電極に入力側及び出力側の一方が接続され、前記第２０トランジスタのゲート電極に前記入力側及び前記出力側の他方が接続され、入力される第３制御信号に応じて前記第１８トランジスタ及び前記第２０トランジスタのいずれか一方を選択的にオンに遷移させる第３インバータと、を有し、

前記第８回路は、前記第８トランジスタと前記基準電位ノードの間に接続された第２１トランジスタと、前記第２入力ノードと前記基準電位ノードの

間において前記第８トランジスタと並列に接続され、ゲート電極が前記第４トランジスタのゲートと接続された第２２トランジスタと、前記第２２トランジスタと前記基準電位ノードの間に接続された第２３トランジスタと、前記第２３トランジスタのゲート電極に入力側の一方が接続され、前記第２１トランジスタのゲート電極に前記入力側及び前記出力側の他方が接続され、入力される第４制御信号に応じて前記第２１トランジスタ及び前記第２３トランジスタのいずれか一方を選択的にオンに遷移させる第４インバータと、を有する、

付記１１乃至１３のうちいずれか一つに記載の差動増幅回路。

[0165] （付記１６）

並列接続された複数の前記第１回路を含む第１回路の群、並列接続された複数の前記第２回路を含む第２回路の群、及び並列接続された複数の前記第７回路を含む第７回路の群は、並列接続された前記第３回路を含む第３回路の群と前記第１カレントミラー回路を構成し、

並列接続された複数の前記第４回路を含む第４回路群、並列接続された複数の前記第５回路を含む第５回路の群、及び並列接続された複数の前記第８回路を含む第８回路の群は、並列接続された前記第６回路を含む第６回路の群と前記第２カレントミラー回路を構成し、

ＤＣゲインと、ブーストゲインとに応じて、前記第２回路の群に対する複数の前記第１制御信号の選択的な入力、前記第７回路の群に対する複数の前記第２制御信号の選択的な入力、前記第５回路の群に対する複数の前記第３制御信号の選択的な入力、前記第８回路の群に対する複数の前記第４制御信号の選択的な入力をそれぞれ可変に行う制御回路、

を含む付記１５に記載の差動増幅回路。

[0166] （付記１７）

前記ＤＣゲインは、前記入力電流の周波数が前記ローパスフィルタ回路のカットオフ周波数より小さい場合の前記増幅回路のゲインであり、

前記ブーストゲインは、前記入力電流の周波数が前記ローパスフィルタ回

路のカットオフ周波数より大きい場合の前記増幅回路のゲインである付記１６に記載の差動増幅回路。

[0167]（付記１８）

前記第３回路の群に含まれる前記第３回路の数は、前記第１回路の群に含まれる前記第１回路の数、前記第２回路の群に含まれる前記第２回路の数、及び前記第７回路の群に含まれる前記第７回路の数の合計に等しく、

前記第６回路の群に含まれる前記第６回路の数は、前記第４回路の群に含まれる前記第４回路の数、前記第５回路の群に含まれる前記第５回路の数、及び前記第８回路の群に含まれる前記第８回路の数の合計に等しい付記１６又は１７に記載の差動増幅回路。

[0168]（付記１９）

前記第１トランジスタ、前記第２トランジスタ、前記第３トランジスタ、前記第７トランジスタ、前記第１１トランジスタ、及び前記第１４トランジスタのサイズは互いに等しく、

前記第４トランジスタ、前記第５トランジスタ、前記第６トランジスタ、前記第８トランジスタ、前記第１９トランジスタ、及び前記第２２トランジスタのサイズは互いに等しい付記１５乃至１８のうちいずれか一つに記載の差動増幅回路。

[0169]（付記２０）

前記第１入力電流及び前記第２入力電流の周波数が前記第１ローパスフィルタ回路及び前記第２ローパスフィルタ回路のカットオフ周波数より大きい場合と小さい場合の間の前記差動増幅回路のゲインの差は、前記第１制御信号によってオンさせる前記第２トランジスタの数、及び、前記第３制御信号によってオンさせる前記第５トランジスタの数に応じて決定される付記１５乃至１９のうちいずれか一つに記載の差動増幅回路。

[0170]（付記２１）

前記第１入力電流及び前記第２入力電流の周波数が前記第１ローパスフィルタ回路及び前記第２ローパスフィルタ回路のカットオフ周波数より小さい

場合の前記差動増幅回路のゲインは、前記第２制御信号によってオンさせる前記第７トランジスタの数、及び、前記第４制御信号によってオンさせる前記第８トランジスタの数に応じて決定される付記１５乃至２０のうちいずれか一つに記載の差動増幅回路。

[0171]（付記２２）

前記第１入力電流及び前記第２入力電流の周波数が前記第１ローパスフィルタ回路及び前記第２ローパスフィルタ回路のカットオフ周波数より大きい場合の前記差動増幅回路のゲインは、前記第１入力電流及び前記第２入力電流の周波数が前記第１ローパスフィルタ回路及び前記第２ローパスフィルタ回路のカットオフ周波数より小さい場合の前記差動増幅回路のゲインよりも大きい付記１１乃至２１のうちいずれか一つに記載の差動増幅回路。

[0172]（付記２３）

前記第１入力ノードと前記基準電位ノードの間において前記第１トランジスタ及び前記第２トランジスタと並列に接続された第１電流源と、

前記第２入力ノードと前記基準電位ノードの間において前記第４トランジスタ及び前記第５トランジスタと並列に接続された第２電流源と、

をさらに有する付記１１乃至２２のうちいずれか一つに記載の差動増幅回路。

[0173]（付記２４）

前記入力電流の周波数が前記ローパスフィルタ回路のカットオフ周波数より小さい場合の前記増幅回路のゲインは、前記第１電流源及び前記第２電流源のサイズに応じて決定される付記２３に記載の差動増幅回路。

[0174]（付記２５）

付記１乃至１０のうちいずれか一つに記載の増幅回路を多段接続してなる増幅回路。

[0175]（付記２６）

付記１１乃至２４のうちいずれか一つに記載の差動増幅回路を多段接続してなる差動増幅回路。

[0176]（付記２７）

入力信号を受けとり、前記入力信号に対して等化処理を行う、請求項１乃至１０、及び２５のうちいずれか一つに記載の増幅回路、又は、付記１１乃至２４、及び２６のうちいずれか一つに記載の差動増幅回路を含む入力回路と、

前記入力回路の出力信号に対して所定の変換処理を行う変換回路と

を有する受信回路。

[0177]（付記２８）

付記２７に記載の受信回路と、

前記受信回路の出力信号に対して、所定の信号処理を実行する処理回路とを有する半導体集積回路。

産業上の利用可能性

[0178] 以上述べた通り、本明細書に開示の一実施形態に係る増幅回路、差動増幅回路、受信回路及び半導体集積回路は、ゲインの線形性を維持しつつ、ブーストゲイン増幅機能及び小面積化を実現する。

符号の説明

[0179] ７　処理回路

１１　第１回路

１２　第２回路

１３　第３回路

１４　第４回路

１５　第５回路

１６　第６回路

１７　第７回路

１８　第８回路

２５　コントローラ

３１　基準電位ノード

３２　入力ノード

３３　第１制御ノード

３４　第２制御ノード

３５　第３制御ノード

３６　第４制御ノード

４０、４１　定電流源

５０、５２　入力端子

５１、５３　入力ノード

６０、６２　出力端子

６１、６３　出力ノード

８０　受信回路

８１　ＣＴＬＥ

８２　ＤＦＥ

８３　ＤＥＭＵＸ

８４、８５　差動入力端子

１１１　第１トランジスタ

１１２　第９トランジスタ

１２１　第２トランジスタ

１２２　第１０トランジスタ

１２３　第１１トランジスタ

１２４　第１２トランジスタ

１２７　ローパスフィルタ回路

１２８　第１インバータ

１３１　第３トランジスタ

１３２　第１６トランジスタ

１４１　第４トランジスタ

１４２　第１７トランジスタ

１５１　第５トランジスタ

１５２　第１８トランジスタ

１５３　第１９トランジスタ

１５４　第２０トランジスタ

１５７　ローパスフィルタ回路

１５８　第３インバータ

１６１　第６トランジスタ

１６２　第２４トランジスタ

１７１　第７トランジスタ

１７２　第１３トランジスタ

１７３　第１４トランジスタ

１７４　第１５トランジスタ

１７５　第２インバータ

１８１　第８トランジスタ

１８２　第２１トランジスタ

１８３　第２２トランジスタ

１８４　第２３トランジスタ

１８５　第４インバータ

１２７１、１５７１　キャパシタ

１２７２、１５７２　抵抗

ＣＭ１　第１カレントミラー回路

ＣＭ２　第２カレントミラー回路

Ｄ１、Ｄ２、Ｄ３、Ｄ３’、Ｄ４、Ｄ５、Ｄ６　増幅回路

Ｄ７　受信回路

Ｄ８　半導体集積回路

請求の範囲

[請求項1] 入力電流が流れる入力ノードと基準電位ノードの間に接続され、ゲート電極が前記入力ノードと接続された第１トランジスタを含む第１回路と、

ローパスフィルタ回路を含み、前記入力ノードと前記基準電位ノードの間において前記第１トランジスタと並列に接続され、ゲート電極が前記第１トランジスタのゲート電極と前記ローパスフィルタ回路を介して接続された第２トランジスタを含む第２回路と、

出力電流が流れる出力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第１トランジスタのゲート電極と接続された第３トランジスタを含む第３回路と、

を有する増幅回路。

[請求項2] 前記第１回路及び前記第２回路は、前記第３回路とカレントミラー回路を構成する請求項１に記載の増幅回路。

[請求項3] 前記第３トランジスタのサイズは、前記第１トランジスタのサイズと前記第２トランジスタのサイズの合計に等しい請求項１又は２に記載の増幅回路。

[請求項4] 前記入力ノードと前記基準電位ノードの間において前記第１トランジスタ及び前記第２トランジスタと並列に接続された電流源をさらに有する請求項１乃至３のうちいずれか一項に記載の増幅回路。

[請求項5] 前記入力電流の周波数が前記ローパスフィルタ回路のカットオフ周波数より大きい場合の前記増幅回路のゲインは、入力電流の周波数が前記ローパスフィルタ回路のカットオフ周波数より小さい場合の前記増幅回路のゲインよりも大きい請求項１乃至４のうちいずれか一項に記載の増幅回路。

[請求項6] 前記入力電流の周波数が前記ローパスフィルタ回路のカットオフ周波数より大きい場合と小さい場合の間の前記増幅回路のゲインの差は、前記第２トランジスタのサイズに応じて決定される請求項５に記載

の増幅回路。

[請求項7] 第１入力電流が流れる第１入力ノードと基準電位ノードの間に接続され、ゲート電極が前記第１入力ノードと接続された第１トランジスタを含む第１回路と、

第１ローパスフィルタ回路を含み、前記第１入力ノードと前記基準電位ノードの間において前記第１トランジスタと並列に接続され、ゲート電極が前記第１トランジスタのゲート電極と前記第１ローパスフィルタ回路を介して接続された第２トランジスタを含む第２回路と、

第１出力電流が流れる第１出力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第１トランジスタのゲート電極と接続された第３トランジスタを含む第３回路と、

第２入力電流が流れる第２入力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第２入力ノードと接続された第４トランジスタを含む第４回路と、

第２ローパスフィルタ回路を含み、前記第２入力ノードと前記基準電位ノードの間において前記第４トランジスタと並列に接続され、ゲート電極が前記第４トランジスタのゲート電極と前記第２ローパスフィルタ回路を介して接続された第５トランジスタを含む第５回路と、

第２出力電流が流れる第２出力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第４トランジスタのゲート電極と接続された第６トランジスタを含む第６回路と、

前記第２入力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第１トランジスタのゲート電極と接続された第７トランジスタを含む第７回路と、

前記第１入力ノードと前記基準電位ノードの間に接続され、ゲート電極が前記第４トランジスタのゲート電極と接続された第８トランジスタを含む第８回路と、

を有する差動増幅回路。

[請求項8] 前記第１回路、前記第２回路、及び前記第７回路は、前記第３回路と第１カレントミラー回路を構成し、

前記第４回路、前記第５回路及び前記第８回路は、前記第６回路と第２カレントミラー回路を構成する請求項７に記載の差動増幅回路。

[請求項9] 前記第３トランジスタのサイズは、前記第１トランジスタのサイズ、前記第２トランジスタのサイズ、及び前記第７トランジスタのサイズの合計に等しく、

前記第６トランジスタのサイズは、前記第４トランジスタのサイズ、前記第５トランジスタのサイズ、及び前記第８トランジスタのサイズの合計に等しい請求項７又は８に記載の差動増幅回路。

[請求項10] 前記第２回路は、前記第２トランジスタと前記基準電位ノードの間に接続された第１０トランジスタと、前記第１入力ノードと前記基準電位ノードの間において前記第２トランジスタと並列に接続され、ゲート電極が前記第１トランジスタのゲートと前記第１ローパスフィルタ回路を介さずに接続された第１１トランジスタと、前記第１１トランジスタと前記基準電位ノードの間に接続された第１２トランジスタと、前記第１０トランジスタのゲート電極に入力側及び出力側の一方が接続され、前記第１２トランジスタのゲート電極に前記入力側及び前記出力側の他方が接続され、入力される第１制御信号に応じて前記第１０トランジスタ及び前記第１２トランジスタのいずれか一方を選択的にオンに遷移させる第１インバータと、を有し、

前記第７回路は、前記第７トランジスタと前記基準電位ノードの間に接続された第１３トランジスタと、前記第１入力ノードと前記基準電位ノードの間において前記第７トランジスタと並列に接続され、ゲート電極が前記第１トランジスタのゲートと接続された第１４トランジスタと、前記第１４トランジスタと前記基準電位ノードの間に接続された第１５トランジスタと、前記第１５トランジスタのゲート電極に入力側及び出力側の一方が接続され、前記第１３トランジスタのゲ

ート電極に前記入力側及び前記出力側の他方が接続され、入力される第２制御信号に応じて前記第１３トランジスタ及び前記第１５トランジスタのいずれか一方を選択的にオンに遷移させる第２インバータと、を有し、

前記第５回路は、前記第５トランジスタと前記基準電位ノードの間に接続された第１８トランジスタと、前記第２入力ノードと前記基準電位ノードの間において前記第５トランジスタと並列に接続され、ゲート電極が前記第４トランジスタのゲートと前記第２ローパスフィルタ回路を介さずに接続された第１９トランジスタと、前記第１９トランジスタと前記基準電位ノードの間に接続された第２０トランジスタと、前記第１８トランジスタのゲート電極に入力側及び出力側の一方が接続され、前記第２０トランジスタのゲート電極に前記入力側及び前記出力側の他方が接続され、入力される第３制御信号に応じて前記第１８トランジスタ及び前記第２０トランジスタのいずれか一方を選択的にオンに遷移させる第３インバータと、を有し、

前記第８回路は、前記第８トランジスタと前記基準電位ノードの間に接続された第２１トランジスタと、前記第２入力ノードと前記基準電位ノードの間において前記第８トランジスタと並列に接続され、ゲート電極が前記第４トランジスタのゲートと接続された第２２トランジスタと、前記第２２トランジスタと前記基準電位ノードの間に接続された第２３トランジスタと、前記第２３トランジスタのゲート電極に入力側の一方が接続され、前記第２１トランジスタのゲート電極に前記入力側及び前記出力側の他方が接続され、入力される第４制御信号に応じて前記第２１トランジスタ及び前記第２３トランジスタのいずれか一方を選択的にオンに遷移させる第４インバータと、を有する、

請求項８又は９に記載の差動増幅回路。

[請求項11] 並列接続された複数の前記第１回路を含む第１回路の群、並列接続

された複数の前記第２回路を含む第２回路の群、及び並列接続された複数の前記第７回路を含む第７回路の群は、並列接続された前記第３回路を含む第３回路の群と前記第１カレントミラー回路を構成し、

並列接続された複数の前記第４回路を含む第４回路の群、並列接続された複数の前記第５回路を含む第５回路の群、及び並列接続された複数の前記第８回路を含む第８回路の群は、並列接続された前記第６回路を含む第６回路の群と前記第２カレントミラー回路を構成し、

ＤＣゲインと、ブーストゲインとに応じて、前記第２回路の群に対する複数の前記第１制御信号の選択的な入力、前記第７回路の群に対する複数の前記第２制御信号の選択的な入力、前記第５回路の群に対する複数の前記第３制御信号の選択的な入力、前記第８回路の群に対する複数の前記第４制御信号の選択的な入力をそれぞれ可変に行う制御回路、

を含む請求項１０に記載の差動増幅回路。

[請求項12] 前記第３回路の群に含まれる前記第３回路の数は、前記第１回路の群に含まれる前記第１回路の数、前記第２回路の群に含まれる前記第２回路の数、及び前記第７回路の群に含まれる前記第７回路の数の合計に等しく、

前記第６回路の群に含まれる前記第６回路の数は、前記第４回路の群に含まれる前記第４回路の数、前記第５回路の群に含まれる前記第５回路の数、及び前記第８回路の群に含まれる前記第８回路の数の合計に等しい請求項１１に記載の差動増幅回路。

[請求項13] 前記第１トランジスタ、前記第２トランジスタ、前記第３トランジスタ、前記第７トランジスタ、前記第１１トランジスタ、及び前記第１４トランジスタのサイズは互いに等しく、

前記第４トランジスタ、前記第５トランジスタ、前記第６トランジスタ、前記第８トランジスタ、前記第１９トランジスタ、及び前記第２２トランジスタのサイズは互いに等しい請求項１１又は１２に記載

の差動増幅回路。

[請求項14] 前記第１入力電流及び前記第２入力電流の周波数が前記第１ローパスフィルタ回路及び前記第２ローパスフィルタ回路のカットオフ周波数より大きい場合と小さい場合の間の前記差動増幅回路のゲインの差は、前記第１制御信号によってオンさせる前記第２トランジスタの数、及び、前記第３制御信号によってオンさせる前記第５トランジスタの数に応じて決定される請求項１０乃至１３のうちいずれか一項に記載の差動増幅回路。

[請求項15] 前記第１入力電流及び前記第２入力電流の周波数が前記第１ローパスフィルタ回路及び前記第２ローパスフィルタ回路のカットオフ周波数より小さい場合の前記差動増幅回路のゲインは、前記第２制御信号によってオンさせる前記第７トランジスタの数、及び、前記第４制御信号によってオンさせる前記第８トランジスタの数に応じて決定される請求項１０乃至１４のうちいずれか一項に記載の差動増幅回路。

[請求項16] 前記第１入力電流及び前記第２入力電流の周波数が前記第１ローパスフィルタ回路及び前記第２ローパスフィルタ回路のカットオフ周波数より大きい場合の前記差動増幅回路のゲインは、前記第１入力電流及び前記第２入力電流の周波数が前記第１ローパスフィルタ回路及び前記第２ローパスフィルタ回路のカットオフ周波数より小さい場合の前記差動増幅回路のゲインよりも大きい請求項７乃至１５のうちいずれか一項に記載の差動増幅回路。

[請求項17] 前記第１入力ノードと前記基準電位ノードの間において前記第１トランジスタ及び前記第２トランジスタと並列に接続された第１電流源と、

前記第２入力ノードと前記基準電位ノードの間において前記第４トランジスタ及び前記第５トランジスタと並列に接続された第２電流源と、

をさらに有する請求項７乃至１６のうちいずれか一項に記載の差動

増幅回路。

[請求項18] 入力信号を受けとり、前記入力信号に対して等化処理を行う、請求項１乃至６のうちいずれか一項に記載の増幅回路、又は、請求項１１乃至１７のうちいずれか一項に記載の差動増幅回路を含む入力回路と、

前記入力回路の出力信号に対して所定の変換処理を行う変換回路と、

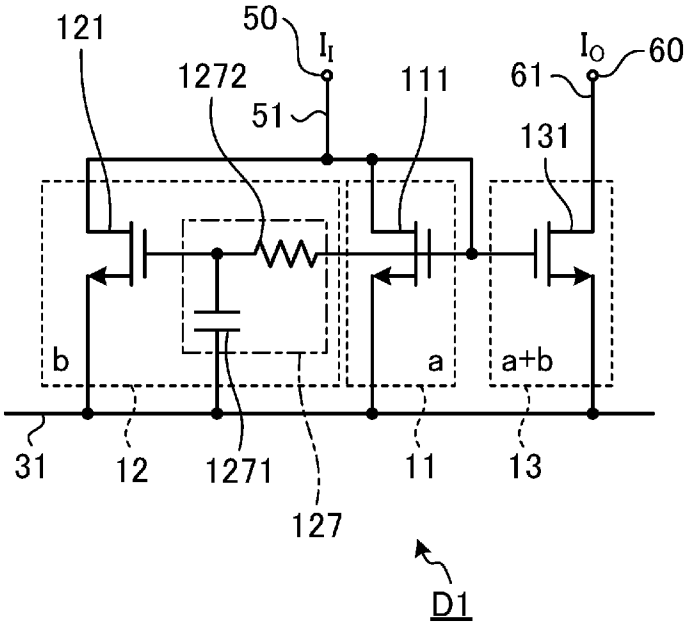
を有する受信回路。

[請求項19] 請求項１８に記載の受信回路と、

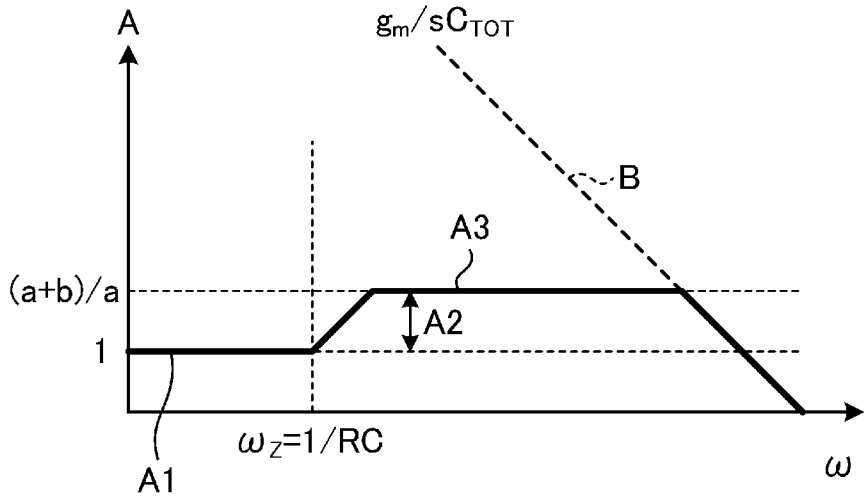
前記受信回路の出力信号に対して、所定の信号処理を実行する処理回路と、

を有する半導体集積回路。

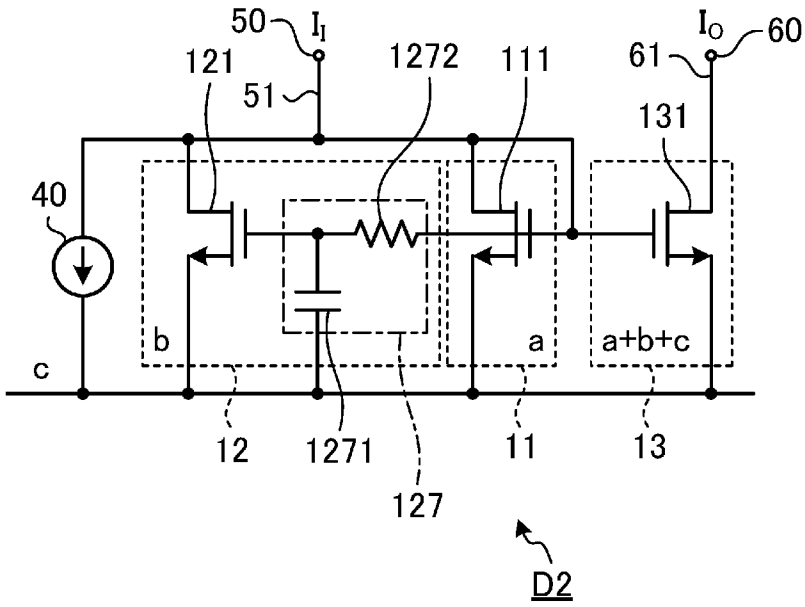
[図1]


121
50
I_I
I_O
60
1272
111
61
51
131
b
a
a+b
31
12
1271
11
13
127
D1

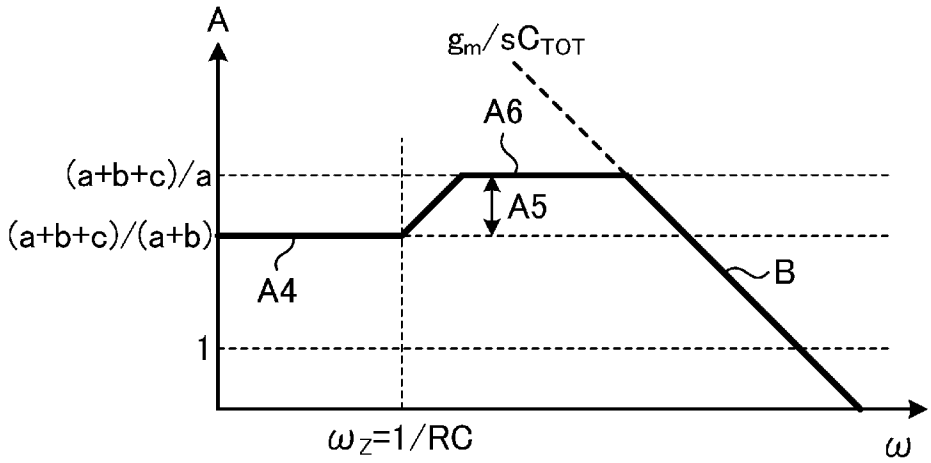
[図2]


A
g_m/sC_{TOT}
B
A3
(a+b)/a
A2
1
$\omega_Z=1/RC$
A1
ω

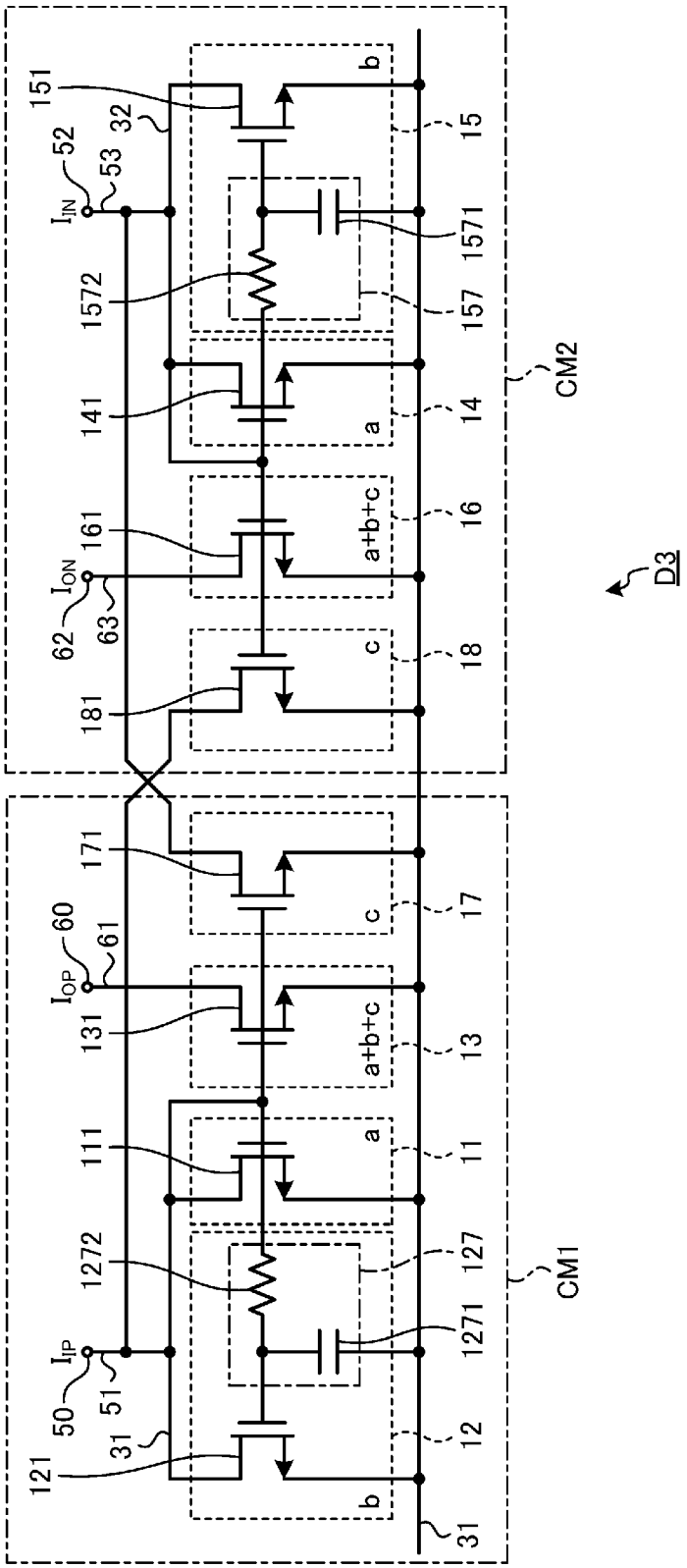
[図3]


50
I_I
121
51
1272
111
I_O
60
61
131
40
b
a
a+b+c
c
12
1271
127
11
13
D2

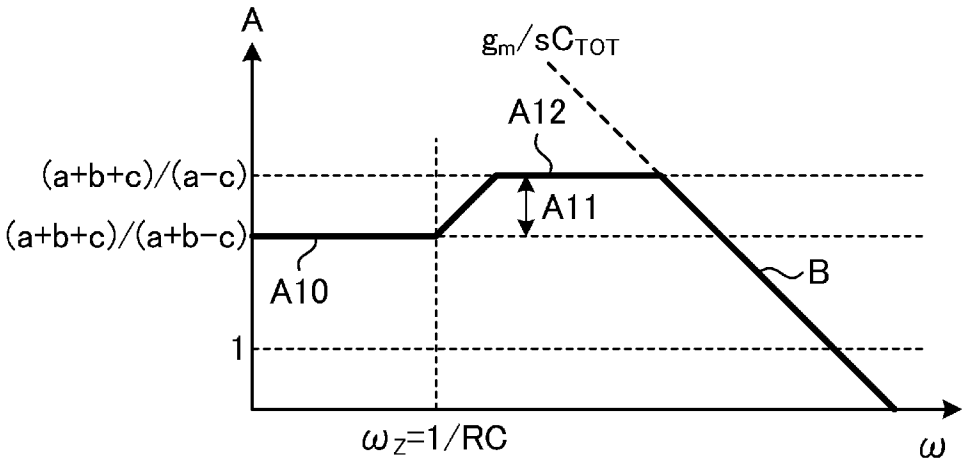
[図4]


A
g_m/sC_{TOT}
A6
(a+b+c)/a
A5
(a+b+c)/(a+b)
A4
B
1
ω_Z=1/RC
ω

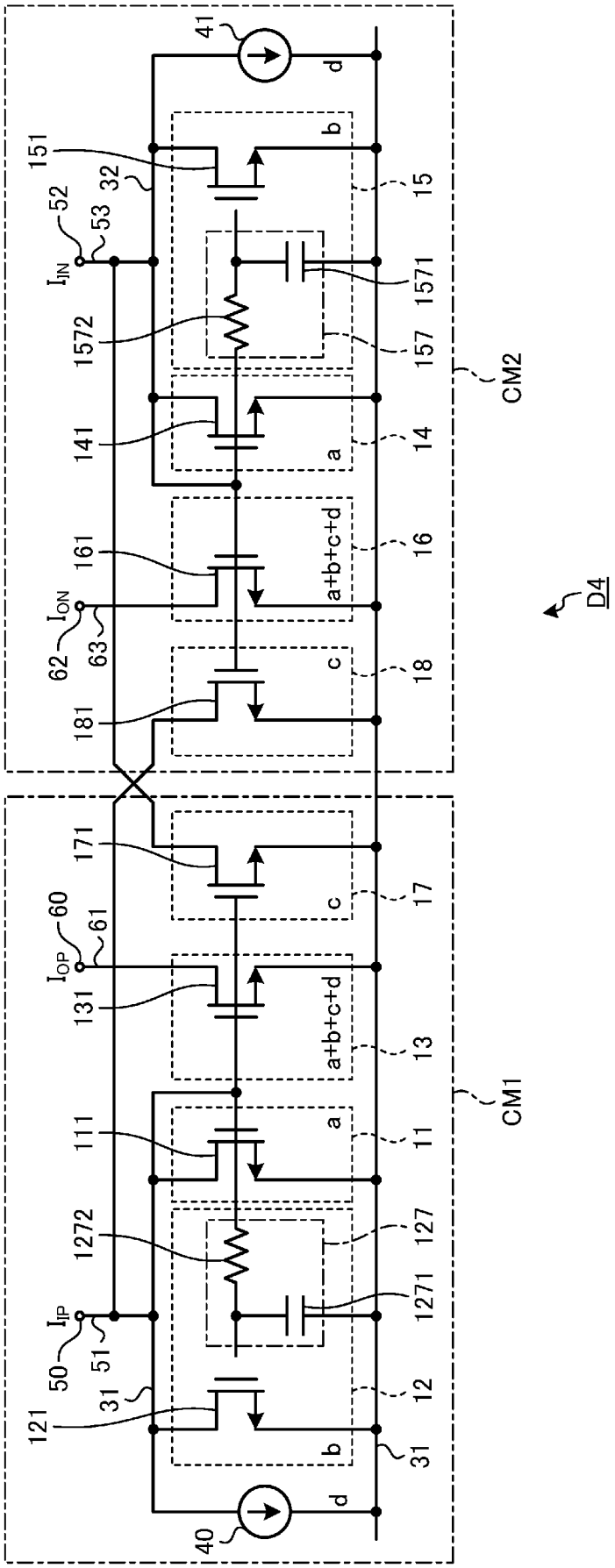
[図5]



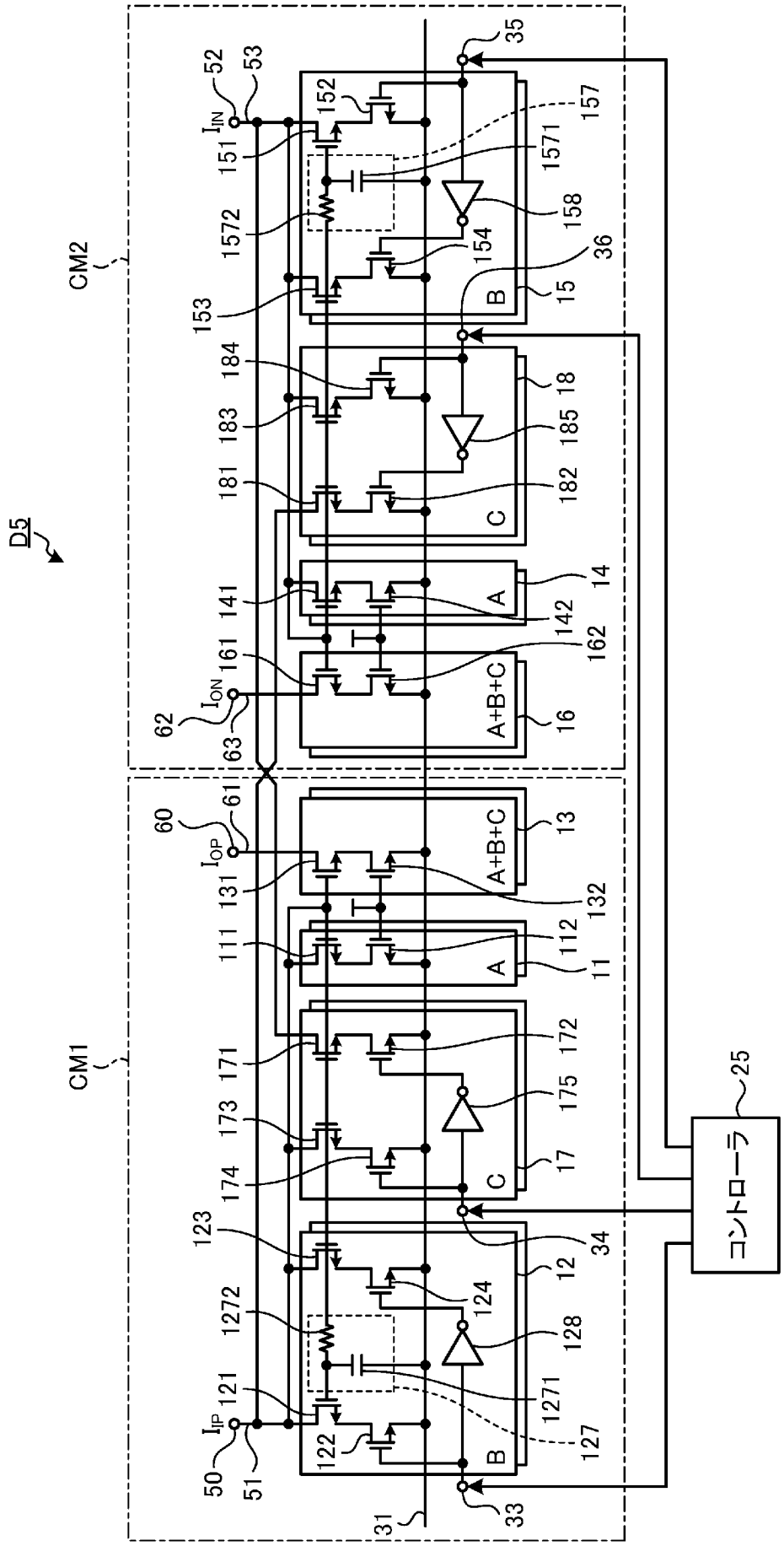
[図6]



[図7]


41
d
b
151
32
52
53
15
I_{IN}
1571
1572
157
CM2
141
a
14
161
a+b+c+d
16
I_{ON}
62
63
c
18
181
D4
171
c
17
I_{OP}
60
61
131
a+b+c+d
13
CM1
111
a
11
1272
127
I_{IP}
1271
50
51
31
12
121
b
31
d
40

[図8]


D5
CM2
CM1
A
B
C
A+B+C
コントローラ
25
31
33
34
35
36
50
51
52
53
60
61
62
63
11
12
13
14
15
16
17
18
111
112
121
122
123
124
127
128
131
132
141
142
151
152
153
154
157
158
161
162
171
172
173
174
175
181
182
183
184
185
1271
1272
1571
1572

[図9]

(a)

a	0	1	2	3	4	5	EQ
0	32	29	25	23	20	18	
1	30	27	24	22	20	18	
2	29	26	24	21	19	18	
3	27	25	22	21	19	17	
4	26	24	22	20	19	17	
5	25	23	21	20	18	17	
6	24	22	21	19	18	17	
7	23	21	20	19	18	17	
8	22	21	20	19	18	17	
9	22	21	20	18	18	17	

VGA

(b)

b	0	1	2	3	4	5	EQ
0	0	3	7	9	12	14	
1	0	3	6	8	10	12	
2	0	3	5	8	10	11	
3	0	2	5	6	8	10	
4	0	2	4	6	7	9	
5	0	2	4	5	7	8	
6	0	2	3	5	6	7	
7	0	2	3	4	5	6	
8	0	1	2	3	4	5	
9	0	1	2	4	4	5	

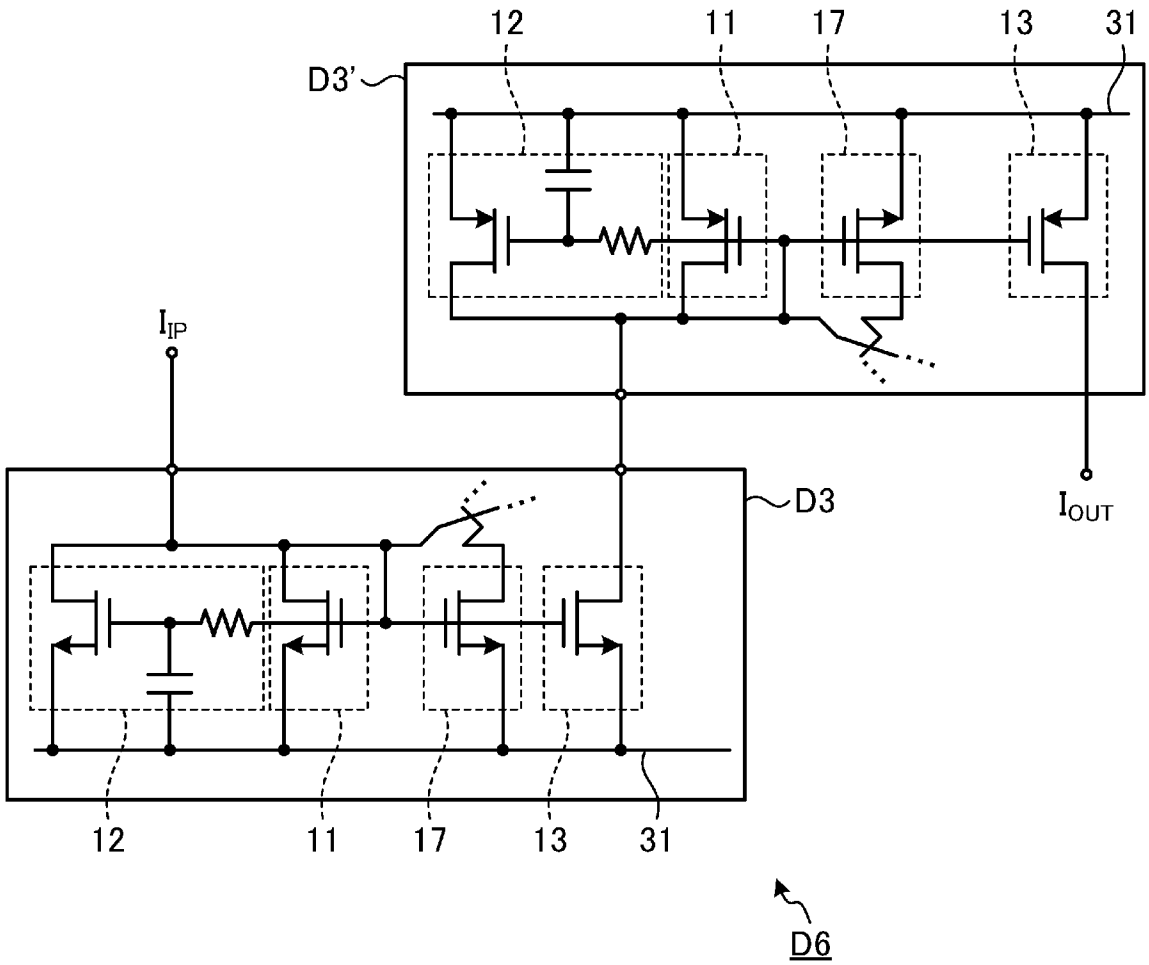
VGA

(c)

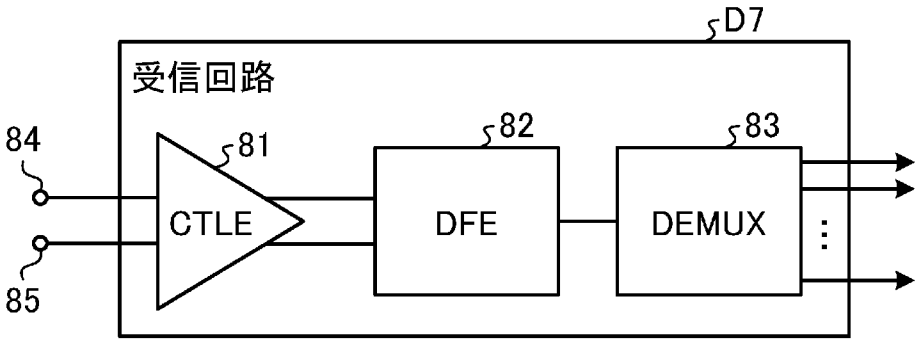
c	0	1	2	3	4	5	EQ
0	0	0	0	0	0	0	
1	2	2	2	2	2	2	
2	3	3	3	3	3	3	
3	5	5	5	5	5	5	
4	6	6	6	6	6	6	
5	7	7	7	7	7	7	
6	8	8	8	8	8	8	
7	9	9	9	9	9	9	
8	10	10	10	10	10	10	
9	10	10	10	10	10	10	

VGA

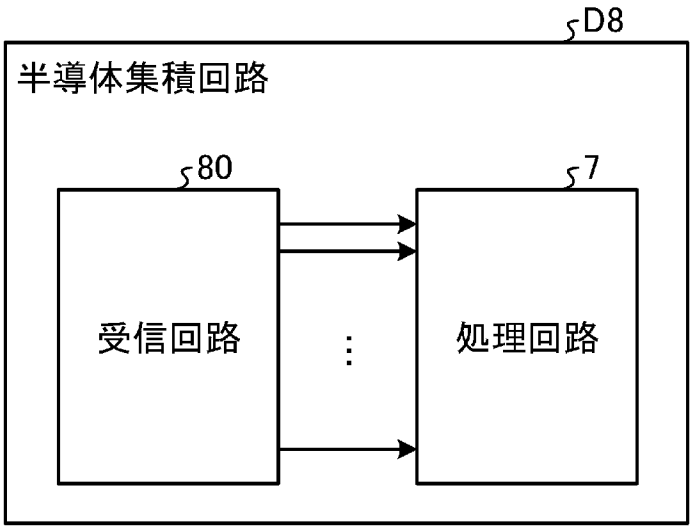
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/023110

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. G05F3/26(2006.01)i, H03F3/16(2006.01)i, H03F3/343(2006.01)i, H03F3/45(2006.01)i
FI: H03F3/16 220, H03F3/343 210, H03F3/45, G05F3/26
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. G05F3/26, H03F3/16, H03F3/343, H03F3/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-165100 A (HITACHI METALS, LTD.) 23 July 2009, entire text, all drawings	1-19
A	JP 2005-526412 A (FREESCALE SEMICONDUCTOR INC.) 02 September 2005, entire text, all drawings	1-19
A	US 6545540 B1 (ENRIQUEZ et al.) 08 April 2003, entire text, all drawings	1-19

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27.08.2020	08.09.2020

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/023110

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2009-165100 A	23.07.2009	US 2009/0146741 A1 entire text, all drawings TW 200935727 A	
JP 2005-526412 A	02.09.2005	US 6492874 B1 entire text, all drawings WO 2003/012980 A1 CN 1537358 A KR 10-2004-0028963 A	
US 6545540 B1	08.04.2003	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2020/023110

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G05F 3/26(2006.01)i; H03F 3/16(2006.01)i; H03F 3/343(2006.01)i; H03F 3/45(2006.01)i
FI: H03F3/16 220; H03F3/343 210; H03F3/45; G05F3/26

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G05F3/26; H03F3/16; H03F3/343; H03F3/45

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2009-165100 A (日立金属株式会社) 23.07.2009 (2009-07-23) 全文全図	1-19
A	JP 2005-526412 A (フリースケール　セミコンダクター　インコーポレイテッド) 02.09.2005 (2005-09-02) 全文全図	1-19
A	US 6545540 B1 (ＥＮＲＩＱＵＥＺ　ｅｔ　ａｌ．) 08.04.2003 (2003-04-08) 全文全図	1-19

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
27.08.2020	08.09.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
工藤　一光 5W 9274
電話番号 03-3581-1101 内線 3576

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/023110

引用文献	公表日	パテントファミリー文献	公表日
JP 2009-165100 A	23.07.2009	US 2009/0146741 A1 全文全図 TW 200935727 A	
JP 2005-526412 A	02.09.2005	US 6492874 B1 全文全図 WO 2003/012980 A1 CN 1537358 A KR 10-2004-0028963 A	
US 6545540 B1	08.04.2003	（ファミリーなし）	