

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H01L 21/84 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200480036861.X

[43] 公开日 2007 年 1 月 3 日

[11] 公开号 CN 1890799A

[22] 申请日 2004.11.12

[21] 申请号 200480036861.X

[30] 优先权

[32] 2003.12.12 [33] US [31] 10/734,435

[86] 国际申请 PCT/US2004/037760 2004.11.12

[87] 国际公布 WO2005/060464 英 2005.7.7

[85] 进入国家阶段日期 2006.6.12

[71] 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 苏里亚·维拉拉加万 杜 洋  
格伦·O·沃克曼

[74] 专利代理机构 中原信达知识产权代理有限责任  
公司

代理人 黄启行 穆德骏

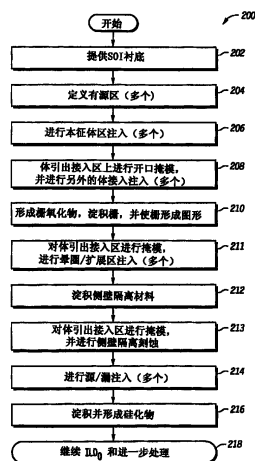
权利要求书 4 页 说明书 11 页 附图 8 页

## [54] 发明名称

用于形成 SOI 体接触晶体管的方法和设备

## [57] 摘要

一种形成绝缘体上硅晶体管(80)的方法,包括在绝缘层(122)上形成有源区(82),其中一部分的有源区提供本征体区(126)。在有源区内还形成体引出接入区(128),其位于绝缘层上,并横向设置得邻近本征体区,生成到本征体区的电接触。在本征体区上形成栅电极(134),以提供对本征体区的电气控制,该栅电极在体引出接入区的一部分(137)上延伸。栅电极形成具有沿在本征体区和体引出接入区的其整个宽度上基本不变的栅长(88),以使寄生电容和栅极泄漏最小化。在邻近本征体区,形成第一和第二电流电极(98,100)。此外,在有源区内形成体引出扩散区(130),其从体引出接入区横向偏移,并电耦接到体引出接入区。



1. 一种绝缘体上硅晶体管，包括：  
绝缘层；  
有源区，其位于绝缘层上，该有源区包括：  
本征体区；  
体引出接入区，其也位于绝缘层上，并横向邻近本征体区，该体引出区生成到本征体区的电接触；以及  
体引出扩散区，其从体引出接入区横向偏移，并电耦接到体引出接入区；  
栅电极，其位于本征体区上，以提供对该绝缘体上硅晶体管本征体区的电气控制，并在部分体引出接入区上延伸；以及  
第一和第二电流电极，其邻近本征体区的相对侧。
2. 如权利要求 1 所述的绝缘体上硅晶体管，进一步包括：  
电介质层，其基本位于全部体引出接入区上，其包含位于体引出接入区上的那部分栅电极。
3. 如权利要求 2 所述的绝缘体上硅晶体管，其中该电介质层作为栅电极的侧壁隔离。
4. 如权利要求 2 所述的绝缘体上硅晶体管，其中位于该电介质层下的部分的体引出接入区包括掺杂的材料，其增加体引出接入区的掺杂浓度，以基本使体引出接入区中耗尽区的形成最小化。
5. 如权利要求 4 所述的绝缘体上硅晶体管，其中通过在第一掩模中使用图形特征，并在第二掩模中再次使用该图形特征来提供该电介质层，提供该部分的体引出接入区的掺杂。
6. 如权利要求 1 所述的绝缘体上硅晶体管，其中栅电极不在超过

一半的体引出接入区上延伸，以使寄生栅电容和电流泄漏最小化。

7. 一种形成绝缘体上硅晶体管的方法，包括：

提供绝缘层；

形成有源区，其位于绝缘层上，该有源区的一部分提供本征体区；

形成体引出接入区，其在有源区内，也位于该绝缘层上，并横向邻近本征体区，该体引出接入区生成到本征体区的电接触；

形成栅电极，其位于所述本征体区上，以提供对该绝缘体上硅晶体管本征体区的电气控制，并在体引出接入区的部分上延伸，以使寄生电容和栅电极泄漏最小化；

形成第一和第二电流电极，其邻近本征体区的相对侧；以及

形成体引出扩散区，其在所述有源区内，并从体引出接入区横向偏移，且电耦接到体引出接入区。

8. 如权利要求 7 所述的方法，进一步包括：

形成电介质层，其基本位于全部体引出接入区上，包含位于所述体引出接入区上的栅电极的部分。

9. 如权利要求 8 所述的方法，进一步包括：

对位于该电介质层下的体引出接入区的部分进行掺杂，来增加体引出接入区的掺杂浓度，以基本使体引出接入区中耗尽区的形成最小化。

10. 如权利要求 9 所述的方法，其中所述掺杂进一步包括：

在第一掩模中，利用图形特征作为用于掺杂的第一选择性块；以及

在第二掩模中，再次使用该图形特征作为用以提供电介质层的第二选择性块。

11. 如权利要求 7 所述的方法，进一步包括：

通过不使栅电极在超过一半的体引出接入区上延伸，来使寄生栅电容和电流泄漏最小化。

12. 一种形成绝缘体上硅晶体管的方法，包括：

形成绝缘衬底；

定义有源区，其定义该绝缘体上硅晶体管的位置；

以预定的扩散材料注入有源区，以形成期望掺杂浓度的本征体区；

通过在有源区上的掩模中形成开口，定义体引出接入区；

对有源区进行注入，以形成体引出接入区，该体引出接入区具有预定的掺杂浓度，以使体引出接入电阻最小化；

形成栅氧化物，其位于本征体区和体引出接入区两者上；

淀积长度基本不变的栅电极材料，并使之形成图形，其位于本征体区和体引出接入区的部分上；

形成进入本征体区的掺杂质的晕圈/扩展区注入，同时基本阻止掺杂质的晕圈/扩展区注入进入体引出接入区；

形成侧壁隔离介质材料，其位于长度基本不变的栅电极材料和体引出接入区上；

利用掩模掩蔽基本位于体引出接入区上的区域；

去除在基本除了体引出接入区上和邻近长度基本不变的栅电极材料之外的各处的侧壁隔离介质材料；

形成源扩散区和漏扩散区；以及

形成体引出扩散区。

13. 如权利要求 12 所述的方法，进一步包括：

通过形成位于源扩散区、漏扩散区、体引出扩散区和长度基本不变的栅电极材料上的硅化物层，形成到源扩散区、漏扩散区、体引出扩散区和长度基本不变的栅电极材料的电接触。

14. 如权利要求 12 所述的方法，进一步包括：

定义用于掩蔽体引出接入区的该掩模的尺寸，以使之具有需要用

于防止注入到源扩散区和漏扩散区中的掺杂质也被注入到体引出扩散区，并且反之亦然的最小距离。

15. 如权利要求 12 所述的方法，进一步包括：

在源扩散区、漏扩散区、长度基本不变的栅电极材料和体引出扩散区的每一个上，有选择地淀积并形成导电材料，以生成到这些区域的电接触。

16. 如权利要求 15 所述的方法，进一步包括：

定义该掩模的尺寸，以使其具有充分大的值，该值足以防止由于接触源扩散区、漏扩散区、体引出扩散区以及长度基本不变的栅电极材料的每一个的硅化物而引起的电短路。

17. 如权利要求 12 所述的方法，进一步包括：

利用该掩模，在体引出接入区上形成栅氧化物，以使其具有第一厚度，该第一厚度大于本征体区上的栅氧化物的第二厚度。

18. 如权利要求 12 所述的方法，进一步包括：

使长度基本不变的栅电极材料在位于小于一半的体引出接入区上延伸。

## 用于形成 SOI 体接触晶体管的方法和设备

### 技术领域

本公开一般地涉及半导体器件，更具体的，涉及用于形成 SOI 体接触晶体管的方法和设备。

### 背景技术

体接触 SOI 晶体管通常构造有从体接触区分开源/漏区的多晶硅栅极。由于这一体引出 (body-tie) 栅极而引起的额外的电路负载电容，特别是对于使用掩模版 (reticle) 增强技术比如互补相移掩模来降低主晶体管栅长的高性能技术来说，是非常重要的。这些技术不能降低体引出区的大小或电容。

在现有技术中，使用多晶硅栅极来从体接触区中分开源/漏区。这种布置产生足以使栅极延迟例如以系数 2 增加的额外栅极电容。此外，尽管在体引出栅极中使用双栅氧化物工艺在某种程度上降低了每单位面积的电容，但是其并没有降低体引出栅极的物理尺寸。而且，使用双栅氧化物工艺并不提供任何机制来降低体引出区的物理尺寸，比如，利用掩模增强技术。

图 1 是典型的 SOI 体接触晶体管 10 的版图。SOI 体接触晶体管 10 包括有源晶体管区 12，其中有源晶体管区 12 包括如附图标记 14 所指示的用作体引出接触区的一部分。本征 (intrinsic) 体区，其接近有源晶体管区 12 的中心，包括宽度尺度 16，表示为 “W1”，以及长度尺度 18，表示为 “L1”。非本征 (extrinsic) 体区，其接近体引出区 14 的中心，包括宽度尺度 20，表示为 “W2”，以及长度尺度 22，表示为 “L2”。

SOI 体接触晶体管 10 进一步包括位于有源晶体管区 12 上的栅极多晶硅 24。栅极多晶硅 24 进一步包括位于对应于非本征体区的一部分体引出接触区 14 上的部分 26。SOI 体接触晶体管 10 还进一步包括源区硅化物 28、漏区硅化物 30 以及体引出接触区硅化物 32。此外，晶体管 10 的结构包括注入区，其由附图标记 34 和 36 表示。在一个实施例中，注入区 34 和 36 分别对应于 N++和 P++注入区。接触 38、40、42 和 44 分别提供到栅、源、漏和体引出区的电连接。

图 2 是沿线 2-2 截取的图 1 的典型 SOI 体接触晶体管 10 的截面图。晶体管 10 包括绝缘体 52、沟槽隔离 54、有源区的本征体区 56、非本征体引出接入区 (extrinsic body tie access region) 58，以及体引出扩散区 60。如图所示，有源区的本征体区 56 包括 P 型区，非本征体引出接入区 58 包括 P 型区，而体引出扩散区 60 包括 P++区。在器件工作期间，在非本征体引出接入区 58 内，形成非本征体引出接入区的耗尽部分，其以附图标记 62 表示。非本征体引出接入区的耗尽部分引起更高的抗体引出情况，导致降低的体引出效率。

薄栅氧化物 64 位于在栅极多晶硅 66 下的区域中的有源晶体管区 12 上。栅极多晶硅 66 包括 N++部分 68 和 P++部分 70，其在侧壁隔离形成之后分别由区域 34 和 36 中的 N++和 P++注入产生。在栅极多晶硅 66 的端部区域形成侧壁隔离 72。硅化形成硅化物 24 和 32。随后，在该晶体管结构上形成层间 (interlevel) 介质  $ILD_0$ ，其以附图标记 74 表示，接着形成接触 38 和 44。

因此，需要能够克服如上讨论的现有技术问题的改进的方法和设备。

## 发明内容

根据本发明公开的一个实施例，形成绝缘体上硅晶体管的方法包括，形成绝缘层上的有源区，其中一部分的有源区提供本征体区。还在该有源区内形成体引出接入区，其位于绝缘层上，并横向地设置得

邻近本征体区，生成到该本征体区的电接触。在本征体区上形成栅电极，以提供对本征体区的电气控制，该栅电极在一部分的体引出接入区上延伸。在一个实施例中，形成栅电极使之沿其在有源区上的整个宽度上具有基本不变的栅长，在体引出接入区上的部分具有基本小于 $L_2$ 的栅长，以使寄生电容和栅极泄漏最小化。在邻近本征体区的相对侧形成第一和第二电流电极。此外，在有源区内形成体引出扩散区，其从体引出接入区横向偏移，并电耦接到体引出接入区。

### 附图说明

附图以示例的方式说明了本发明，而且本发明并不受附图的限制，在附图中，相同的附图标记表示相同的元件。其中：

图 1 是典型的 SOI 体接触晶体管的版图（现有技术）；

图 2 是沿线 2-2 截取的图 1 的典型的 SOI 体接触晶体管的截面图（现有技术）；

图 3 是根据本发明实施例的新颖的 SOI 体接触晶体管的版图；

图 4 是沿线 4-4 截取的图 3 的 SOI 体接触晶体管的截面图；

图 5 是沿线 5-5 截取的图 3 的 SOI 体接触晶体管的截面图；

图 6 是沿线 6-6 截取的图 3 的 SOI 体接触晶体管的截面图；

图 7 是沿线 7-7 截取的图 3 的 SOI 体接触晶体管的截面图；

图 8 是沿线 8-8 截取的图 3 的 SOI 体接触晶体管的截面图；

图 9 是沿线 9-9 截取的图 3 的 SOI 体接触晶体管的截面图；以及

图 10 是根据本发明实施例的 SOI 体接触晶体管的制造方法的流程图。

本领域技术人员将理解，图中的各元件仅是出于简化或清晰的目的而图示说明的，其无需严格按比例绘制。例如，图中一些元件的尺寸可以相对于其他部分进行放大，以帮助提高对本发明实施例的理解。

### 具体实施方式

图 3 是根据本发明实施例的新颖的 SOI 体接触晶体管 80 的版图。



SOI 体接触晶体管 80 包括有源晶体管区 82，其中有源晶体管区 82 包括其用作体引出接触区的部分，其以附图标记 84 表示。本征体区，其接近有源晶体管区 82 的中心，其包括宽度尺度 86，表示为“ $W_1$ ”，和长度尺度 88，表示为“ $L_1$ ”。一部分的有源区，其接近其引出区 84 的中心，其包括宽度尺度 90，表示为“ $W_2$ ”，和长度尺度 92，表示为“ $L_2$ ”。这一区域对应于体引出接入区，并在图 3 和图 4 中以附图标记 128 表示。

SOI 体接触晶体管 80 进一步包括位于有源晶体管区 82 上的栅极多晶硅 94。栅极多晶硅 94 进一步包括位于与非本征体引出接入区 128（图 4）对应的一部分体引出接触区 84 上的部分 96。请注意，位于该部分的体引出接触区 84 上的栅极多晶硅的该部分 96，更具体的，体引出接触区 84 的体引出接入区 128，其长度尺度基本小于体引出接触区 84 的长度尺度（在一个实施例中， $L_1 < L_2$ ）。因此位于体引出接入区上的栅极的该部分 96 基本使体引出结构中的寄生电容和栅极泄漏最小化。SOI 体接触晶体管 80 还进一步包括源区硅化物 98、漏区硅化物 100 以及体引出接触区硅化物 102。此外，晶体管 80 的结构包括注入区，以附图标记 104 和 106 表示。在一个实施例中，注入区 104 和 106 分别对应于  $N^{++}$  和  $P^{++}$  注入区。接触 108、110、112 和 114 分别提供到栅、源、漏以及体引出区的电连接。

图 4 是沿线 4-4 截取的图 3 的 SOI 体接触晶体管 80 的截面图。晶体管 80 包括绝缘体 122、沟槽隔离 124、有源区 82 的本征体区 126、有源区 82 的体引出接入区 128 以及有源区 82 的体引出扩散区 130。如图所示，在一个实施例中，有源区 82 的本征体区 126 包括 P 型区，体引出接入区 128 包括  $P^+$  型区，体引出扩散区 130 包括  $P^{++}$  区。在器件工作期间，在体引出接入区 128 中形成非本征体引出接入区的耗尽部分，其由附图标记 131 表示。体引出接入区 128 的耗尽部分被最小化，从而充分降低体引出接入电阻并得到充分提高的体引出效率。

薄的栅氧化物 132 覆盖栅极多晶硅 134 下的区域中的有源晶体管区 82。栅极多晶硅 134 包括 N++硅化的部分 136 和未硅化的部分 137，其由在侧壁隔离形成后区域 104 中 N++注入而产生。在栅极多晶硅 134 的端部形成侧壁隔离（138、140）。在一个实施例中，侧壁隔离（138、140）包括介质。例如，该介质可以包括二氧化硅、氮化物或其他合适的介质。随后进行硅化形成硅化物 94 和 102。请注意，侧壁隔离 140 防止在部分的隔离 140 下的部分栅极多晶硅 134 的硅化。进而，在该晶体管结构上形成层间介质  $ILD_0$ ，其以附图标记 142 表示，接着形成接触 108 和 114。

如图 4 中所示，侧壁隔离 140 延伸跨过有源区 82，具体是，体引出接触区 128，其对应于图 3 中以附图标记 90 表示的宽度  $W_2$ 。而且侧壁隔离 140 形成硬质掩模，其具有如由附图标记 144（图 3）指示的虚线所划出的尺度，其中第一尺度在  $W_2$  的量级上，以附图标记 90 表示，而第二尺度是在大于  $L_2$  的量级上，以附图标记 92 表示。在第二尺度中，该硬质掩模位于沟槽隔离 124 和体引出接入区 128 上。

图 5 是沿线 5-5 截取的图 3 的 SOI 体接触晶体管 80 的截面图 150。如先前所讨论的，晶体管 80 包括绝缘体 122、沟槽隔离 124、有源区 82。晶体管 80 进一步包括有源区 82 的漏区 152、有源区 82 的体引出接入区 128 以及有源区 82 的体引出扩散区 130。如图所示，在一个实施例中，漏区 152 包括 N++型区，体引出接入区 128 包括 P+型区，体引出扩散区 130 包括 P++区。如图所示，沿图 3 的线 5-5，一部分的侧壁隔离 140 位于体引出接入区 128 上。此外，还进行硅化形成硅化物 100。请注意，侧壁隔离 140 阻止了隔离 140 下的有源区 82 的硅化。

图 6 是沿线 6-6 截取的图 3 的 SOI 体接触晶体管 80 的截面图 160。如先前所讨论的，晶体管 80 包括绝缘体 122、沟槽隔离 124、有源区 82。晶体管 80 进一步包括本征体区 126、有源区 82 的漏区 152、有源区 82 的源区 154。如图所示，在一个实施例中，漏区和源区 152 和 154

分别包括 N++型区。进一步如图所示，栅极多晶硅 136 包括栅氧化物 132 上的 N++型栅极多晶硅和侧壁隔离 138。除硅化物 100 外，还进行硅化形成硅化物 94 和 98。

图 7 是沿线 7-7 截取的图 3 的 SOI 体接触晶体管 80 的截面图 170。如先前所讨论的，晶体管 80 包括绝缘体 122、沟槽隔离 124、有源区 82 以及有源区 82 的体引出接入区 128。如图所示，在一个实施例中，体引出接入区 128 包括 P+型区。进一步如图所示，未硅化部分的栅极多晶硅 137 和侧壁隔离 140 位于栅氧化物 132 上，其中侧壁隔离 140 还位于部分的沟槽隔离 124 上。请注意，侧壁隔离 140 防止隔离 140 下的有源区 82 的硅化。

图 8 是沿线 8-8 截取的图 3 的 SOI 体接触晶体管 80 的截面图 180。如先前所讨论的，晶体管 80 包括绝缘体 122、沟槽隔离 124、有源区 82 以及有源区 82 的体引出接入区 128。如图所示，在一个实施例中，体引出接入区 128 包括 P+型区。进一步如图所示，侧壁隔离 140 位于栅氧化物 132 和部分的沟槽隔离 124 上。请注意，侧壁隔离 140 防止隔离 140 下的有源区 82 的硅化。

图 9 是沿线 9-9 截取的图 3 的 SOI 体接触晶体管 80 的截面图 190。如先前所讨论的，晶体管 80 包括绝缘体 122、沟槽隔离 124、有源区 82 以及有源区 82 的体引出扩散区 130。如图所示，在一个实施例中，体引出扩散区 130 包括 P++区。在体引出扩散区 130 上硅化形成硅化物 102。

图 10 是根据本发明实施例的 SOI 体接触晶体管的制造方法的流程图 200。在步骤 202 中，该方法以提供 SOI 衬底开始。在步骤 204 中，定义有源区（或者已定义了有源区）。在步骤 206 中，进行本征体区注入或多次注入。在步骤 208 中，通过掩模布尔操作（mask Boolean）形成在本征体引出区上的开口掩模（open mask），并进行额外的一次

或多次体接入区注入。在步骤 210 中, 形成一个或多个栅氧化物, 淀积一个或多个栅电极, 并使之形成图形。在步骤 211 中, 对体引出接入区进行掩模, 并执行一次或多次晕圈 (halo) /扩展区注入 (也称为一次或多次袋型注入 (pocket implant))。在步骤 212 中, 淀积一个或多个侧壁隔离材料。在步骤 213 中, 对一个或多个体引出接入区进行掩模, 并进行一次或多次侧壁隔离刻蚀。在步骤 214 中, 进行一次或多次源/漏注入。在步骤 216 中, 淀积并形成一个或多个硅化物区。在步骤 218 中, 根据半导体 IC 工艺流程继续层间介质  $ILD_0$  的淀积和进一步的工艺处理。

本公开包括如在下文中讨论的多种其他实施例。根据一个实施例, 绝缘体上硅晶体管 80 包括绝缘层 122 和绝缘层上的有源区 82。有源区 82 包括本征体区 126 和体引出接入区 128, 体引出接入区也位于绝缘层 122 上, 并横向与本征体区 126 相邻。体引出接入区 128 提供生成到本征体区 126 的电接触。SOI 晶体管 80 进一步包括体引出扩散区 130, 其从体引出接入区 128 横向偏移, 并电耦接到体引出接入区 128。

晶体管 80 进一步包括栅电极 134。栅电极 134 位于本征体区 126 上, 以提供对绝缘体上硅晶体管 80 的本征体区 126 的电气控制, 并且其在体引出接入区 128 的一部分 137 上延伸。栅电极 134 具有沿其整个宽度基本不变的栅长 88, 其中不同部分的栅电极位于体引出接入区 128 和本征体区 126 上。此外, 在邻近本征体区 126 相对侧, 设置第一和第二电流电极 (98、100)。在一个实施例中, 栅电极 134 仅在一小部分的体引出接入区 128 上延伸, 以使寄生栅电容和电流泄漏最小化。

绝缘体上硅晶体管 80 进一步包括电介质层 140。电介质层 140 基本位于全部体引出接入区 128 上, 其包含位于体引出接入区 128 上的栅电极 134 的那部分 137。在一个实施例中, 电介质层 140 作为栅电极 134 的侧壁隔离 (138、140)。

在另一实施例中，位于电介质层 140 下的部分体引出接入区 128 包括掺杂的材料。所述掺杂的材料增加了体引出接入区 128 的掺杂浓度，以便基本使体引出接入区 128 中耗尽区 131 的形成最小化。可以通过在第一掩模中使用第一图形特征（pattern feature）144，并且在第二掩模中再次使用该图形特征提供电介质层 140，来提供部分的体引出接入区的掺杂。

根据另一实施例，形成绝缘体上硅晶体管 80 的方法包括提供绝缘层 122，以及形成绝缘层 122 上的有源区 82、体引出接入区 128、栅电极 134、第一和第二电流电极（98、100）以及体引出扩散区 130。形成有源区 82 包括形成有源区，以使之在绝缘层 122 上，其中部分的有源区 82 提供本征体区 126。形成体引出接入区 128 包括在有源区 82 内形成体引出接入区 128，并且其也位于绝缘层 122 上。体引出接入区 128 还横向邻近本征体区 126，并生成到本征体区 126 的电接触。

形成栅电极 134 包括形成位于本征体区 126 上的栅电极，以提供对绝缘体上硅晶体管 80 的本征体区 126 的电气控制。栅电极 134 在体引出接入区 128 的一部分上延伸，其在图 4 中以附图标记 137 表示。此外，使栅电极 134 形成具有沿其在本征体区 126 和体引出接入区 128 上整个宽度基本不变的栅长  $L_1$ ，其以附图标记 88 表示。结果，栅电极 134 使晶体管驱动电流能力最大化，并使得寄生电容和栅极泄漏最小化。并且，该方法包括通过不使栅电极 134 在全部体引出接入区 128 上延伸来使寄生栅电容最小化。

此外，在邻近本征体区 126 相对侧，形成第一和第二电流电极（98、100）。随后，在有源区 82 内形成体引出扩散区 130，并且其从体引出接入区 128 横向偏移。而且，体引出扩散区 130 电耦接到体引出接入区 128。

该方法还包括形成基本在全部体引出接入区 128 上的电介质层 140，其包含位于体引出接入区 128 上的栅电极的那部分 137。此外，将位于电介质层 140 下的部分体引出接入区 128 掺杂，以增加体引出接入区 128 的掺杂浓度，来基本使体引出接入区中耗尽区 131 的形成最小化。在一个实施例中，所述掺杂包括在第一掩模中利用图形特征 144 作为用于掺杂的第一选择性块 (selective block)，以及在第二掩模中再次利用该图形特征 144 作为第二选择性块，其中该图形特征用来定义由附图标记 140 所表示的那部分电介质层。

在本发明公开的另一实施例中，形成绝缘体上硅晶体管的方法包括形成绝缘衬底 (202) 以及定义有源区 82，其定义绝缘体上硅晶体管 80 的位置。利用预定的扩散材料对有源区注入，以形成期望掺杂浓度的本征体区 126 (206)。该方法进一步包括通过在位于有源区 82 上的掩模中形成开口来定义体引出接入区 128，对有源区进行注入以形成体引出接入区 128，该体引出接入区具有预定的掺杂浓度，以使体引出接入电阻最小化。

然后在本征体区 126 和体引出接入区 128 两者上形成栅氧化物 (132, 133)。该方法继续在本征体区 126 和一部分体引出接入区 128 上淀积栅电极材料 134，并使之形成图形。随后，通过在有源区 82 上的掩模中形成开口来定义区域，进行掺杂质的晕圈 (halo) /扩展区注入，使掺杂质注入进本征体区 126，同时基本阻止该掺杂质进入体引出接入区 128。然后在长度基本不变的栅电极材料和体引出接入区 128 上形成侧壁隔离介质材料 (138、140)。随后，对基本在体引出接入区 128 上的区域进行掩模，例如，利用具有以虚线和附图标记 144 (图 3) 所示的轮廓 (outline) 的适当掩模。然后，在除体引出接入区 128 上和邻近长度基本不变的栅电极材料之外的各处去除侧壁隔离介质材料。随后，形成源扩散区 98、漏扩散区 100 以及体引出扩散区 130。

在一个实施例中，该方法进一步包括形成到源扩散区的电接触

(110)，到漏扩散区的电接触(112)，到体引出扩散区的电接触(114)以及到长度基本不变的栅电极材料的电接触(108)。在一个实施例中，形成电接触包括形成位于源扩散区(98)上、漏扩散区上(100)、体引出扩散区(102)上以及长度基本不变的栅电极材料(94)之上的硅化物层。

在另一实施例中，该方法进一步包括定义掩模（用于对体引出接入区进行掩模）的尺寸(144)，以使之具有防止注入进源扩散区和漏扩散区的掺杂质也被注入进体引出扩散区的最小距离，反之亦然。

并且，根据另一实施例，该方法包括在每一源扩散区、漏扩散区、长度基本不变的栅电极材料以及体引出扩散区上，有选择地淀积并形成导电材料，以生成到它们的电接触。此外，该方法包括定义掩模的尺寸，以使其具有充分大的值，该值足以防止由于接触每一源扩散区、漏扩散区、体引出扩散区以及长度基本不变的栅电极材料的硅化物而引起电学短路。

在一个实施例中，利用掩模，形成体引出接入区 128 上的栅氧化物，以使其具有第一厚度(132, 133)，该第一厚度大于本征体区 126 上的栅氧化物的第二厚度(132)。在另一实施例中，该方法进一步包括使长度基本不变的栅电极材料 134 延伸到仅位于一小部分的体引出接入区上，例如在小于一半的量级上。

因此，电介质层 140 通过有效地提供硅化物阻挡层，将源区和漏区与体接触区 130 分开，并从而最小化体接触接入区 128 中的非本征栅电容和栅泄漏电流，以及体接触区 130。此外，可以将电介质层 140 的形状（例如，经掩模布尔操作(mask Boolean operation)）合并进高域值电压 ( $V_t$ ) 的 PMOS 沟道注入掩模；从而使非本征体电阻最小化。

本公开的实施例有利地提供了对现有高性能 MOS SOI 工艺的扩

展。本公开的实施例还提供了其他优点，特别是，对于在需要精确控制体端的关键电路中体引出晶体管的使用。利用本公开的实施例，无需额外的掩模步骤。因此，本公开的方法的实现可以如改变设计版图般简单。

本实施例还提供多种益处，可能包括以下的一项或多项：1) 栅极面积的降低而引起的这种晶体管的降低的栅电容和电流；2) 降低的栅对体区交叠电容和泄漏电流；3) 将本公开的方法的实施例与体接触区中双栅氧化物 (DGO) 掩模结合，以进一步降低电容和泄漏电流的能力；以及 4) 使体引出区中栅长最小化的能力，将减轻对多晶-有源区未对准 (misalignment) 的要求，和/或改进具有同样版图的两个晶体管的源和漏之间的失配；5) 提供被阻挡的栅极下降低的外部体电阻，其中硅化物阻挡工艺 (silicide-block process) 也阻挡 n/p 扩展区和晕圈 (halo) 注入。

在前面的说明书中，已参考具体实施例说明了本发明。然而，本领域普通技术人员将理解，可以进行多种修改和变化，而不脱离如下面的权利要求所述的本发明的范围。因此，本说明书及附图被认为是说明性的，而不是限制的意思，并且所有这些修改都被包括在本发明的范围内。在此公开的各种实施例利用了本领域所公知的半导体工艺技术，因而在此没有对其详细说明。

已参考具体实施例说明了本发明的益处、其他优点及对问题的解决方案。然而这些益处、优点、对问题的解决方案，以及那些使任何益处、优点或技术方案出现或变得更显著的任意要素，都不认为是任意或全部权利要求的关键的、需要的或必须的特征。如在此使用的，术语“包括”或者其任何词形变化，都意在适用于非排除性的包括，使得包括多项要素的工艺、方法、款项或装置并不是仅仅包括这些要素，而是可以包括没有明确列出的或对于这些工艺、方法、款项或装置所固有的其他要素。



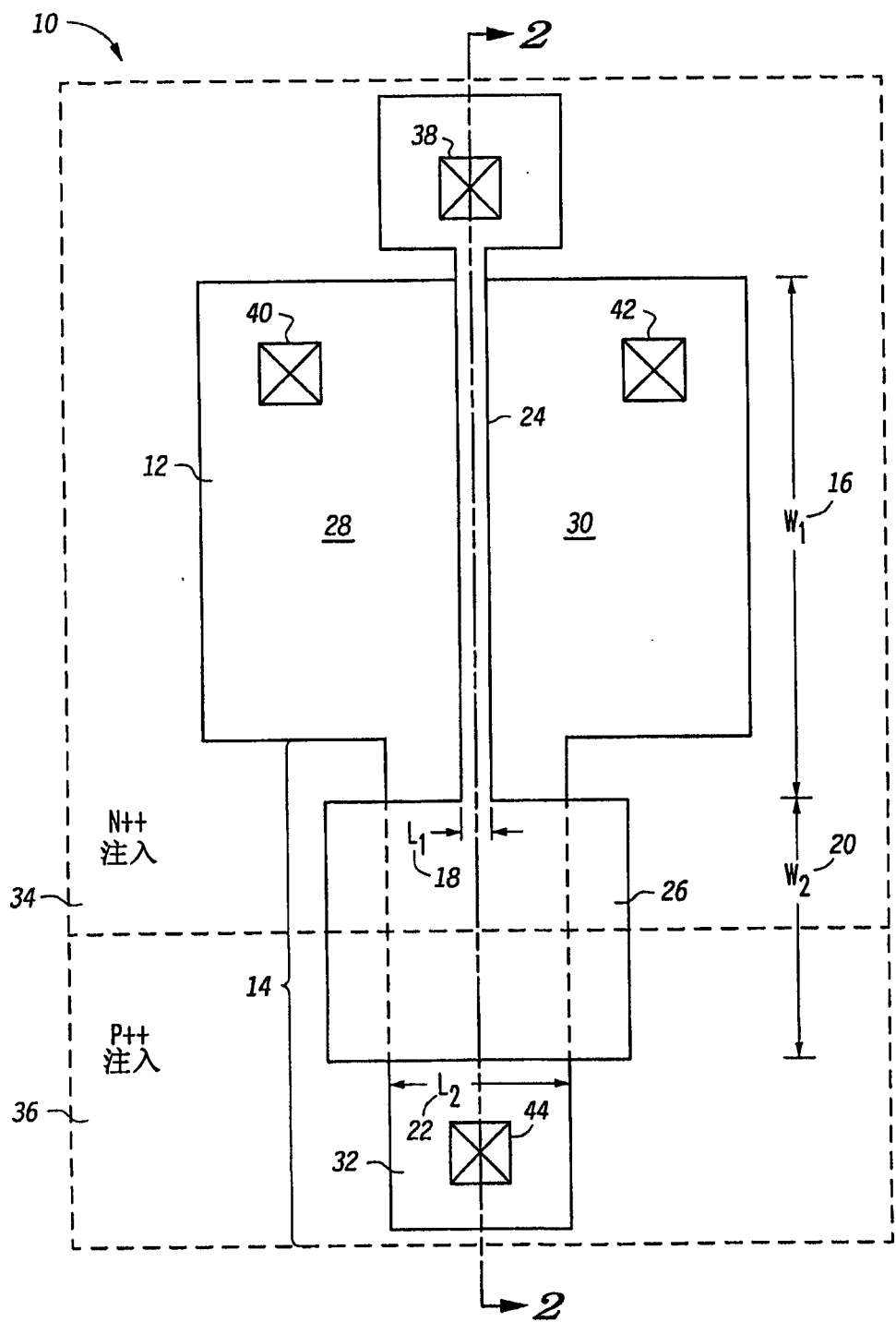


图1  
-现有技术-

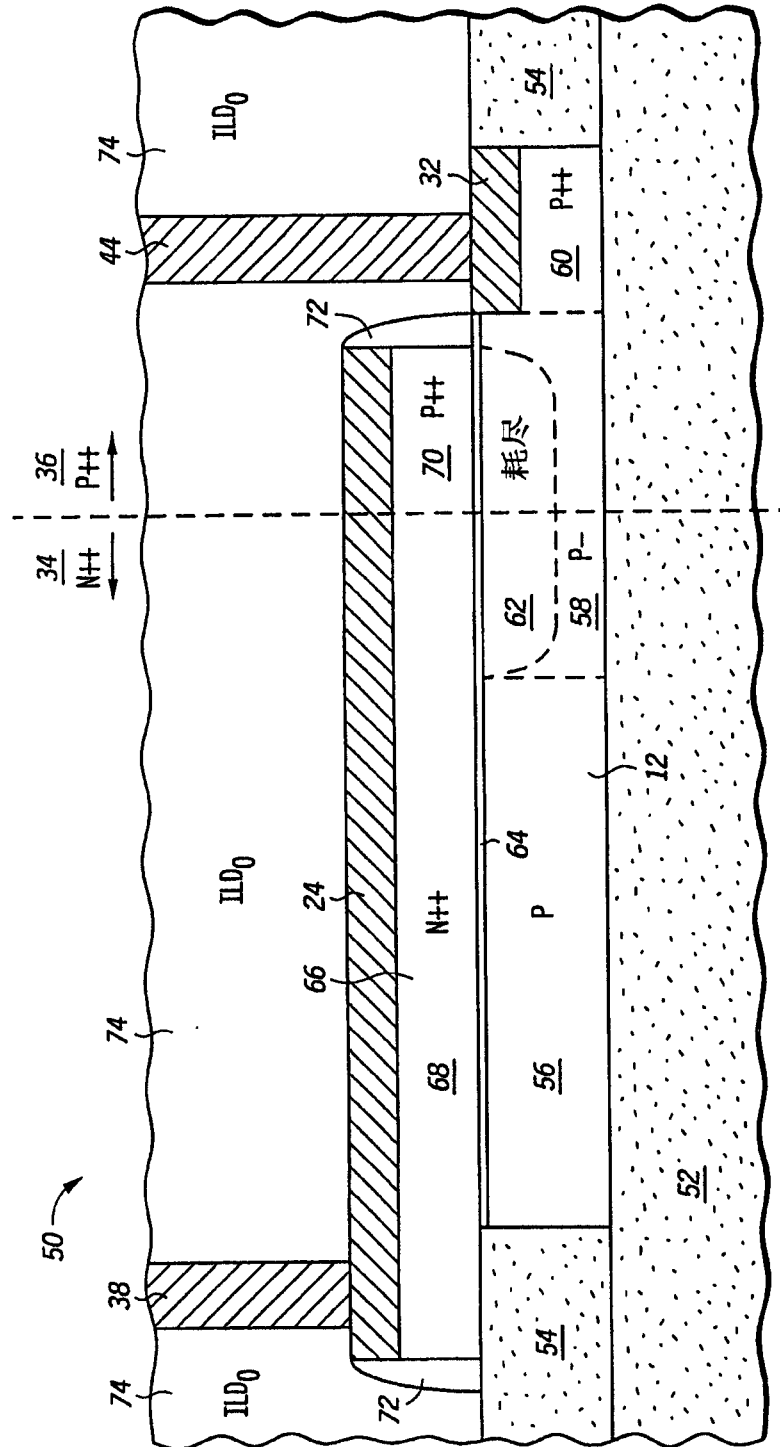


图2  
-现有技术-

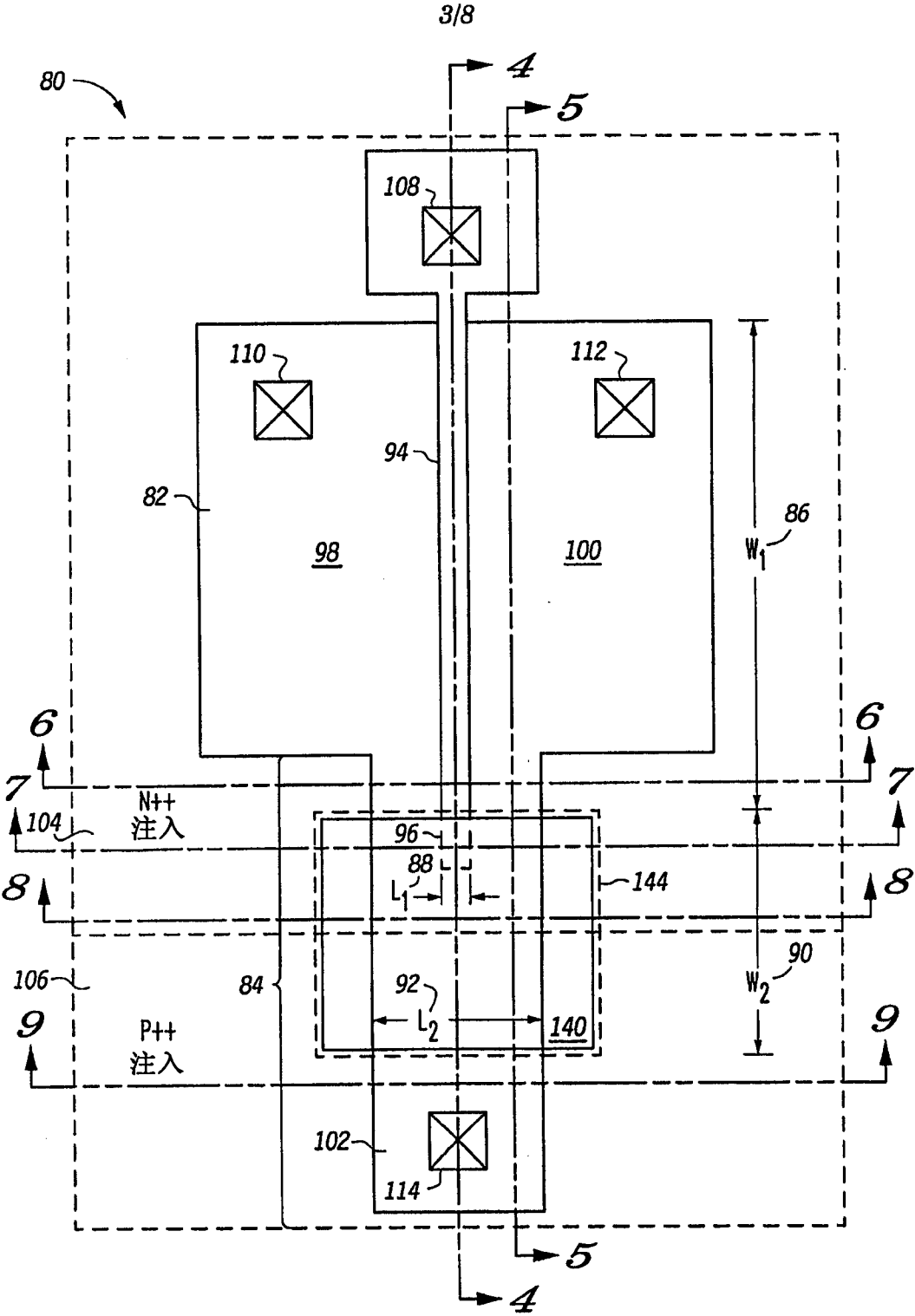


图3

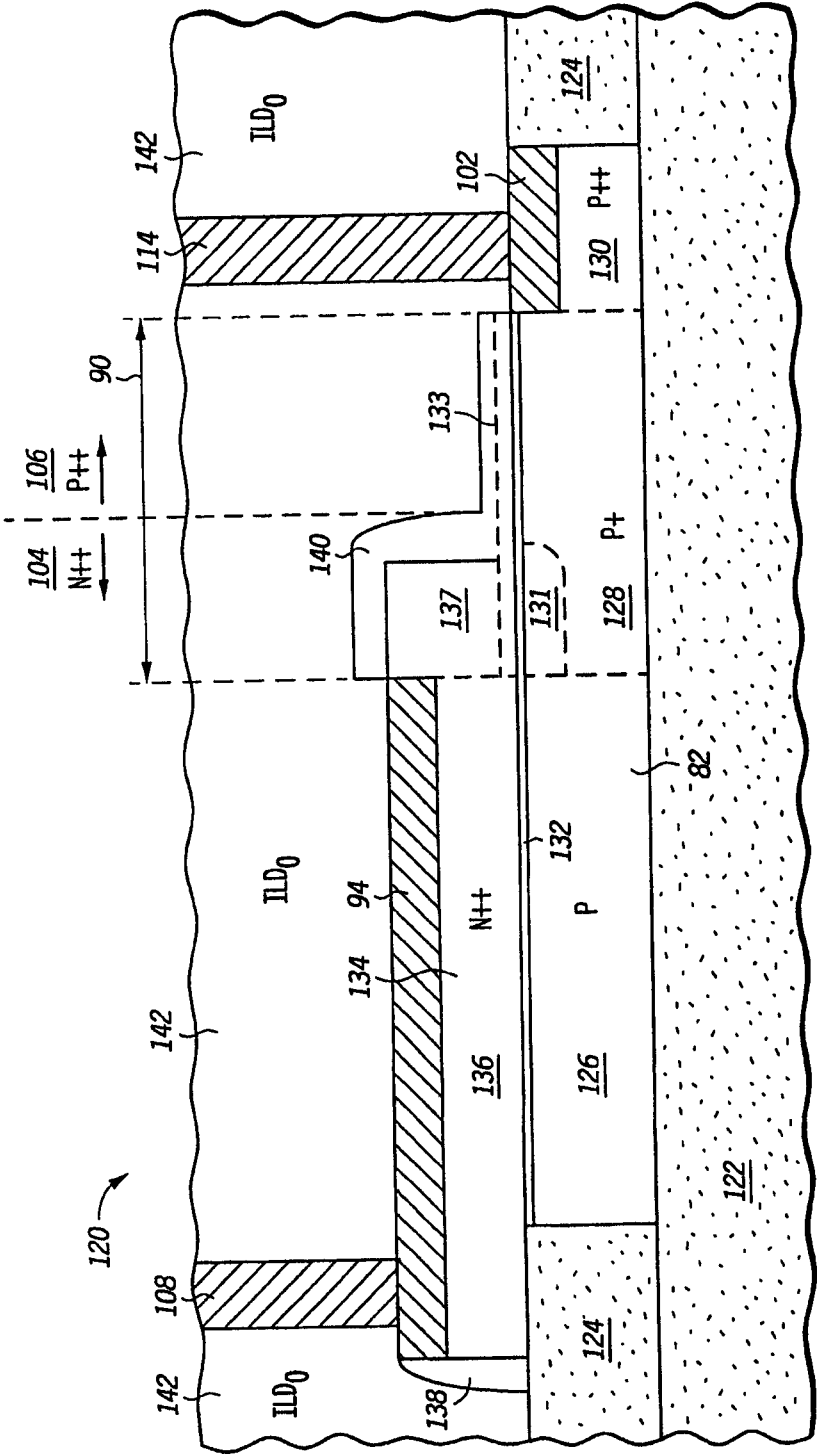


图4

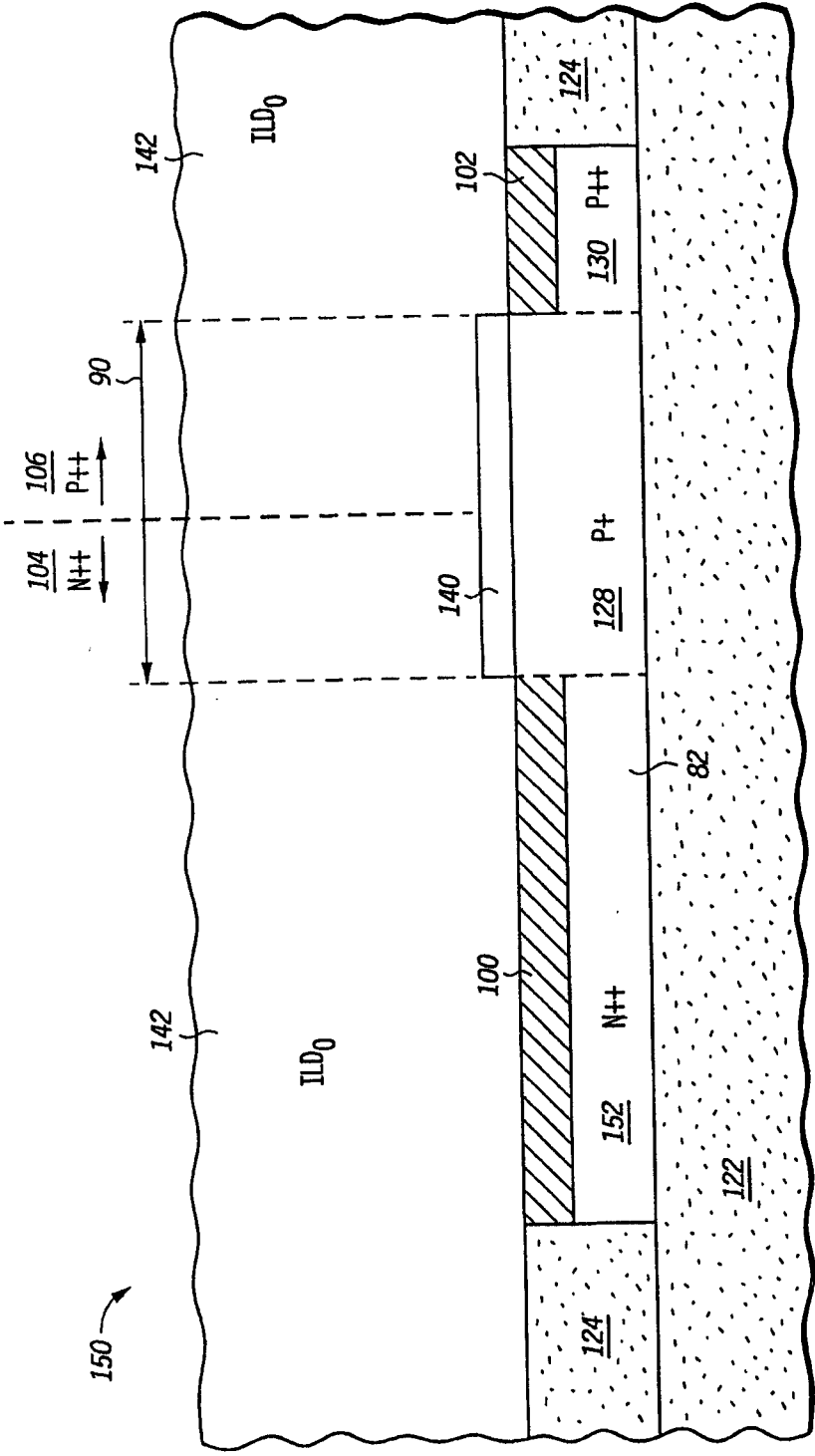


图5

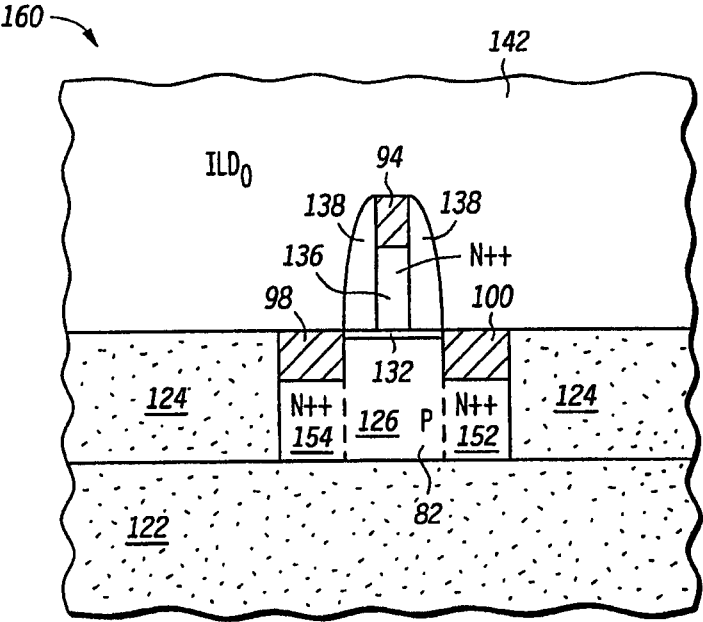


图6

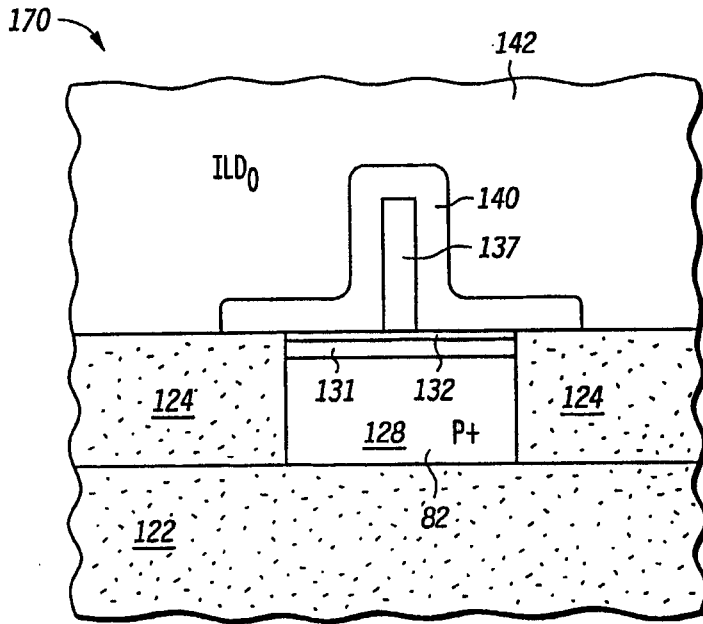


图7

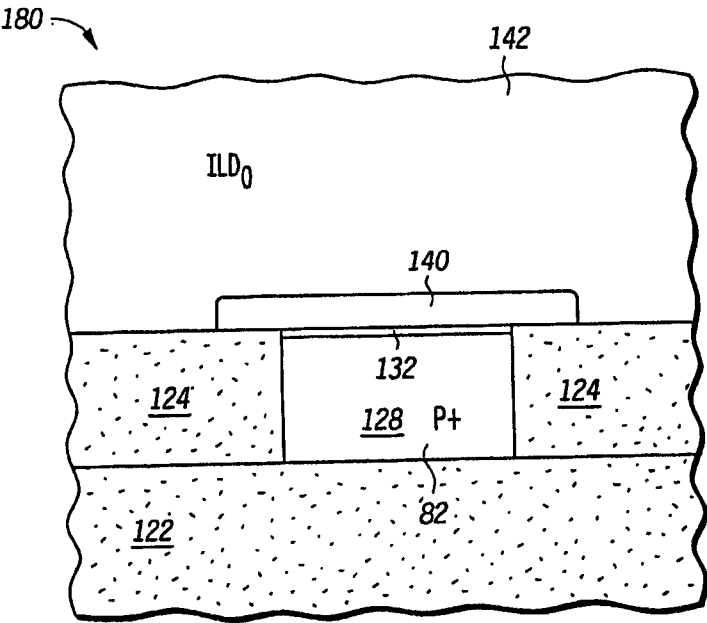


图8

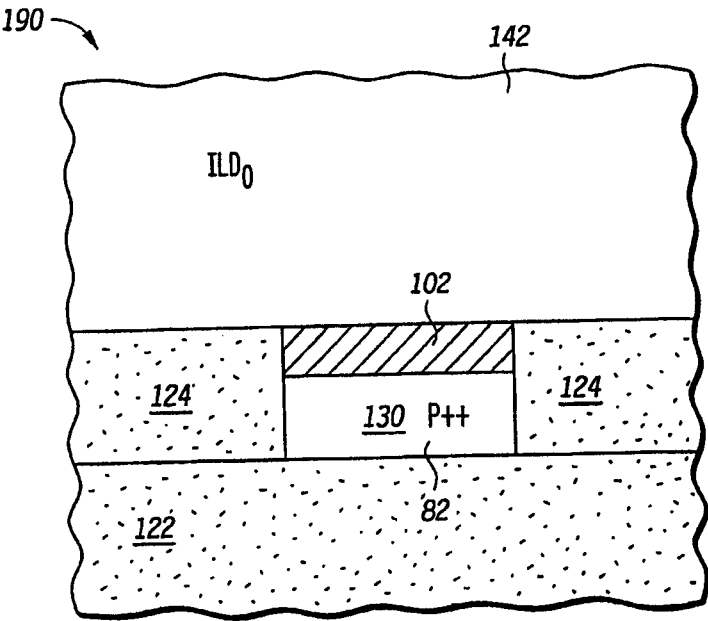


图9

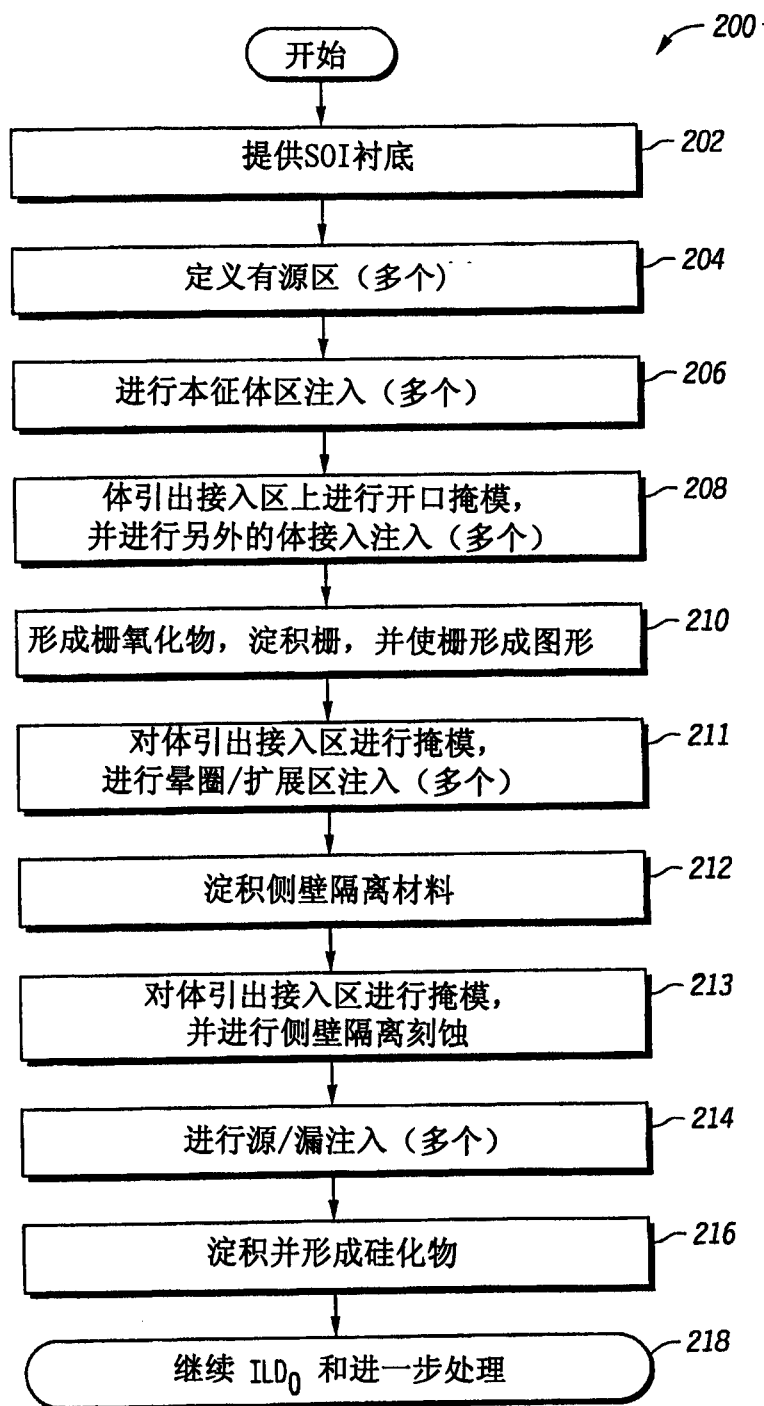


图10