

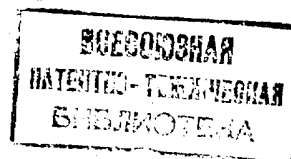


СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1661836 A1**

(51)5 G 11 C 19/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

(21) 4658091/24

(22) 03.03.89

(46) 07.07.91. Бюл. № 25

(72) Г. Г. Гришин, Л. П. Еременко, А. Д. Кап-
ралов и А. А. Мадатов

(53) 681.327.6(088.8)

(56) Лазер И. М., Шубарев В. А. Устойчивость
цифровых микроэлектронных устройств. —
М.: Радио и связь, 1983, с. 105, рис. 4.6.

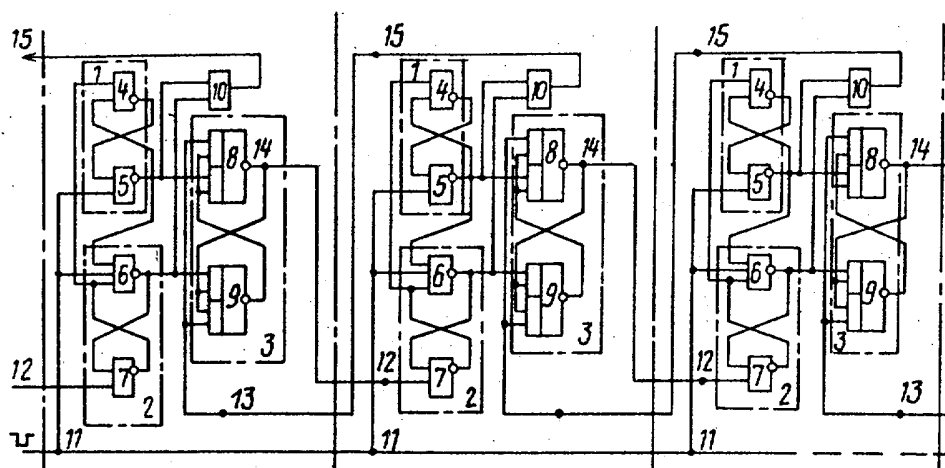
Потемкин И. С. Функциональные узлы
цифровой автоматики. — М.: Энергоатомиз-
дат, 1988, с. 189, рис. 6.14.

(54) РЕГИСТР СДВИГА

(57) Изобретение относится к области циф-
ровой вычислительной техники и дискрет-
ной автоматики, а точнее к регистрам сдвига

2

на потенциальных логических элементах в
интегральном исполнении. Целью изобре-
тения является повышение надежности ре-
гистра сдвига. Поставленная цель
достигается тем, что каждая ячейка памяти
регистра сдвига содержит два элемента И-
ИЛИ-НЕ 8, 9 и элемент И 10 с соответст-
вующими связями. Элемент И 10 блокирует
перезапись информации в запоминающий
триггер 3 последующего разряда до переза-
писи информации из триггера 3 последую-
щего разряда в триггеры 1, 2 предыдущего
разряда. В результате обеспечивается пра-
вильная работа регистра независимо от раз-
броса времени прихода синхросигнала на
различные разряды регистра. 3 ил.



Фиг.1

(19) **SU** (11) **1661836 A1**

Изобретение относится к области цифровой вычислительной техники и дискретной автоматики, а точнее к регистрам сдвига на потенциальных логических элементах в интегральном исполнении.

Целью изобретения является повышение надежности регистра сдвига.

На фиг. 1 представлена схема регистра сдвига; на фиг. 2 и 3 – временные диаграммы его работы.

Каждая ячейка памяти регистра сдвига содержит два коммутационных триггера 1 и 2, и запоминающий триггер 3, причем триггеры 1 и 2 выполнены соответственно на первом 4 и втором 5, третьем 6 и четвертом 7 элементах И-НЕ, а запоминающий триггер 3, выполнен на первом 8 и втором 9 элементах И-ИЛИ-НЕ, элемент И 10, вход 11 синхронизации, информационный вход 12, вход 13 управления записью в запоминающий триггер 3, информационный выход 14, выход 15 подтверждения синхросигнала.

Регистр работает следующим образом.

Информация ячейки памяти предыдущего разряда поступает на вход 12 ячейки данного разряда. Синхроимпульсы подаются на вход 11 триггеров. При уровне логической "1" на входе 11 синхронизации происходит хранение информации в регистре. Во время действия синхросигнала, т.е. при уровне логического "0" на входе 11 синхронизации, на выходах элементов 5, 6 и 10 всех разрядов присутствует уровень логической "1", который с выхода элемента 10 каждого разряда поступает как управляющий сигнал блокировки записи в запоминающие триггеры 3 на элементах 8 и 9 следующих сдвигаемых разрядов.

Во время активного положительного фронта каждого синхросигнала сдвиг информации в регистре на один разряд вправо происходит следующим образом. По окончании положительного фронта синхросигнала в зависимости от вдвигаемой информации на вход 12 данного разряда на выходе элемента 5 или 6 обязательно появится уровень логического "0", который при наличии уровня логической "1" на входе 13, приходящего с предыдущего сдвигаемого разряда, не запишется в запоминающий триггер 3 данного разряда. Только после записи информации в результате сдвига в следующий разряд на входе 13 данного разряда появится уровень логического "0", который разрешит запись информации с выходов элементов 5 или 6 в запоминающий триггер 3 данного разряда.

Работа сдвигового регистра может быть рассмотрена на примерах временных диа-

грамм по фиг. 2 и 3, иллюстрирующим сдвиг информации вправо на один разряд под действием активного положительного фронта синхросигнала.

На фиг. 2 исходное состояние разрядов $(n+1)$, n и $(n-1)$ соответствует коду 010.

На входе 12 $(n+1)$ -го разряда перед приходом синхросигнала установился уровень логической "1". На временной диаграмме (фиг. 2) показано, что из-за различных длин проводников в цепях синхронизации синхросигнал на входы 11 разрядов поступает в следующей последовательности: сначала в $(n-2)$ -й разряд, что видно по входу 13 $(n-1)$ -го разряда, затем на $(n+1)$ -й, $(n-1)$ -й и n -й разряд, что видно по переключению элементов 5 и 6 разрядов. В аналогичной последовательности возникает и положительный сигнал блокировки на входах 13 разрядов. Под действием активного положительного фронта синхросигнала записывается последовательная информация в триггеры 1 и 2 разрядов: "1" – в $(n+1)$ -й разряд, "1" – в $(n-1)$ -й разряд и "0" – в n -й разряд, что видно по выходам элементов 5 и 6 триггеров 1 и 2. Но в триггеры 3 эта новая информация будет передаваться по мере снятия блокировки в каждом разряде, т.е. только после появления уровня логического "0" на входе 13 того или иного разряда. В примере на фиг. 2 сначала снимается блокировка в $(n-1)$ -м разряде, она снимается раньше, чем меняется состояние триггеров 1 и 2 этого разряда, поэтому в интервале времени $t_1 - t_2$ в этом разряде подтверждается старое состояние, а после момента t_2 в триггер 3 $(n-1)$ -го разряда записывается новая информация, что видно по смене состояния на выходе 14 ячейки памяти.

После записи новой информации в триггеры 1 и 2 $(n-1)$ -го разряда и после некоторой задержки на элементе 10 этого разряда снимается блокировка записи новой информации в триггер 3 n -го разряда, так как на его входе 13 появляется уровень логического "0". В результате чего в n -й разряд записывается нулевая информация. В $(n+1)$ -м разряде триггеры 1 и 2 переключились намного раньше, чем снялась блокировка. Запись "1" в $(n+1)$ -й разряд произойдет тоже только после появления уровня логического "0" на его входе 13.

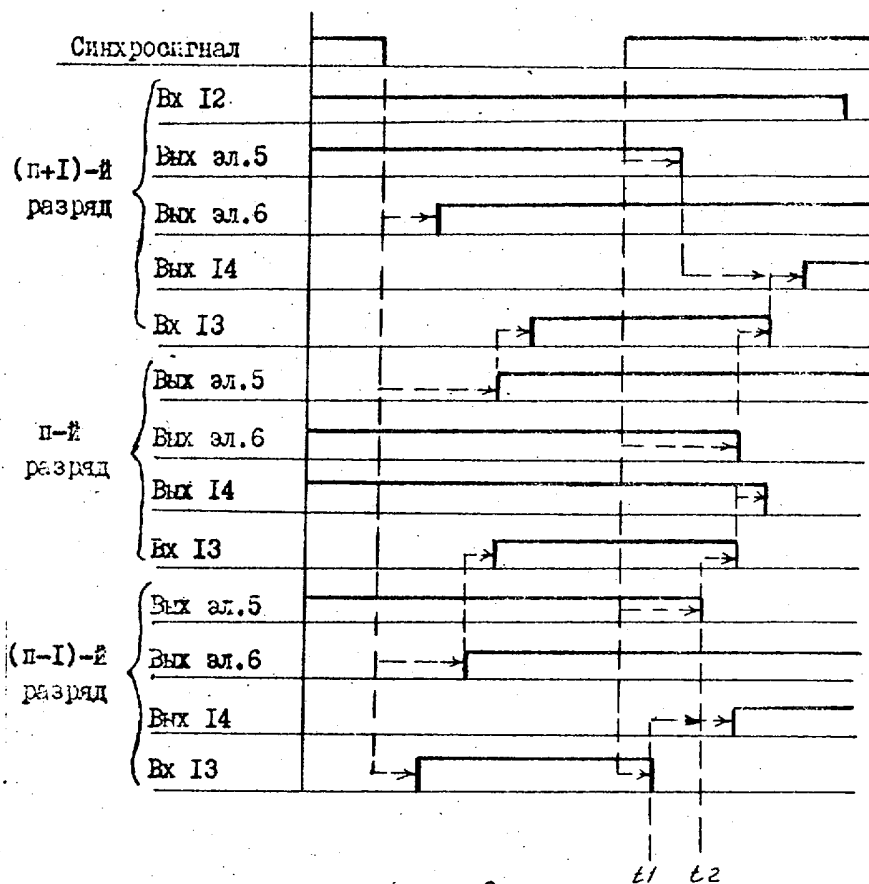
На временной диаграмме (фиг. 3) показан случай, когда активный фронт синхросигнала приходит раньше на старшие $(n+1)$ -й и n -й разряды, а затем на младший $(n-1)$ -й разряд. В этом случае (фиг. 3) переключаются триггеры 1 и 2 $(n+1)$ -го разряда, n -го и $(n-1)$ -го разряда, но запись новой ин-

формации в триггер 3 (n+1)-го разряда произойдет только после записи новой информации в триггеры 1 и 2 n-го разряда. Запись новой информации в триггеры 3 n-го и (n-1)-го разрядов произойдет тоже только после снятия блокировки на их входах 13.

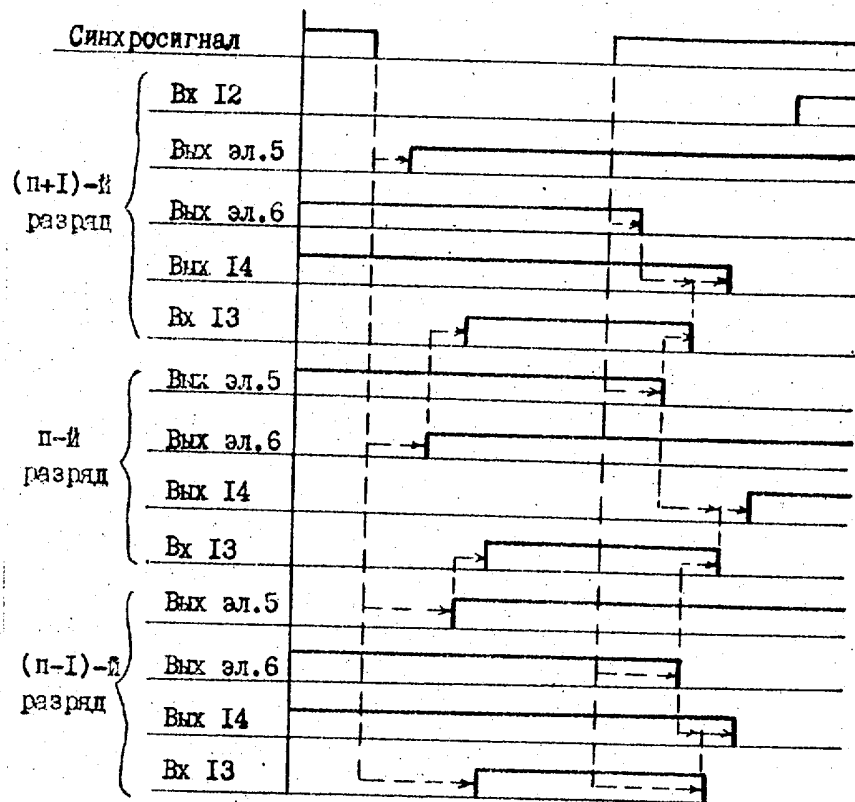
Формула изобретения

Регистр сдвига, содержащий ячейки памяти, каждая из которых состоит из четырех элементов И-НЕ, причем выход первого элемента И-НЕ соединен с первым входом второго элемента И-НЕ, выход которого соединен с первыми входами первого и третьего элементов И-НЕ, вторые входы которых соединены с выходом четвертого элемента И-НЕ, первый вход которого соединен с выходом третьего элемента И-НЕ, третий вход которого соединен с вторыми входами вторых элементов И-НЕ всех ячеек памяти и является входом синхронизации регистра, второй вход четвертого элемента И-НЕ первой ячейки памяти является информационным входом регистра, о т л и ч а ю щ и с я тем, что, с целью повышения надежности регистра, каждая ячейка памяти содержит два элемента И-ИЛИ-НЕ и элемент И, первый вход которого соединен с выходом второго элемента И-НЕ и первым входом

первой группы первого элемента И-ИЛИ-НЕ, вторые входы первой и второй групп которого соединены с выходом второго элемента И-ИЛИ-НЕ, первый вход первой группы которого соединен с выходом третьего элемента И-НЕ и вторым входом элемента И, выход которого в каждой ячейке памяти, кроме первой, соединен с первыми входами второй группы первого и второго элементов И-ИЛИ-НЕ предыдущей ячейки памяти, а выход элемента И первой ячейки памяти является выходом подтверждения синхросигнала регистра, первые входы второй группы элементов И-ИЛИ-НЕ последней ячейки памяти соединены и являются входом подтверждения синхросигнала регистра, выход первого элемента И-ИЛИ-НЕ каждой ячейки памяти, кроме последней, соединен с вторыми входами первой и второй групп второго элемента И-ИЛИ-НЕ данной ячейки и с вторым входом четвертого элемента И-НЕ предыдущей ячейки памяти, а выход первого элемента И-ИЛИ-НЕ последней ячейки памяти соединен с вторыми входами первой и второй групп второго элемента И-ИЛИ-НЕ данной ячейки памяти и является информационным выходом регистра.



Фиг. 2



Фиг. 3

Редактор Л. Гратилло

Составитель С. Королев
Техред М.Моргентал

Корректор Э. Лончакова

Заказ 2128

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101