



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I708246 B

(45)公告日：中華民國 109 (2020) 年 10 月 21 日

(21)申請案號：108131229

(22)申請日：中華民國 108 (2019) 年 08 月 30 日

(51)Int. Cl. : G11C11/56 (2006.01)

G11C29/08 (2006.01)

(30)優先權：2018/08/31 美國

16/119,488

(71)申請人：美商美光科技公司(美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：羅利 馬修 D ROWLEY, MATTHEW D. (US)；亨德森 麥克 J HENDERSON,

MICHAEL J. (US)

(74)代理人：陳長文

(56)參考文獻：

US 2004/0017229A1

US 2015/0155789A1

US 2017/0323501A1

US 2018/0101711A1

審查人員：蔡明宏

申請專利範圍項數：20 項 圖式數：5 共 39 頁

(54)名稱

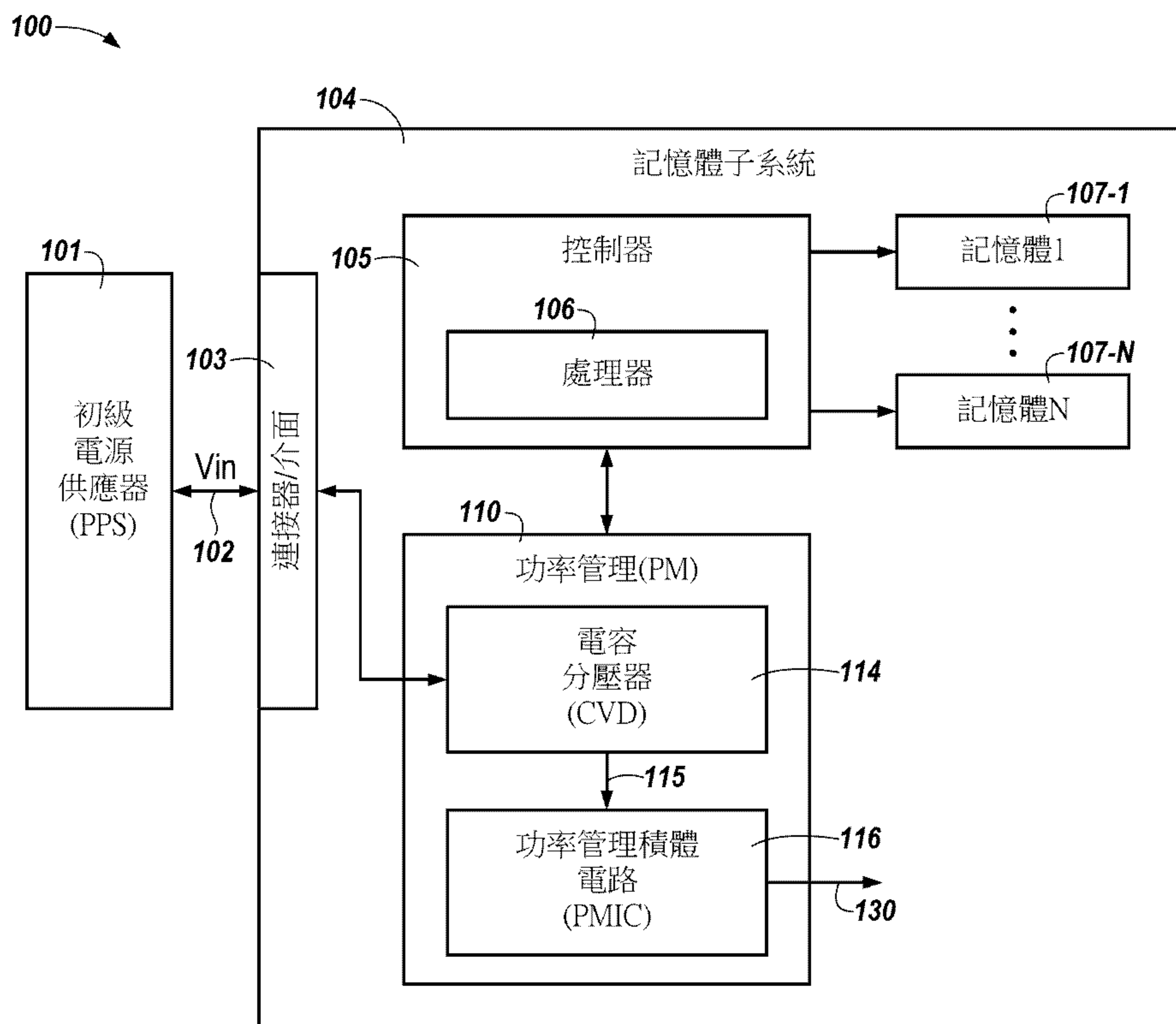
用於功率管理之電容分壓器

(57)摘要

本發明揭示一種記憶體子系統，其包含一功率管理積體電路(PMIC)，該 PMIC 與低於該記憶體子系統之一初級供應電壓之一最高 PMIC 供應電壓處之操作相容。該 PMIC 經組態以基於一 PMIC 供應電壓來輸出用於該記憶體子系統之操作之多個電壓。該記憶體子系統進一步包含耦合至該 PMIC 之一電容分壓器(CVD)。該 CVD 經組態以接收該記憶體子系統之該初級供應電壓作為一輸入且將一經修改初級供應電壓(MPSV)作為該 PMIC 供應電壓提供至該 PMIC，其中該 MPSV 不高於該最高 PMIC 供應電壓。

A memory sub-system includes a power management integrated circuit (PMIC) compatible with operation at an uppermost PMIC supply voltage that is lower than a primary supply voltage of the memory sub-system. The PMIC is configured to output multiple voltages for operation of the memory sub-system based on a PMIC supply voltage. The memory sub-system further includes a capacitive voltage divider (CVD) coupled to the PMIC. The CVD is configured to receive the primary supply voltage of the memory sub-system as an input and provide a modified primary supply voltage (MPSV) to the PMIC as the PMIC supply voltage, where the MPSV is not higher than the uppermost PMIC supply voltage.

指定代表圖：



【圖1】

符號簡單說明：

100: 運算環境

101: 初級電源供應器 (PPS)

102: 初級供應電壓

103: 連接器/介面

104: 記憶體子系統

105: 記憶體裝置控制器

106: 處理器

107-1、...、107-N: 記憶體組件

110: 功率管理(PM)組件

114: 電容分壓器(CVD)

115: 經修改初級供應電壓(MPSV)

116: 功率管理積體電路 (PMIC)

130: 進一步減小電壓



【發明摘要】

IPC 分類號: G11C 11/56 (2006.01)  
G11C 29/08 (2006.01)

【中文發明名稱】

用於功率管理之電容分壓器

【英文發明名稱】

CAPACITIVE VOLTAGE DIVIDER FOR POWER MANAGEMENT

【中文】

本發明揭示一種記憶體子系統，其包含一功率管理積體電路 (PMIC)，該 PMIC 與低於該記憶體子系統之一初級供應電壓之一最高 PMIC 供應電壓處之操作相容。該 PMIC 經組態以基於一 PMIC 供應電壓來輸出用於該記憶體子系統之操作之多個電壓。該記憶體子系統進一步包含耦合至該 PMIC 之一電容分壓器 (CVD)。該 CVD 經組態以接收該記憶體子系統之該初級供應電壓作為一輸入且將一經修改初級供應電壓 (MPSV) 作為該 PMIC 供應電壓提供至該 PMIC，其中該 MPSV 不高於該最高 PMIC 供應電壓。

【英文】

A memory sub-system includes a power management integrated circuit (PMIC) compatible with operation at an uppermost PMIC supply voltage that is lower than a primary supply voltage of the memory sub-system. The PMIC is configured to output multiple voltages for operation of the memory sub-system based on a PMIC supply voltage. The memory sub-system further includes a capacitive voltage divider (CVD) coupled to the PMIC. The CVD is configured to receive the primary supply voltage of the memory sub-system as an input and

provide a modified primary supply voltage (MPSV) to the PMIC as the PMIC supply voltage, where the MPSV is not higher than the uppermost PMIC supply voltage.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- |                 |                 |
|-----------------|-----------------|
| 100             | 運算環境            |
| 101             | 初級電源供應器(PPS)    |
| 102             | 初級供應電壓          |
| 103             | 連接器/介面          |
| 104             | 記憶體子系統          |
| 105             | 記憶體裝置控制器        |
| 106             | 處理器             |
| 107-1、...、107-N | 記憶體組件           |
| 110             | 功率管理(PM)組件      |
| 114             | 電容分壓器(CVD)      |
| 115             | 經修改初級供應電壓(MPSV) |
| 116             | 功率管理積體電路(PMIC)  |
| 130             | 進一步減小電壓         |

# 【發明說明書】

## 【中文發明名稱】

用於功率管理之電容分壓器

## 【英文發明名稱】

CAPACITIVE VOLTAGE DIVIDER FOR POWER MANAGEMENT

## 【技術領域】

【0001】 本發明大體係關於記憶體子系統，且更特定言之，本發明係關於一種用於記憶體子系統之功率管理之電容分壓器。

## 【先前技術】

【0002】 一記憶體子系統可為諸如一固態硬碟(SSD)之一儲存系統，且可包含儲存資料之一或多個記憶體組件。記憶體組件可(例如)包含揮發性記憶體組件及非揮發性記憶體組件。記憶體子系統可包含可管理記憶體組件且分配待儲存於記憶體組件處之資料的一控制器。一般而言，一主機系統可利用一記憶體子系統以經由控制器來將資料儲存於記憶體組件處及自記憶體組件擷取資料。各種記憶體子系統包含用於管理功率分配之一功率管理組件。

## 【發明內容】

## 【圖式簡單說明】

【0003】 將自下文給出之詳細描述及本發明之各種實施例之附圖更完全理解本發明。然而，圖式不應被視為使本發明受限於特定實施例，而是僅供闡釋及理解。

【0004】 圖1繪示根據本發明之一些實施例之包含一記憶體子系統之一實例性運算環境。

【0005】 圖2繪示根據本發明之一些實施例之一功率管理組件之一實例。

【0006】 圖3係根據本發明之一些實施例之用於操作一電容分壓器之一實例性方法之一流程圖。

【0007】 圖4係根據本發明之一些實施例之圖3中所繪示之實例性方法之一額外流程圖。

【0008】 圖5係其中可操作本發明之實施例之一實例性電腦系統之一方塊圖。

#### 【實施方式】

【0009】 本發明之態樣係針對一種用於一記憶體子系統中之功率管理之電容分壓器(CVD)。一記憶體系統在下文中亦指稱一「記憶體裝置」。一記憶體子系統之一實例係諸如一固態硬碟(SSD)之一儲存系統。各種記憶體子系統可包含一功率管理(PM)組件以管理自一電源接收一初級供應電壓及適當分配電功率(例如電壓之量值)以與一特定記憶體子系統之一或多個記憶體組件之操作相容。PM組件可包含一功率管理積體電路(PMIC)。

【0010】 一些習知PMIC組件可包含蝕刻或硬編碼邏輯以提供對一記憶體裝置之各種要求的控制。在利用蝕刻或硬編碼邏輯之方法中，PMIC組件可經組態以提供對一特定記憶體裝置之各種要求的控制。因此，此等習知PMIC組件僅可用於一特定應用及/或一特定記憶體裝置。例如，若記憶體裝置之要求改變，則此等習知PMIC組件會停止適當運作或操作，其可導致習知PMIC組件之儲量變得過時且因此不可替代。

【0011】 為減少經蝕刻或包含硬編碼邏輯之PMIC組件之耗損儲

量，一些習知PMIC組件採用電子熔絲(eFuse)，其可允許PMIC組件之態樣在製造之後改變。在採用電子熔絲之PMIC組件中，若(例如)歸因於設計PMIC組件之一記憶體裝置之各種要求改變而不再使用或需要一特定PMIC組件，則可燃燒(例如燒斷)一或多個電子熔絲。此可允許PMIC組件在一定程度上重新程式化以具有使其各種要求在製造PMIC組件之後改變之一記憶體裝置。然而，歸因於電子熔絲之性質(例如，當已燒斷一電子熔絲時，其無法再被燒斷)，利用電子熔絲之習知PMIC組件僅可被重新程式化有限次數。

**【0012】** 此外，使用電子熔絲之習知PMIC組件通常在製造之後及/或在一銷售點之前程式化(例如，燒斷電子熔絲)以根據一組特定記憶體裝置要求來操作。若記憶體裝置要求在燒斷電子熔絲之後改變，則習知PMIC組件一般無法重新程式化，其可導致習知PMIC組件之儲量變得過時且因此不可替代。因此，類似於其中蝕刻或硬編碼PMIC組件之習知方法，利用電子熔絲之PMIC組件之習知方法可導致PMIC組件之耗損儲量。例如，由於電子熔絲之單次使用性，當設計PMIC組件之一記憶體裝置之要求改變時，利用電子熔絲之PMIC組件會變得不可替代。

**【0013】** 一習知PMIC可經組態以將一記憶體裝置之初級供應電壓轉換為用於操作記憶體組件之各種輸出電壓(例如軌道)。然而，各種習知PMIC經組態以依一特定供應電壓或在一有限供應電壓範圍內操作。因此，未經設計以依其他初級供應電壓操作之不同習知PMIC經設計以適應不同初級供應電壓以(例如)避免損壞PMIC之構成組件。在習知實施方案中，一PMIC可接收(例如) 12伏特(V)之一初級供應電壓且可在一單一操作中使用一電壓轉換器(例如一降壓調節器及PMIC上之其他可能類型之調

節器)來減小初級供應電壓。經組態以執行一大電壓減小(例如自12 V至1 V)之一電壓轉換器使用比經組態以執行一較小電壓減小(例如自4 V至1 V)之一電壓轉換器多之能量。另外，此一電壓轉換器要佔用比經組態以執行一較小電壓減小之一電壓轉換器多之面積及/或體積(例如在一電路板上)。

**【0014】** 再者，在習知實施方案中，初級供應電壓之一量值減小(例如低於一臨限電壓)可導致來自記憶體組件(例如一記憶體胞元陣列)之資料損失。例如，一記憶體裝置至一初級電源供應器之連接中斷可導致來自一揮發性記憶體胞元陣列(其上儲存資料及/或對其執行各種操作)之資料損失及減小初級供應電壓之其他可能結果。

**【0015】** 本發明之態樣藉由提供本文所描述之CVD作為PM組件之部分來解決以上及其他不足。使CVD包含於初級供應電壓之一輸入與經組態以與依比初級供應電壓低之一電壓操作相容之PMIC之間可解決一習知PMIC實施方案之以上及其他不足。例如，CVD可將12 V或更高之一初級供應電壓轉換為與PMIC之操作相容之一3 V至5 V範圍內之一PMIC供應電壓。CVD可經組態以藉由將多個不同初級供應電壓轉換為與一特定PMIC之操作相容之一供應電壓(例如在一有限供應電壓範圍內)來適應多個不同初級供應電壓。PM組件之CVD可經組態以儲存多個組態設定檔(如本文將進一步描述)，其可基於由自一初級電源供應器經由CVD輸入至記憶體子系統之初級供應電壓之一量值改變所致之各種要求來動態選擇。

**【0016】** 如此組態之CVD之一兩階段實施方案及使用PMIC來將PMIC供應電壓進一步調整為與記憶體子系統之記憶體組件之操作相容之電壓可提供提高能量效率。此一提高能量效率可高於由使用一單一電壓轉換器(例如一降壓調節器)之習知單階段減小或使用用於此一大電壓減小之

兩個此等電壓轉換器之習知兩階段減小達成之能量效率。再者，比經組態以執行一較大電壓減小之一電壓轉換器少之電壓轉換器及/或經組態以執行一較小電壓減小之一電壓轉換器(例如執行一4 V至1 V而非12 V至1 V減小之一電壓轉換器)可佔用較小面積及/或體積(例如在一電路板上之一PMIC內)。與經組態以依自CVD輸出之一電壓操作之一PMIC組合之一CVD亦可比經組態以依(例如) 12 V操作且產生1 V之一輸出電壓的一習知PMIC便宜。

**【0017】** 圖1繪示根據本發明之一些實施例之包含一記憶體子系統104之一實例性運算環境100。圖1中所繪示之運算環境100展示各種組件，其係記憶體子系統104之部分或耦合至記憶體子系統104。例如，一初級電源供應器(PPS) 101可耦合至記憶體子系統104。如本文所使用，「耦合至」一般係指組件之間的一連接，其可為一間接通信連接或直接通信連接(例如無需介入組件)(有線或無線)(包含諸如電、光學、磁性等等之連接)。

**【0018】** 記憶體子系統104可包含一PM組件110。在各種實施例中，PM組件110可包含一CVD 114及一PMIC 116。記憶體子系統104可包含耦合至一記憶體裝置控制器105(下文指稱「控制器」)之PM組件110。

**【0019】** 記憶體子系統104上之PM組件110可包含一PMIC 116，其經組態以調整一特定輸入電壓以與記憶體子系統104之各種組件之操作相容。PMIC 116可與一最高PMIC供應電壓處之操作相容。PMIC供應電壓低於由PPS 101提供之記憶體子系統104之一初級供應電壓102。PMIC 116可經組態以基於一PMIC供應電壓來輸出用於操作記憶體子系統104之一或多個電壓。在若干實施例中，可基於將PMIC供應電壓轉換為一或多

個減小電壓來判定待輸出之電壓，該一或多個減小電壓對應於與記憶體子系統104之一或多個組件之操作相容之電壓，該一或多個組件可包含控制器105、記憶體組件107-1、...、107-N及/或其相關聯電路，諸如控制電路、輸入/輸出(I/O)電路、位址電路等等。

**【0020】** 如本文所使用，一電壓「與一特定組件之操作相容」之陳述意欲意謂：供應一較高電壓無法啟動(例如斷開、燒毀等等)經組態以在一較低電壓範圍內操作之一組件之一熔絲、一電晶體、一電容器等等，或供應一較低電壓可低於用於操作組件之一電壓臨限值。例如，初級供應電壓102可為12 V或更高且與PMIC 116及/或其組件之操作相容之一電壓可為約4 V。若將(例如) 12 V或更高之一初級供應電壓輸入至與5 V之一最高電壓處之操作相容之一組件，則此一組件無法啟動。將此一高初級供應電壓減小至(例如) 4 V可促成此無法啟動之一機率降低。

**【0021】** PM組件110可包含耦合至PMIC 116之一CVD 114。CVD 114可用於減小初級供應電壓102，如本文所描述。CVD 114可耦合至連接器/介面103。連接器/介面103可用於自PPS 101輸入初級供應電壓102 ( $V_{in}$ )及/或用於信號之輸出以控制自PPS 101輸出初級供應電壓102。

**【0022】** CVD 114可經組態以接收初級供應電壓102作為 $V_{in}$ 且一經修改初級供應電壓(MPSV) 115作為PMIC供應電壓提供至PMIC 116。在若干實施例中，可自記憶體子系統104之PPS 101經由連接器/介面103接收初級供應電壓102。MPSV 115可為已由CVD 114自初級供應電壓102轉換為不高於最高PMIC供應電壓之一電壓(PMIC 116經組態以依其操作)之一電壓(例如一3 V至5 V範圍內之一電壓)。

**【0023】** CVD 114可經組態以接收高於最高PMIC供應電壓之多個

不同初級供應電壓作為輸入。例如，在記憶體子系統104之操作期間之各種時間，初級供應電壓可在自大於最高PMIC供應電壓(例如5 V)至240 V或更大之範圍內。初級供應電壓之此等波動可由諸如以下各種原因所致：增加電功率至PPS 101之預期輸入以執行特定操作、電功率至PPS 101之非預期輸入及/或未調節輸入及/或PPS 101之不當操作(例如由其損壞及/或不可作組件引起)及其他原因。

**【0024】** CVD 114可經組態以在不同初級供應電壓由PPS 101透過連接器/介面103提供時減小不同初級供應電壓之各者以將MPSV 115作為與PMIC 116之操作相容之PMIC供應電壓提供至PMIC 116。CVD 114可經組態以劃分不同初級供應電壓而產生MPSV 115，使得MPSV 115可經可選擇地判定以提供與PMIC 116之操作相容之PMIC供應電壓。例如，在由PPS 101將不同初級供應電壓之各者提供至CVD 114之不同時間，CVD 114可經組態以藉由調整包含於CVD 114上之多個電容器之連接來適當減小不同初級供應電壓以與PMIC 116及其他記憶體組件之操作相容，如本文所描述。

**【0025】** CVD 114之多個電容器可調整地(例如可選擇地)組態成多個組態。可藉由可選擇地連接呈多個組態之CVD 114之多個電容器來執行產生MPSV 115。例如，CVD 114可經組態以經由可選擇地連接多個串聯耦合電容器來將初級供應電壓102可選擇地調整(例如減小)為MPSV 115。連接之組態及/或可選擇地連接多個電容器之多少電容器可取決於初級供應電壓102有多高及/或為了與PMIC 116之操作相容而減小初級供應電壓102之量。例如，串聯連接(耦合)之電容器可用於將初級供應電壓102減小至與PMIC 116之操作相容之MPSV 115以輸出至PMIC 116。CVD 114可

(例如)包含一PMIC功率控制組件(圖2中以220展示)，其經組態以判定多個電容器之適當連接以實現將MPSV 115適當輸出至PMIC 116。

**【0026】** PMIC 116可包含可操作為一電壓轉換器組件之多個調節器，如將結合圖2更詳細描述。PMIC 116可經組態以將自CVD 114接收之MPSV 115轉換為自PMIC 116輸出以用於操作記憶體子系統104之各種組件的多個電壓。在若干實施例中，PMIC 116之多個調節器可包含一第一調節器，其經組態以將自CVD 114接收之MPSV 115減小至與記憶體組件107之操作相容之一或多個電壓。例如，PMIC 116可經組態以將MPSV 115減小至與記憶體子系統104之一記憶體胞元陣列之操作相容之一減小電壓，且可自PMIC 116可選擇地輸出減小電壓用於操作陣列。在若干實施例中，PMIC 116可包含一第二調節器，其經組態以增大自CVD 114接收之第一MPSV 115用於操作記憶體子系統104之一或多個組件。

**【0027】** 本發明之PMIC 116可包含一電壓轉換器組件。電壓轉換器組件可包含(例如)一降壓調節器及其他類型之調節器，其經組態以基於一第一減小電壓(例如MPSV 115)來操作且提供與記憶體組件之操作相容之一第二減小電壓。第二減小電壓可為以230展示且結合圖2所描述之進一步減小電壓。例如，初級供應電壓102可為12 V且自CVD 114輸出用於操作PMIC 116之MPSV 115可為4 V，且自PMIC 116作為用於操作一記憶體胞元陣列之進一步減小電壓130輸出之電壓可為約1 V。CVD 114可藉由使用CVD 114之多個(例如兩個或兩個以上)電容器來執行第一減小以達成用於輸出至PMIC 116之MPSV 115，該多個電容器經組態以在若干實施例中依一組態連接以產生MPSV 115。

**【0028】** 例如，可藉由可選擇地串聯連接電容器以輸出初級供應電

壓102之 $1/3$  ( $12 \div 3 = 4$ )來產生MPSV 115。CVD 114之PMIC功率控制組件220可經組態以根據初級供應電壓102之一特定位準來判定多個電容器之適當連接以能夠基於指定將一供應電壓提供至PMIC 116之一信號(例如來自控制器105)來適當輸出第一MPSV 115。因而，CVD 114可經組態以依一可選比率按比例調整初級供應電壓102 (例如相除)以提供MPSV 115。

**【0029】** 在若干實施例中，記憶體子系統104可包含一或多個記憶體組件107-1、...、107-N。在各種實施例中，記憶體組件107-1、...、107-N可包含不同類型之非揮發性記憶體(NVM)組件及/或揮發性記憶體(VM)組件之任何組合。例如，記憶體組件可包含至少一VM胞元陣列、至少一NVM胞元陣列或至少一VM胞元陣列與至少一NVM胞元陣列之組合。在一些實施例中，記憶體子系統104係一儲存系統。一儲存系統之一實例係一SSD。在若干實施例中，記憶體子系統104可為一SSD或記憶體子系統104可形成為一SSD之部分。在一些實施例中，記憶體子系統104係一混合記憶體/儲存器子系統。

**【0030】** 記憶體組件107-1、...、107-N之各者可包含一或多個記憶體胞元陣列，諸如單位階胞元(SLC)或多位階胞元(MLC)。在若干實施例中，MLC可包含三位階胞元(TLC)及/或四位階胞元(QLC)。在一些實施例中，一特定記憶體組件可包含記憶體胞元之一SLC部分及一MLC部分兩者。各記憶體胞元可儲存一或多個位元之資料(例如資料區塊)。

**【0031】** NVM組件之一實例包含一「反及(NAND)」型快閃記憶體。儘管已描述諸如NAND型快閃記憶體之NVM組件，但記憶體組件107-1、...、107-N可基於各種其他類型之記憶體，諸如VM。在若干實施例中，記憶體組件107-1、...、107-N可為(但不限於)隨機存取記憶體

(RAM)、唯讀記憶體(ROM)、動態隨機存取記憶體(DRAM)、同步動態隨機存取記憶體(SDRAM)、相變記憶體(PCM)、磁隨機存取記憶體(MRAM)、NAND快閃記憶體、「反或(NOR)」快閃記憶體、電可抹除可程式化唯讀記憶體(EEPROM)及一NVM胞元交叉點陣列。一NVM交叉點陣列可與一可堆疊交叉格柵資料存取陣列一起基於體電阻之一變化來執行位元儲存。另外，與諸多基於快閃之記憶體相比，交叉點NVM可執行一就地寫入操作，其中可程式化一NVM胞元且不先抹除NVM胞元。此外，記憶體組件107-1、...、107-N之記憶體胞元可群組為記憶體頁面或資料區塊，其可係指用於儲存資料之記憶體組件之一單元。

**【0032】** PPS 101可為一電源，其可供應用於輸入( $V_{in}$ )之初級供應電壓102至記憶體子系統104用於操作PMIC 116及/或記憶體組件107-1、...、107-N及記憶體子系統104之其他組件。PPS 101可為(例如)一電插座、一電池及/或一AC/DC轉換器及其他可能電源。在若干實施方案中，初級供應電壓102可高於與PMIC 116之操作相容之一電壓。

**【0033】** 控制器105可與記憶體組件107-1、...、107-N通信以對記憶體組件107-1、...、107-N執行諸如讀取、寫入及/或抹除資料之操作及其他此等操作。控制器105可包含硬體，諸如一或多個積體電路及/或離散組件、一緩衝記憶體或其等之一組合。控制器105可為一微控制器，專用邏輯電路(例如一場可程式化閘陣列(FPGA)、一專用積體電路(ASIC)等等)或任何其他適合處理器。控制器105可包含經組態以執行儲存於區域記憶體(圖中未展示)中之指令的一處理裝置(例如處理器106)。控制器105之區域記憶體可包含一嵌入式記憶體，其經組態以儲存用於執行控制記憶體子系統104之操作(包含處置記憶體子系統104與一主機(圖中未展示)之間

的通信)之各種程序、操作、邏輯流程及/或常式的指令。在一些實施例中，區域記憶體可包含儲存記憶體指標、找取資料等等之記憶體暫存器。區域記憶體亦可包含用於儲存微碼之唯讀記憶體(ROM)。

【0034】 儘管圖1中所展示之實例性記憶體子系統104已繪示為包含控制器105，但在本發明之其他實施例中，一記憶體子系統104可不包含一控制器105且可代以依靠外部控制。在若干實施例中，此外部控制可由一外部主機及/或由與記憶體子系統104分離之一處理器或控制器提供。

【0035】 一般而言，控制器105可自一主機系統(圖中未展示且下文指稱一「主機」)接收操作命令且可將操作命令轉換為指令或適當命令以達成對記憶體組件107-1、...、107-N之存取以執行此等操作。控制器105可負責其他操作，諸如損耗平衡操作、廢棄項目收集操作、錯誤偵測及錯誤校正碼(ECC)操作、加密操作、快取操作及/或與記憶體組件107-1、...、107-N相關聯之一邏輯區塊位址與一實體區塊位址之間的位址轉譯。控制器105可經由一實體主機介面(例如連接器/介面103)來與主機通信。

【0036】 記憶體子系統104亦可包含額外電路或組件(圖中未繪示)。在若干實施例中，記憶體組件107-1、...、107-N可包含記憶體組件107可藉由其來與控制器105及/或主機通信之控制電路、位址電路、感測電路及/或輸入/輸出(I/O)電路。控制電路可(例如)包含一PMIC功率控制組件(圖2中以220展示)及其他控制電路。位址電路可(例如)包含列及行解碼電路。作為一實例，在一些實施例中，位址電路可自控制器105接收一位址且解碼位址以存取記憶體組件107-1、...、107-N。感測電路可包含(例如)資料值可藉由其來寫入對應於一陣列之一列及/或行中之一位址的一特定記憶

體胞元處及/或該特定記憶體胞元讀取之電路。在若干實施例中，可經由指定電路(圖中未展示)來提供自PMIC 116輸出用於操作記憶體組件107-1、...、107-N (例如若干記憶體胞元陣列)之進一步減小電壓130至記憶體組件，如由控制器105所指導。

**【0037】** 一般而言，運算環境100可包含一主機(圖中未展示)，其可利用包含一或多個記憶體組件107之記憶體子系統104。在若干實施例中，PPS 101可位於主機上及/或耦合至主機，及/或初級供應電壓102可來自主機。主機可提供儲存(寫入)於記憶體子系統104處之資料及/或可請求自記憶體子系統104擷取(讀取)之資料。記憶體子系統104可包含至一或多個主機之多個介面連接(例如埠)。一主機可經由一埠來發送資料命令(例如讀取、寫入、抹除、程式化等等)至記憶體子系統104。

**【0038】** 主機可為一運算裝置，諸如一桌上型電腦、膝上型電腦、網路伺服器、行動裝置或包含一記憶體及一處理裝置之此運算裝置。主機可包含或耦合至記憶體子系統104，使得主機可自記憶體子系統104讀取資料或將資料寫入至記憶體子系統104。主機可經由一實體主機介面(例如連接器/介面103)來耦合至記憶體子系統104。實體主機介面可包含控制、位址、資料匯流排組件等等以提供用於在記憶體子系統104與主機之間傳遞控制、位址、資料及其他信號之一介面。一實體主機介面之實例可包含(但不限於)一串列進階技術附件(SATA)介面、一周邊組件互連快速(PCIe)介面、通用串列匯流排(USB)介面、光纖通道、串列附接SCSI (SAS)等等。當記憶體子系統104藉由PCIe介面來與主機耦合時，主機可進一步利用一NVM快速(NVMe)介面來存取記憶體組件107-1、...、107-N。

**【0039】** 圖2繪示一功率管理(PM)組件210之一實例。PM組件210

可為圖1中所展示之PM組件110。在此實例中，PM組件210可包含圖2中所展示之CVD 214及PMIC 216，其等可用於管理記憶體子系統104、記憶體組件107-1、...、107-N及/或其耦合之其他電子裝置之各種功率要求。

**【0040】** 例如，PMIC 216可經組態以根據一或多個組態設定檔來操作，其可控制更改自CVD 214接收之一電壓以提供一或多個電壓至記憶體子系統104之各種記憶體組件107。此等組態設定檔可包含(例如儲存)指令、參數等等，其使用本文將進一步詳細描述之電壓轉換器225之一或多個調節器來實施以將自CVD 214接收之一電壓轉換為與記憶體組件107之操作相容之一電壓(例如自4 V減小至1 V)。

**【0041】** 在若干實施例中，可基於關於系統功率要求之資訊來選擇PMIC 216之一特定組態設定檔。此資訊可(例如)自耦合至記憶體子系統104之一主機(圖中未展示)及/或記憶體子系統104之控制器105接收。系統功率要求之非限制性實例可包含控制器105/處理器106之操作電壓、PM組件210及/或記憶體組件107 (包含記憶體胞元陣列、感測電路、ASIC、狀態機等等)之功能性、控制信號(諸如電壓信號、控制邏輯、時序信號及/或對應於特定組態設定檔之其他控制信號)、功率模式(例如睡眠模式)定序、主控/受控組態、串列ATA (SATA)輸入電壓、周邊組件互連快速(PCIe)輸入電壓、電源備份操作、時序特性、操作特性等等。一些系統功率要求可由控制器105、其處理裝置106、CVD 214及/或PM組件210之PMIC 216基於由CVD 214及/或PMIC 216提供(例如儲存於CVD 214及/或PMIC 216上)之組態設定檔來控制。

**【0042】** PM組件210之CVD 214可儲存可基於由自PPS 201經由CVD 214輸入至記憶體子系統104之初級供應電壓102之一量值改變所致

之各種要求來動態選擇之多個組態設定檔。如本文所使用，一「組態設定檔」一般係指一協定、一組操作電壓、主控/受控組態、電源備份狀態、規範或對應於一主機或另一組件(諸如一記憶體子系統104 (例如一SSD)、一視訊卡、一音訊卡或其他電腦組件107，諸如一或多個記憶體胞元陣列、陣列之感測電路等等)之操作的其他資訊。例如，本發明之態樣包含其上安置有記憶體(諸如NVM)之PM組件210 (例如PM組件210之CVD 214及/或PMIC 216)。CVD 214之此記憶體在圖2中(例如)以220展示為一PMIC功率控制組件(PPCC)。

**【0043】** 例如，CVD 214之記憶體可經組態以儲存可對應於多個不同設定檔之多個可選組態設定檔用於連接CVD 214之多個電容器222。可根據自PPS 201輸入至CVD 214 (例如經由連接器/介面103)之初級供應電壓202之量值來選擇用於實施多個電容器222之連接的多個不同設定檔之一特定設定檔。例如，輸入高於與PMIC 216之操作相容之一電壓範圍之一初級供應電壓202可導致選擇儲存於CVD 214之PPCC 220上之一特定設定檔，該特定設定檔包含指令來實現特定數目個多個電容器222之連接以提供與PMIC 216之操作相容之一減小輸出電壓215 (MPSV)。任何數目個多個電容器222可具有相同電容及/或不同電容。

**【0044】** 本文所描述之CVD 214之實施方案能夠使用根據一有限PMIC供應電壓範圍內之操作所設計及/或與一有限PMIC供應電壓範圍內之操作相容之PMIC 216之組件(例如電壓轉換器225之組件)，其中輸入至CVD 214之初級供應電壓202之電壓範圍可比PMIC供應電壓之範圍寬及/或高。例如，PMIC供應電壓範圍可為3 V至5 V，而輸入至CVD 214之電壓範圍可為12 V至240 V或更大。因此，經設計以在一有限PMIC供應電

壓範圍內操作之PMIC組件可用於PM組件210且無需基於高於與PMIC組件相容之範圍之一特定記憶體子系統104之一特定輸入初級供應電壓202來重新程式化及/或重新組態。因此，將如此設計之PMIC組件用於PM組件210可減少如此設計之PMIC組件之一數目浪費儲量。本文所描述之CVD 214之實施方案亦可減少使用根據一較寬PMIC供應電壓範圍所設計及/或經設計以執行一較大電壓減小(例如自12 V至1 V而非自4 V至1 V)之PMIC組件。使用一PMIC組件之一單一電壓轉換器之此單階段電壓減小之能量效率可能低於使用本文組合經組態以執行一較小電壓減小(例如自5 V至3 V至1 V)之PMIC 216之一電壓轉換器組件225所描述之CVD 214之兩階段減小。

**【0045】** 根據本發明之一PMIC 216之實施例可包含經組態以提供與記憶體子系統104之記憶體組件107及其他之操作相容之多個電功率位準(例如電壓)之一或多個組件。在若干實施例中，PMIC 216可包含一電壓偵測器233及一電壓轉換器組件225。圖2中所繪示之PMIC 216之實施例依舉例方式展示且實施例不受限於此。因此，根據本發明之一PMIC可包含比圖2中所展示之組件多或少之組件。

**【0046】** 電壓偵測器233可偵測MPSV 215是否超出與PMIC 216之操作相容之一電壓範圍。電壓偵測器233可基於此一MPSV 215之一偵測結果來產生一斷電信號224。在若干實施例中，可發送斷電信號224來實現PPS 201、連接器/介面103及/或CVD 214之一斷接以免供應此一MPSV 215。電壓偵測器233可包含一比較器，其比較MPSV 215與一參考電壓且輸出斷電信號224作為比較之一結果。例如，當與PMIC 216之操作相容之一最高電壓(例如MPSV 215)係5 V時，可將參考電壓設定為5 V。在若干

實施例中，可將MPSV 215之一範圍及一對應參考電壓設定為各種電壓量值。在一些實施例中，比較器可在MPSV 215高於一第一參考電壓時產生呈一邏輯高位準之斷電信號224及可在MPSV 215低於一第二參考電壓時產生呈一邏輯低位準之斷電信號224。第一參考電壓可(例如)高於第二參考電壓。

**【0047】** 電壓轉換器組件225可將MPSV 215轉換為與本文所描述之記憶體組件107之操作相容之一進一步減小電壓230。MPSV 215可為相對於最初自PPS 201提供至CVD 214之一電壓減小之一電壓。電壓轉換器組件225可包含一低壓降(LDO)調節器226、一升降壓轉換器227、一降壓調節器228及/或一升壓調節器229。

**【0048】** LDO調節器226可為使用一非常小輸入-輸出差動電壓來操作之一線性電壓調節器，該非常小輸入-輸出差動電壓可調節升降壓轉換器227之一輸出電壓以輸出進一步減小電壓230。可基於用於圖1之記憶體子系統104中之進一步減小電壓230之數目來提供多個LDO調節器226。

**【0049】** 升降壓轉換器227可偵測MPSV 215且可在MPSV 215高於自升降壓轉換器227輸出之一預期進一步減小電壓230時依一降壓模式操作。當所偵測之MPSV 215低於自升降壓轉換器227輸出之一預期電壓時，升降壓轉換器227可依一升壓模式操作。在若干實施例中，升降壓轉換器227可促成輸出一恆定電壓。

**【0050】** 降壓調節器228可為可藉由減小一輸入電壓(例如將MPSV 215減小至進一步減小電壓230)來產生一預定輸出電壓之一降壓式直流(DC)/DC轉換器。降壓調節器228可使用在一特定週期內接通/切斷之一開關裝置且可具有其中一輸入電源供應(例如MPSV 215)在接通開關時連接

至一電路及在切斷開關時不連接至電路之一結構。降壓調節器228可藉由透過一電感器-電容器(LC)濾波器平均化依此方式週期性連接至一電路或與一電路斷接之具有一脈衝形狀之一電壓來輸出一DC電壓。降壓調節器228可使用以下原理：藉由透過週期性截斷一DC電壓平均化一脈衝電壓來產生一輸出電壓，使得降壓調節器228之輸出電壓(例如進一步減小電壓230)可具有小於降壓調節器228之一輸入電壓(例如第一MPSV 215)的一電壓。

**【0051】** 升壓調節器229可為一升壓式DC/DC轉換器。在升壓調節器229中，當接通一開關時，MPSV 215可連接至一電感器之兩個端子以形成一充電電流。當切斷開關時，可將充電電流轉移至一負載。因此，升壓調節器229之一輸出端子之電流量可小於升壓調節器229之一輸入端子之電流量。由於無歸因於升壓調節器229之一操作原理之損失，所以基於一「輸入電流\*輸入電壓=輸出電流\*輸出電壓」關係，升壓調節器229之一輸出電壓可高於升壓調節器229之一輸入電壓(例如MPSV 215)。

**【0052】** CVD 214可耦合至PMIC 216且可經組態以將自PPS 201接收之一初級供應電壓202減小至MPSV 215。減小可經可選擇地判定以向PMIC 216提供低於初級供應電壓202且與PMIC 216之操作相容之一供應電壓。

**【0053】** CVD 214可經組態以基於初級供應電壓202之一狀態由一監測單元219 (其係CVD 214之部分)監測來提供選擇於CVD 214之多個電容器222之多個不同連接之間的信號。回應於由監測單元219判定初級供應電壓202高於與PMIC 216之操作相容之一電壓範圍，監測單元219可發送一信號至PPCC 220，PPCC 220係CVD 214之部分。在若干實施例中，

PPCC 220可經組態以：判定連接CVD 214之特定數目個(例如哪些)多個電容器222以將初級供應電壓202之一特定電壓量值減小至與PMIC 216之操作相容之MPSV 215，指導CVD 214連接特定數目個多個電容器222，且指導CVD 214將MPSV 215輸出至PMIC 216。

**【0054】** 在若干實施例中，回應於由監測單元219判定初級供應電壓202高於一電壓量值及/或電壓範圍(其中CVD 214經組態以將初級供應電壓202修改為小於或等於最高PMIC 216供應電壓之一電壓)，監測單元219可經組態以發送一信號(例如發送至連接器/介面103)以中斷及/或阻止輸入初級供應電壓202。例如，當CVD 214之多個電容器222之一特定數目不足以分銷初級供應電壓202之一特定電壓量值(例如因為初級供應電壓202對於特定數目個電容器而言太高)時及/或當多個電容器222無多個不同連接可組態以分銷初級供應電壓202之特定電壓量值以提供與PMIC 216之操作相容之一電壓範圍內之一特定MPSV 215時，可中斷及/或阻止初級供應電壓202。在若干實施例中，監測單元219可經組態以發送一信號至PPCC 220以替代地修改初級供應電壓202以產生MPSV 215及/或減少(例如防止)一MPSV 215自CVD 214輸出至PMIC 216。可(例如)使用一經不同組態之CVD及其他可能替代物來執行替代地修改初級供應電壓202。中斷及/或阻止輸入初級供應電壓202、替代地修改初級供應電壓202及/或防止輸出MPSV 215可減少對PMIC 216 (例如電壓轉換器225之組件)之潛在損壞。

**【0055】** 圖3係根據本發明之一些實施例之用於操作一CVD (如圖1中以114及圖2中以214所展示)之一實例性方法335之一流程圖。方法335可由可包含硬體、軟體(例如在一處理裝置上運行或執行之指令)或其等之

一組合之處理邏輯執行。在若干實施例中，此硬體可包含一處理裝置、電路、專用邏輯、可程式化邏輯、微碼、一裝置之硬體、積體電路等等之一或多者。

**【0056】** 在若干實施例中，方法335可由控制器105、處理器106及/或PM組件(以110所展示且結合圖1所描述及/或以210所展示且結合圖2所描述)之一或多個組件執行。儘管依一特定序列或順序展示，但除非另有指定，否則可修改方法335中之程序之順序。因此，所繪示之實施例應被理解為僅供例示，且所繪示之程序可依一不同順序執行，且一些程序可並行執行。另外，可在各種實施例中省略一或多個程序。因此，並非每個實施例需要所有程序。其他程序流程係可行的。

**【0057】** 在區塊336中，處理裝置接收初級供應電壓202之一量值之一判定。初級供應電壓202可高於PMIC 216經組態以依其操作之一最高供應電壓。在若干實施例中，初級供應電壓202可輸入至記憶體子系統104(例如SSD)上之CVD 214。在若干實施例中，初級供應電壓202之量值可由一電壓偵測器(圖中未展示)判定，該電壓偵測器形成為監測單元219(其係CVD 214之部分)之部分、形成為連接器/介面103、控制器105及/或處理器106之部分或形成於記憶體子系統104上之其他位置。CVD 214可耦合至記憶體子系統104之一PMIC 216。

**【0058】** 在區塊337中，處理裝置藉由CVD 214來將一MPSV 215作為一PMIC供應電壓可選擇地提供至PMIC 216。在若干實施例中，MPSV 215不高於PMIC 216經組態以依其操作之最高供應電壓。

**【0059】** 在若干實施例中，處理裝置使用PMIC 216之一電壓轉換器組件225來指導MPSV 215可選擇地減小至與記憶體子系統104之一選定

記憶體組件107之操作相容之一進一步減小電壓。

【0060】 在若干實施例中，記憶體子系統104之處理裝置可經組態以自與記憶體子系統104分離之一主機接收指令以對記憶體子系統之選定記憶體組件107執行一操作。記憶體子系統104之處理裝置可經進一步組態以指導操作之執行。操作可由CVD 214之一PPCC 220可選擇地執行以指導CVD 214對初級供應電壓202執行一調整以引起MPSV 215在與PMIC 216之操作相容之一預定電壓範圍內。

【0061】 圖4係根據本發明之一些實施例之圖3中所繪示之實例性方法335之一額外流程圖440。在區塊442中，處理裝置指導CVD 214對自PPS 201接收之初級供應電壓202執行一粗略調整以引起一減小電壓在與PMIC 216之操作相容之一預定電壓範圍內。在區塊443中，處理裝置指導PMIC 216對自CVD 214接收之減小電壓執行一精細調整以引起一進一步減小電壓在與對記憶體子系統104上之一選定記憶體組件107 (例如一記憶體胞元陣列)執行一操作相容之一預定電壓範圍內。

【0062】 在區塊444中，執行粗略調整可包含與PMIC 216之操作相容之預定電壓範圍寬於由精細調整引起之與選定陣列之操作相容之預定電壓範圍。例如，粗略調整可引起一12 V電壓由CVD 214減小至與PMIC 216之操作相容之具有一3 V至5 V範圍之減小電壓(例如MPSV 215)，而由PMIC 216執行之精細調整可引起進一步減小電壓在與選定陣列之操作相容之一0.5 V至1.5 V範圍內。在若干實施例中，可對未減小至低於一臨限電壓之初級供應電壓202執行剛描述之粗略調整以提供具有3 V至5 V範圍之MPSV 215。例如，可對具有輸入電壓之一正常操作範圍內之一12 V量值之一初級供應電壓202執行粗略調整。

【0063】 在區塊445中，執行精細調整可包含與對選定陣列執行若干操作相容之進一步減小電壓之值小於與PMIC 216之操作相容之減小電壓(或MPSV 215)之值。例如，與選定陣列之操作相容之0.5 V至1.5 V範圍內之電壓量值小於與PMIC 216之操作相容之3 V至5 V範圍內之電壓量值。

【0064】 圖5繪示一電腦系統550之一實例性機器，可在電腦系統550內執行用於引起機器執行本文所討論之任何一或多個方法的一組指令。在一些實施例中，電腦系統550可對應於一主機系統(例如結合圖1所描述之主機系統)，其包含、耦合至及/或利用諸如圖1之記憶體裝置/SSD 104之一記憶體子系統。電腦系統550可用於對一作業系統執行一控制器105及/或處理器106之操作以執行包含由圖1之PM組件110及/或圖2之PM組件210執行之操作的操作。在若干實施例中，機器可連接(例如網路連接)至一LAN、一內部網路、一外部網路及/或網際網路中之其他機器。機器可在用戶端-伺服器網路環境中以一伺服器或一用戶端機器之身份操作為一同級間(或分佈式)網路環境中之一同級機器或一雲端運算基礎設施或環境中之一伺服器或一用戶端機器。

【0065】 機器可為一個人電腦(PC)、一平板PC、一視訊轉換器(STB)、一個人數位助理(PDA)、一蜂巢式電話、一網頁設備、一伺服器、一網路路由器、一交換器或橋接器或能夠執行指定由該機器採取之動作之一組指令(依序或其他)的任何機器。此外，儘管已繪示一單一機器，但術語「機器」亦應被視為包含個別或共同執行一組(或多組)指令以執行本文所討論之任何一或多個方法之機器之任何集合。

【0066】 實例性電腦系統550包含經由一匯流排557來彼此通信之一

處理裝置552、一主記憶體554、一靜態記憶體558及一資料儲存系統502。在若干實施例中，主記憶體554可為唯讀記憶體(ROM)、快閃記憶體、動態隨機存取記憶體(DRAM)(諸如同步DRAM (SDRAM)或隨機存取記憶體匯流排DRAM (RDRAM)及其他可能記憶體。在若干實施例中，靜態記憶體558可為快閃記憶體、靜態隨機存取記憶體(SRAM)及其他可能記憶體。資料儲存系統502可對應於結合圖1所描述之記憶體子系統104、記憶體裝置及/或SSD。

**【0067】** 處理裝置552可表示一或多個通用處理裝置，諸如一微處理器、一中央處理單元或其類似者。更特定言之，處理裝置可為一複雜指令集運算(CISC)微處理器、精簡指令集運算(RISC)微處理器、極長指令字(VLIW)微處理器或實施其他指令集之一處理器或實施指令集之一組合之處理器。處理裝置552亦可為一或多個專用處理裝置，諸如一專用積體電路(ASIC)、一場可程式化閘陣列(FPGA)、一數位信號處理器(DSP)、網路處理器或其類似者。處理裝置552經組態以執行用於執行本文所討論之操作及步驟之指令553。電腦系統550可進一步包含經由一網路556來通信之一網路介面裝置555。

**【0068】** 資料儲存系統502可包含一機器可讀儲存媒體559 (亦稱為一電腦可讀媒體)，其上儲存一或多組指令553或體現本文所描述之任何一或多個方法或功能之軟體。指令553亦可在其由電腦系統550執行期間完全或至少部分駐留於主記憶體554及/或處理裝置552內。主記憶體554及處理裝置552亦促成機器可讀儲存媒體。機器可讀儲存媒體559、資料儲存系統502及/或主記憶體554可對應於圖1之記憶體子系統104。

**【0069】** 在若干實施例中，指令553可包含用於實施對應於一功率

管理組件510之功能性之指令。功能性可(例如)對應於圖2之PM組件210(包含CVD 214及PMIC 216)及其他之功能性。儘管機器可讀儲存媒體559在一實例性實施例中展示為一單一媒體，但術語「機器可讀儲存媒體」應被視為包含儲存一或多組指令之一單一媒體或多個媒體。術語「機器可讀儲存媒體」亦應被視為包含能夠儲存或編碼用於由機器執行之一組指令且可引起機器執行本發明之任何一或多個方法的任何媒體。因此，術語「機器可讀儲存媒體」應被視為包含(但不限於)固態記憶體、光學媒體及磁性媒體。

**【0070】** 已從一電腦記憶體內之資料值(位元)之操作之演算法及符號表示方面呈現先前詳細描述之一些部分。此等演算描述及表示係由熟習資料處理技術者用於向其他技術者最有效傳達其工作之實質的方式。此處且一般將一演算法設想成導致一所要結果之一自行一致操作序列。操作係需要實體操縱物理量之操作。通常，儘管非必要，但此等量呈能夠被儲存、組合、比較或依其他方式操縱之電信號或磁信號之形式。事實證明，主要出於常用之原因，將此等信號指稱位元、值、元素、符號、字元、術語、數字或其類似者有時係方便的。

**【0071】** 然而，應記住，所有此等及類似術語應與適當物理量相關聯且僅為應用於此等量之方便標籤。本發明可涉及一電腦系統或類似電子運算裝置之動作及程序，該電腦系統或類似電子運算裝置將表示為電腦系統之暫存器及記憶體內之物理(電子)量的資料操縱及變換為類似地表示為電腦系統記憶體或暫存器或其他此等資訊儲存系統內之物理量的其他資料。

**【0072】** 本發明亦係關於用於執行本文之操作之一設備。此設備可

特別根據預期目的來構造，或其可包含由儲存於電腦中之一電腦程式選擇性啟動或重新組態之一通用電腦。此一電腦程式可儲存於一電腦可讀儲存媒體中，諸如(但不限於)任何類型之磁碟(包含軟碟、光碟、CD-ROM及磁光碟)、唯讀記憶體(ROM)、隨機存取記憶體(RAM)、EPROM、EEPROM、磁卡或光學卡或適合於儲存電子指令之任何類型之媒體，其等各耦合至一電腦系統匯流排。

**【0073】** 本文所呈現之演算法及顯示器與任何特定電腦或其他設備無內在關聯。各種通用系統可根據本文之教示與程式一起使用，或事實證明，構造一更專用設備來執行方法係方便的。各種此等系統之結構將如本文之描述中所闡述般呈現。另外，不參考任何特定程式設計語言來描述本發明。應瞭解，各種程式設計語言可用於實施本文所描述之本發明之教示。

**【0074】** 本發明可提供為一電腦程式產品或軟體，其可包含一機器可讀媒體，該機器可讀媒體上儲存有可用於程式化一電腦系統(或其他電子裝置)以根據本發明來執行一程序之指令。一機器可讀媒體包含用於以一機器(例如一電腦)可讀之一形式儲存資訊之任何機構。在一些實施例中，一機器可讀(例如電腦可讀)媒體包含一機器可讀儲存媒體，諸如一唯讀記憶體(「ROM」)、隨機存取記憶體(「RAM」)、磁碟儲存媒體、光學儲存媒體、快閃記憶體組件等等。

**【0075】** 在以上說明中，已參考本發明之特定實例性實施例來描述本發明之實施例。顯而易見，可在不背離以下申請專利範圍中所闡述之本發明之實施例之較廣精神及範疇之情況下對本發明作出各種修改。因此，本說明書及圖式應被視為意在繪示而非限制。

## 【符號說明】

## 【0076】

100	運算環境
101	初級電源供應器(PPS)
102	初級供應電壓( $V_{in}$ )
103	連接器/介面
104	記憶體子系統
105	記憶體裝置控制器
106	處理器
107	記憶體組件
107-1、...、107-N	記憶體組件
110	功率管理(PM)組件
114	電容分壓器(CVD)
115	經修改初級供應電壓(MPSV)
116	功率管理積體電路(PMIC)
130	進一步減小電壓
201	PPS
202	初級供應電壓
210	PM組件
214	CVD
215	MPSV
216	PMIC
219	監測單元

- 220 PMIC功率控制組件(PPCC)
- 222 電容器
- 224 斷電信號
- 225 電壓轉換器組件
- 226 低壓降(LDO)調節器
- 227 升降壓轉換器
- 228 降壓調節器
- 229 升壓調節器
- 230 進一步減小電壓
- 233 電壓偵測器
- 335 方法
- 336 區塊
- 337 區塊
- 440 流程圖
- 442 區塊
- 443 區塊
- 444 區塊
- 445 區塊
- 502 資料儲存系統
- 510 功率管理組件
- 550 電腦系統
- 552 處理裝置
- 553 指令

554	主記憶體
555	網路介面裝置
556	網路
557	匯流排
558	靜態記憶體
559	機器可讀儲存媒體

## 【發明申請專利範圍】

### 【第1項】

一種記憶體子系統，其包括：

一功率管理積體電路(PMIC)，其與低於該記憶體子系統之一初級供應電壓之一最高PMIC供應電壓處之操作相容，該PMIC經組態以基於一PMIC供應電壓來輸出複數個電壓用於該記憶體子系統之操作；及

一電容分壓器(CVD)，其嵌入在該記憶體子系統之一功率管理組件中且耦合至該PMIC，該CVD經組態以：

接收該記憶體子系統之該初級供應電壓作為一輸入；及

將一經修改初級供應電壓(MPSV)作為該PMIC供應電壓提供至該PMIC，其中該MPSV不高於該最高PMIC供應電壓。

### 【第2項】

如請求項1之記憶體子系統，其中該CVD經進一步組態以接收高於該最高PMIC供應電壓之複數個不同初級供應電壓作為該輸入。

### 【第3項】

如請求項2之記憶體子系統，其中該CVD經進一步組態以減小該複數個不同初級供應電壓之各者以將該MPSV作為與該PMIC之操作相容之該PMIC供應電壓提供至該PMIC。

### 【第4項】

如請求項1至3中任一項之記憶體子系統，其中該CVD經進一步組態以依一可選比率按比例調整自一初級電源供應器經由一連接器所接收之該初級供應電壓以提供該MPSV。

### 【第5項】

如請求項1至3中任一項之記憶體子系統，其中該MPSV經可選擇地判定以提供與該PMIC之該操作相容之該PMIC供應電壓。

**【第6項】**

如請求項1至3中任一項之記憶體子系統，其中該PMIC包括：

一第一調節器，其經組態以減小自該CVD接收之該MPSV；及

一第二調節器，其經組態以增大自該CVD接收之該MPSV。

**【第7項】**

如請求項1至3中任一項之記憶體子系統，其中該PMIC經進一步組態以將自該CVD接收之該MPSV減小至與該記憶體子系統之操作相容之一減小電壓。

**【第8項】**

如請求項7之記憶體子系統，其中自該PMIC可選擇地輸出該減小電壓用於該記憶體子系統之操作。

**【第9項】**

如請求項1至3中任一項之記憶體子系統，其中該CVD經進一步組態以經由複數個串聯耦合電容器來將該初級供應電壓可選擇地調整為該MPSV。

**【第10項】**

如請求項1至3中任一項之記憶體子系統，其中該PMIC經進一步組態以將自該CVD接收之該MPSV轉換為自該PMIC輸出以用於操作該記憶體子系統之該複數個電壓。

**【第11項】**

一種記憶體子系統，其包括：

一電容分壓器(CVD)，其嵌入在該記憶體子系統之一功率管理組件中且經組態以減小自該記憶體子系統之一初級電源供應器(PPS)接收之一初級供應電壓；

其中該減小經可選擇地判定以提供低於該初級供應電壓且與功率管理積體電路(PMIC)之操作相容之一PMIC供應電壓。

**【第12項】**

如請求項11之記憶體子系統，其中該記憶體子系統係一固態硬碟(SSD)。

**【第13項】**

如請求項11之記憶體子系統，其中該CVD經進一步組態以藉由減小該初級供應電壓來將該初級供應電壓轉換為一經修改初級供應電壓(MPSV)。

**【第14項】**

如請求項13之記憶體子系統，其中該PMIC經組態以藉由進一步減小該MPSV來將該MPSV轉換為一進一步減小電壓。

**【第15項】**

如請求項14之記憶體子系統，其進一步包括：

複數個記憶體組件，其等可操作地耦合至該CVD；

其中該PMIC經進一步組態以輸出該進一步減小電壓來對該複數個記憶體組件供電。

**【第16項】**

如請求項11至15中任一項之記憶體子系統，其中：

該CVD包括複數個電容器；且

該CVD經進一步組態以基於監測到該初級供應電壓之一狀態來提供選擇於該複數個電容器之間的信號以能夠將該MPSV輸出至該PMIC。

**【第17項】**

一種用於操作一記憶體子系統之方法，其包括：

接收一初級供應電壓，該初級供應電壓高於該記憶體子系統之一功率管理積體電路(PMIC)經組態以依其操作之一最高供應電壓；及

由嵌入在該記憶體子系統之一功率管理組件中之一電容分壓器(CVD)將一經修改初級供應電壓(MPSV)作為一PMIC供應電壓可選擇地提供至該PMIC，其中該MPSV不高於該PMIC經組態以依其操作之該最高供應電壓。

**【第18項】**

如請求項17之方法，其進一步包括使用該PMIC之一電壓轉換器來將該MPSV可選擇地減小至與該記憶體子系統之一選定記憶體組件之操作相容之一進一步減小電壓。

**【第19項】**

如請求項17之方法，其進一步包括：

由該CVD對自一初級電源供應器接收之該初級供應電壓執行一粗略調整以引起一減小電壓在與該PMIC之操作相容之一預定電壓範圍內；及

由該PMIC對自該CVD接收之該減小電壓執行一精細調整以引起一進一步減小電壓在與對該記憶體子系統上之一選定記憶體胞元陣列執行一操作相容之一預定電壓範圍內；且其中：

執行該粗略調整包含與該PMIC之操作相容之該預定電壓範圍寬於由該精細調整引起之與該選定陣列之操作相容之該預定電壓範圍；且

執行該精細調整包含與對該選定陣列執行若干操作相容之該等進一步減小電壓之值小於與該PMIC之操作相容之該等減小電壓之值。

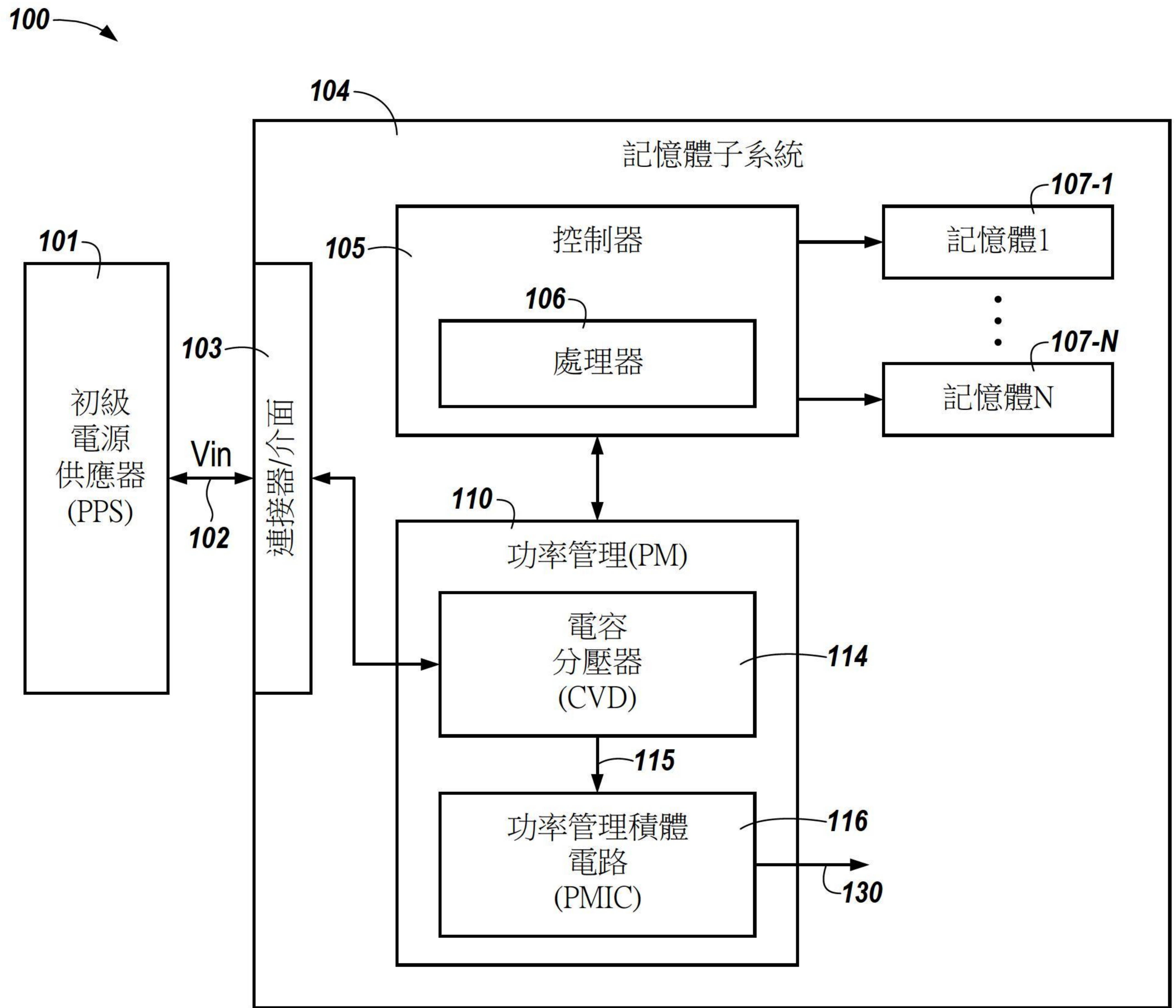
**【第20項】**

如請求項17之方法，其中該記憶體子系統係一固態硬碟(SSD)，且其中該方法進一步包括：

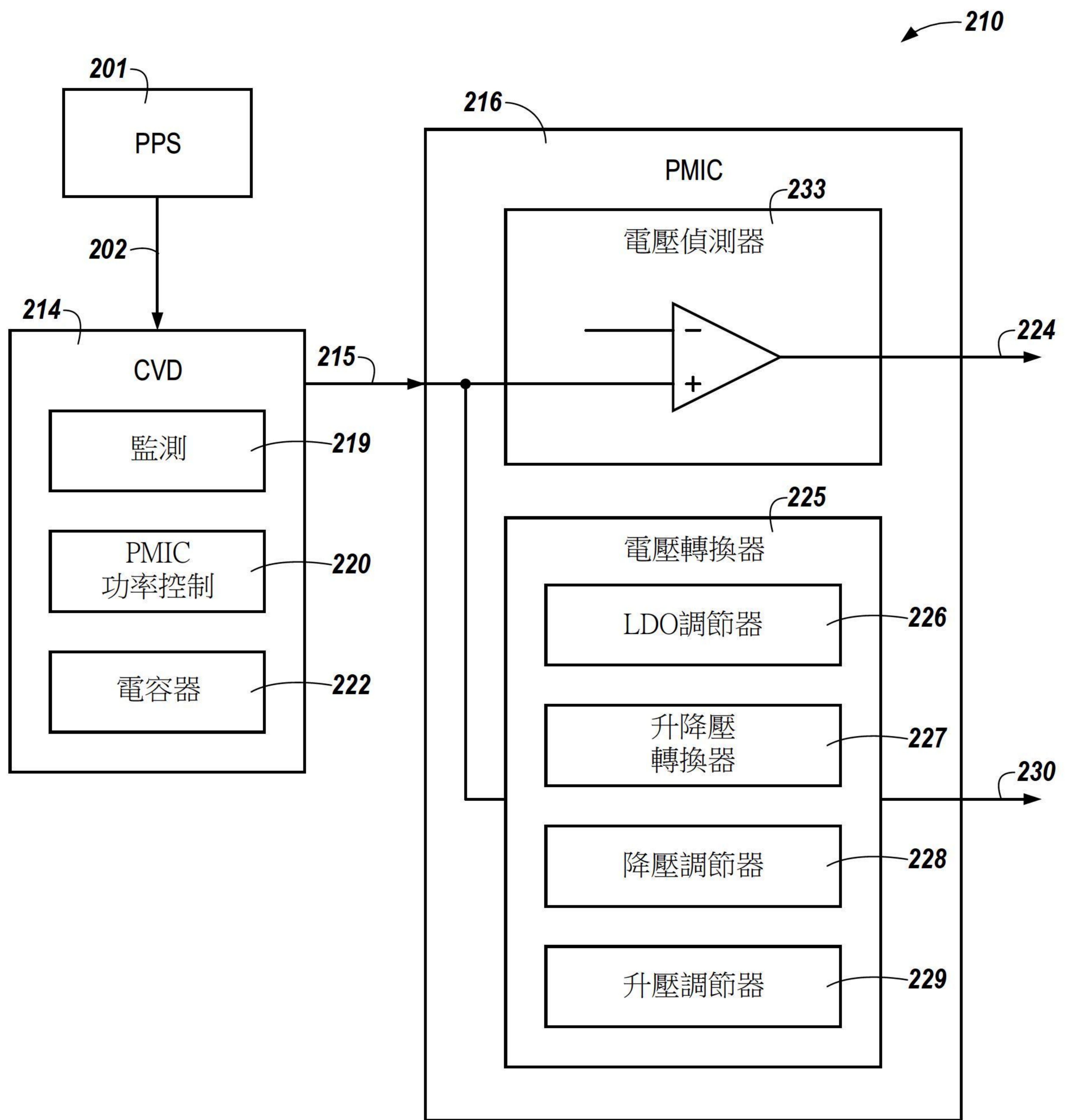
組態該SSD之一處理裝置以自與該SSD分離之一主機接收指令以對該SSD之一選定記憶體組件執行一操作且藉由以下操作來指導該操作之執行：

該CVD之一PMIC功率控制組件可選擇地指導該CVD對該初級供應電壓執行一調整以引起該MPSV在與該PMIC之操作相容之一預定電壓範圍內。

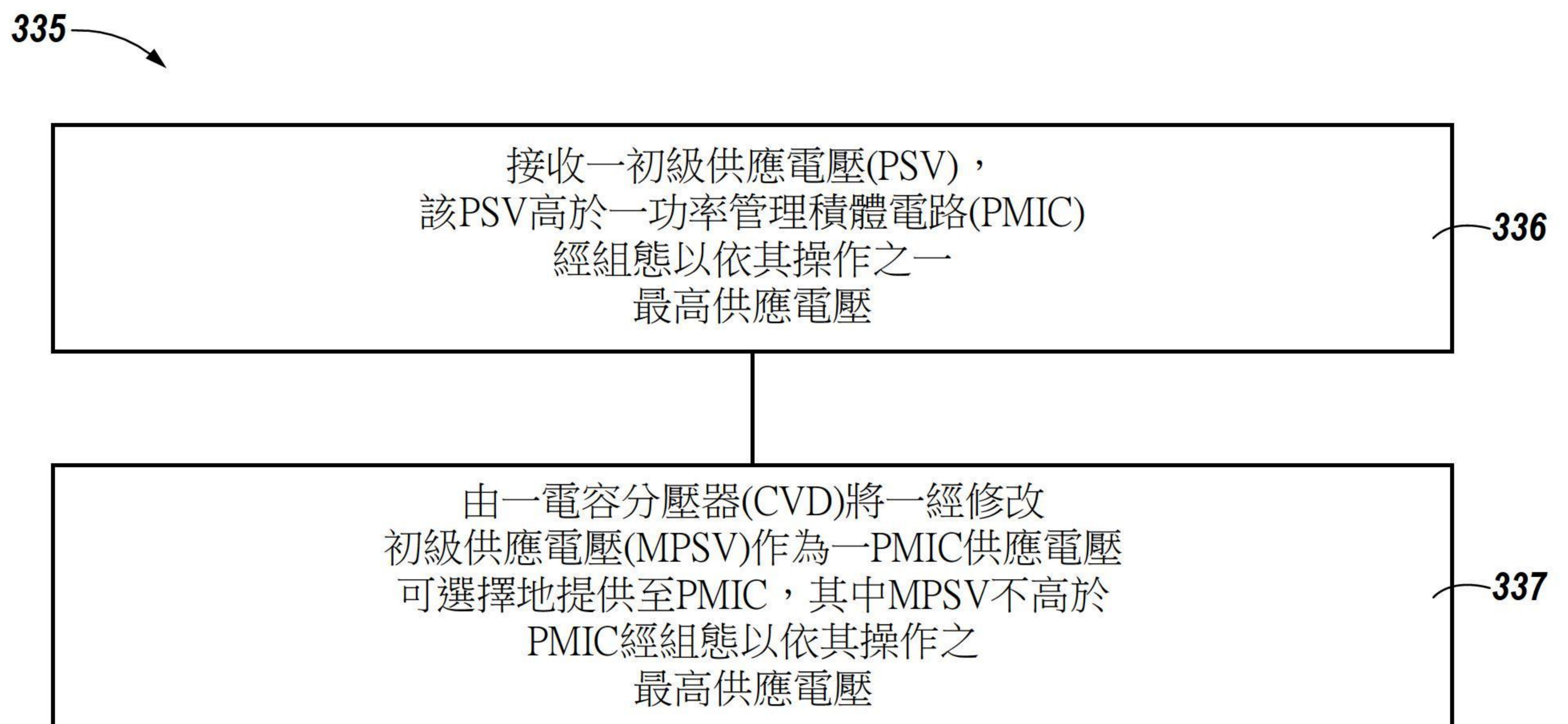
【發明圖式】



【圖1】

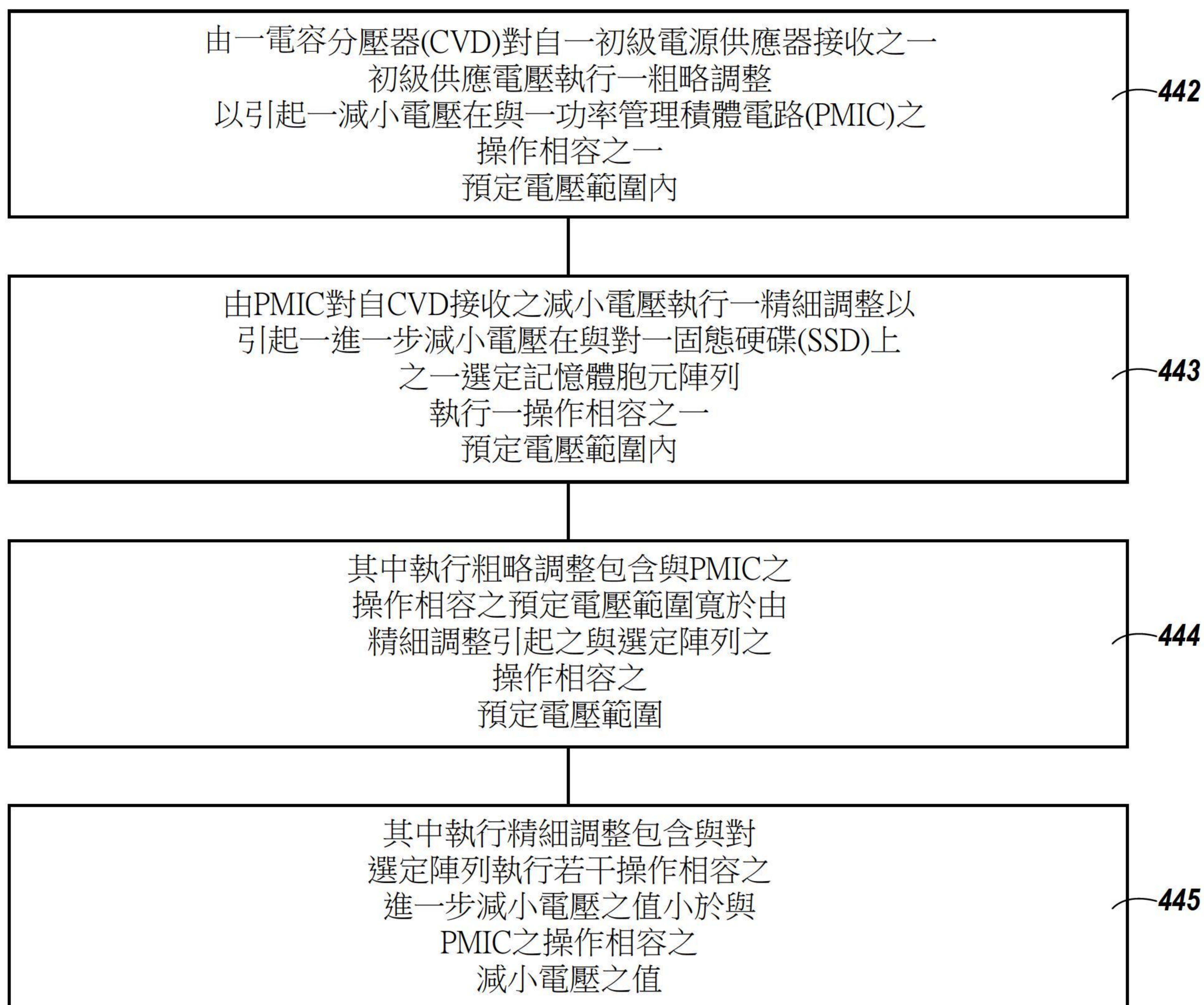


【圖2】

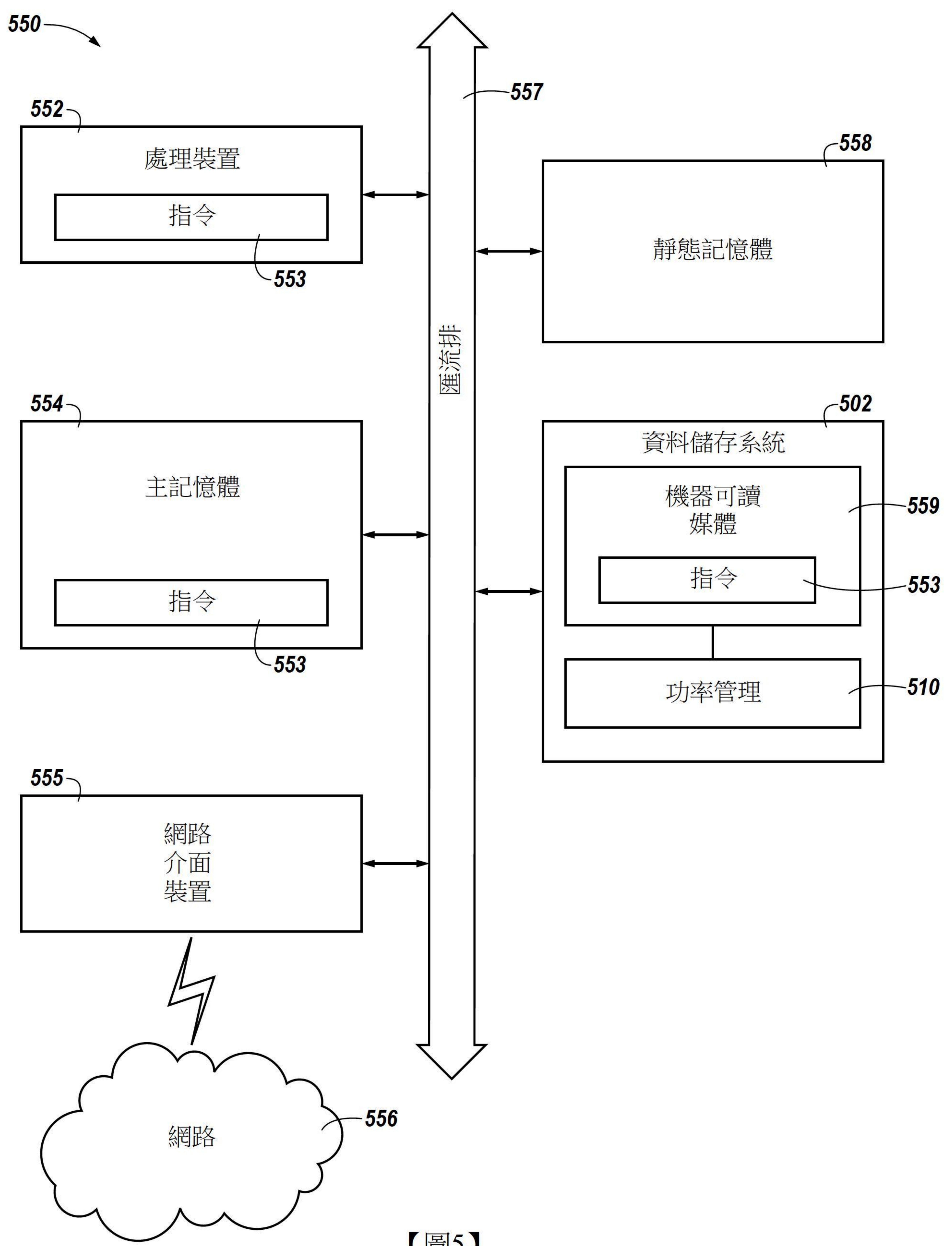


【圖3】

440



【圖4】



【圖5】