

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8238 (2006.01)

H01L 27/092 (2006.01)



[12] 发明专利说明书

专利号 ZL 03120531.3

[45] 授权公告日 2008 年 1 月 16 日

[11] 授权公告号 CN 100362648C

[22] 申请日 2003.3.13 [21] 申请号 03120531.3

[30] 优先权

[32] 2002.3.19 [33] JP [31] 076182/2002

[73] 专利权人 株式会社日立制作所

地址 日本东京

共同专利权人 日立超大规模集成电路系统株式会社

[72] 发明人 钵嶺清太 清水昭博 大木長斗司

酒井哲 山本直樹

[56] 参考文献

JP2000-36605 A 2000.2.2

US5471073 A 1995.11.28

CN1217581 A 1999.5.26

US5552332 A 1996.9.3

审查员 刘 震

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 朱海波

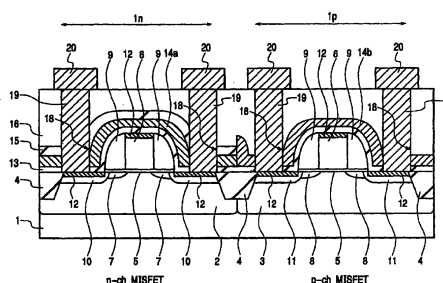
权利要求书 6 页 说明书 37 页 附图 45 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

在此提供一种制造具有分别形成在半导体基片上的 n 型 FET 和 p 型 FET 的半导体器件的方法，其中包括：(a) 在所述 n 型 FET 和 p 型 FET 上形成第一绝缘膜，用于在沟道形成区中产生伸张应力，以覆盖所述晶体管的栅极，并且用一个绝缘膜覆盖所述 p 型 FET 的栅极和所述半导体基片的元件隔离区之间的半导体区域；(b) 通过蚀刻有选择地从所述 p 型 FET 的上表面除去所述第一绝缘膜；(c) 在所述 n 型 FET 和所述 p 型 FET 上形成第二绝缘膜，用于在所述 p 型 FET 的沟道形成区中产生压缩应力，以覆盖所述晶体管的栅极；以及 (d) 有选择地除去在 n 型 FET 上的第二绝缘膜。本发明可以同时增加 n 型 FET 和 p 型 FET 的漏极电流 (提高电流驱动能力)。



1.一种制造具有分别形成在半导体基片上的n沟道导电型场效应晶体管 and p沟道导电型场效应晶体管的半导体器件的方法,其中包括以下步骤:

(a)在用第一绝缘膜覆盖所述n沟道导电型场效应晶体管的栅极、所述p沟道导电型场效应晶体管的栅极和所述半导体基片的元件隔离区之间的半导体区域的状态下,在所述n沟道导电型场效应晶体管和p沟道导电型场效应晶体管上形成第二绝缘膜,用于在n沟道导电型场效应晶体管的沟道形成区中产生伸张应力,以覆盖所述所述n沟道导电型场效应晶体管和所述p沟道导电型场效应晶体管的栅极;

(b)通过蚀刻从所述p沟道导电型场效应晶体管上有选择地除去所述第二绝缘膜;

(c)在所述n沟道导电型场效应晶体管和所述p沟道导电型场效应晶体管上形成第三绝缘膜,用于在所述p沟道导电型场效应晶体管的沟道形成区中产生压缩应力,以覆盖所述n沟道导电型场效应晶体管和所述p沟道导电型场效应晶体管的栅极;以及

(d)有选择地从n沟道导电型场效应晶体管上除去所述第三绝缘膜。

2. 根据权利要求1所述的方法,其中:

所述第一绝缘膜包括形成在每个所述栅极的侧壁上的侧壁衬垫和覆盖该侧壁衬垫的淀积膜。

3. 根据权利要求1所述的方法,其中:

所述第一绝缘膜包括形成在每个所述栅极的侧壁上的侧壁衬垫以及覆盖所述侧壁衬垫的淀积膜;以及

在所述半导体区域的表面上,按照与所述侧壁衬垫相对准的方式设置金属半导体反应层。

4. 根据权利要求1所述的方法，其中：

所述第一绝缘膜包括形成在每个所述栅极的侧壁上的侧壁衬垫以及形成在所述侧壁衬垫和所述元件隔离区之间的热氧化膜。

5. 根据权利要求1所述的方法，其中：

所述第一绝缘膜包括形成在每个所述栅极的侧壁上的侧壁衬垫以及形成在所述侧壁衬垫和所述元件隔离区之间的热氧化膜；以及

在该半导体区域的表面上，按照与所述侧壁衬垫相对准的方式设置金属半导体反应层。

6. 根据权利要求1所述的方法，其中：

所述步骤(b)通过各向同性蚀刻方法而执行。

7. 根据权利要求1所述的方法，其中：

所述步骤(d)通过各向同性蚀刻方法而执行。

8. 根据权利要求1所述的方法，其中：

其中所述第二和第三绝缘膜分别为由氮化硅膜所制成的用于自对准接触的绝缘膜。

9. 根据权利要求1所述的方法，其中在所述步骤(a)之后、所述步骤(b)之前还包括在所述第二绝缘膜上形成第四绝缘膜的步骤；

所述步骤(b)包括从所述p沟道导电型场效应晶体管上有选择地除去所述第一绝缘膜的步骤。

10. 根据权利要求1所述的方法，其中：

所述第一绝缘膜包括形成在每个所述栅极的侧壁上的侧壁衬垫和被形成为覆盖所述侧壁衬垫的淀积膜，以及

其中所述方法在所述步骤(b)之后、所述步骤(c)之前还包括除去在所述p沟道导电型场效应晶体管的侧面上的所述淀积膜的步骤。

11. 根据权利要求1所述的方法, 其中:

所述第一绝缘膜包括形成在每个所述栅极的侧壁上的侧壁衬垫和被形成为覆盖所述侧壁衬垫的淀积膜, 以及

其中所述方法在形成所述淀积膜的步骤之后、所述步骤(a)之前还包括除去在所述n沟道导电型场效应晶体管的侧面上的所述淀积膜的步骤。

12. 一种制造具有分别形成在半导体基片上的n沟道导电型场效应晶体管 and p沟道导电型场效应晶体管的半导体器件的方法, 其中包括以下步骤:

(a) 在用第一绝缘膜覆盖所述n沟道导电型场效应晶体管的栅极、所述p沟道导电型场效应晶体管的栅极与所述半导体基片的元件隔离区之间的半导体区域的状态下, 在所述n沟道导电型场效应晶体管和p沟道导电型场效应晶体管上形成第二绝缘膜, 用于在所述p沟道导电型场效应晶体管的沟道形成区中产生压缩应力, 以覆盖所述n沟道导电型场效应晶体管和所述p沟道导电型场效应晶体管的栅极;

(b) 通过蚀刻有选择地从所述n沟道导电型场效应晶体管上除去所述第二绝缘膜;

(c) 在所述n沟道导电型场效应晶体管和所述p沟道导电型场效应晶体管上形成第三绝缘膜, 用于在所述n沟道导电型场效应晶体管的沟道形成区中产生伸张应力, 以覆盖所述n沟道导电型场效应晶体管和所述p沟道导电型场效应晶体管的栅极; 以及

(d) 从所述p沟道导电型场效应晶体管的上表面有选择地除去所述第三绝缘膜。

13. 根据权利要求12所述的方法, 其中在所述步骤(a)之后、所

述步骤(b)之前还包括在所述第二绝缘膜上形成第四绝缘膜的步骤;

所述步骤(b)包括从所述n沟道导电型场效应晶体管的上表面上有选择地除去所述第一绝缘膜的步骤。

14. 根据权利要求12所述的方法, 其中:

所述第一绝缘膜包括形成在每个所述栅极的侧壁上的侧壁衬垫和被形成为覆盖所述侧壁衬垫的淀积膜, 以及

其中所述方法在所述步骤(b)之后、所述步骤(c)之前还包括除去在所述n沟道导电型场效应晶体管的侧面上的所述淀积膜的步骤。

15. 根据权利要求12所述的方法, 其中:

所述第一绝缘膜包括形成在每个所述栅极的侧壁上的侧壁衬垫和被形成为覆盖所述侧壁衬垫的淀积膜, 以及

其中所述方法在形成所述淀积膜的步骤之后、所述步骤(a)之前还包括除去在所述p沟道导电型场效应晶体管的侧面上的所述淀积膜的步骤。

16. 根据权利要求1或2所述的方法, 其中在所述步骤(b)和(d)之后还包括形成用于所述n沟道晶体管和p沟道晶体管的源漏极接触孔的步骤。

17. 一种制造具有分别形成在半导体基片上的n沟道导电型场效应晶体管和p沟道导电型场效应晶体管的半导体器件的方法, 其中包括以下步骤:

(a) 在所述n沟道导电型场效应晶体管和p沟道导电型场效应晶体管的每个栅极与所述半导体基片的元件隔离区之间的半导体区域上形成与每个所述栅极相对准的第一侧壁衬垫;

(b) 在该半导体区域的表面上, 按照与第一侧壁衬垫相对准的方式形成一个金属半导体反应层;

(c) 在所述金属半导体反应层上, 按照与所述第一侧壁衬垫相对准的方式形成第二侧壁衬垫;

(d) 在所述 n 沟道导电型和 p 沟道导电型场效应晶体管上形成第一绝缘膜, 用于在所述 n 沟道导电型场效应晶体管的沟道形成区中产生伸张应力, 以覆盖该晶体管的栅极;

(e) 通过蚀刻有选择地从所述 p 沟道导电型场效应晶体管的上表面上除去第一绝缘膜;

(f) 在所述 n 沟道导电型场效应晶体管和所述 p 沟道导电型场效应晶体管上形成第二绝缘膜, 用于在所述 p 沟道导电型场效应晶体管的沟道形成区中产生压缩应力, 以覆盖所述晶体管的栅极; 以及

(g) 从所述 n 沟道导电型场效应晶体管上有选择地除去所述第二绝缘膜。

18. 根据权利要求 17 所述的方法, 其中:

所述步骤 (e) 通过各向同性蚀刻方法而执行。

19. 根据权利要求 17 所述的方法, 其中:

所述第一和第二绝缘膜分别为由氮化硅膜所制成的用于自对准接触的绝缘膜。

20. 一种制造具有分别形成在半导体基片上的 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的半导体器件的方法, 其中包括以下步骤:

(a) 在所述 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的每个栅极与半导体基片的元件隔离区之间的半导体区域上形成与每个所述栅极相对准的第一侧壁衬垫;

(b) 在所述半导体区域的表面上, 按照与所述第一侧壁衬垫相对准的方式形成一个金属半导体反应层;

(c) 在所述金属半导体反应层上, 按照与所述第一侧壁衬垫相对

准的方式形成第二侧壁衬垫；

(d) 在所述 n 沟道导电型和 p 沟道导电型场效应晶体管上形成第一绝缘膜, 用于在所述 p 沟道导电型场效应晶体管的沟道形成区中产生压缩应力, 以覆盖所述晶体管的栅极；

(e) 通过蚀刻从所述 n 沟道导电型场效应晶体管的上表面上有选择地除去第一绝缘膜；

(f) 在所述 n 沟道导电型场效应晶体管 and 所述 p 沟道导电型场效应晶体管上形成第二绝缘膜, 用于在所述 n 沟道导电型场效应晶体管的沟道形成区中产生伸张应力, 以覆盖所述晶体管的栅极；以及

(g) 有选择地除去在 p 沟道导电型场效应晶体管上的所述第二绝缘膜。

21. 一种半导体器件, 其中包括:

第一场效应晶体管, 其形成在所述半导体基片上, 并且在设置于所述第一场效应晶体管的栅极侧壁上的侧壁衬垫与所述半导体基片的元件隔离区之间的半导体区域上具有一个硅化物层；

第二场效应晶体管, 其形成在所述半导体基片上, 并且在设置于所述第二晶体管的栅极侧壁上的侧壁衬垫与所述半导体基片的元件隔离区之间的半导体区域上没有硅化物层；

第一绝缘膜, 用于在所述第一场效应晶体管的沟道形成区中产生应力, 并且形成在所述第一场效应晶体管上, 以覆盖其栅极；以及

第二绝缘膜, 用于在所述第二场效应晶体管的沟道形成区中产生应力, 并且形成在所述第二场效应晶体管上, 以覆盖其栅极；

在所述第二场效应晶体管的半导体区域和所述第二绝缘膜之间设置一个第三绝缘膜；以及

在所述第一场效应晶体管的硅化物层和所述第一绝缘膜之间不设置所述第三绝缘膜。

半导体器件及其制造方法

技术领域

本发明还涉及一种半导体器件及其制造方法，特别涉及一种在相同基片上具有n沟道导电型场效应晶体管和p沟道导电型场效应晶体管的半导体器件，以及一种适用于制造该器件的技术。

背景技术

作为安装在半导体器件上的场效应晶体管，已知有一种称为“MISFET”（金属绝缘半导体场效应晶体管）的绝缘栅极场效应晶体管。由于MISFET的特征使其容易进行高度集成，因此它被广泛地用作构成集成半导体器件的电路元件。

无论是n沟道导电型场效应晶体管还是p沟道导电型场效应晶体管，MISFET通常具有一个沟道形成区、栅绝缘膜、栅极、源区和漏区。栅绝缘膜被置于半导体芯片的电路形成表面（在主表面上）的一个元件形成区中，并且它例如由氧化硅膜所形成。该栅极隔着栅绝缘膜被置于该半导体基片的电路形成表面的电路形成表面上，它例如由能够防止杂质进入的多晶膜所形成。该沟道形成区被置于与栅极相对的半导体基片的一个区域中（正好在栅极的下方的区域）。该源区和漏区被形成在半导体区中（杂质扩散区），该半导体区被设置在该沟道形成区的沟道长度方向的两侧上。

具有氧化硅膜作为栅绝缘膜的MISFET通常被称为“MOSFET”（金属氧化物半导体场效应晶体管）。该术语“沟道形成区”是指要形成连接源区和漏区的电流通道（沟道）。允许电流在半导体基片的厚度方向上（深度方向）流动的MISFET被称为“垂直型”，而允许电流在半导体基片的平面方向上流动的MISFET被称为“水平型”。允许在源区和漏区（在栅极的下方）之间的沟道形成区中形成电子沟道（导电路

径)的 MISFET 被称为 n 型 (或 n 沟道导电型), 而允许形成电子空穴的沟道被称为 p 型 (或者 p 沟道导电型)。

发明内容

在 0.1 微米级别的超精细 CMIS(互补的 MIS)中, 由于新材料的应用以及 MISFET 的短沟道效应的抑制使得温度被设置为较低。在该元件中保留处理产生的剩余应力。在处理中产生的剩余应力作用在半导体基片的电路形成表面的表面层部分上, 即, MISFET 的沟道形成区。

在通常采用的 CMIS(互补 MIS)处理中, 用于在半导体基片的电路形成表面上形成层间绝缘膜的材料在 n 沟道导电型 MISFET 和 p 沟道导电型 MISFET 之间是相同的。结果, 那些作用在沟道形成区上的应力在一个芯片中基本上是相同的。通常要减小在 n 沟道导电型 MISFET 和 p 沟道导电型 MISFET 的沟道形成区上的应力。

对于根据沟道形成区的应力而导致半导体特性的改变, 当应力施加在类似于漏极电流 (I_d) 的方向上 (栅极长度方向) 时, 已知:

(1) 由于压缩应力而导致 n 沟道导电型 MISFET 的漏极电流减小, 由于伸张应力导致漏极电流增加, 以及

(2) 由于压缩应力导致 p 沟道导电型 MISFET 的漏极电流增加, 由于伸张应力导致漏极电流减小。

但是该改变仅仅为百分之几或更少 (参见参考文献: IEEE TRANSACTIONS ON ELECTRON DEVICES, 38(4), 4 月, p898-900(1991))。在 1 微米的栅极长度尺寸的级别上, 这种小的百分比部分地是由于在高温下长时间地进行退火的结果。

本发明人研究表明当 MISFET 的栅极长度小到 0.1 微米左右并且在低温下进行该工艺时, 剩余应力变大, 并且在沟道形成区中的应力对晶体管的特性具有较大的影响。

例如, 当在形成 MISFET 之后在变化的条件下形成用于自对准接触的等离子体 CVD 氮化膜 (由等离子体 CVD 所形成的氮化膜), 该薄膜还作为一个层间绝缘膜, 在该薄膜中的应力表现出从压缩方向向着

伸张方向的改变，导致 MISFET 的晶体管特性的较大改变。该改变在图 2 中示出为漏极电流变化率（%）与薄膜应力的关系。在该图中的应力数值不是 MISFET 的沟道形成区的内部应力，而是在被层间绝缘膜所覆盖之后在晶片的翘曲中发现的该层间绝缘膜本身的数值。

该应力的影响表现出与上述参考文献中相类似的倾向，但是漏极电流的百分比变化率为 ± 10 至 20%，单个数位的增加。根据薄膜的应力，n 沟道导电型 MISFET 和 p 沟道导电型 MISFET 的漏极电流表现出相反的倾向。简而言之，当前者增加时，后者减小，反之亦然。

相应地，当内部应力的强度随着层间绝缘膜的形成条件而改变时，n 沟道导电型 MISFET 和 p 沟道导电型 MISFET 的漏极电流表现出互为相反的流动方向。不能够在两个元件中同时实现漏极电流的改进。

在 0.1 微米级别上和之后，由于该应力而导致漏极电流的百分比变化率达到 ± 10 至 20%或更大，导致 n 沟道导电型 MISFET 和 p 沟道导电型 MISFET 的漏极电流的平衡改变。

本发明的一个目的是提供一种能够增加每个 n 沟道导电型 MISFET 和 p 沟道导电型 MISFET 的漏极电流的技术（增加电流驱动能力）。

本发明的另一个目的是提供能够自由地设置 n 沟道导电型 MISFET 与 p 沟道导电型 MISFET 之间的漏极电流的比率的一种技术。

下面将简要描述由本申请所公开的发明的概述。

本发明的主要思想在于通过薄膜的应力控制作用在每个 n 沟道导电型 MISFET 和 p 沟道导电型 MISFET 的沟道形成区上的应力，以增加它们的漏极电流。在 n 沟道导电型场效应晶体管中，到伸张应力的沿着漏极电流的流动方向（栅极长度方向）作用在沟道形成区上时，漏极电流增加。在 p 沟道导电型场效应晶体管中，当压缩应力沿着漏极电流的流动方向（栅极长度方向）作用在沟道形成区上时，漏极电流增加。换句话说，薄膜的应力被用于控制在漏极电流方向上的伸张应力，以作用在 n 沟道导电型场效应晶体管的沟道形成区上。例如，这可以通过下述方法或设备来实现。

(1)一种制造具有分别形成在半导体基片上的n沟道导电型场效应晶体管和p沟道导电型场效应晶体管的半导体器件的方法，其中包括以下步骤：

(a)在用第一绝缘膜覆盖所述n沟道导电型场效应晶体管的栅极、所述p沟道导电型场效应晶体管的栅极和所述半导体基片的元件隔离区之间的半导体区域的状态下，在所述n沟道导电型场效应晶体管和p沟道导电型场效应晶体管上形成第二绝缘膜，用于在n沟道导电型场效应晶体管的沟道形成区中产生伸张应力，以覆盖所述n沟道导电型场效应晶体管和所述p沟道导电型场效应晶体管的栅极；

(b)通过蚀刻从所述p沟道导电型场效应晶体管上有选择地除去所述第二绝缘膜；

(c)在所述n沟道导电型场效应晶体管和所述p沟道导电型场效应晶体管上形成第三绝缘膜，用于在所述p沟道导电型场效应晶体管的沟道形成区中产生压缩应力，以覆盖所述n沟道导电型场效应晶体管和所述p沟道导电型场效应晶体管的栅极；以及

(d)有选择地从n沟道导电型场效应晶体管上除去所述第三绝缘膜。

(2)一种制造具有分别形成在半导体基片上的n沟道导电型场效应晶体管和p沟道导电型场效应晶体管的半导体器件的方法，其中包括以下步骤：

(a)在用第一绝缘膜覆盖所述n沟道导电型场效应晶体管的栅极、所述p沟道导电型场效应晶体管的栅极与所述半导体基片的元件隔离区之间的半导体区域的状态下，在所述n沟道导电型场效应晶体管和p沟道导电型场效应晶体管上形成第二绝缘膜，用于在所述p沟道导电型场效应晶体管的沟道形成区中产生压缩应力，以覆盖所述n沟道导电型场效应晶体管和所述p沟道导电型场效应晶体管的栅极；

(b)通过蚀刻有选择地从所述n沟道导电型场效应晶体管上除去所述第二绝缘膜；

(c)在所述n沟道导电型场效应晶体管和所述p沟道导电型场效应晶体管上形成第三绝缘膜，用于在所述n沟道导电型场效应晶体管的沟道形成区中产生伸张应力，以覆盖所述n沟道导电型场效应晶体管和所述p沟道导电型场效应晶体管的栅极；以及

(d)从所述p沟道导电型场效应晶体管的上表面有选择地除去所述第三绝缘膜。

(3)在上述(1)或(2)中所述的方法，其中：

覆盖该半导体区域的绝缘膜包括形成在每个栅极的侧壁上的侧壁

衬垫和覆盖该侧壁衬垫的淀积膜。

(4) 在上述(1)或(2)中所述的方法, 其中:

覆盖该半导体区的绝缘膜包括形成在每个栅极的侧壁上的侧壁衬垫以及覆盖该侧壁衬垫的淀积膜; 以及

在该半导体区域的表面上, 按照与侧壁衬垫相对准的方式淀积一个金属半导体反应层。

(5) 在上述(1)或(2)中所述的方法, 其中:

覆盖半导体区域的绝缘膜包括形成在栅极的侧壁上的侧壁衬垫以及形成在该侧壁衬垫和元件隔离区之间的热氧化膜。

(6) 在上述(1)或(2)中所述的方法, 其中:

覆盖半导体区域的绝缘膜包括形成在栅极的侧壁上的侧壁衬垫以及形成在该侧壁衬垫和元件隔离区之间的热氧化膜; 以及

在该半导体区域的表面上, 按照与侧壁衬垫相对准的方式淀积一个金属半导体反应层。

(7) 在上述(1)或(2)中所述的方法, 其中:

第一和第二绝缘膜分别为通过 LP-CVD(低压化学汽相淀积)方法、等离子体 CVD 方法、或者单晶片热 CVD 方法所形成的氮化硅膜。

(8) 一种制造具有分别形成在半导体基片上的 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的半导体器件的方法, 其中包括:

(a) 在 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的每个栅极与半导体基片的元件隔离区之间的半导体区域上形成第一侧壁衬垫;

(b) 在该半导体区域的表面上, 按照与第一侧壁衬垫相对准的方式形成一个金属半导体反应层;

(c) 在该金属半导体反应层上, 按照与第一侧壁衬垫相对准的方式形成第二侧壁衬垫;

(d) 在 n 沟道导电型和 p 沟道导电型场效应晶体管上形成第一绝缘膜, 用于在 n 沟道导电型场效应晶体管的沟道形成区中产生伸张应

力, 以覆盖该晶体管的栅极;

(e) 通过蚀刻有选择地除去在 p 沟道导电型场效应晶体管上的第一绝缘膜;

(f) 在 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管上形成第二绝缘膜, 用于在 p 沟道导电型场效应晶体管的沟道形成区中产生压缩应力, 以覆盖该晶体管的栅极; 以及

(g) 有选择地除去在 n 沟道导电型场效应晶体管上的第二绝缘膜。

(9) 一种制造具有分别形成在半导体基片上的 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的半导体器件的方法, 其中包括:

(a) 在 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的每个栅极与半导体基片的元件隔离区之间的半导体区域上形成第一侧壁衬垫;

(b) 在该半导体区域的表面上, 按照与第一侧壁衬垫相对准的方式形成一个金属半导体反应层;

(c) 在该金属半导体反应层上, 按照与第一侧壁衬垫相对准的方式形成第二侧壁衬垫;

(d) 在 n 沟道导电型和 p 沟道导电型场效应晶体管上形成第一绝缘膜, 用于在 p 沟道导电型场效应晶体管的沟道形成区中产生压缩应力, 以覆盖该晶体管的栅极;

(e) 通过蚀刻有选择地除去在 n 沟道导电型场效应晶体管上的第一绝缘膜;

(f) 在 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管上形成第二绝缘膜, 用于在 n 沟道导电型场效应晶体管的沟道形成区中产生伸张应力, 以覆盖该晶体管的栅极; 以及

(g) 有选择地除去在 p 沟道导电型场效应晶体管上的第二绝缘膜。

(10) 在上述 (8) 或 (9) 中所述的方法, 其中:

第一和第二绝缘膜分别为通过 LP-CVD 方法、等离子体 CVD 方法、或者单晶片热 CVD 方法所形成的氮化硅膜。

(11)一种制造具有分别形成在半导体基片上的 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的半导体器件的方法, 其中包括:

(a) 在 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管上形成具有的伸张应力的第一绝缘膜, 以覆盖每个晶体管的栅极;

(b) 在 n 沟道导电型和 p 沟道导电型场效应晶体管上形成第二绝缘膜, 其具有绝对值大于第一绝缘膜的伸张应力的压缩应力, 以覆盖每个晶体管的栅极; 以及

(c) 通过蚀刻有选择地除去在 n 沟道导电型场效应晶体管上的第二绝缘膜。

该第二绝缘膜的压缩应力至少为第一绝缘膜的伸张应力的两倍。

第一和第二绝缘膜分别为通过 LP-CVD 方法、等离子体 CVD 方法、或者单晶片热 CVD 方法所形成的氮化硅膜。

(12)一种制造具有分别形成在半导体基片上的 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的半导体器件的方法, 其中包括:

(a) 在 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管上形成具有的压缩应力的第一绝缘膜, 以覆盖每个晶体管的栅极;

(b) 在 n 沟道导电型和 p 沟道导电型场效应晶体管上形成第二绝缘膜, 其具有绝对值大于第一绝缘膜的压缩应力的伸张应力, 以覆盖每个晶体管的栅极; 以及

(c) 通过蚀刻有选择地除去在 p 沟道导电型场效应晶体管上的第二绝缘膜。

该第二绝缘膜的伸张应力至少为第一绝缘膜的压缩应力的两倍。

第一和第二绝缘膜分别为通过 LP-CVD 方法、等离子体 CVD 方法、或者单晶片热 CVD 方法所形成的氮化硅膜。

(13)一种具有分别形成在半导体基片上的 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的半导体器件, 其中包括:

具有伸张应力的第一绝缘膜, 其在 n 沟道导电型场效应晶体管和 p

沟道导电型场效应晶体管上形成，以覆盖晶体管的栅极，以及

具有压缩应力的第二绝缘膜，该压缩应力的绝对值大于第一绝缘膜的伸张应力的绝对值，并且形成在 p 沟道导电型场效应晶体管上，以有选择地覆盖其栅极。

第二绝缘膜的伸张应力至少为第一绝缘膜的压缩应力的两倍。

第一和第二绝缘膜分别为通过 LP-CVD 方法、等离子体 CVD 方法、或者单晶片热 CVD 方法所形成的氮化硅膜。

(14)一种具有分别形成在半导体基片上的 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的半导体器件，其中包括：

具有压缩应力的第一绝缘膜，其在 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管上形成，以覆盖晶体管的栅极，以及

具有伸张应力的第二绝缘膜，该伸张应力的绝对值大于第一绝缘膜的压缩应力的绝对值，并且形成在 n 沟道导电型场效应晶体管上，以有选择地覆盖其栅极。

第二绝缘膜的压缩应力至少为第一绝缘膜的伸张应力的两倍。

第一和第二绝缘膜分别为通过 LP-CVD 方法、等离子体 CVD 方法、或者单晶片热 CVD 方法所形成的氮化硅膜。

(15)一种制造具有分别形成在半导体基片上的 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的半导体器件的方法，其中包括：

在 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管上形成具有伸张应力的第一绝缘膜，以覆盖晶体管的栅极，以及

把一种元素导入到 p 沟道导电型场效应晶体管上的绝缘膜，从而把该绝缘膜转换为能够在 p 沟道导电型场效应晶体管的沟道形成区中产生压缩应力的薄膜。

该元素与包含在绝缘膜中的元素相同。

元素的导入是通过把该元素垂直于该基片或者把该元素倾斜地注入该基片而实现的。

该绝缘膜是通过 LP-CVD 方法、等离子体 CVD 方法、或者单晶片热 CVD 方法所形成的氮化硅膜。

(16)一种具有分别形成在半导体基片上的 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的半导体器件，其中包括：

形成在 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管上的薄膜，以覆盖其栅极，

该薄膜具有用于在 n 沟道导电型场效应晶体管的沟道形成区中产生伸张应力的薄膜应力的第一部分，以及用于在 p 沟道导电型场效应晶体管的沟道形成区中产生压缩应力的第二部分。

该薄膜的第二部分具有比第一部分更高的元素浓度。

该绝缘膜为通过 LP-CVD 方法、等离子体 CVD 方法、或者单晶片热 CVD 方法所形成的氮化硅膜。

根据上述方法，伸张应力和压缩应力被分别施加到 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管，根据作用在每个 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的沟道形成区上的应力的强度，导致每个 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的漏极电流的增加，如图 2 中所示。

分别作用在 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的沟道形成区上的应力可以自由地控制 n 沟道导电型场效应晶体管与 p 沟道导电型场效应晶体管的漏极电流的比率。

下面是在本文中所用的一些术语的定义。

术语“作用在场效应晶体管的沟道形成区上的伸张应力”表示在该沟道形成区为硅 (Si) 的情况下，能够使硅的晶格常数大于其平衡值的应力。

术语“作用在场效应晶体管的沟道形成区上的压缩应力”表示在该沟道形成区为硅 (Si) 的情况下，能够使硅的晶格常数低于其平衡值的应力。

术语“薄膜的伸张应力”表示在一个场效应晶体管的沟道形成区中产生伸张应力的应力。

术语“薄膜的压缩应力”表示在一个场效应晶体管的沟道形成区中产生压缩应力的应力。

因此，本发明的中心思想在于在该沟道形成区中的硅原子的原子间距在 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管之间为不

同,换句话说,他们在扭曲的大小方面不同;并且在n沟道导电型场效应晶体管的沟道形成区中硅原子的原子间距比在p沟道导电型场效应晶体管的沟道形成区中更大。

从下文参照附图的详细描述中本发明的上述目的和其他目的将变得更加清楚。

本发明人在对本发明的开发过程中发现新问题。这些问题将在下文的本发明所应用的实施例中描述。

附图说明

图1为示出根据本发明的实施例1的半导体器件的大体结构的截面视图;

图2为示出在漏极电流中的百分比变化率与薄膜应力的相互关系的特性曲线;

图3为示出电流方向和薄膜应力方向之间的关系的截面视图;

图4为示出电流方向和薄膜应力方向之间的关系的平面视图;

图5为示出在制造步骤中本发明的实施例1的半导体器件的截面视图;

图6为在图5之后的制造步骤中的半导体器件的截面视图;

图7为在图6之后的制造步骤中的半导体器件的截面视图;

图8为在图7之后的制造步骤中的半导体器件的截面视图;

图9为在图8之后的制造步骤中的半导体器件的截面视图;

图10为在图9之后的制造步骤中的半导体器件的截面视图;

图11为在图10之后的制造步骤中的半导体器件的截面视图;

图12为在图11之后的制造步骤中的半导体器件的截面视图;

图13为在图12之后的制造步骤中的半导体器件的截面视图;

图14为在图13之后的制造步骤中的半导体器件的截面视图;

图15为在图14之后的制造步骤中的半导体器件的截面视图;

图16为在图15之后的制造步骤中的半导体器件的截面视图;

图17为在图16之后的制造步骤中的半导体器件的截面视图;

图 18 为在图 17 之后的制造步骤中的半导体器件的截面视图；

图 19 为在图 18 之后的制造步骤中的半导体器件的截面视图；

图 20 为由本发明人在本发明的开发过程中所发现的一个问题的截面视图；

图 21 为由本发明人在本发明的开发过程中所发现的另一个问题的截面视图；

图 22 为由本发明人在本发明的开发过程中所发现的另一个问题的截面视图；

图 23 为由本发明人在本发明的开发过程中所发现的另一个问题的截面视图；

图 24 为本发明的实施例 1 的一个变型例子的截面视图；

图 25 为示出根据本发明的实施例 2 的半导体器件的大体结构的截面视图；

图 26A 和 26B 分别为示出在其制造步骤中的实施例 2 的半导体器件的截面视图；

图 27 为示出在另一个制造步骤中的实施例 2 的半导体器件的截面视图；

图 28 为示出根据实施例 3 在其一个制造步骤中的半导体器件的截面视图；

图 29 为示出根据实施例 4 在其一个制造步骤中的半导体器件的截面视图；

图 30A 和 30B 分别为示出根据本发明的实施例 5 的半导体器件的大体结构的截面视图；

图 31 为示出根据本发明的半导体器件的大体结构的截面视图；

图 32 为示出根据本发明的实施例 6 在其一个制造步骤中的半导体器件的截面视图

图 33 为在图 32 之后的一个制造步骤中的半导体器件的截面视图；

图 34 为在图 33 之后的一个制造步骤中的半导体器件的截面视图；

图 35 为在图 34 之后的一个制造步骤中的半导体器件的截面视图；

图 36 为示出本发明的实施例 6 的一个变型例子的截面视图;

图 37 为示出根据本发明的实施例 7 的半导体器件的大体结构的截面视图;

图 38 为根据本发明的实施例 7 在其一个制造步骤中的半导体器件的截面视图;

图 39 为在图 38 之后的一个制造步骤中的半导体器件的截面视图;

图 40 为示出本发明的实施例 7 的一个变型例子的截面视图;

图 41 为示出根据本发明的实施例 8 的半导体器件的大体结构的截面视图;

图 42 为示出根据本发明的实施例 9 的半导体器件的大体结构的截面视图;

图 43 为沿着图 42 的线 A-A 截取的截面视图; 以及

图 44 为示出根据本发明的实施例 10 的半导体器件的大体结构的截面视图。

具体实施方式

下面根据附图详细描述本发明的实施例。在描述本实施例的所有附图中, 相同的功能部件由相同的标号所表示, 并且将省略重复的描述。为了便于理解附图, 一些交叉部分没有用阴影线来示出。

(实施例 1)

在实施例 1 中, 将描述把本发明应用于具有从 1 至 1.5V 的电源电压和从 0.1 至 0.14 微米的栅极长度的互补 MISFET 的情况。

图 1 为示出根据本发明实施例 1 的半导体器件的大体结构的截面视图;

图 2 为示出在漏极电流中基于薄膜应力的百分比变化率的特性视图;

图 3 和 4 为分别示出电流方向和薄膜应力方向之间的关系的平面视图和截面视图;

图 5 至 19 分别为在制造步骤过程中图 1 的半导体器件的示意截面

视图；以及

图 20 至 23 分别为用于说明在本发明的开发过程中由本发明人所发现的问题的截面视图。

在图 1 和图 5 至 19 中，在左侧示出一个 n 沟道导电型 MISFET (n 型 MISFET)，而在右侧示出一个 p 沟道导电型 MISFET (p 型 MISFET)。

如图 1 中所示，根据本实施例的半导体器件具有一个半导体基片，其主要由例如单晶硅所制成的 p 型硅基片 (在下文中简称为“p 型基片”) 所构成。p 型基片 1 的电路形成表面 (一个主表面) 的上面具有 nMIS 形成区 (第一元件形成区) 1n 和 pMIS 形成区 (第二元件形成区) 1p，并且 nMIS 形成区 1n 通过例如浅沟槽隔离 (SGI) 区 4 与 pMIS 形成区 1p 相分离。在 nMIS 形成区 1n 中，形成一个 p 型阱 2 和 n 沟道导电型 MISFET (在下文中简称为“n 型 MISFET”)，而在 pMIS 形成区 1p 中形成一个 n 型阱区 3 和一个 p 沟道导电型 MISFET (在下文中简称为“p 型 MISFET”)。通过在 p 型基片 1 的电路形成表面中制作一个浅沟槽，然后有选择地把一个绝缘膜 (例如，氧化硅膜) 嵌入在该浅沟槽内部而形成该浅沟槽隔离区 4。本实施例的 n 型和 p 型 MISFET 分别具有允许电流在 p 型基片的平面方向上流动的水平结构。

n 型 MISFET 主要具有一个沟道形成区、栅绝缘膜 5、栅极 6、侧壁衬垫 9、源区和漏区。源区和漏区具有 n 型半导体区 (扩展区) 7 和 n 型半导体区 10。n 型半导体区 7 被形成为与栅极 6 自对准，而 n 型半导体区 10 被形成为与置于栅极 6 的侧壁上的侧壁衬垫 9 自对准。n 型半导体区 10 被形成为具有比 n 型半导体区 7 更高的杂质浓度。

p 型 MISFET 主要具有一个沟道形成区、栅绝缘膜 5、栅极 6、侧壁衬垫 9、源区和漏区。源区和漏区具有 p 型半导体区 (扩展区) 8 和 p 型半导体区 11。p 型半导体区 8 被形成为与栅极 6 自对准，而 p 型半导体区 11 被形成为与置于栅极 6 的侧壁上的侧壁衬垫 9 自对准。p 型半导体区 11 被形成为具有比 p 型半导体区 8 更高的杂质浓度。

在每个栅极 6、n 型半导体区 10 和 p 型半导体区 11 的表面上，形成一个硅化物层 (金属半导体反应层) 12，以降低电阻。硅化物层

12被置于栅极6的表面上,置于每个n型半导体区10和p型半导体区11的表面的硅化物层被形成为与置于栅极6的侧壁上的侧壁衬垫9自对准。硅化物层12例如通过自对准硅化物(Self Aligned Silicide)技术而形成。本实施例的n型和p型MISFET分别具有自对齐硅化物结构。

在p型基片1的电路形成表面上,例如由一个氧化硅膜形成一个层间绝缘膜16。该层间绝缘膜16被形成为覆盖p型基片1的电路形成表面。在n型MISFET和层间绝缘膜16之间例如形成作为用于在p型基片1的电路形成表面上产生伸张应力的第一氮化物膜的氮化硅膜14a。在p型MISFET和层间绝缘膜16之间例如形成作为用于在p型基片1的电路形成表面上产生压缩应力的第二氮化物膜的氮化硅膜14b。在本实施例中,氮化硅膜14a被有选择地形成在n型MISFET上,以覆盖其栅极6,并且氮化硅膜14b被有选择地形成在p型MISFET上,以覆盖其栅极6。

在n型MISFET和氮化硅膜14a之间,以及在p型MISFET和氮化硅膜14b之间,形成例如由氧化硅膜所制成的绝缘膜13。该绝缘膜13被形成在p型基片1的电路形成表面上,以覆盖每个n型和p型MISFET。

在氮化硅膜14a和层间绝缘膜16之间,形成例如由氧化硅膜所制成的绝缘膜15。该绝缘膜15有选择地形成在氮化硅膜14a上,以覆盖该氮化硅膜14a。

在n型半导体区10和p型半导体区11上,形成从层间绝缘膜16的表面延伸到硅化物层12的用于源极-漏极的通孔18。在用于源极-漏极的通孔18内部,嵌入一个导电插塞19。该n型半导体区10和p型半导体区11分别通过硅化物层12和导电插塞19电连接到在层间绝缘膜16上延伸的一个互连层20。

尽管未示出,但是在栅极6上形成用于栅极的接触孔,该孔从层间绝缘膜16的表面延伸到硅化物层12。导电插塞19被嵌入在该栅极接触孔内部。该栅极6通过栅极接触孔内部的硅化物层12和导电插塞19

电连接到在层间绝缘膜 16 上延伸的互连层 20。

使用氮化硅膜 14a、14b 作为阻蚀层，通过 SAC（自对准接触孔）技术分别形成源极-漏极接触孔 18 和栅极接触孔。换句话说，氮化硅膜 14a、14b 作为用于自对准接触的绝缘膜。

这些氮化硅膜 14a、14b 例如通过等离子体 CVD（化学汽相淀积）方法而形成。通过改变这些氮化硅膜 14a、14b 的形成条件（反应气体、气压、温度、RF 功率，等等）而控制要在 p 型基片 1 的电路形成表面上产生的应力。在本实施例中，通过在低至 300 到 400W 范围内的 RF 功率的条件下形成氮化硅膜 14a 而把在 p 型基片 1 的电路形成表面上产生的应力控制为伸张应力。另一方面，通过在高达 600 到 700W 范围内的 RF 功率的条件下形成氮化硅膜 14b 而把在 p 型基片 1 的电路形成表面上产生的应力控制为压缩应力。

分别通过上述方法，从大约+700 至+800Mpa 的伸张应力存在于氮化硅膜 14a 中，并且从大约-900 至-1000Mpa 压缩应力存在于氮化硅膜 14a 中，从而伸张应力出现在 n 型 MISFET 的沟道形成区中，并且压缩应力出现在 p 型 MISFET 的沟道形成区中，与不被氮化硅膜 14a、14b 所覆盖的情况相比，导致使 n 型 MISFET 的漏极电流提高 10 至 15%，以及 p 型 MISFET 的漏极电流提高 15 至 20%。如上文所述，这些应力被施加在与漏极电流 (I_d) 流过沟道形成区的方向（即，栅极长度方向）相类似的方向上。

下面使用与本实施例中所用的附图略有不同的简化附图和参考标号描述在 MISFET 的沟道形成区中出现的应力。图 3 和 4 中所示的 MISFET 具有类似于本实施例的硅化物结构。在标号 30 所示的是 MISFET 的沟道形成区，31 为漏极电流流过沟道形成区 30 的方向，32 为被形成为与栅极 6 对准的半导体区，33 为被形成为与侧壁衬垫 9 相对准的半导体区，34 为用于在沟道形成区 30 中产生应力的薄膜，以及 35a 和 35b 分别为一个台阶部分。

如图 3 和 4 中所示，MISFET 具有置于栅极 6 的侧壁上的侧壁衬垫 9，以包围栅极 6。该栅极 6 和侧壁衬垫 9 从该栅极凸出，从而由它们

形成台阶部分(35a、35b)。当薄膜34形成在这样一个结构的MISFET上以覆盖栅极6,从而在沟道形成区30中产生应力(伸张应力或压缩应力)时,应力集中在栅极长度方向X中所存在的台阶部分35a的跟脚上,以及集中在栅极宽度方向Y中所存在的台阶部分35b的跟脚上,从而从存在于栅极长度方向X的台阶部分35a的跟脚开始在栅极长度方向上的薄膜应力作用在沟道形成区30上,同时从存在于栅极宽度方向Y的台阶部分35b的跟脚开始在栅极宽度方向上的薄膜应力作用在沟道形成区30上。换句话说,当薄膜34的应力为伸张应力时,该伸张应力在栅极长度方向和栅极宽度方向上出现在沟道形成区30中,并且当薄膜34的应力为压缩应力时,该压缩应力在栅极长度方向和栅极宽度方向上出现在沟道形成区30中。

在栅极长度方向X中的栅极6的长度远小于在该栅极宽度方向Y上的长度,从而在栅极宽度方向上的伸张应力或压缩应力显著地减小,该应力是通过在栅极宽度方向Y上集中在台阶部分35b的跟脚处的伸张应力或压缩应力而出现在沟道形成区30中的应力。相应地,在沟道形成区30中由薄膜34所产生的应力可以仅仅被认为是在栅极长度方向上的伸张应力或压缩应力,换句话说,作为沿着漏极电流方向31的伸张应力或压缩应力。

有报告表明,当在栅极宽度方向上的压缩应力被施加到沟道形成区30上时,在p型MISFET中出现漏极电流的减小。对于通过薄膜34对沟道形成区30上的应力进行控制,可以有效地增加p型MISFET的漏极电流,由于如上文所述,作为在沟道形成区30中出现的应力的在栅极宽度方向上的栅极应力被显著减小。因此,由薄膜34进行沟道形成区30的应力控制对于p场效应晶体管来说特别有效。

由于当薄膜应力的开始点与沟道形成区30相分离时通过薄膜34的应力而在沟道形成区30中造成的应力减小,因此需要把薄膜应力的开始点尽可能地接近于沟道形成区30。在上文所述中,应力从由栅极6和侧壁衬垫9所产生的台阶部分(35a、35b)的跟脚处开始。在没有侧壁衬垫9的MISFET的情况中,栅极6的每个侧壁的跟脚变为薄膜应

力的开始点。

下面根据图 5 至 19 描述实施例 1 的半导体器件的制造方法。

首先,准备由具有 $10\Omega\text{cm}$ 的电阻率的单晶硅所制成的 p 型基片 1, 并且在 p 型基片 1 的电路形成表面上,有选择地形成 p 型阱区 2 和 n 型阱区 3, 如图 5 中所示。

然后,如图 5 中所示,一个浅沟槽隔离区 4 被形成在 p 型基片 1 的电路形成表面上,用于使 nMIS 形成区(第一元件形成区)1n 与 pMIS 形成区(第二元件形成区)1p 相分离的一个元件隔离区域。通过在 p 型基片 1 的电路形成表面上形成一个浅沟槽(例如,大约 $300[\text{nm}]$ 深的沟槽),通过 CVD 方法在 p 型基片 1 的电路形成表面上形成一个氧化硅膜作为绝缘膜,然后通过 CMP(化学机械抛光)方法对该绝缘膜进行平面化,仅仅把它保留在该浅沟槽内,从而形成该浅沟槽隔离区 4。

如图 6 中所示,通过热处理在 p 型基片 1 的电路形成表面上的 nMIS 形成区 1n 和 pMIS 形成区 1p 中形成大约 2-3 纳米后的氧化硅膜所制成的栅极绝缘膜 5。然后,通过 CVD 方法在 p 型基片 1 的整个电路形成表面上形成大约 150 至 200nm 厚的多晶硅膜,然后通过对该多晶硅膜进行构图而形成栅极 6。在淀积多晶硅膜过程中或之后,导入减小电阻的杂质。

如图 6 中所示,通过离子注入有选择地把例如砷(As)这样的杂质导入到没有栅极 6 的 p 型阱区 2 的区域中而形成一对 n 型半导体区(扩展区)7,随后通过离子注入有选择地把例如二氟化硼(BF_2)这样的杂质导入到没有栅极 6 的 n 型阱区 3 的一个区域中而形成一对 p 型半导体区(扩展区)8。当 pMIS 形成区 1p 被光刻胶掩膜所覆盖时形成 n 型半导体区 7,当 nMIS 形成区 1n 被光刻胶掩膜所覆盖时形成 p 型半导体区 8。在 $1\text{-}5\text{KeV}$ 的加速能量和 1 至 $2 \times 10^{15}/\text{cm}^2$ 的剂量的条件下导入砷。在 $1\text{-}5\text{KeV}$ 的加速能量和 1 至 $2 \times 10^{15}/\text{cm}^2$ 的剂量的条件下导入二氟化硼。n 型半导体区 7 和 p 型半导体区 8 被分别形成为与栅极 6 相对准。

在导入杂质以形成半导体区(7, 8)之后,通过热处理激活这些半导体区(7, 8)。

如图 6 中所示,例如在栅极长度方向上具有大约 50-70nm 厚度的侧壁衬垫 9 被形成在栅极 6 的侧壁上。例如通过 CVD 方法在 p 型基片 1 的整个电路形成表面上形成由氧化硅膜和氮化硅膜所制成的绝缘膜而形成这些侧壁衬垫 9,然后使该绝缘膜受到各向异性蚀刻,例如 RIE(反应离子蚀刻)。这些侧壁衬垫 9 被形成为与栅极 6 相对准。

如图 6 中所示,通过离子注入有选择地把例如砷(As)这样的杂质导入到没有栅极 6 的 p 型阱区 2 的区域中而形成一对 n 型半导体区 10,随后通过离子注入有选择地把例如二氟化硼(BF_2)这样的杂质导入到没有栅极 6 的 n 型阱区 3 的一个区域中而形成一对 p 型半导体区 11。当 pMIS 形成区 1p 被光刻胶掩膜所覆盖时形成 n 型半导体区 10,当 nMIS 形成区 1n 被光刻胶掩膜所覆盖时形成 p 型半导体区 11。在 35-45KeV 的加速能量和 2 至 $4 \times 10^{15}/\text{cm}^2$ 的剂量的条件下导入砷。在 40-50KeV 的加速能量和 2 至 $4 \times 10^{15}/\text{cm}^2$ 的剂量的条件下导入二氟化硼。n 型半导体区 10 和 p 型半导体区 11 被分别形成为与侧壁衬垫 9 相对准。

在导入杂质以形成半导体区(10, 11)之后,通过热处理激活这些半导体区(10, 11)。

通过上述步骤,形成具有与栅极 6 相对准的 n 型半导体区 7 以及与侧壁衬垫 9 相对准的 n 型半导体区 10 的源区和漏区;以及形成具有与栅极 6 相对准的 p 型半导体区 8 以及与侧壁衬垫 9 相对准的 p 型半导体区 11 的源区和漏区。因此,形成水平的 n 型和 p 型 MISFET。

在通过除去自然氧化膜而暴露栅极 6 和半导体区域(10, 11)的表面之后,执行溅射,以在包括这些表面的 p 型基片 1 的整个电路形成表面上形成一个钴(Co)膜 12a,如图 7 中所示。然后,如图 8 中所示,执行热处理,使得栅极 6 的硅(Si)与钴膜 12 的 Co 发生反应,从而在栅极 6 的表面上形成硅化物(CoSi_x)层 12,作为金属半导体反应层;同时,使得半导体区(10, 11)的硅(Si)与钴膜 12a 的 Co 发生反应,从而在半导体区(10, 11)的表面上形成硅化物(CoSi_x)层 12。如图 9 中所示,钴膜 12a 的未反应部分被有选择地从形成硅化物层 12 的

一个区域上除去，随后通过热处理激活硅化物层 12。

通过上述步骤，被淀积在栅极 6 的表面上的硅化物层 12 和淀积在半导体区 (10, 11) 上的硅化物层 12 被形成为与侧壁衬垫 9 相对准。因此，形成具有自对齐硅化物结构的 n 型和 p 型 MISFET。

如图 10 中所示，通过 CVD 方法在包括 n 型和 p 型 MISFET 的 p 型基片 1 的整个电路形成表面上形成例如由大约 5-10nm 厚的氧化硅膜所制成的绝缘膜 13。通过该步骤，栅极 6 的硅化物层 12、半导体区 (10, 11) 的硅化物层 12 以及侧壁衬垫 9 被绝缘膜 13 所覆盖。

如图 11 中所示，通过等离子体 CVD 方法形成大约 100 至 120nm 厚的氮化硅膜 14a，作为在包括 n 型和 p 型 MISFET 的 p 型基片 1 的整个电路形成表面上的绝缘膜。氮化硅膜 14a 例如在 350 至 400W 的 RF 功率或 300 至 350 托的腔内气压的条件下形成。

通过上述步骤，n 型和 p 型 MISFET 被氮化硅膜 14a 所覆盖，并且栅极 6 的硅化物层 12、半导体区 (10, 11) 和侧壁衬垫 9 隔着绝缘膜 13 被氮化硅膜 14a 所覆盖。

如图 12 中所示，通过 CVD 方法在包括 n 型和 p 型 MISFET 的上表面的 p 型基片 1 的整个电路形成表面上形成大约 50nm 厚的氧化硅膜所制成的绝缘膜 15。通过该步骤，氮化硅膜 14a 被绝缘膜 15 所覆盖。

如图 13 中所示，有选择地覆盖 nMIS 形成区 1n (n 型 MISFET) 的上表面的光刻胶掩膜 RM1 被形成在绝缘膜 15 上。

通过利用该光刻胶掩膜 RM1 作为蚀刻掩膜，通过蚀刻而顺序地从 pMIS 形成区 1p 的上表面 (p 型 MISFET 的上表面) 上除去绝缘膜 15 和氮化硅膜 14a。为了除去绝缘膜 15 和氮化硅膜 14a，分别采用湿法蚀刻和各向同性干法蚀刻方法。

通过上述步骤，氮化硅膜 14a 被有选择地形成在 n 型 MISFET 上，以覆盖其栅极 6。由于按照上述方式有选择地形成氮化硅膜 14a，因此有选择地在 n 型 MISFET 的沟道形成区中产生伸张应力。

并且通过该步骤，由于这些硅化物层 12 和侧壁衬垫 9 被绝缘膜 13 所覆盖，因此可以抑制在除去过程中由于过蚀刻而导致不可避免地腐蚀

在栅极 6 表面上的硅化物层 12、p 型半导体区 11 的表面上的硅化物层 12 以及侧壁衬垫 9 的情况。简而言之，绝缘膜 13 作为在除去氮化硅膜 14a 时的阻蚀层。

如果在该步骤中没有绝缘膜 13，则由于在除去时对氮化硅膜 14a 的过蚀刻而出现问题。下面将描述这种问题。

如图 15 中所示，在除去光刻胶掩膜 RM1 之后，通过等离子 CVD 方法在包括绝缘膜 15 的上表面的 p 型基片 1 的整个电路形成表面上形成大约 100nm 厚的氮化硅膜 14b，作为绝缘膜。氮化硅膜 14b 例如在 600 至 700W 的 RF 功率或 5 至 10 托的腔内气压的条件下形成。

通过上述步骤，n 型和 p 型 MISFET 被氮化硅膜 14b 所覆盖，并且在 n 型 MISFET 上的氮化硅膜 14a 隔着绝缘膜 15 被氮化硅膜 14b 所覆盖。

如图 16 中所示，有选择地覆盖 pMIS 形成区 1p (p 型 MISFET) 的上表面的光刻胶掩膜 RM2 被形成在氮化硅膜 14b 上。

通过利用该光刻胶掩膜 RM2 作为蚀刻掩膜，通过蚀刻而从 nMIS 形成区 1n 的上表面 (n 型 MISFET 的上表面) 上除去氮化硅膜 14b。氮化硅膜 14b 被各向同性干法蚀刻方法所除去。

通过上述步骤，氮化硅膜 14b 被有选择地形成在 p 型 MISFET 上，以覆盖其栅极 6。由于按照上述方式有选择地形成氮化硅膜 14b，因此有选择地在 p 型 MISFET 的沟道形成区中产生压缩应力。

通过该步骤，由于在 n 型 MISFET 上的氮化硅膜 14a 被绝缘膜 15 所覆盖，因此可以抑制在除去氮化硅膜 14b 的过程中由于过蚀刻而导致除去氮化硅膜 14a 的不便。简而言之，绝缘膜 15 作为在除去氮化硅膜 14b 时的阻蚀层。

在除去光刻胶掩膜 RM2 之后，通过等离子体 CVD 方法在包括如图 18 中所示的 n 型和 p 型 MISFET 的上表面的 p 型基片 1 的整个电路形成表面上形成由氧化硅膜所制成的层间绝缘膜 16，随后通过 CMP 方法对层间绝缘膜 16 的表面进行平面化。

如图 18 中所示，例如 Ar、Ge、Si、As、Sb、In 或 BF_2 这样的杂

质 17 被导入层间绝缘膜 16，以破坏层间绝缘膜 16 的结晶性。在该步骤中，层间绝缘膜 16 的应力被释放，因此可以抑制层间绝缘膜 16 的应力对 MISFET 的沟道形成区的影响。当观察层间绝缘膜 16 的截面时，清楚地保留破坏的痕迹。

如图 19 中所示，然后在半导体区 (11, 12) 上形成从层间绝缘膜 16 的表面延伸到硅化物层 12 的源极-漏极接触孔 18。这些源极-漏极接触孔 18 由 SAC 技术使用氮化硅膜 (14a、14b) 作为阻蚀层而形成。具体来说，具有用于该接触孔的开孔图案的光刻胶掩膜被形成在层间绝缘膜 16 上处于与半导体区 (10, 11) 相对的位置处。利用该光刻胶掩膜作为蚀刻掩膜，通过各向异性蚀刻顺序地蚀刻层间绝缘膜 16、绝缘膜 15、氮化硅膜 (14a、14b) 和绝缘膜 13。在使得层间绝缘膜 16 和绝缘膜 15 对氮化硅膜 (14a、14b) 具有蚀刻选择性的条件下对层间绝缘膜 16 和绝缘膜 15 进行蚀刻。在使得氮化硅膜 (14a、14b) 对绝缘膜 13 具有蚀刻选择性的条件下对氮化硅膜 (14a、14b) 进行蚀刻。在使得绝缘膜 13 对硅化物层 12 和 p 型基片 1 具有蚀刻选择性的条件下对绝缘膜 13 进行蚀刻。在除去氮化硅膜 (14a、14b) 之后，绝缘膜 13 可能被过蚀刻。

按照与形成源极-漏极接触孔 18 的方法相类似的方法，从层间绝缘膜 16 的表面延伸到硅化物层 12 的栅极接触孔被形成在栅极 6 上，但是这未在图中示出。

然后，通过在源极-漏极接触孔 18 的内部和栅极接触孔的内部嵌入导电材料，接着在层间绝缘膜 16 上形成互连层 20 而形成一个导电插塞 19，从而可以形成如图 1 中所示的结构。

在下面，将描述本发明以及在本发明的开发过程中由本发明人所发现的问题。

由于在执行各向异性干法蚀刻时沿着侧壁衬垫 9 的侧壁延伸的氮化硅膜 14a 看起来很厚，因此在通过各向异性干法蚀刻除去在 p 型 MISFET 上的氮化硅膜 14a 之后，一部分氮化硅膜 14a 被保留在侧壁衬垫 9 的侧壁上，如图 20 中所示。如果氮化硅膜 14b 被形成在 p 型 MISFET

上而不除去氮化硅膜 14a 的部分,则氮化硅膜 14b 的应力集中在由栅极 6、侧壁衬垫 9 和如图 21 中所示的氮化硅膜 14a 的部分所形成的台阶部分 35a 的跟脚处,由于保留在侧壁衬垫 9 的侧壁上的氮化硅膜 14a 使得氮化硅膜 14b 的应力开始点与 p 型 MISFET 的沟道形成区相分离,从而减小用于在沟道形成区中产生压缩应力的氮化硅膜 14b 的应力的影响。另外,具有相反应力作用的氮化硅膜 14a 被保留在侧壁衬垫 9 的侧壁上,从而进一步减小用于在沟道形成区中产生压缩应力的氮化硅膜 14b 的影响。因此通过不会在台阶部分形成蚀刻剩余物的各向同性干法蚀刻而从 p 型 MISFET 有效地除去氮化硅膜 14a。

但是从 p 型 MISFET 的上部除去氮化硅膜 14a 的各向同性干法蚀刻具有另一个问题。

为了进行氮化硅膜的各向同性蚀刻,通常采用例如 CF_4 和 CF_6 这样的氟化物气体。在各向同性蚀刻时,氮化硅膜相对于氧化硅膜或硅化物层具有蚀刻选择性,但是对于硅没有蚀刻选择性。

在氮化硅膜 14a 的各向同性等离子体蚀刻时,氮化硅膜 14a 相对于由氧化硅膜所制成的侧壁衬垫 9 具有蚀刻选择性,但是在除去氮化硅膜 14a 时,该侧壁衬垫 9 被少量地蚀刻,从而侧壁衬垫 9 的整体膜厚向着栅极 6 的方向减小。在 p 型半导体区 11 的表面上的硅化物层 12 被形成与侧壁衬垫 9 相对准。通过在除去氮化硅膜 14a 时的过蚀刻而减小侧壁衬垫的膜厚,不可避免地在侧壁衬垫 9 和硅化物层 12 之间形成硅的暴露部分 a1。在氮化硅膜的各向同性等离子体蚀刻,它对硅没有蚀刻选择性,从而由于在除去氮化硅膜 14a 时的过蚀刻使得 p 型基片 1 被从暴露部分 1a 蚀刻,造成例如栅极 6 剥离这样的问题。

在各向同性等离子体蚀刻时,氮化硅膜 14a 对硅化物层 12 具有蚀刻选择性,但是在除去氮化硅膜 14a 时的过蚀刻使得硅化物层 12 被少量地蚀刻,并且硅化物层 12 的厚度减小。硅化物层 12 被淀积在栅极 6 的表面上或者 p 型半导体区 11 的表面上,以抑制由于 MISFET 的小型化而导致栅极电阻增加或源极-漏极电流增加。当由于在除去氮化硅膜 14a 时的过蚀刻而导致硅化物层 12 的厚度减小时,不可避免地降低抑

制由于 MISFET 的小型化所导致栅极电阻增加或源极-漏极电流增加的效果。

在具有自对齐硅化物结构的 p 型 MISFET 的情况中, 由于硅化物层 12 作为阻蚀层, 因此在除去氮化硅膜 14a 时, 在栅极 6 的硅化物层 12 下方的多晶硅膜和源极-漏极区的硅化物层 12 下方的 p 型半导体区 11 不被过蚀刻所腐蚀。在栅极 6 的表面上或 p 型半导体区 11 的表面上没有硅化物层 12 的结构的情况中, 另一方面, 由于蚀刻而导致栅极 6 的多晶硅膜和源极-漏极区的 p 型半导体区 11 的膜厚减小, 导致栅极电阻和源极-漏极电阻的增加。栅极电阻的增加降低开关速度, 并且源极-漏极电阻的增加导致电流驱动能力的下降。

为了从 p 型 MISFET 的上表面除去氮化硅膜 14a, 采用不在台阶部分形成蚀刻剩余物的各向同性干法蚀刻是有效的, 但是必须解决上述问题, 以通过各向同性干法蚀刻而除去氮化硅膜 14a。

本发明人的研究表明可以通过在 n 型和 p 型 MISFET 上形成覆盖其栅极 6 的氮化硅膜 14a 之前, 用能够作为阻蚀层的绝缘膜至少覆盖 p 型半导体区 11 的侧壁衬垫的侧面上的硅化物层 12 的端部的上表面, 而克服与侧壁衬垫 9 的厚度减小相关的问题。

可以通过在 n 型和 p 型 MISFET 上形成覆盖栅极 6 的氮化硅膜 14a 之前, 用能够作为阻蚀层的绝缘膜覆盖硅化物层 12 的整个表面而解决与硅化物层 12 的蚀刻相关的问题。

可以通过在 n 型和 p 型 MISFET 上形成覆盖栅极 6 的氮化硅膜 14a 之前, 用能够作为阻蚀层的绝缘膜覆盖栅极 6 的表面和 p 型半导体区 11 的表面而解决与没有硅化物层 12 的结构相关的问题。

作为绝缘膜, 可以采用在各向同性等离子体蚀刻对氮化硅膜 14a 具有蚀刻选择性的薄膜, 例如氧化硅膜。

在上述实施例 1 中, 如图 10 和 11 中所示, 在形成氮化硅膜 14a 之前通过 CVD 方法形成由氧化硅膜所制成的绝缘膜 13。当通过 CVD 方法 (即, 淀积方法) 形成绝缘膜 13 时, 在栅极 6 的表面的硅化物层 12、在 p 型半导体区 11 的表面的硅化物层 12、在 p 型半导体区 11

的表面上的硅化物层 12 的端部、存在于侧壁衬垫 9 的侧面上的所述端部、以及侧壁衬垫 9 可以被绝缘膜 13 所覆盖。

相应地，氮化硅膜 14b 被从 p 型 MISFET 上除去，而绝缘膜 13 覆盖栅极 6 表面上的硅化物层 12，覆盖 p 型半导体区 11 的表面上的硅化物层 12，覆盖 p 型半导体区 11 的表面上的硅化物层 12 的端部，覆盖侧壁衬垫 9 侧面上的所述端部，以及覆盖侧壁衬垫 9，从而可以同时解决与侧壁衬垫 9 的厚度减小以及硅化物层 12 的蚀刻相关的问题。

如上文所述，伸张应力和压缩应力被分别施加在 n 型 MISFET 的沟道形成区和 p 型 MISFET 的沟道形成区，导致 n 型 MISFET 和 p 型 MISFET 中的漏极电流根据作用在每个 n 型 MISFET 和 p 型 MISFET 的沟道形成区上的应力强度而增加。

作用在 n 型 MISFET 和 p 型 MISFET 的沟道形成区上的应力可以被分别控制，从而可以自由地控制 n 型 MISFET 和 p 型 MISFET 之间的漏极电流比。

n 型 MISFET 的漏极电流和 p 型 MISFET 的漏极电流可以同时增加从而可以实现 n 型和 p 型 MISFET 的加速。

将在通过各向同性干法蚀刻从 p 型 MISFET 的上表面除去氮化硅膜 14a 时出现的与侧壁衬垫 9 的厚度减小或硅化物层 12 的蚀刻相关的问题可以被克服，从而可以提供具有高成品率和高可靠性的半导体器件。

为了通过改变形成氮化硅膜的方法而改变薄膜应力，可以采用下述的任何一种方法以及改变 RF 功率的方法。

(1) 改变原料气体。为了形成氮化硅膜 14a，使用 SiH_4 、 NH_3 和 N_2 ，并且为了形成氮化硅膜 14b，仅仅采用 SiH_4 和 N_2 。

(2) 改变薄膜形成温度。氮化硅膜 14a 的形成温度被设置为高于氮化硅膜 14b 的形成温度。

(3) 改变气压。氮化硅膜 14a 的形成气压被设置为高于氮化硅膜 14b 的形成气压。

任何两种或三种上述方法可以组合使用。关键是把氮化硅膜 14a 的

应力调节为伸张应力，以及把氮化硅膜 14b 的应力调节为压缩应力。

当单晶片热 CVD 方法被用于形成氮化硅膜时，温度越高，则可以使薄膜应力向着伸张应力方向发展。因此这种条件适用于氮化硅膜 14a 的形成。

图 24 为作为本发明的实施例 1 的一个变型例子的半导体器件在其制造步骤中的截面视图。在图 24 中，n 型 MISFET 被显示在左侧，而 p 型 MISFET 被显示在右侧。

在实施例 1 的描述中，在氮化硅膜 14b 之前形成氮化硅膜 14a，但如图 24 中所示，氮化硅膜 14b 可以在氮化硅膜 14a 之前形成。并且在这种情况下，伸张应力和压缩应力可以被分别施加到 n 型 MISFET 和 p 型 MISFET 的沟道形成区上，从而可以同时增加 n 型 MISFET 和 p 型的漏极电流。

通过各向同性等离子体蚀刻，并且把绝缘膜 13 覆盖在栅极 6 的表面上的硅化物层 12、n 型半导体区 10 的表面上的硅化物层、n 型半导体区 10 表面上的硅化物层 12 的端部、在侧壁衬垫 9 侧面上的所述端部、以及侧壁衬垫 9，氮化硅膜 14b 可以从 n 型 MISFET 的上表面上除去，而不会造成与侧壁衬垫 9 的厚度减小或硅化物层 12 的蚀刻相关的问题。

在实施例 1 及其变型例子中，在除去氮化硅膜 14a、14b 时，由氧化硅膜所制成的绝缘膜 13 被用作为阻蚀层，但是还可以用其它绝缘膜，只要该绝缘膜是在各向同性蚀刻时对氮化硅膜 14a、14b 具有蚀刻选择性的薄膜即可。

(实施例 2)

图 25 为示出根据本发明实施例 2 的半导体器件的大体结构的截面视图。

图 26A、26B 和 27 分别为根据本发明的实施例 2 的在其制造步骤中的半导体器件的截面视图。在图 25 至 27 中，n 型 MISFET 被示出在左侧，而 p 型 MISFET 被示出在右侧。

如图 25 中所示，实施例 2 的半导体器件类似于实施例 1 的半导体器件，只是作为阻蚀层的绝缘膜 13 被除去。

当如实施例 1 中所示保留绝缘膜 13 时(参见图 18),氮化硅膜(14a、14b)的应力集中在由栅极 6、侧壁衬垫 9 和绝缘膜 13 所确定的台阶部分 35a 的跟脚处,并且由于保留在侧壁衬垫 9 侧壁上绝缘膜 13 使得氮化硅膜(14a、14b)的应力开始点与 MISFET 的沟道形成区相分离,导致用于在沟道形成区中产生应力的氮化硅膜(14a、14b)的应力的影响减小。因此,如果可能的话最好除去绝缘膜 13。

在实施例 1 中,当在氮化硅膜 14b 之前形成氮化硅膜 14a 时,在除去 p 型 MISFET 上的氮化硅膜 14a 的步骤中需要绝缘膜 13。作为实施例 1 的变型例子,当在氮化硅膜 14a 之前形成氮化硅膜 14b 时,在从 n 型 MISFET 的上表面上除去氮化硅膜 14b 的步骤中需要绝缘膜 13。因此,除去绝缘膜 13 要考虑到这些步骤。

在氮化硅膜 14b 之前形成氮化硅膜 14a 时,如图 26A 中所示,在形成氮化硅膜 14a 的步骤之前从 n 型 MISFET 的上表面上除去绝缘膜 13,并且如对应于图 13 的图 26B 和图 27 中所示,在从 p 型 MISFET 的上表面除去氮化硅膜 14a 之后从 p 型 MISFET 的上表面上除去绝缘膜 13。换句话说,如图 26B 和 27 中所示,在从 p 型 MISFET 的上表面上除去绝缘膜 15 和氮化硅膜 14a 之后除去在 p 型 MISFET 上的绝缘膜 13。

在氮化硅膜 14a 之前形成氮化硅膜 14b 时,在形成氮化硅膜 14b 的步骤之前从 p 型 MISFET 的上表面上除去绝缘膜 13,并且在从 n 型 MISFET 的上表面上除去氮化硅膜 14b 之后,从 n 型 MISFET 的上表面上除去绝缘膜 13。例如用光刻胶掩膜覆盖 p 型 MISFET 的上表面时,执行除去 n 型 MISFET 上的绝缘膜 13,以及例如用光刻胶掩膜覆盖 n 型 MISFET 的上表面时,执行除去 p 型 MISFET 上的绝缘膜 13。

为了从 n 型 MISFET 或 p 型 MISFET 的上表面上除去绝缘膜,需要采用不在台阶部分遗留任何剩余物的各向同性干法蚀刻。当对由氧化硅膜所制成的绝缘膜 13 进行各向同性干法蚀刻时,通常采用 CF_3 气体或 CF_4 与 H_2 的混合气体进行各向同性等离子体蚀刻。在该各向同性等离子体蚀刻中,绝缘膜 13 相对于硅或硅化物层具有足够的蚀刻选择性,

从而 p 型基片 1、硅化物层 12、侧壁衬垫 9 等等不被过度地蚀刻。

在实施例 2 中，绝缘膜 13 被从每个 n 型 MISFET 和 p 型 MISFET 的上表面上除去，但是可以把绝缘膜 13 遗留在其中一个表面上。

（实施例 3）

图 28 为在制造步骤中根据本发明的实施例 3 的半导体器件的截面视图。在图 28 中，在左侧所示的是 n 型 MISFET，而在右侧所示的是 p 型 MISFET。

在实施例 1 中，在除去氮化硅膜 14a 时，由通过淀积方法所形成的氧化硅膜所制成的绝缘膜 13 被用作为阻蚀层。在实施例 3 中，另一方面，在除去氮化硅膜 14a 时，通过热氧化方法所形成的由氧化硅膜制成的绝缘膜 21 被用作为阻蚀层。在形成具有自对齐硅化物结构的 n 型和 p 型 MISFET 的步骤之后但在形成氮化硅膜 14a、14b 的步骤之前，通过热氧化方法形成绝缘膜 21。

通过热氧化方法，可以有选择地形成绝缘膜 21，以覆盖在栅极 6 的表面的硅化物层 12 以及半导体区（10、11）的表面的硅化物层 12。因此，即使如实施例 1 中所示在氮化硅膜 14b 之前形成氮化硅膜 14a 或者如实施例 1 的变型例子所示在氮化硅膜 14a 之前形成氮化硅膜 14b，可以抑制在通过各向同性干法蚀刻氮化硅膜（14a、14b）时所出现的问题。

（实施例 4）

图 29 为在制造步骤中根据本发明实施例 4 的半导体器件的截面视图。在图 29 中，在左侧所示的是 n 型 MISFET，而在右侧所示的是 p 型 MISFET。

在实施例 1 中，在除去氮化硅膜 14a 时，通过淀积方法所形成的氧化硅膜制成的绝缘膜 13 被用作为阻蚀层。在实施例 4 中，另一方面，在除去氮化硅膜 14a 时使用氧化硅膜形成在侧壁衬垫 9 的侧壁上的侧壁衬垫 22 被用作为阻蚀层。在形成具有自对齐硅化物结构的 n 型和 p 型 MISFET 之后，但在形成氮化硅膜 14a、14b 之前形成侧壁衬垫 22。按照类似于形成侧壁衬垫 9 所用的方法而形成侧壁衬垫 22。

通过把由氧化硅膜所制成的侧壁衬垫 22 形成在侧壁衬垫 9 的侧壁上, 在半导体区 (10, 11) 的表面的硅化物层 12 的端部, 所述端部在侧壁衬垫 9 的侧面上, 以及侧壁衬垫 9 可以被侧壁衬垫 22 所覆盖, 从而可以抑制在除去氮化硅膜 (14a、14b) 时出现的问题, 特别是, 即使如实施例 1 中所示在氮化硅膜 14b 之前形成氮化硅膜 14a, 或者如实施例 1 的变型例子所示在氮化硅膜 14a 之前形成氮化硅膜 14b, 也可以抑制与侧壁衬垫的厚度减小相关的问题。

在实施例 4 中, 在除去氮化硅膜 (14a、14b) 时, 由氧化硅膜所制成的侧壁衬垫 22 被用作为阻蚀层。不但氧化硅膜而且其它绝缘膜也可以被使用, 只要它是对氮化硅膜 (14a、14b) 具有足够的蚀刻选择性的薄膜即可。

(实施例 5)

图 30A 和 30B 示出根据本发明实施例 5 的半导体器件的大体结构的截面视图。在图 30A 和 30B 中, 左侧所示的是 n 型 MISFET, 而右侧所示的是 p 型 MISFET。

在实施例 1 中, 本发明被用于具有自对齐硅化物结构的互补 MISFET 的半导体器件。在实施例 5 中, 另一方面, 本发明被用于具有互补 MISFET 而没有硅化物层的半导体器件。

如图 10A 中所示, 除了 n 型和 p 型 MISFET 的结构之外, 实施例 5 的半导体器件类似于实施例 1。具体来说, 实施例 5 的 n 型和 p 型 MISFET 具有这样一种结构, 其在栅极的表面上和半导体区 (10, 11) 的表面上没有硅化物层。

除了形成硅化物层的步骤之外, 采用类似于实施例 1 中所用的方法形成实施例 5 的半导体器件。

在通过各向异性的干法蚀刻从 p 型 MISFET 的上表面除去氮化硅膜 14a 时, 当 p 型 MISFET 具有实施例 1 中的自对齐硅化物结构时, 硅化物层 12 作为阻蚀层, 这样可以避免由于过蚀刻而导致在源-漏区中在栅极 6 的硅化物层 12 下方的多晶硅膜被蚀刻或者 12 下方的 p 型半导体区 11 被蚀刻。当 p 型 MISFET 具有在栅极 6 的表面上或 p 型半导体

区的表面上没有硅化物层 12 的一种结构时,源-漏区中的栅极 6 或 11 的多晶硅膜不可避免地被蚀刻,如图 23 中所示。

这个问题可以通过在形成氮化硅膜 14a 之前用作为阻蚀层的绝缘膜 13 覆盖栅极 6 和 p 型半导体区 11 的上表面。

在实施例 5 中,绝缘膜 13 被用作为一个阻蚀层。该绝缘膜 13 通过淀积方法而形成。该淀积方法能够同时用绝缘膜 13 覆盖栅极 6 和 p 型半导体区 11 的上表面,这样可以同时抑制栅极 6 和 p 型半导体区 11 的蚀刻。

在实施例 5 中,在氮化硅膜 14b 之前形成氮化硅膜 14a。即使在氮化硅膜 14a 之前形成氮化硅膜 14b 也可以获得类似的效果。

在实施例 5 中,绝缘膜 13 被用作为一个阻蚀层,但是即使通过热氧化方法所形成的绝缘膜 21 被作用为一个阻蚀层,也可以获得类似的效果。并且,在该实施例 5 中,作为阻蚀层的绝缘膜 13 不被除去,但是如图 30B 中所示的实施例 2,它可以被除去。

没有硅化物层的实施例 5 的 MISFET 例如与具有硅化物层的任何一个实施例 1 至 4 一同形成在一个基片上,从而构成减小源区或漏区和基片之间的(结)泄漏电流所需的一个 MISFET 和电路。具体来说,需要减小结泄漏电流的 MISFET 由不具有硅化物层的实施例 5 的 MISFET 所构成,并且需要高速操作的 MISFET 由具有硅化物层的实施例 1 至 4 之一的 MISFET 所构成,从而可以实现功耗的减小和高速操作。

绝缘膜 13 可以在一个步骤中淀积在没有硅化物层的 MISFET 和具有硅化物层的 MISFET 上,可以制造低功耗和高速操作的半导体器件,而不增加制造步骤的数目。

当具有硅化物层的 MISFET 和没有硅化物层的 MISFET 形成在一个基片上时,前一个 MISFET 如图 25 中所示可以具有无作为阻蚀层的绝缘膜 13,而后一个 MISFET 如图 30A 所示具有作为阻蚀层的绝缘膜 13。

在上述情况中,当从具有硅化物层的 MISFET 的上表面上除去绝

缘膜 13 时的时间根据首先形成哪一个薄膜而变化, 该薄膜为用于在具有硅化物层的 MISFET 的沟道形成区中产生应力的第一薄膜或者用于在没有硅化物层的 MISFET 的沟道形成区中产生应力的第二薄膜。例如, 假设具有硅化物层的 MISFET 为 n 型, 并且没有硅化物层的 MISFET 为 p 型, 当首先形成第一薄膜(氮化硅膜 14a)时, 在形成氮化硅膜 14a 之前有选择地除去具有硅化物层的 MISFET 上的绝缘膜 13, 如图 26 中所示(在右侧上的 p 型 MISFET 被没有硅化物层的 p 型 MISFET 所代替之后, 参见该图)。另一方面, 当首先形成第二薄膜(氮化硅膜 14b)时, 在有选择地从具有硅化物层的 MISFET 的上表面上除去氮化硅膜 14b 之后但是在形成氮化硅膜 14a 之前, 有选择地除去具有硅化物层的 MISFET 上方的绝缘膜 13。当具有硅化物层的 MISFET 为 p 型, 并且没有硅化物层的 MISFET 为 n 型时, 按照类似的方式有选择地从具有硅化物层的 MISFET 的上表面上除去绝缘膜 13。当具有硅化物层的 MISFET 和没有硅化物层的 MISFET 形成在相同的基片上时, 可以省略作为阻蚀层的绝缘膜, 在具有硅化物层的 MISFET 的情况中如图 25 中所示, 在没有硅化物层的 MISFET 的情况中如图 30B 所示。通过使具有硅化物层的 MISFET 和没有硅化物层的 MISFET 同样执行除去绝缘膜 13 的步骤, 可以通过与实施例 2 相同数目的步骤执行绝缘膜的除去步骤, 从而可以减少除去步骤的数目。

(实施例 6)

图 31 为示出根据本发明实施例 6 的半导体器件的大体结构的截面视图。图 32 至 35 分别为在制造步骤中根据本发明实施例 6 的半导体器件的截面视图。在图 31 至 35 中, 在左侧示出的是 n 型 MISFET, 在右侧示出的是 p 型 MISFET。

在实施例 6 中, 用于在 p 型 MISFET 的沟道形成区中产生压缩应力的薄膜叠加在用于在 n 型 MISFET 的沟道形成区中产生伸张应力的薄膜上, 从而增加每个 n 型和 p 型 MISFET 的漏极电流。

如图 31 中所示, n 型和 p 型 MISFET 分别被氮化硅膜 14a 所覆盖, 并且 p 型 MISFET 被氮化硅膜 14b 所覆盖。换句话说, 仅仅氮化硅膜

14a 存在于 n 型 MISFET 上, 并且氮化硅膜 14a、14b 存在于 p 型 MISFET 上。

由于仅仅氮化硅膜 14a 存在于 n 型 MISFET 上, 因此仅仅氮化硅膜 14a 的伸张应力被施加到 n 型 MISFET 的沟道形成区, 而由于氮化硅膜 14a、14b 都存在于 p 型 MISFET 上, 因此氮化硅膜 14a 的伸张应力和氮化硅膜 14b 的压缩应力都被施加到 p 型 MISFET 的沟道形成区上。相应地, 可以通过使用至少具有绝对值比氮化硅膜 14a 的伸张应力更大的压缩应力的氮化硅膜 14b 来在 p 型 MISFET 的沟道形成区中产生压缩应力。

在实施例 6 中, 具有压缩应力的氮化硅膜 14b 形成在具有伸张应力的氮化硅膜 14a 上, 从而在氮化硅膜 14b 中薄膜应力的开始点到 p 型 MISFET 的沟道形成区的距离比氮化硅膜 14a 更大。在这种情况下, 最好使用具有绝对值为至少两倍于氮化硅膜 14a 伸张应力的压缩应力的氮化硅膜 14b。

下面根据图 32 至 35 描述根据实施例 6 的半导体器件的制造处理。

如图 32 中所示, 按照类似于实施例 1 的方式形成具有自对齐硅化物结构的 n 型和 p 型 MISFET。

如图 33 中所示, 通过等离子体 CVD 方法在包括 n 型和 p 型 MISFET 的上表面的 p 型基片 1 的整个电路形成表面上形成大约 100 至 120nm 厚度的氮化硅膜 14a。例如在 350 至 400W 的 RF 功率范围的条件形成该氮化硅膜 14a。

如图 34 中所示, 通过 CVD 方法在包括 n 型和 p 型 MISFET 的上表面的 p 型基片 1 的整个表面上形成例如大约 50nm 厚的氧化硅膜, 随后通过等离子体 CVD 方法在包括 n 型和 p 型 MISFET 的上表面的 p 型基片 1 的整个表面上形成大约 100 至 200nm 厚的氮化硅膜 14b。例如在 600 至 700W 的 RF 功率范围的条件形成该氮化硅膜 14b。

在上述步骤中, 形成具有绝对值至少大于氮化硅膜 14a 的伸张应力的压缩应力的氮化硅膜 14b, 已在 p 型 MISFET 的沟道形成区中产生压缩应力。在本实施例中, 氮化硅膜 14b 被形成为具有至少绝对值为氮化

硅膜 14a 的伸张应力的两倍的压缩应力。

在氮化硅膜 14b 上, 形成光刻胶掩膜 RM3, 以有选择地覆盖 p 型 MISFET 的上表面, 随后以该光刻胶掩膜 RM3 作为蚀刻掩膜进行蚀刻, 以除去 n 型 MISFET 上的氮化硅膜 14b, 如图 35 中所示。通过各向同性干法蚀刻除去氮化硅膜 14b。

然后, 除去光刻胶掩膜 RM3, 以得出图 31 中所示的结构。

如上文所述, 可以通过在 n 型和 p 型 MISFET 上形成氮化硅膜 14a 然后有选择地在 p 型 MISFET 上形成具有绝对值大于氮化硅膜 14a 的伸张应力的压缩应力的氮化硅膜 14b, 而在 p 型 MISFET 的沟道形成区中产生压缩应力。按照这种方式, 可以同时增加 n 型 MISFET 和 p 型 MISFET 的漏极电流。

在实施例 6 中, 由于 p 型 MISFET 上的氮化硅膜 14a 不被除去, 因此不需要形成如实施例 1 中所述的作为阻蚀层的绝缘膜 13。与实施例 1 相比, 可以减少制造步骤的数目。

在该实施例 6 中, 在形成覆盖 n 型和 p 型 MISFET 的氮化硅膜 14a 之后接着形成仅仅覆盖 p 型 MISFET 的上表面的氮化硅膜 14b。仅仅覆盖 p 型 MISFET 的上表面的氮化硅膜 14b 可以在形成覆盖 n 型和 p 型 MISFET 的上表面的氮化硅膜 14a 形成之前形成。但是, 在这种情况下, 与实施例 1 中相同, 在除去氮化硅膜 14b 时需要作为阻蚀层的绝缘膜。

图 36 为示出作为本发明的实施例 6 的一个变型例子的半导体器件的大体结构的截面视图。在图 36 中, n 型 MISFET 被示出在左侧, 而 p 型 MISFET 被示出在右侧。

在实施例 6 中, 通过在 n 型和 p 型 MISFET 上形成具有伸张应力的氮化硅膜 14a, 然后在 p 型 MISFET 上有选择地形成具有绝对值大于氮化硅膜 14a 的伸张应力的压缩压力的氮化硅膜 14b, 而同时增加 n 型和 p 型 MISFET 的漏极电流。如图 36 中所示, 在 n 型和 p 型 MISFET 上形成具有压缩应力的氮化硅膜 14b 之后, 可以有选择地在 n 型 MISFET 上形成具有绝对值大于氮化硅膜 14b 的压缩应力的伸张应力的氮化硅膜 14a。在这种情况下, 可以同时增加 n 型 MISFET 和 p 型

MISFET 的漏极电流。

在图 36 中,形成覆盖 n 型和 p 型 MISFET 的上表面的氮化硅膜 14b 之后接着形成仅仅覆盖 n 型 MISFET 的上表面的氮化硅膜 14a。仅仅覆盖 n 型 MISFET 的上表面的氮化硅膜 14a 可以在形成覆盖 n 型和 p 型 MISFET 的上表面的氮化硅膜 14b 之前形成。但是,在这种情况下,与实施例 1 相同,在除去氮化硅膜 14b 时需要作为阻蚀层的绝缘膜。

图 37 为示出根据本发明实施例 7 的半导体器件的大体结构的截面视图。图 38 和 39 分别为在制造步骤中根据本发明实施例 7 的半导体器件的截面视图。在图 37 至 39 中,一个 n 型 MISFET 被示出在左侧,一个 p 型 MISFET 被示出在右侧。

该实施例 7 针对于通过使用一个氮化硅膜增加 n 型和 p 型 MISFET 的漏极电流。

如图 37 中所示, n 型和 p 型 MISFET 被氮化硅膜 24 所覆盖。该氮化硅膜 24 具有两个部分,即用于在 n 型 MISFET 的沟道形成区中产生伸张应力的第一部分 24a,和用于在 p 型 MISFET 的沟道形成区中产生压缩应力的第二部分 24b。第一部分 24a 形成在 n 型 MISFET 上,以覆盖其栅极 6,并且第二部分 24b 形成在 p 型 MISFET 上,以覆盖其栅极 6。第二部分 24b 的 Si 和 N 的浓度高于第一部分 24a。下面将根据图 38 和 37 描述该实施例 7 的半导体器件的制造工艺。

在按照类似于实施例 1 的方式形成具有自对齐硅化物结构的 n 型和 p 型 MISFET 之后,通过等离子体 CVD 方法在包括 n 型和 p 型 MISFET 的上表面的 p 型基片 1 的整个电路形成表面上形成用于在 n 型 MISFET 的沟道形成区中产生伸张应力的氮化硅膜 24,如图 38 中所示。例如在从 350 至 400W 的 RF 的功率范围内的条件下形成氮化硅膜 24。

覆盖 n 型 MISFET 并且在 p 型 MISFET 上具有开孔的光刻胶掩膜 RM4 被形成在氮化硅膜 24 上。利用光刻胶掩膜 RM4 作为掩膜,如图 39 中所示,通过离子注入方法把 Si 和 N 相对于基片 1 垂直地导入从光刻胶掩膜 RM4 暴露出来的氮化硅膜 24 中(注入到 p 型 MISFET 上的氮化硅膜 24 中)。为了实现均匀地在薄膜的深度方向上导入这些元素,在使得大约该薄膜厚

度一半的深度方向上具有该元素的峰值(R_p)的加速能量和 $1 \times 10^{15}/\text{cm}^2$ 的剂量进行该离子注入。

通过上述步骤,形成具有第一部分 24a 和元素浓度高于第一部分 24a 的第二部分 24b 的氮化硅膜 24。

在除去光刻胶掩膜 RM4 后,通过热处理激活氮化硅膜 24 的第二部分 24b。

通过该步骤,氮化硅膜 24 的第二部分 24b 受到体积膨胀,并且转变为在 p 型 MISFET 的沟道形成区中产生压缩应力的薄膜。结果,如图 37 中所示,氮化硅膜 24 具有用于在 n 型 MISFET 的沟道形成区中产生伸张应力的第一部分 24a 和用于在 p 型 MISFET 的沟道形成区中产生压缩应力的第二部分 24b。

通过形成具有上述结构的氮化硅膜 24,在实施例 7 中也可以同时增加 n 型 MISFET 和 p 型 MISFET 的漏极电流。

另外,在实施例 7 中,在 p 型 MISFET 上的氮化硅膜 24 不被除去,从而不需要象实施例 1 那样形成作为阻蚀层的绝缘膜 13。因此,与实施例 1 相比可以减小制造步骤数目。

另外,在实施例 7 中,可以通过一个氮化硅膜 24 同时控制 n 型和 p 型 MISFET 的漏极电流增加,使得仅仅需要执行一次用氮化硅膜进行覆盖的步骤。与实施例 1 相比,可以省略用氮化硅膜执行覆盖的步骤和除去该氮化硅膜的步骤,从而简化制造步骤。

图 40 为示出在制造步骤中根据本发明实施例 7 的一个变型例子的半导体器件的截面视图。

在实施例 7 中,垂直于 p 型基片 1 导入 Si 和 N 元素。如图 40 中所示,它们可以倾斜于 p 型基片 1 而被导入。在这种情况下,该元素也可以导入到覆盖侧壁衬垫 9 的侧壁的氮化硅膜 24 的栅极侧壁部分(台阶部分)中,这导致提高压缩应力产生效果。

(实施例 8)

图 41 为示出根据本发明实施例 8 的半导体器件的大体结构的截面视图。

在实施例 8 中,本发明被用于具有垂直双栅极结构的互补 MISFET 的半导体器件。

如图 41 中所示,实施例 8 的半导体器件主要包括具有 SOI (绝缘体上硅) 结构的半导体基片 (在下文中简称为“基片”)。该基片 40 例如具有半导体层 40a、淀积在半导体层 40a 上的绝缘层 40b、以及淀积在绝缘层 40b 上的半导体层 40c。半导体层 40a 和 40c 例如分别由单晶硅所形成,而绝缘层 40b 例如由氧化硅所形成。

半导体层 40c 被分为多个元件形成部分。每个元件形成部分具有一个 n 型 MISFET 或 p 型 MISFET。在要形成 n 型 MISFET 的半导体层 40c 中,淀积 p 型阱区 2,而在要形成 p 型 MISFET 的半导体层 40c 中淀积 n 型阱区 8。每个半导体层 40c 被置于绝缘膜 40b 上的绝缘膜 41 所包围,从而它们被分离和电绝缘。

该实施例 8 的 n 型和 p 型 MISFET 具有双栅极结构,其中要被用作沟道形成区的半导体层 40c 在基片 40 的平面方向上 (表面方向) 被两个栅极 6 所夹住。另外, n 型和 p 型 MISFET 具有允许漏极电流在基片 40 的厚度方向上流动的垂直结构。

用于在 n 型 MISFET 的沟道形成区中产生伸张应力的氮化硅膜 14a 形成在 n 型 MISFET 上,以覆盖这两个栅极 6,并且用于在 p 型 MISFET 的沟道形成区中产生压缩应力的氮化硅膜 14b 形成在 p 型 MISFET 上,以覆盖这两个栅极 6。

在实施例 8 中, n 型和 p 型 MISFET 具有双栅极结构,其中要被用作沟道形成区的半导体层 40c 在基片 40 的平面方向上被两个栅极 6 所夹住,其把由氮化硅膜所造成的应力的影响加倍,并且与常规具有单栅极结构的类型相比提高漏极电流增加比率。

(实施例 9)

图 42 为示出根据本发明实施例 9 的半导体器件的大体结构的平面视图,并且图 43 为沿着图 42 的线 A-A 截取的截面视图。

在实施例 9 中,本发明被应用于具有水平双栅极结构的互补 MISFET 的半导体器件。

如图 42 至 43 中所示, 实施例 9 的 n 型和 p 型 MISFET 具有双栅极结构, 其中要被用作为沟道形成区的半导体层 40c 在基片 40 的平面方向上被两个栅极 6 所夹住。n 型和 p 型 MISFET 具有允许漏极电流在基片 40 的平面方向上流动的水平结构。

用于在 n 型 MISFET 的沟道形成区中产生伸张应力的氮化硅膜 14a 形成在 n 型 MISFET 上, 以覆盖这两个栅极 6, 并且用于在 p 型 MISFET 的沟道形成区中产生压缩应力的氮化硅膜 14b 形成在 p 型 MISFET 上, 以覆盖这两个栅极 6。

在实施例 9 中, n 型和 p 型 MISFET 具有双栅极结构, 其中要被用作为沟道形成区的半导体层 40c 在基片 40 的平面方向上被两个栅极 6 所夹住, 其把由氮化硅膜所造成的应力的影响加倍, 并且与常规具有单栅极结构的类型相比提高漏极电流增加比率。

(实施例 10)

图 44 为示出根据本发明实施例 10 的半导体器件的大体结构的平面视图。

在实施例 10 中, 本发明被应用于具有水平双栅极结构的互补 MISFET 的半导体器件。

如图 44 中所示, 实施例 10 主要由 p 型基片 1 所构成。在 p 型基片 1 的主表面上, 淀积半导体层 42。半导体层 42 被分为多个元件形成部分, 每个部分具有一个 n 型 MISFET 或 p 型 MISFET。在要形成 n 型 MISFET 的半导体层 42 中, 淀积 p 型阱区 2, 而在要形成 p 型 MISFET 的半导体层 42 中淀积 n 型阱区 3。每个半导体层 42 被置于 p 型基片 1 上的绝缘膜 41 所包围, 从而它们被分离和电绝缘。

该实施例 10 的 n 型和 p 型 MISFET 具有双栅极结构, 其中要被用作为沟道形成区的半导体层 42 在 p 型基片 1 的厚度方向上被两个栅极 6 所夹住。另外, n 型和 p 型 MISFET 具有允许漏极电流在基片 40 的厚度方向上流动的垂直结构。

n 型 MISFET 在 p 型基片 1 的厚度方向上被用于在其沟道形成区中产生伸张应力的两个氮化硅膜 14a 所夹住。一个氮化硅膜 14a 置于 p 型

基片 1 和 n 型 MISFET 之间, 而另一个氮化硅膜 14a 被设置为覆盖 n 型 MISFET 的上表面。

p 型 MISFET 在 p 型基片 1 的厚度方向上被用于在其沟道形成区中产生压缩应力的两个氮化硅膜 14b 所夹住。一个氮化硅膜 14b 置于 p 型基片 1 和 p 型 MISFET 之间, 而另一个氮化硅膜 14b 被设置为覆盖 p 型 MISFET 的上表面。

在实施例 10 中, n 型和 p 型 MISFET 具有双栅极结构, 其中要被用作为沟道形成区的半导体层 40c 在基片 40 的深度方向上被两个栅极 6 所夹住。另外, 用两个氮化硅膜进行覆盖把由氮化硅膜所造成的应力的影响加倍, 并且与常规具有单栅极结构的类型相比提高漏极电流增加比率。

在上文中根据实施例而具体地描述由本发明人所做出的发明。不用说, 本发明不限于这些实施例, 并且它可以在不脱离本发明的中心思想的一定范围内改变。

例如, 把本发明的结构应用于具有例如 SRAM (静态随机存取存储器)、DRAM (动态随机存取存储器) 和快速存储器这样的存储器系统的产品的至少该存储器系统的外围电路或逻辑电路, 可以获得高性能的存储器产品。

下面将描述由本申请所公开的发明所获得的优点。

本发明可以增加 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管的漏极电流 (提高电流驱动能力)。

本发明可以自由地设置 n 沟道导电型场效应晶体管和 p 沟道导电型场效应晶体管之间的漏极电流比率。

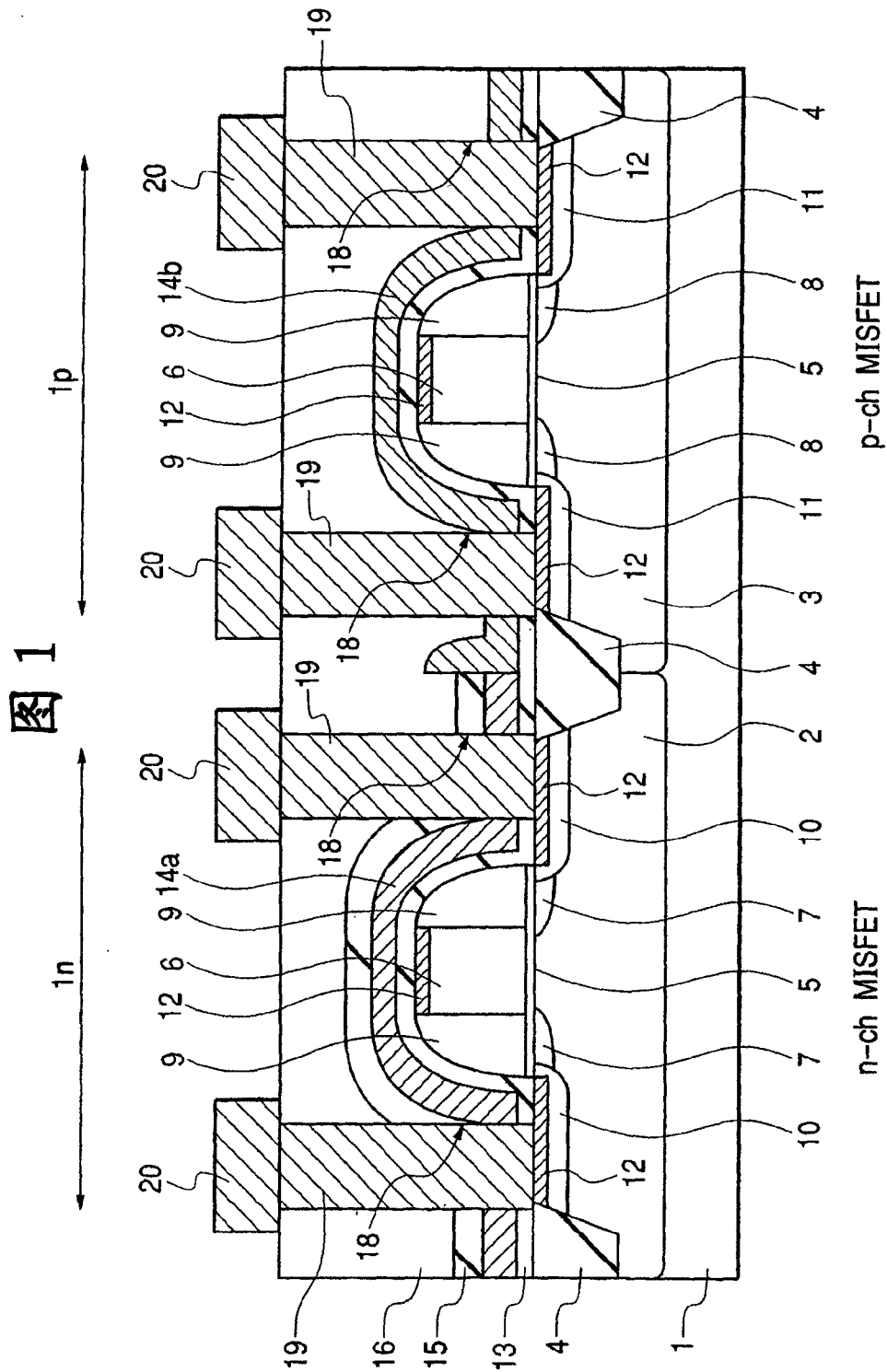
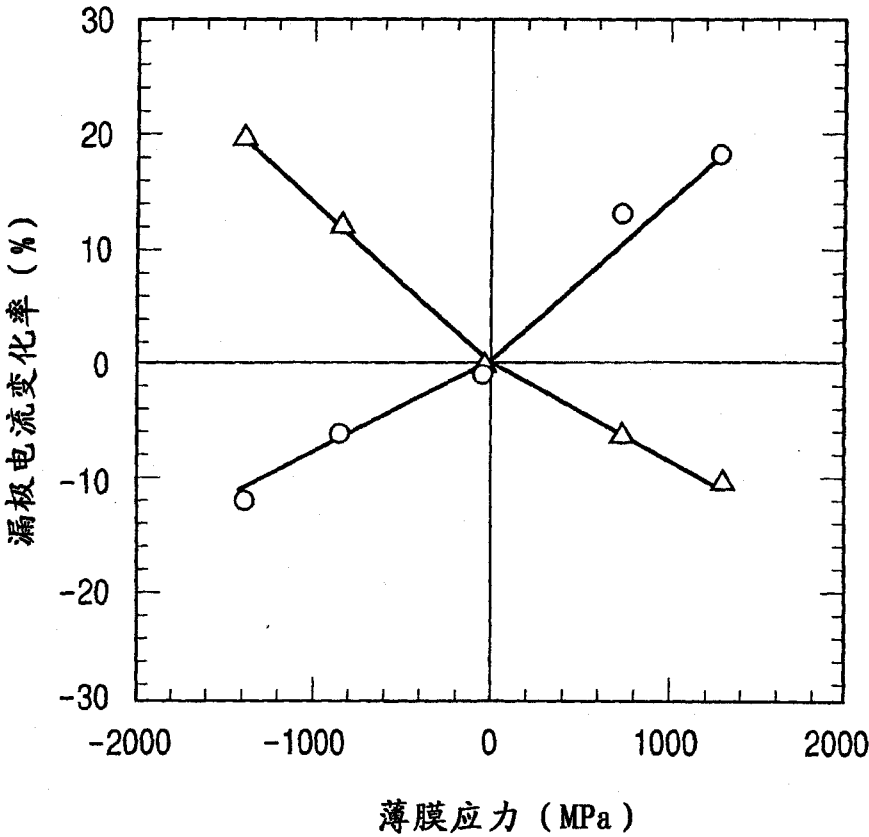


图 2



○ NMIS栅极长度: 0.14 μm

△ PMIS栅极长度: 0.14 μm

图 3

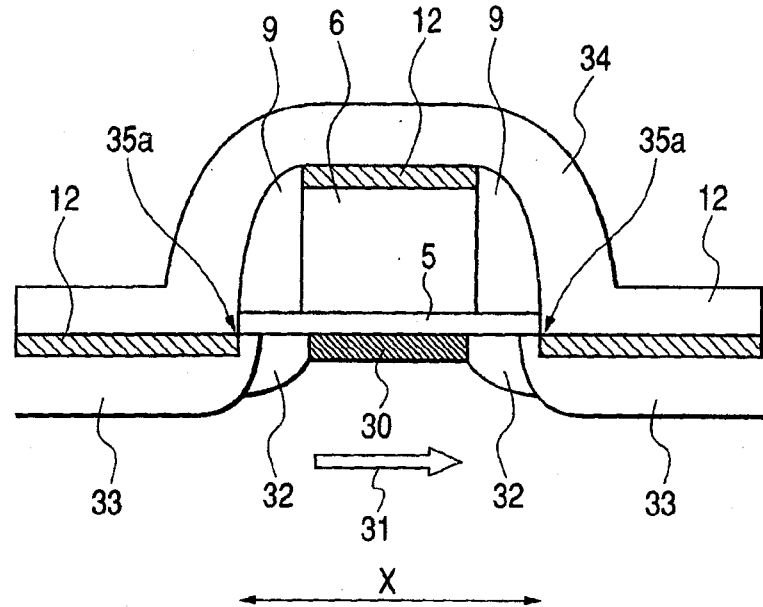


图 4

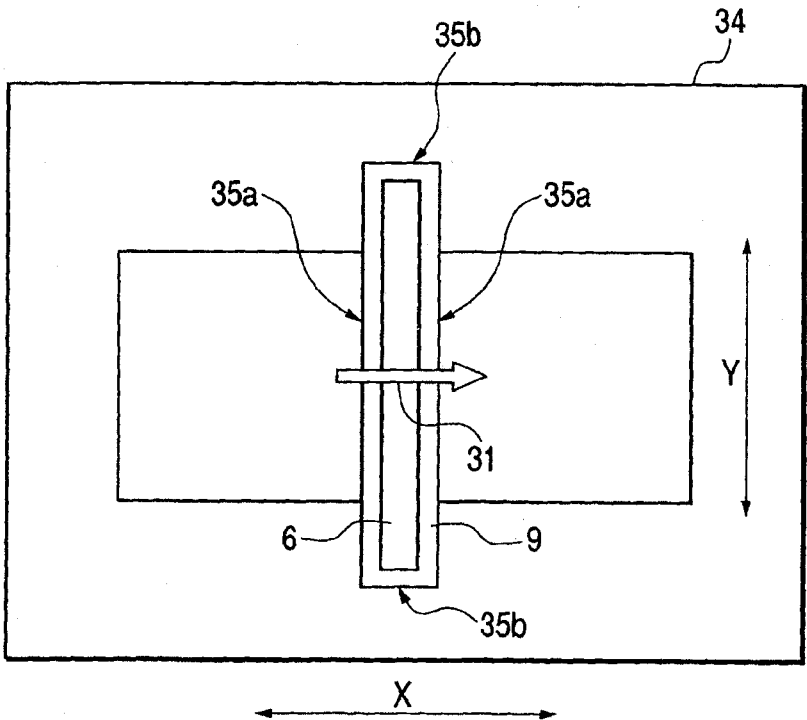


图 5

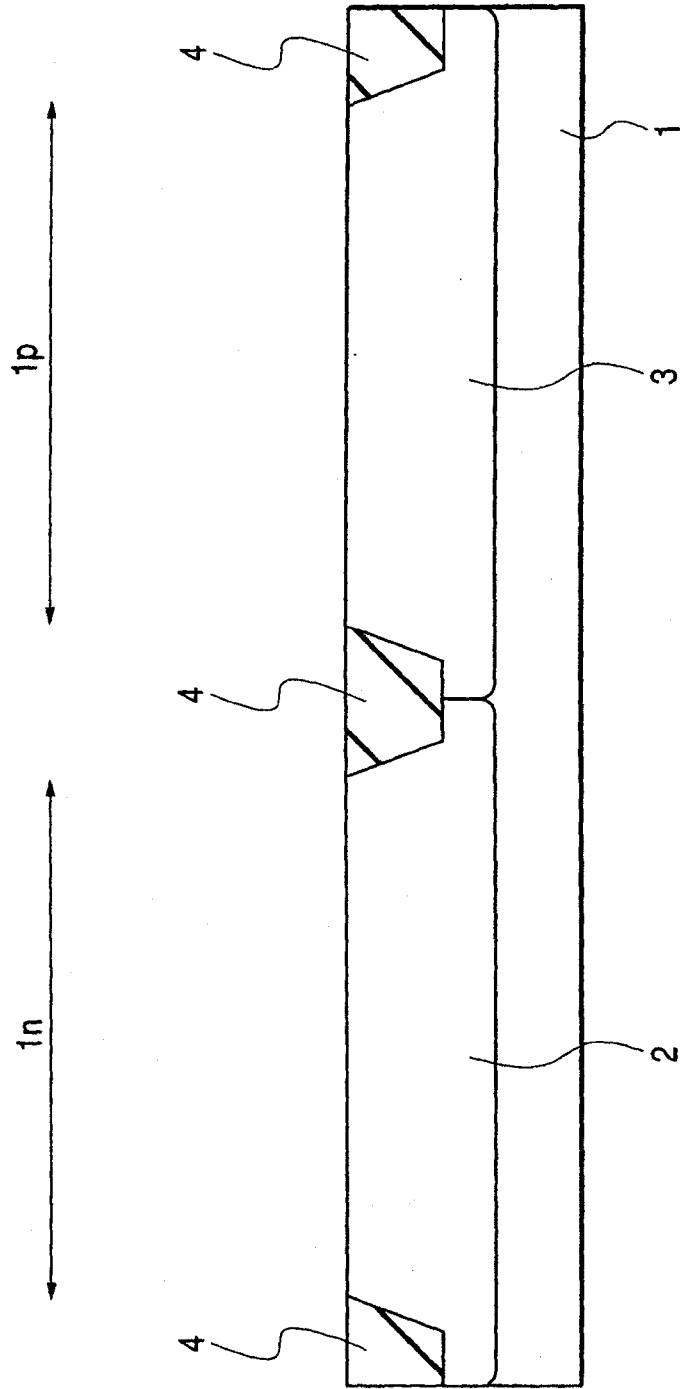


图 6

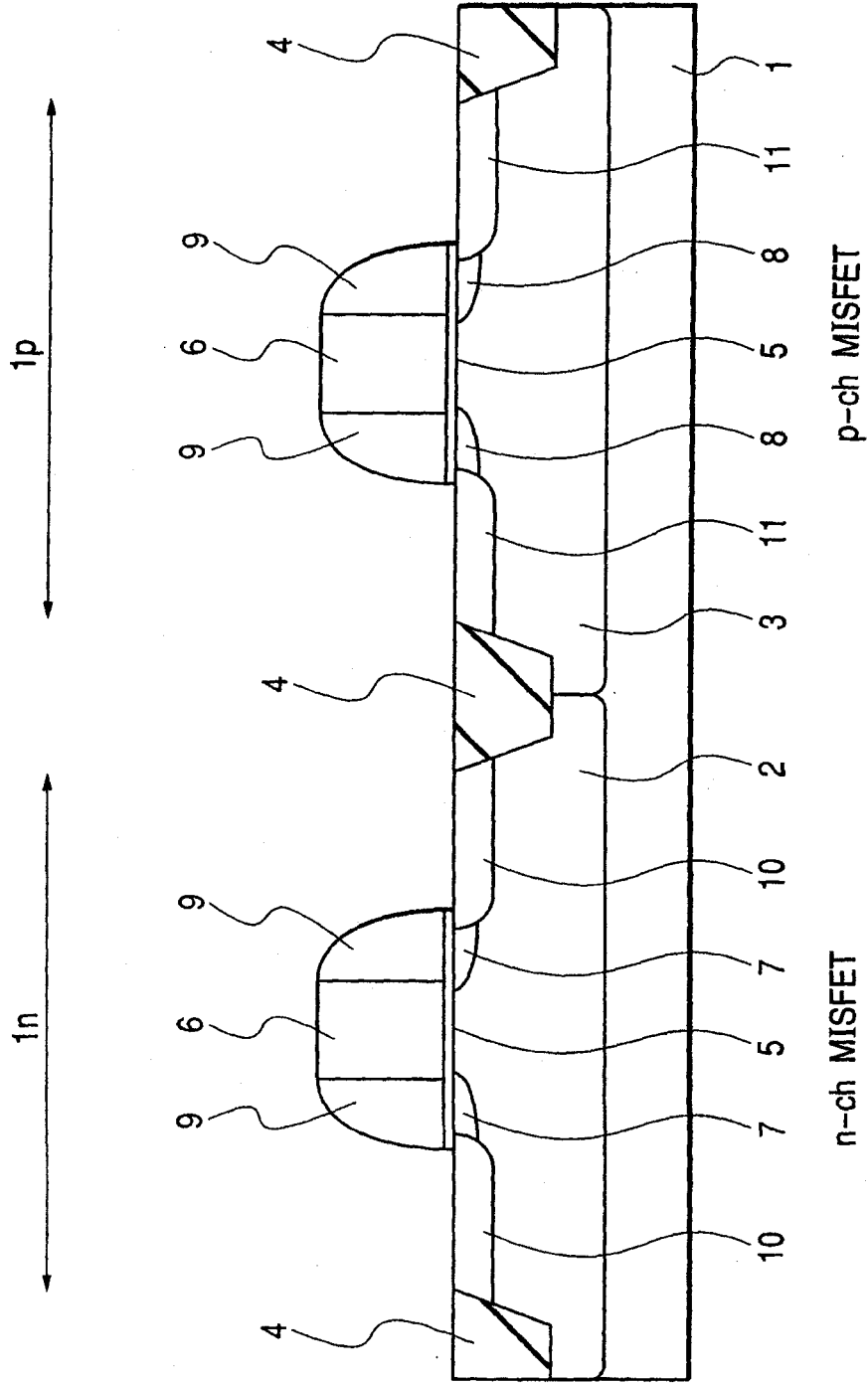


图 7

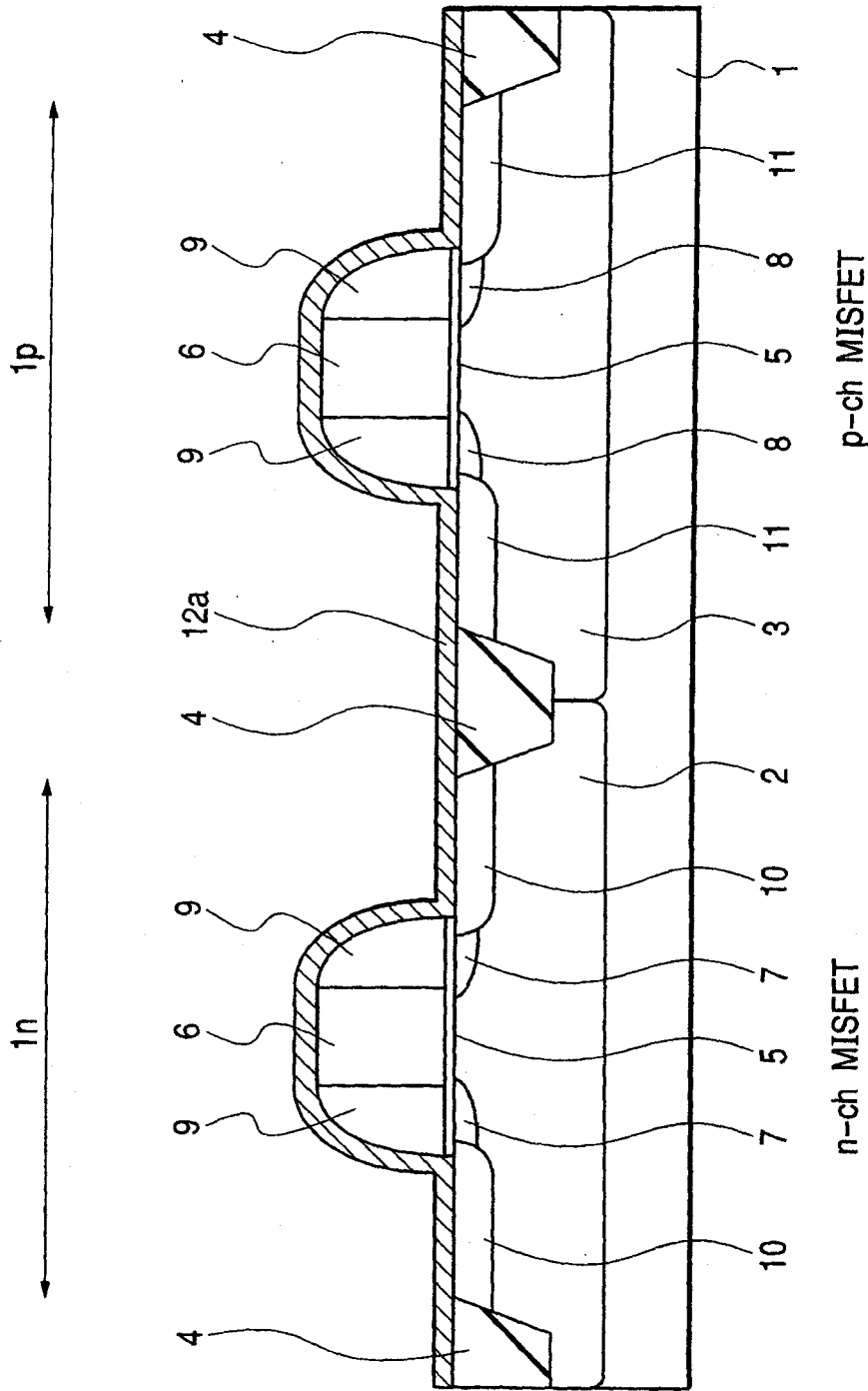


图 8

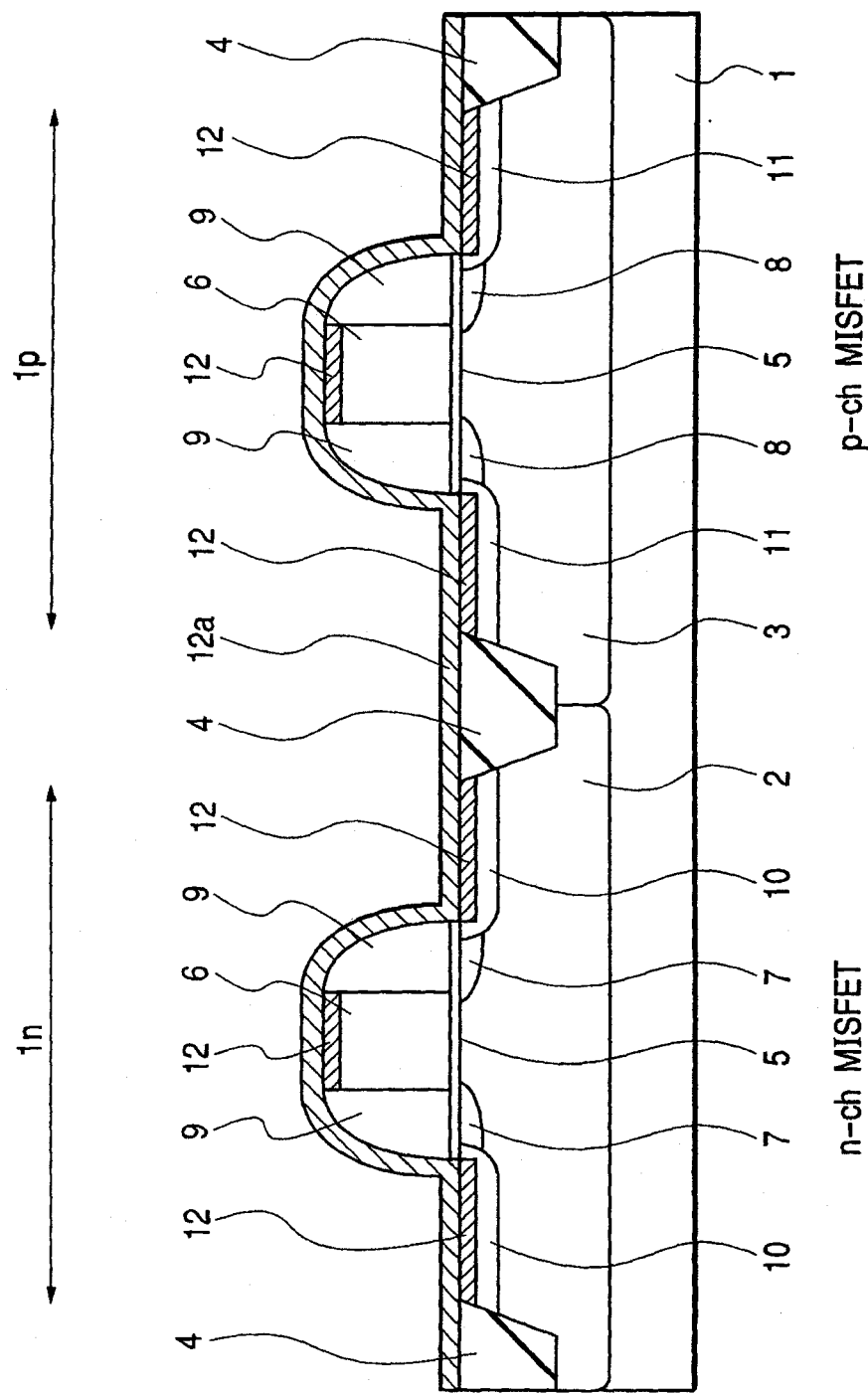


图 9

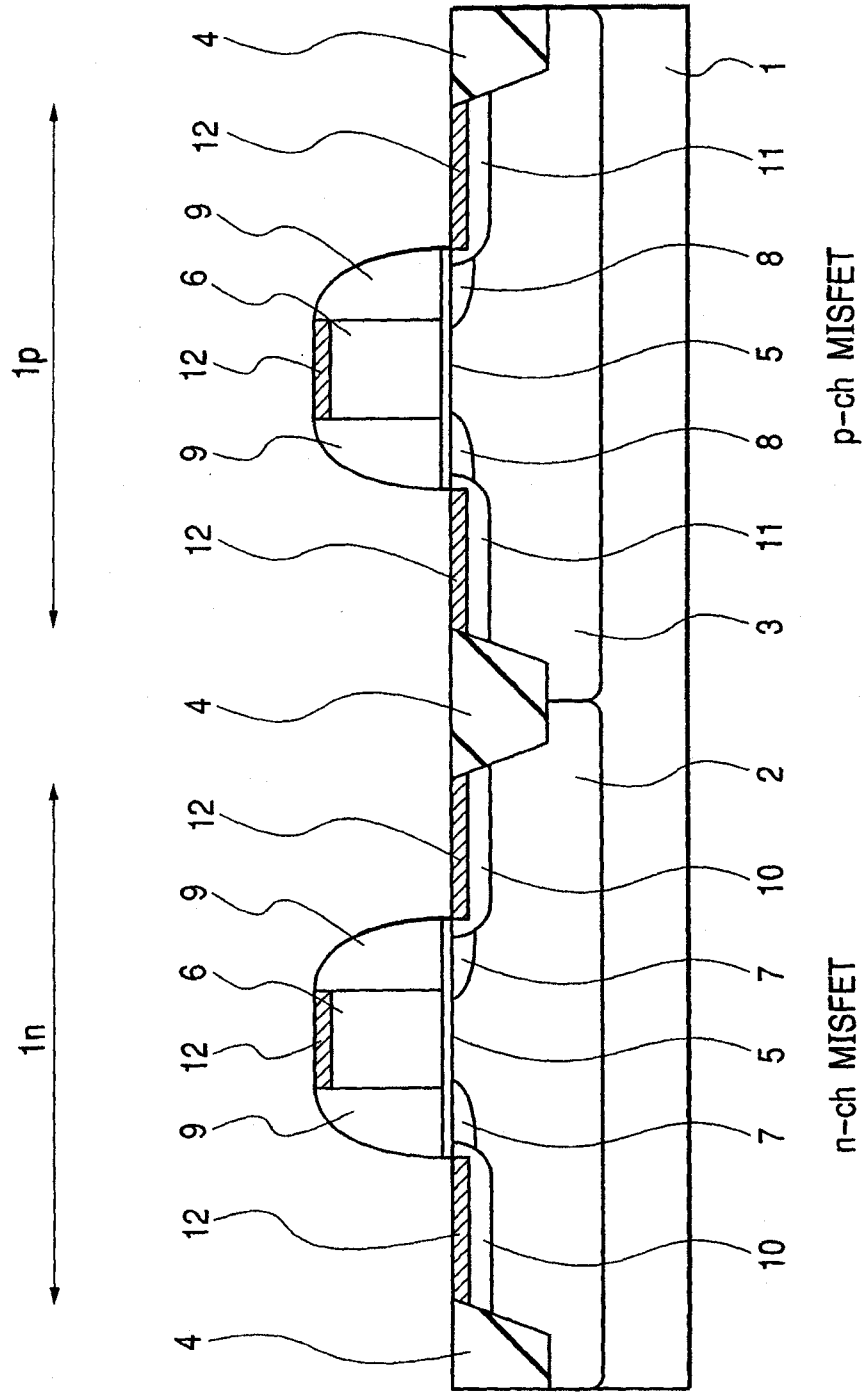


图 10

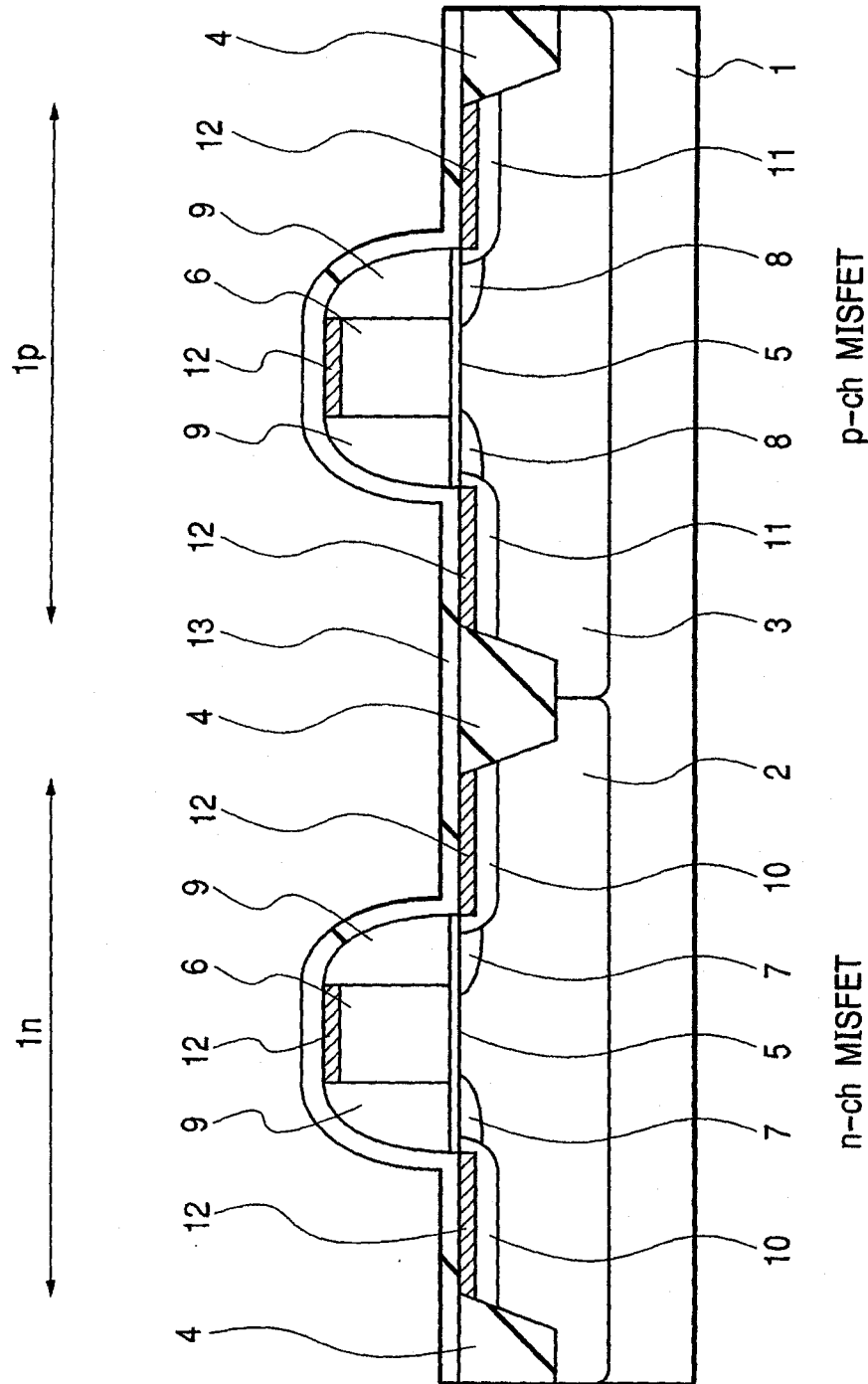


图 11

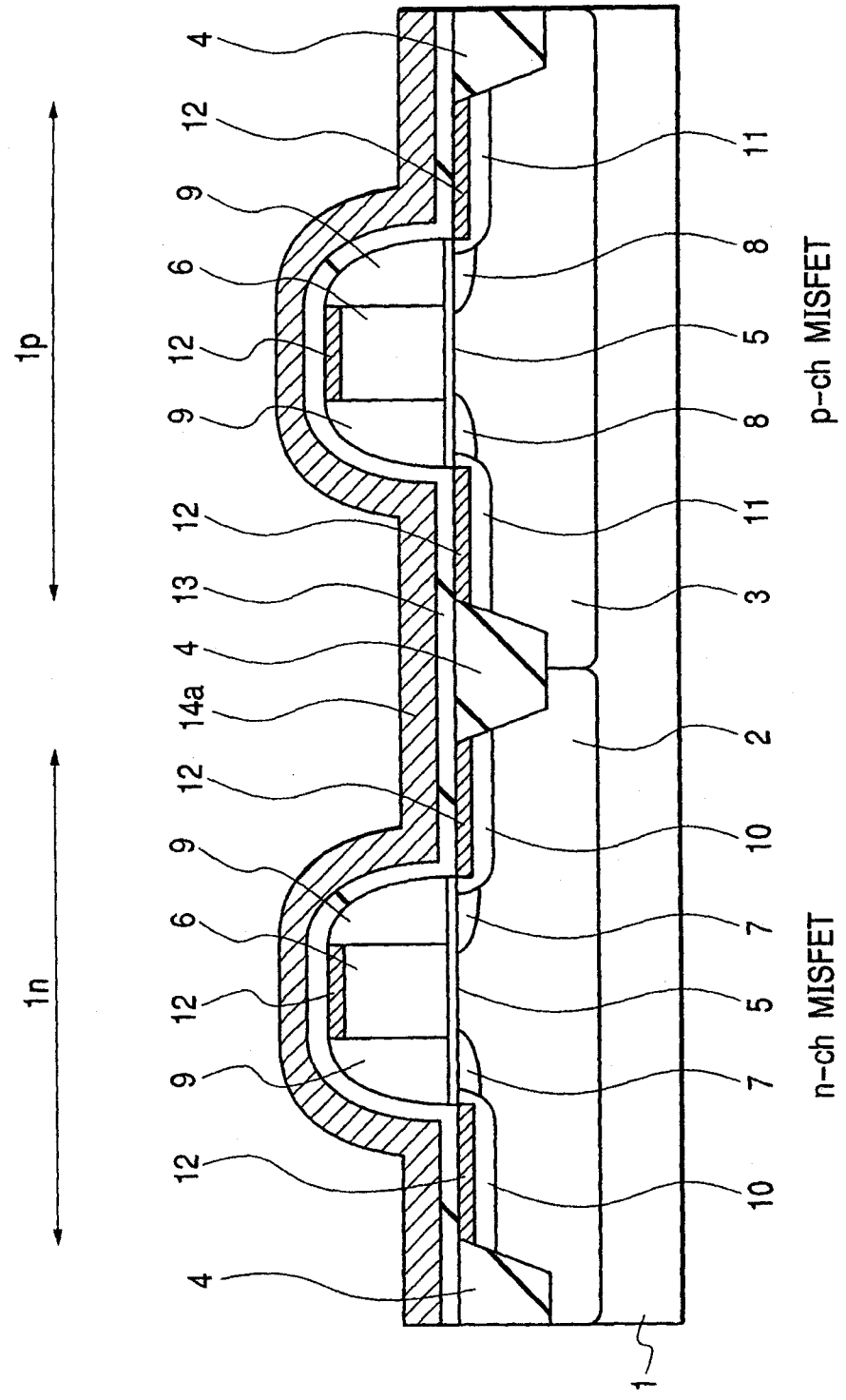


图 12

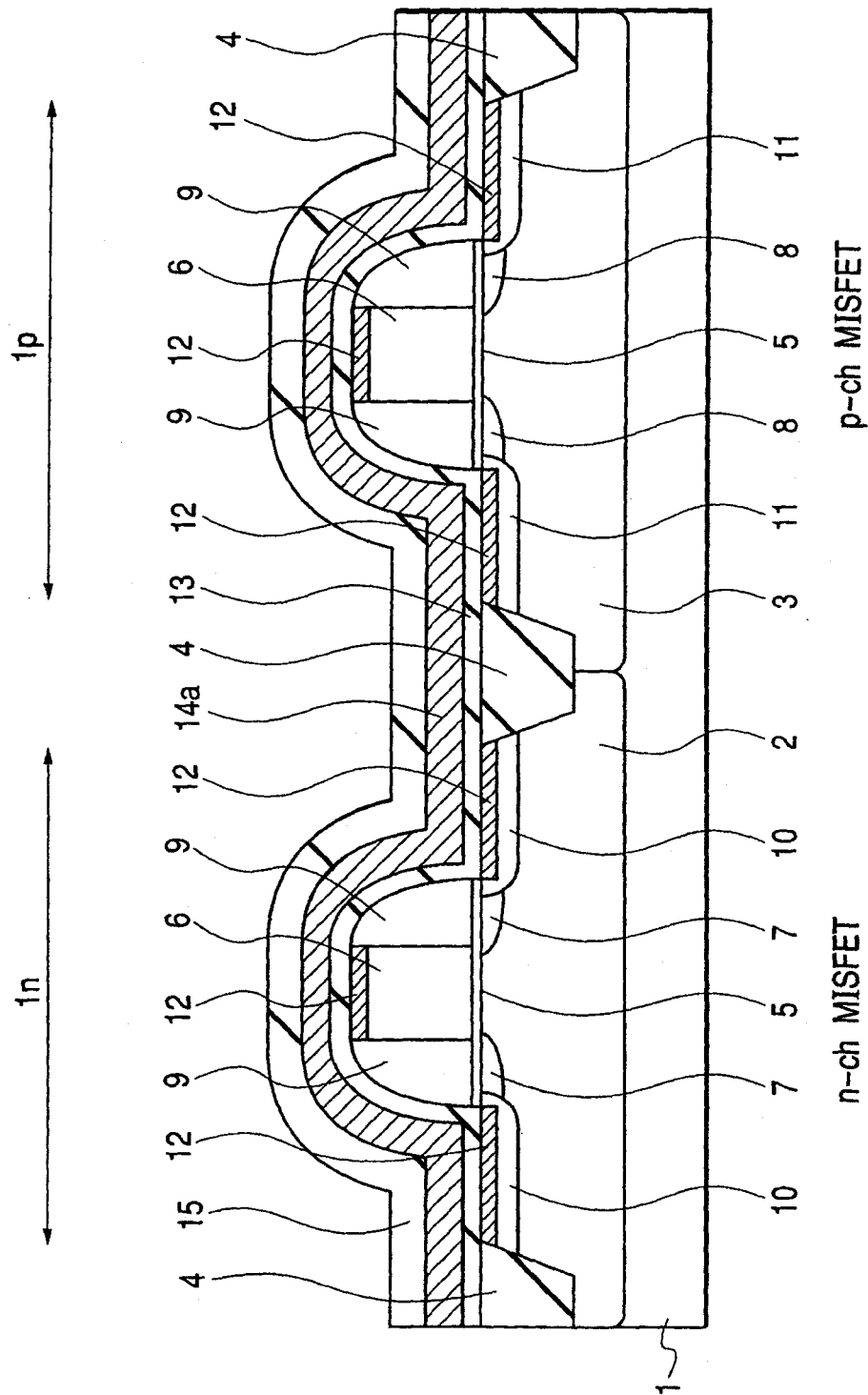


图 14

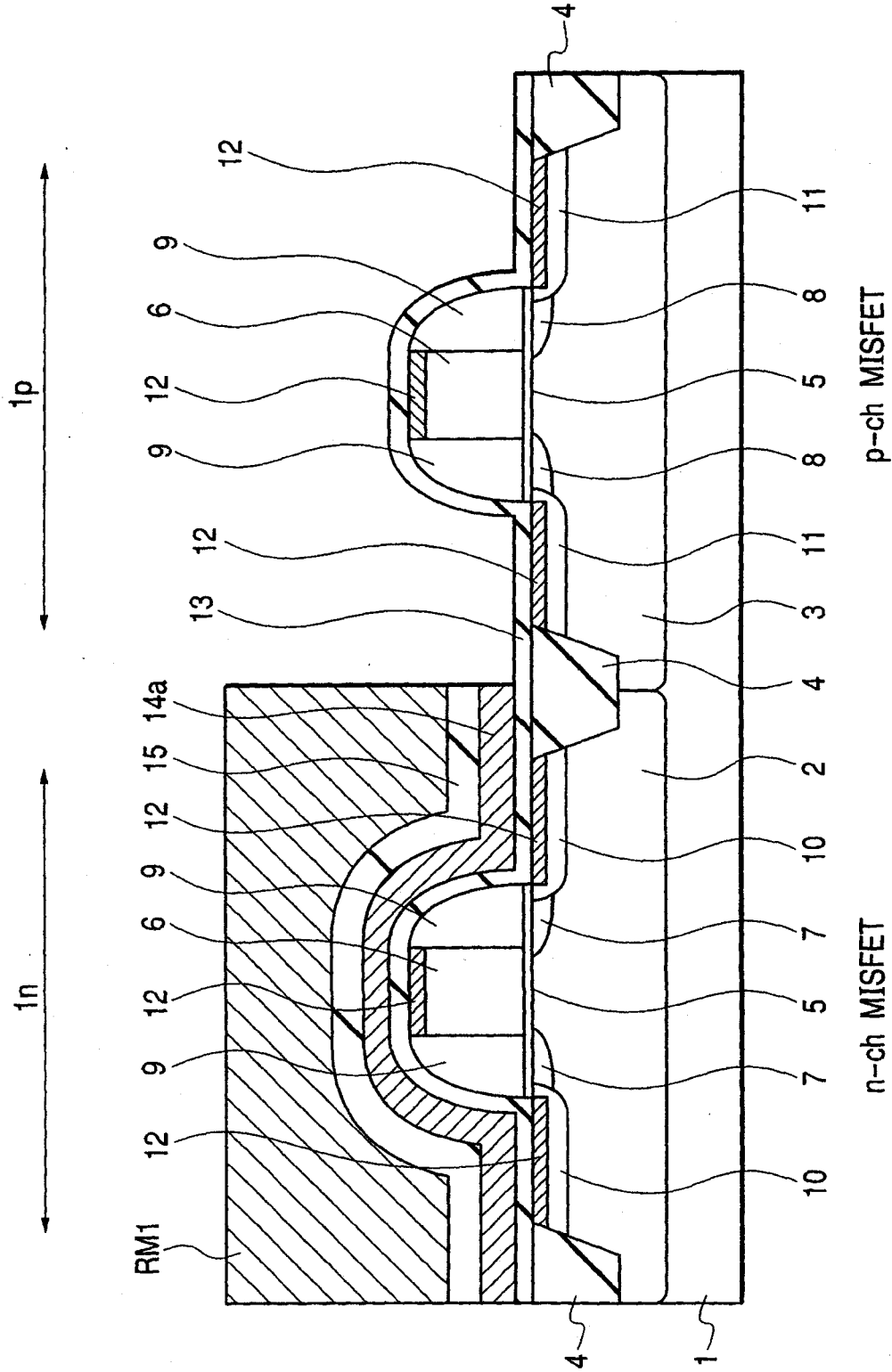


图 15

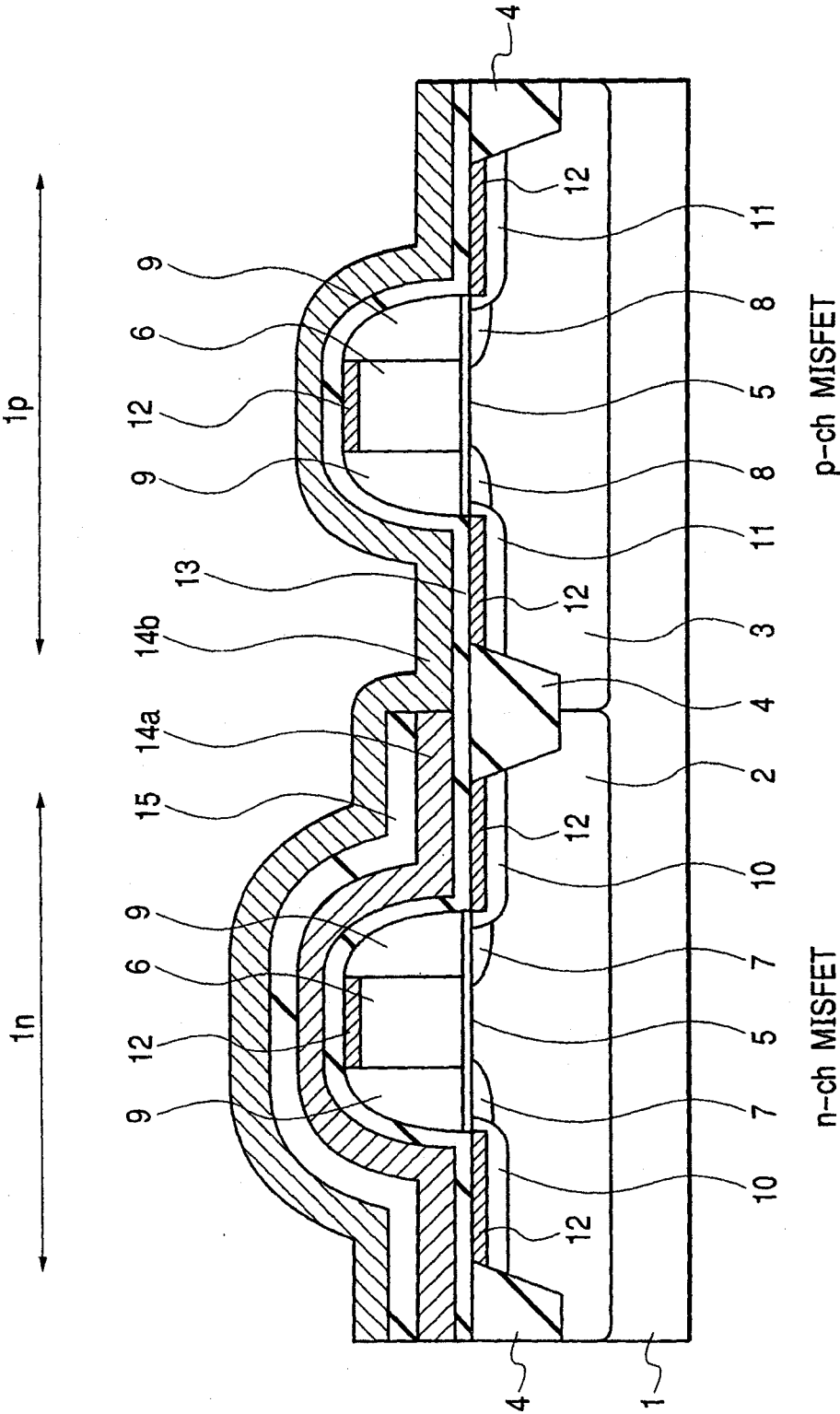


图 16

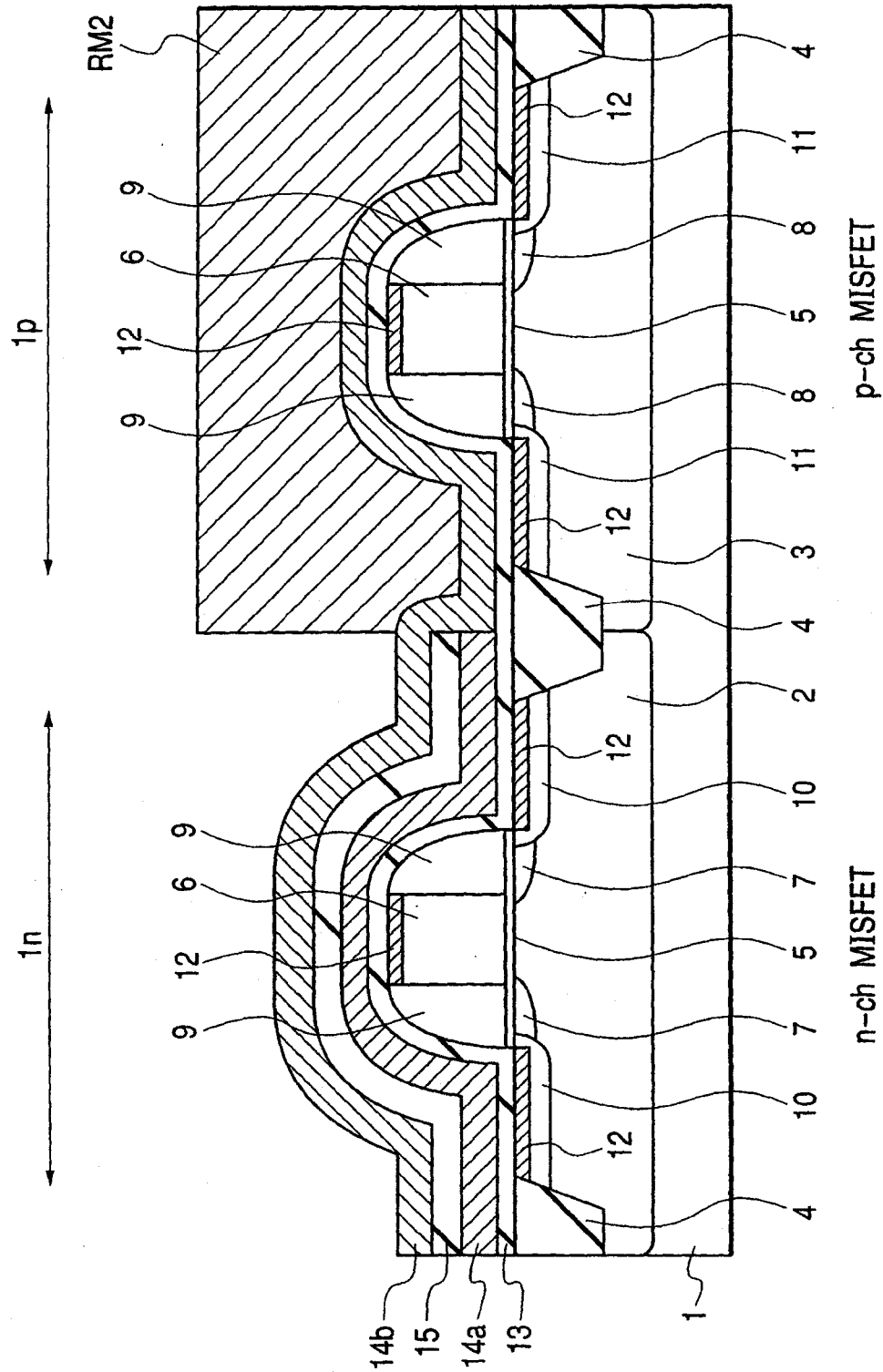
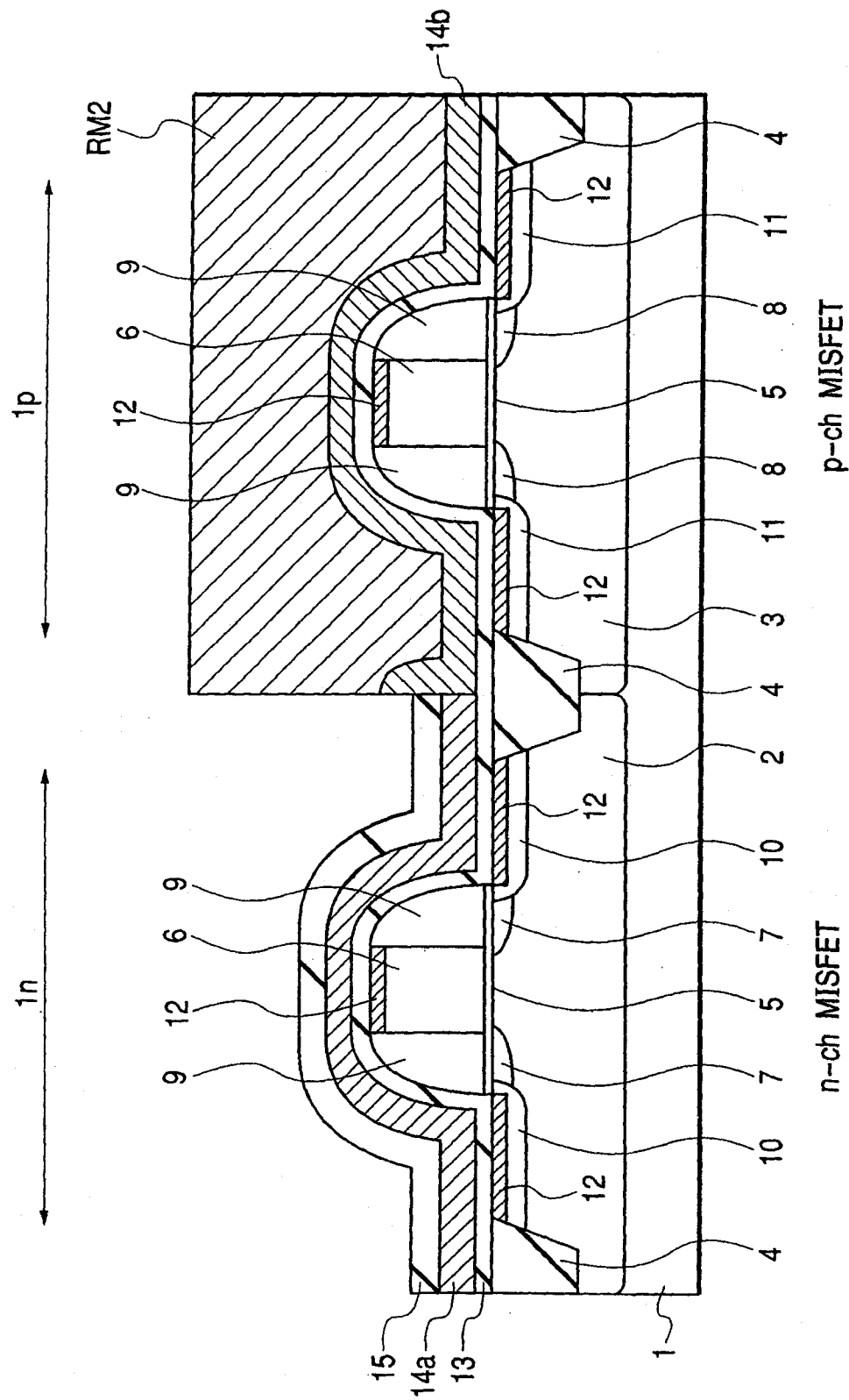
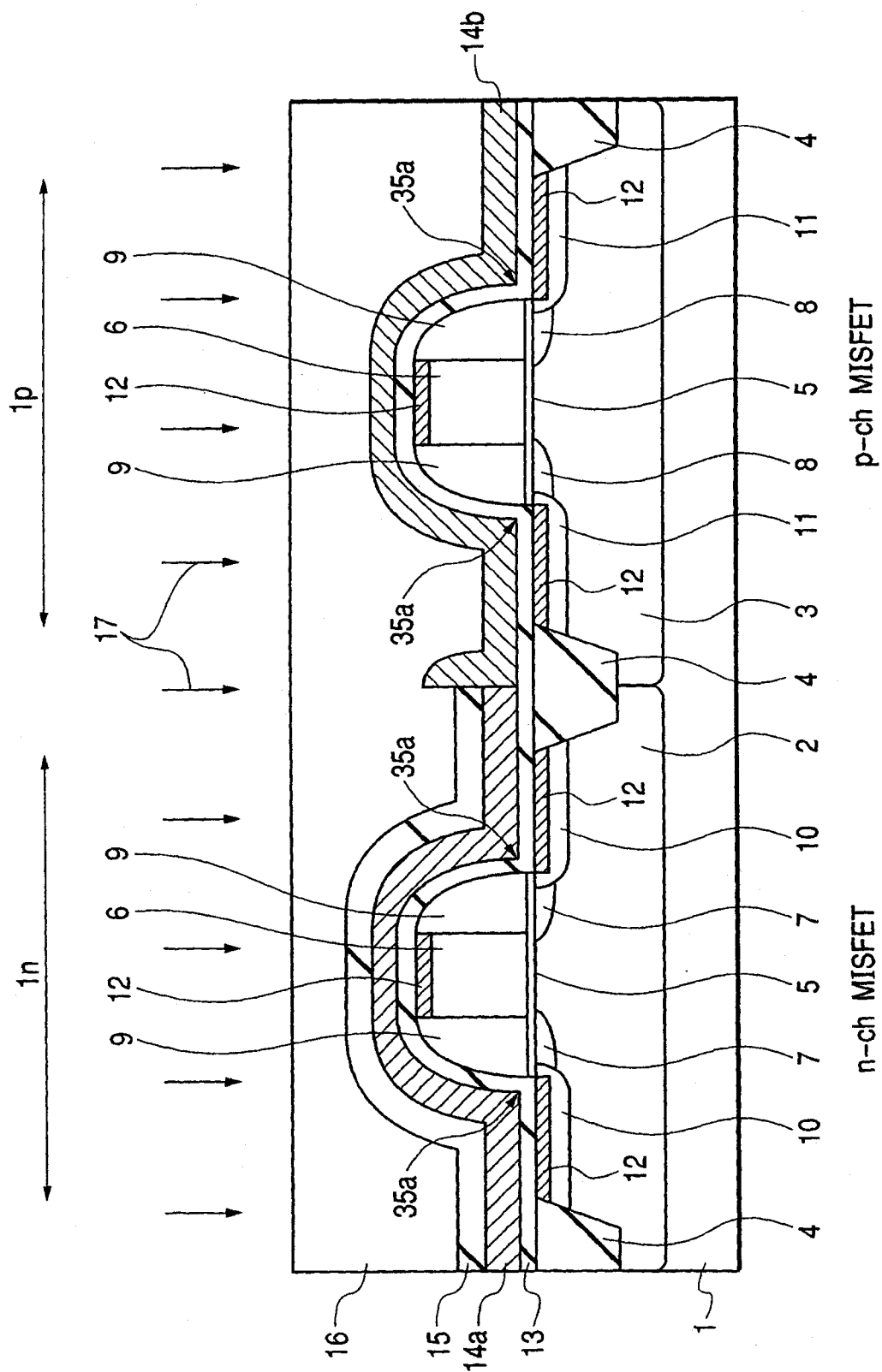


图 17



18



19

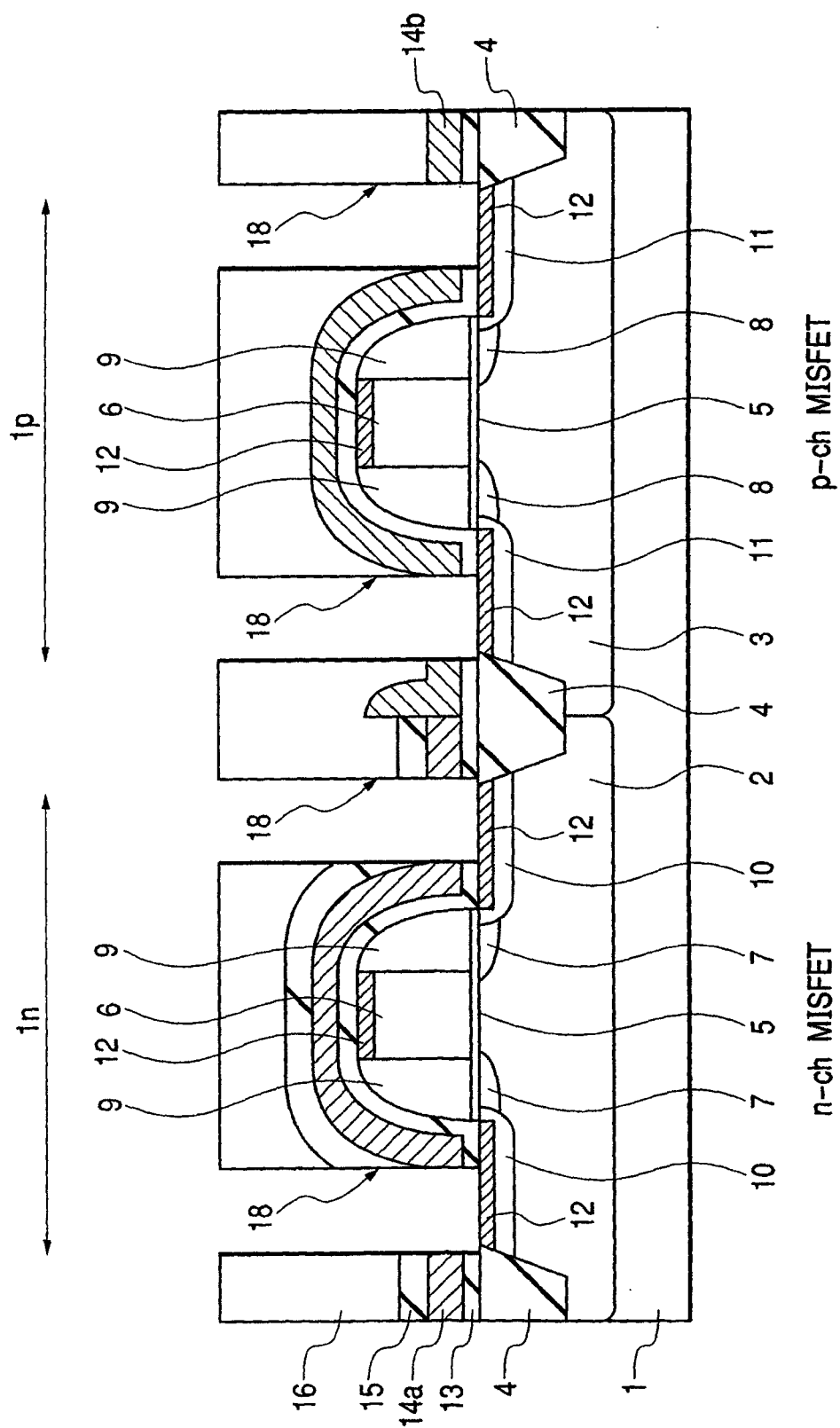


图 21

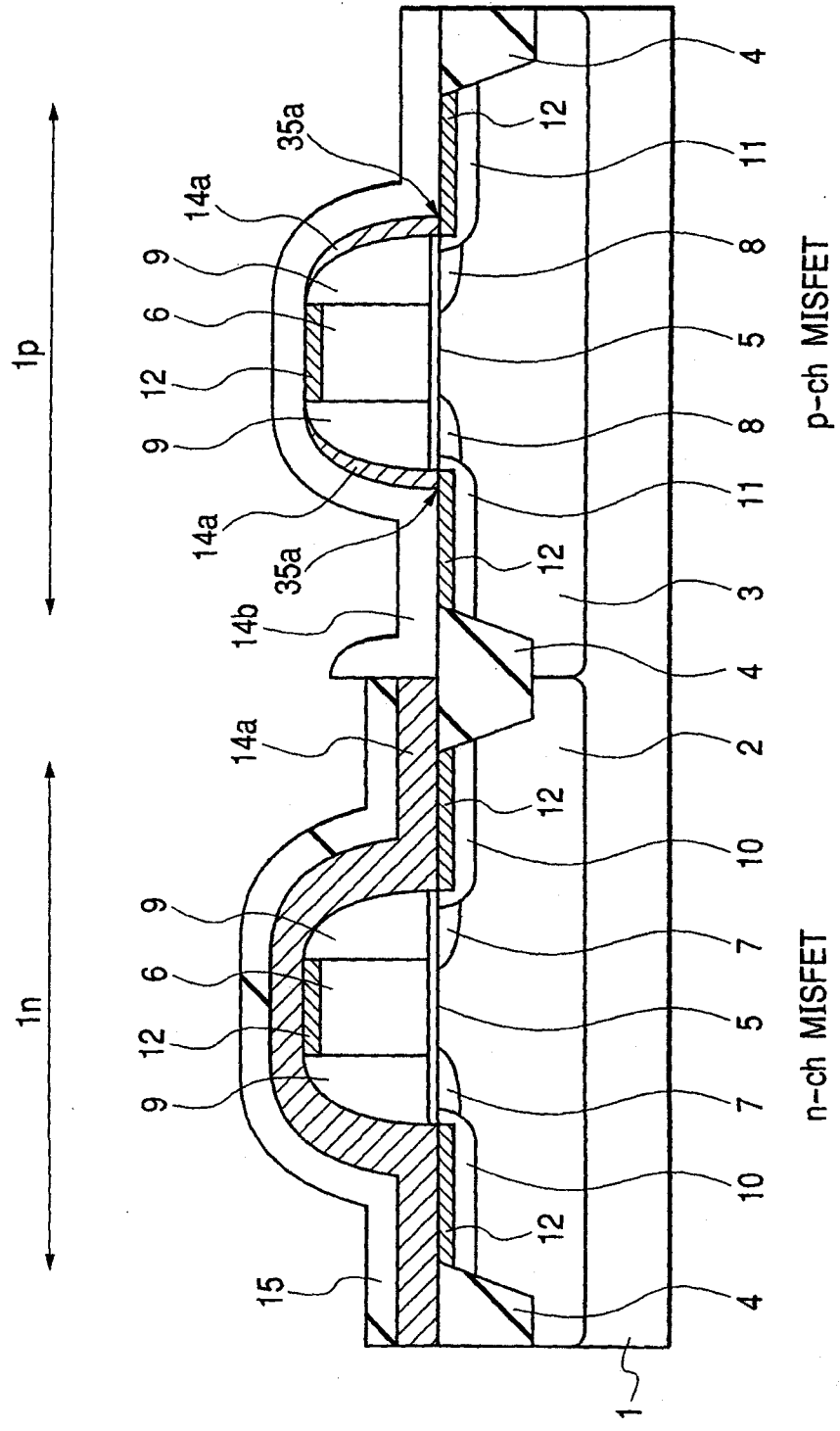


图 22

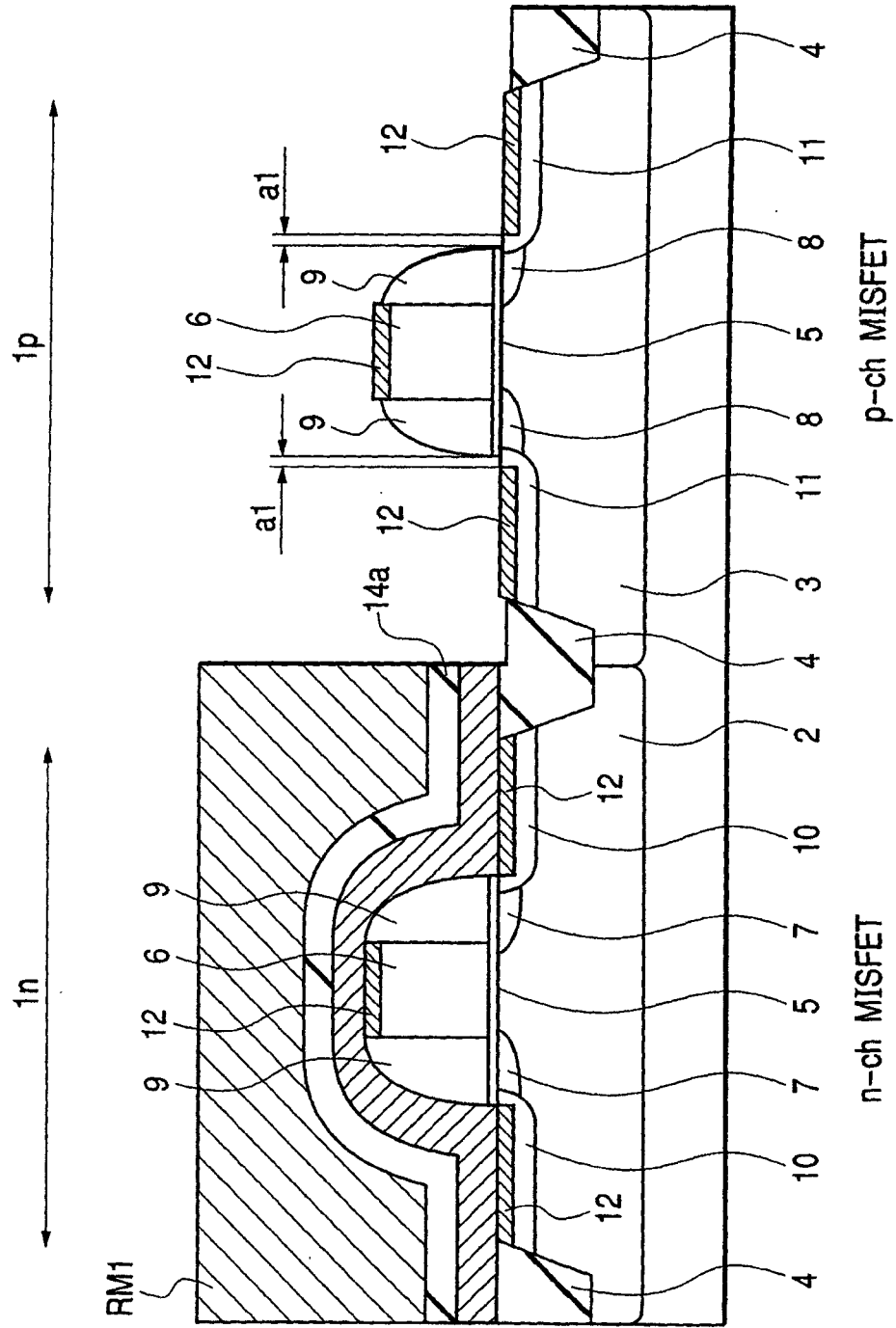


图 23

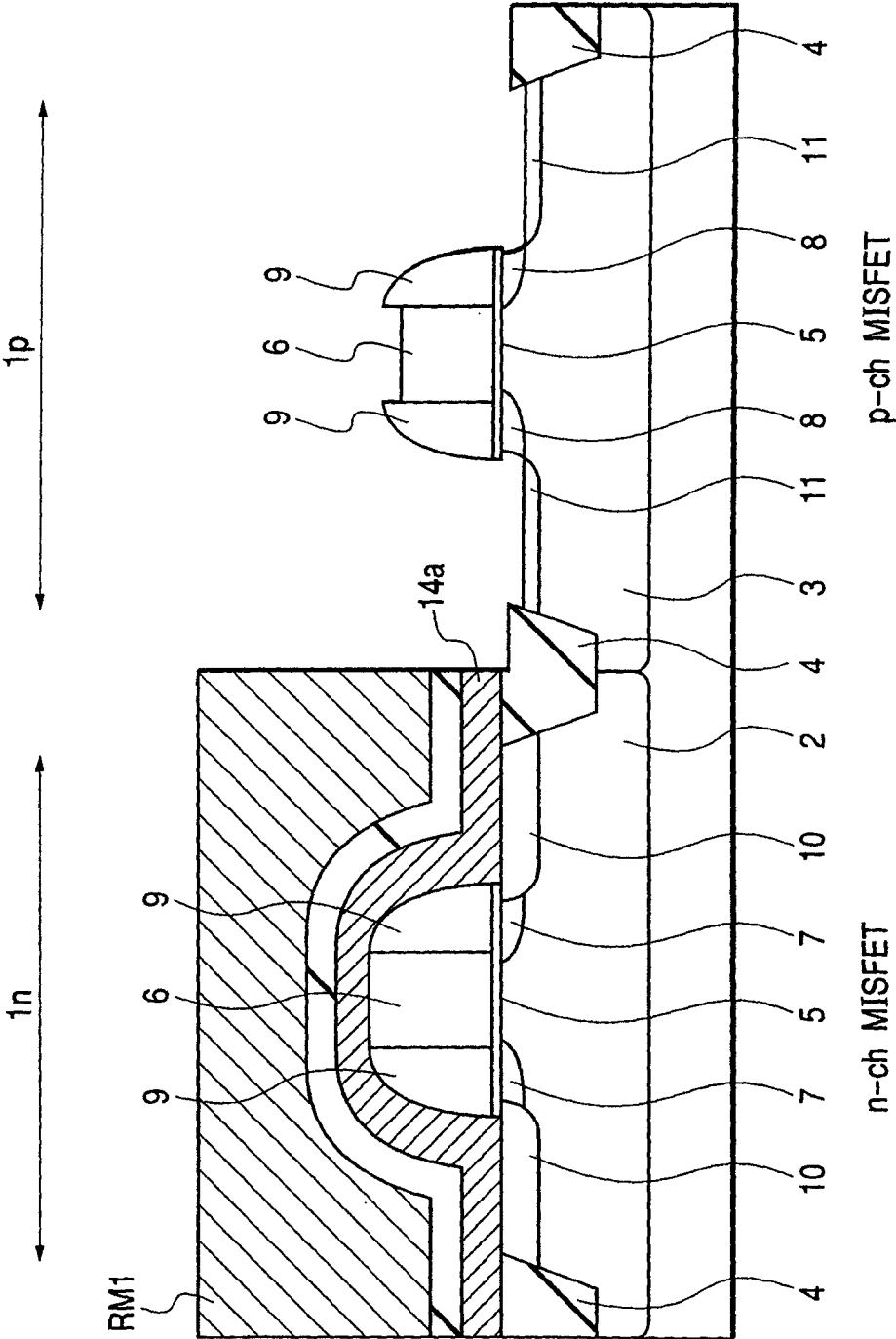


图 24

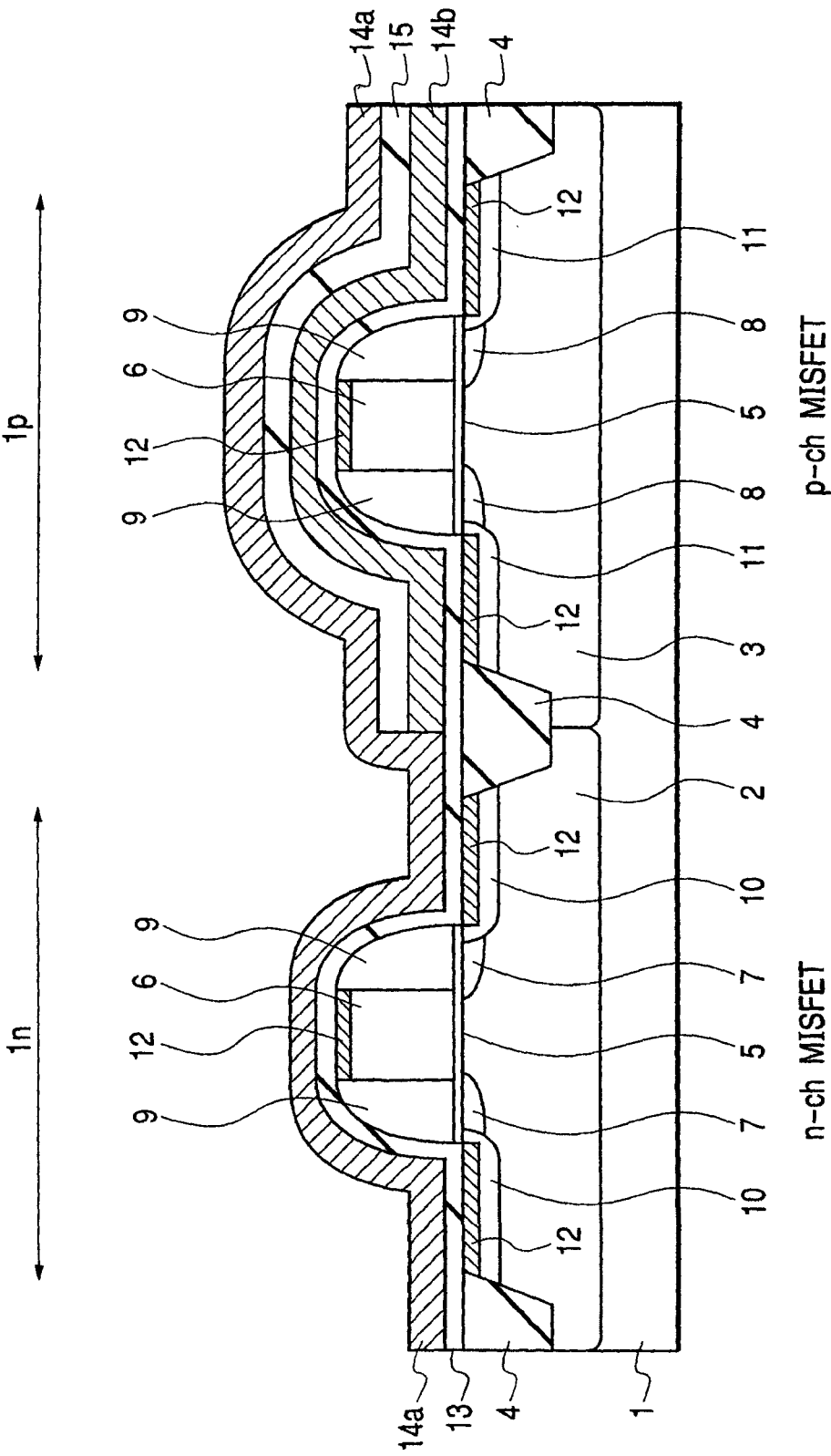


图 25

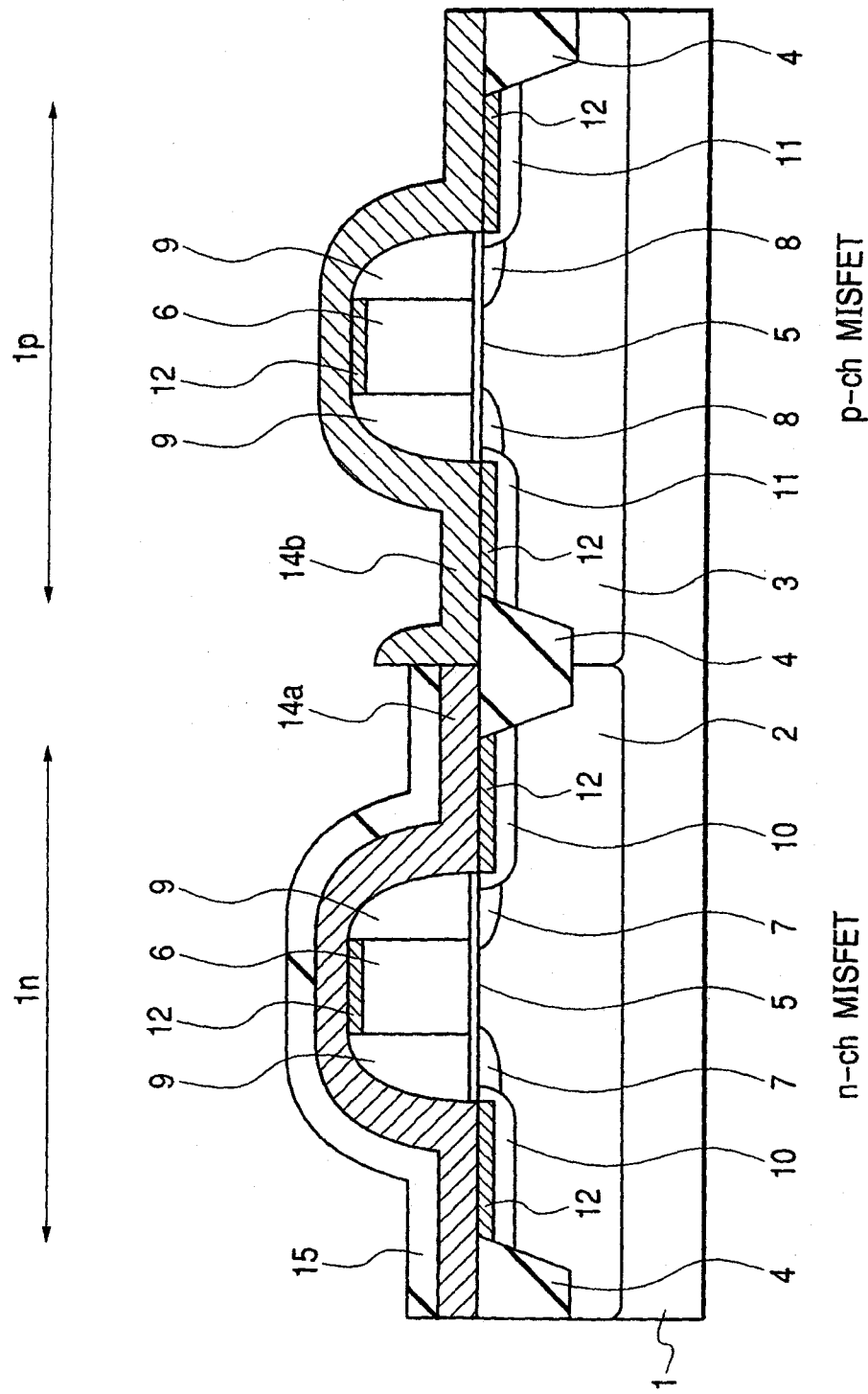


图 26A

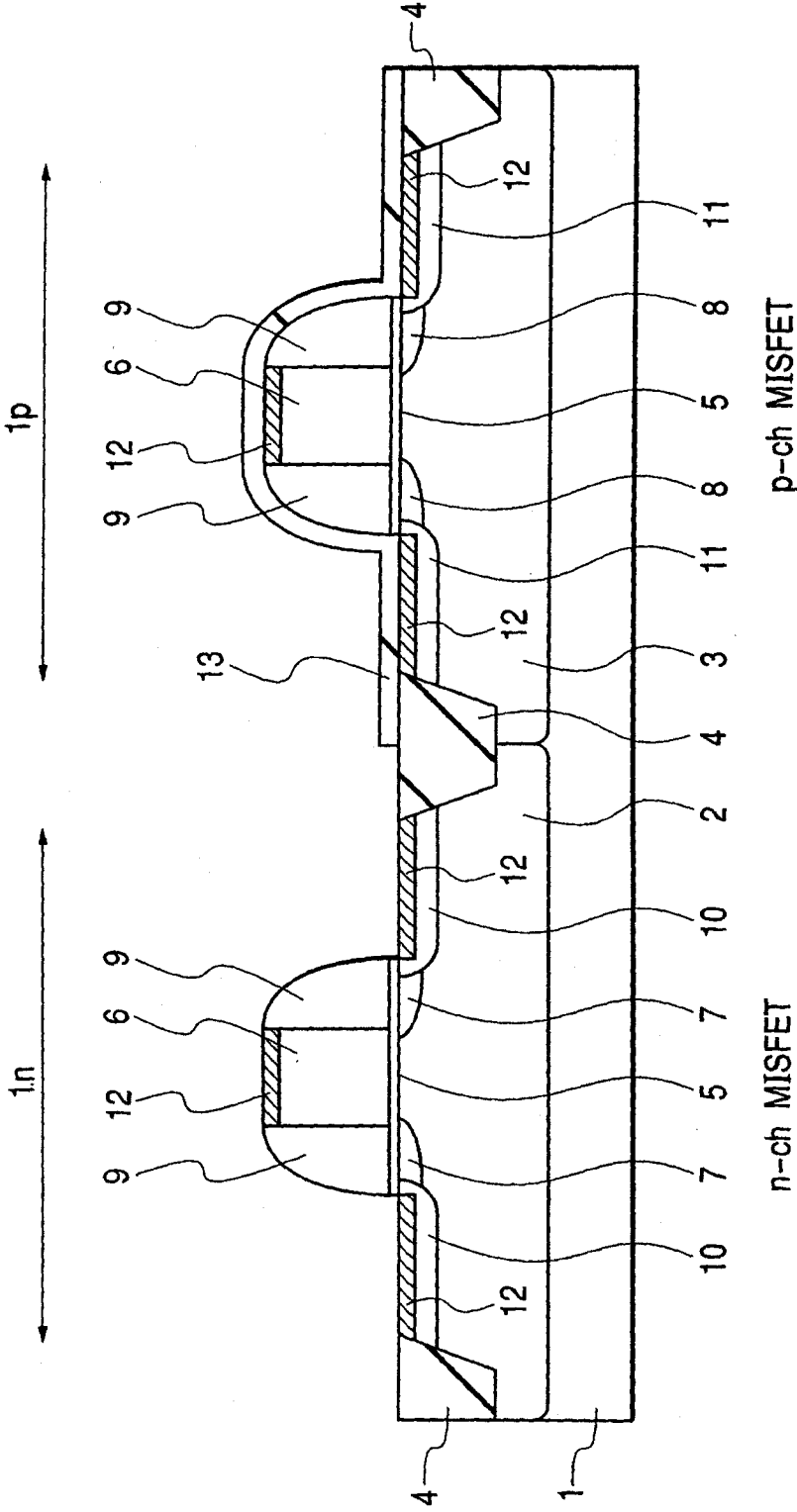


图 26B

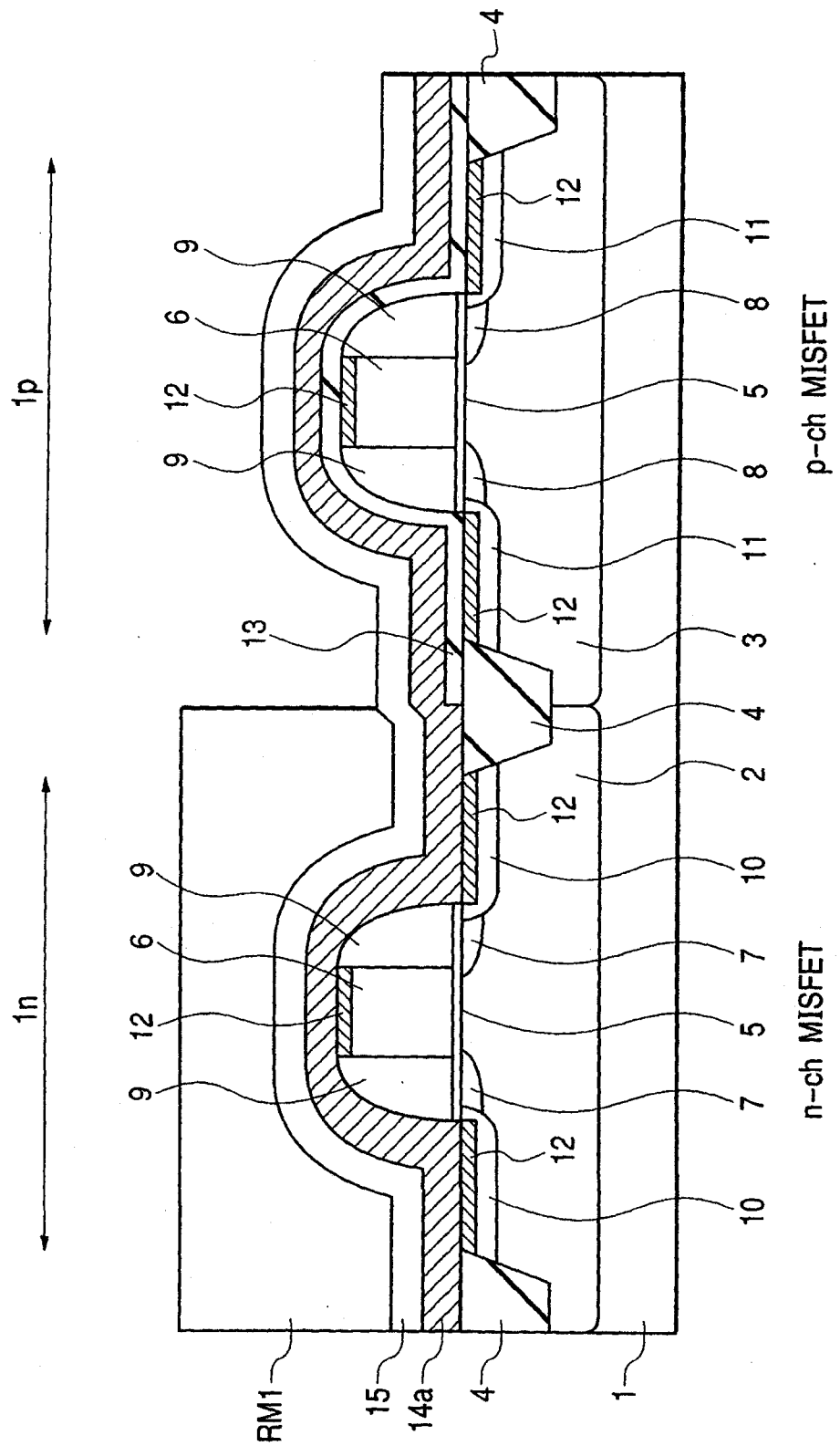


图 27

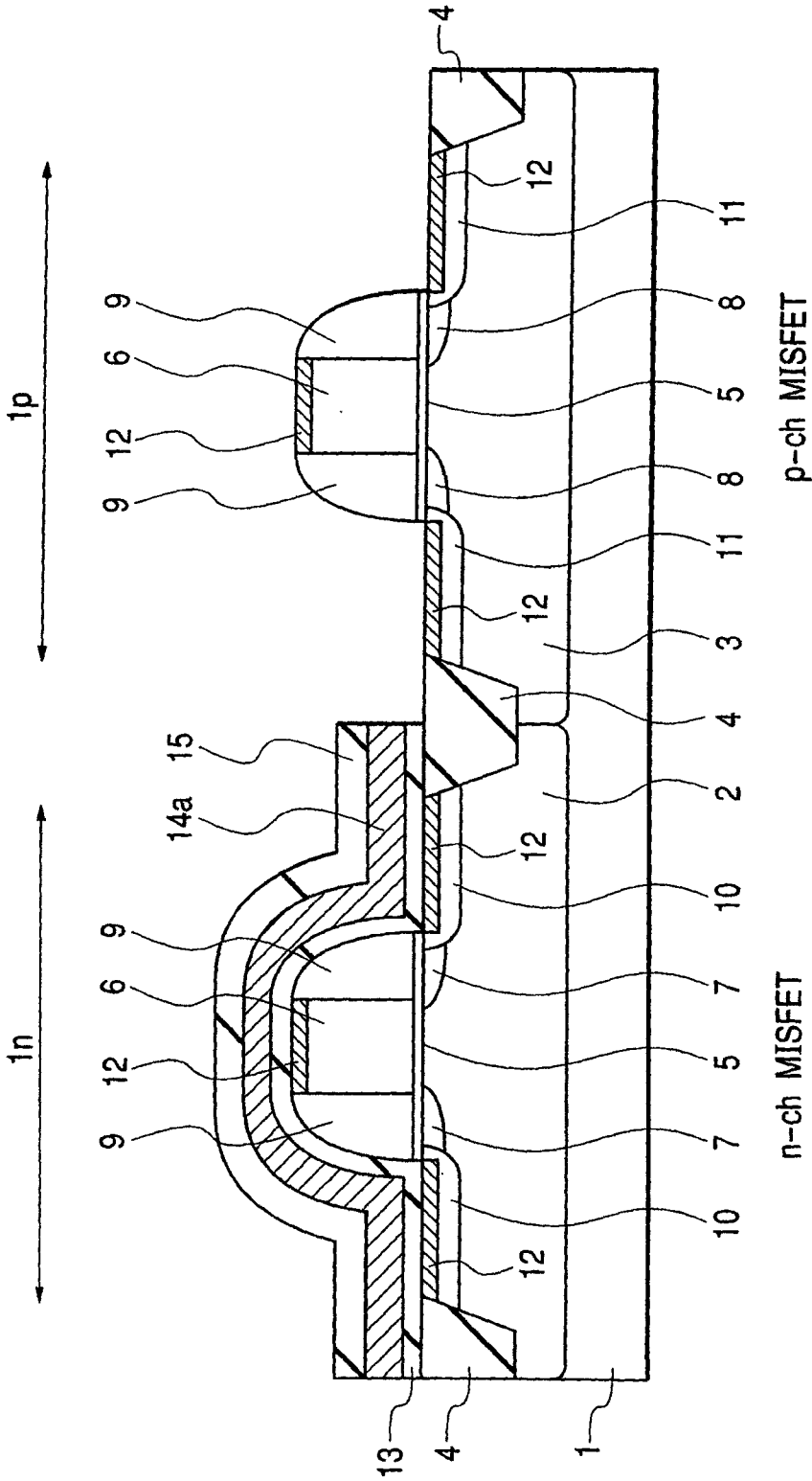


图 28

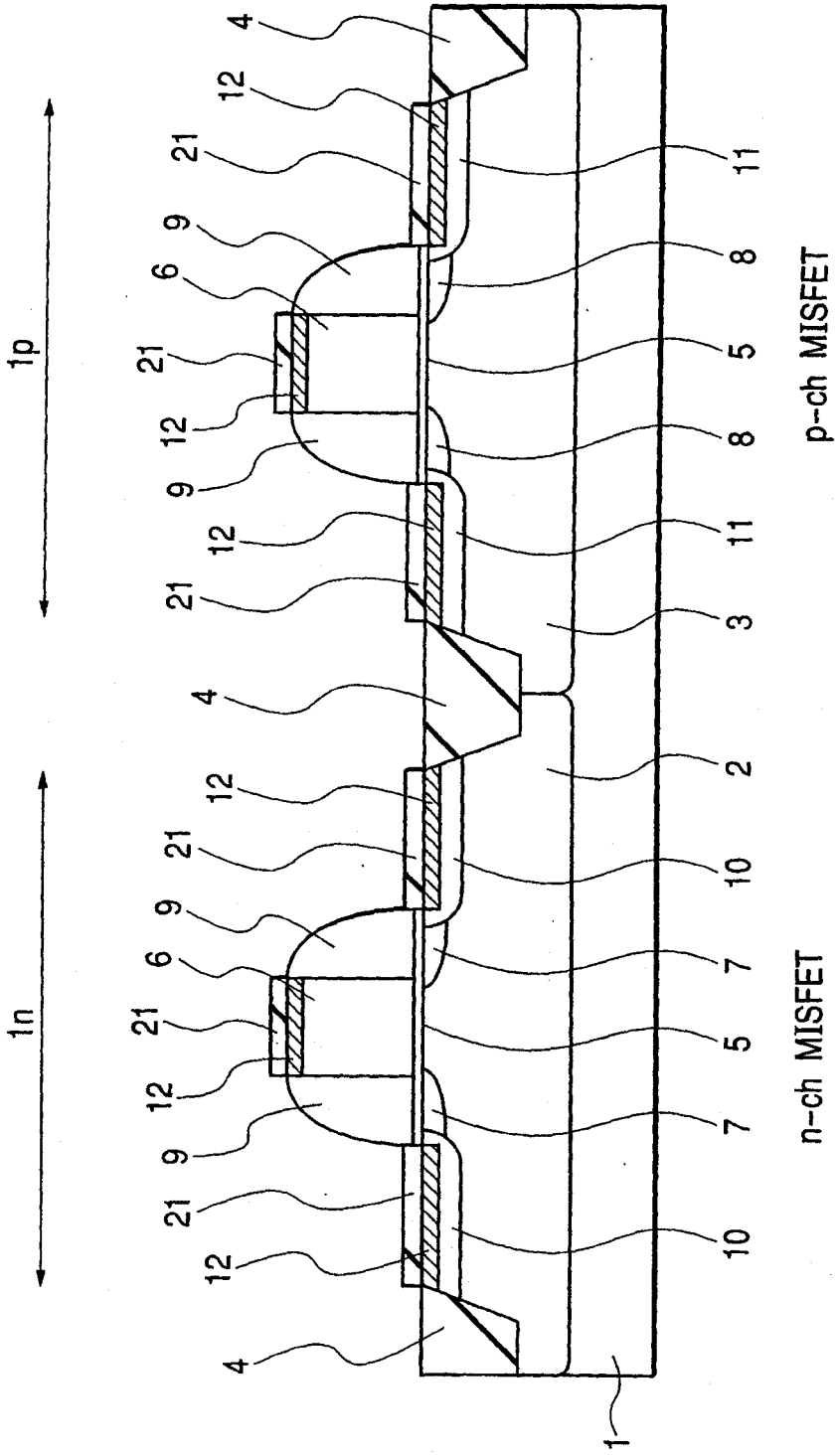


图 29

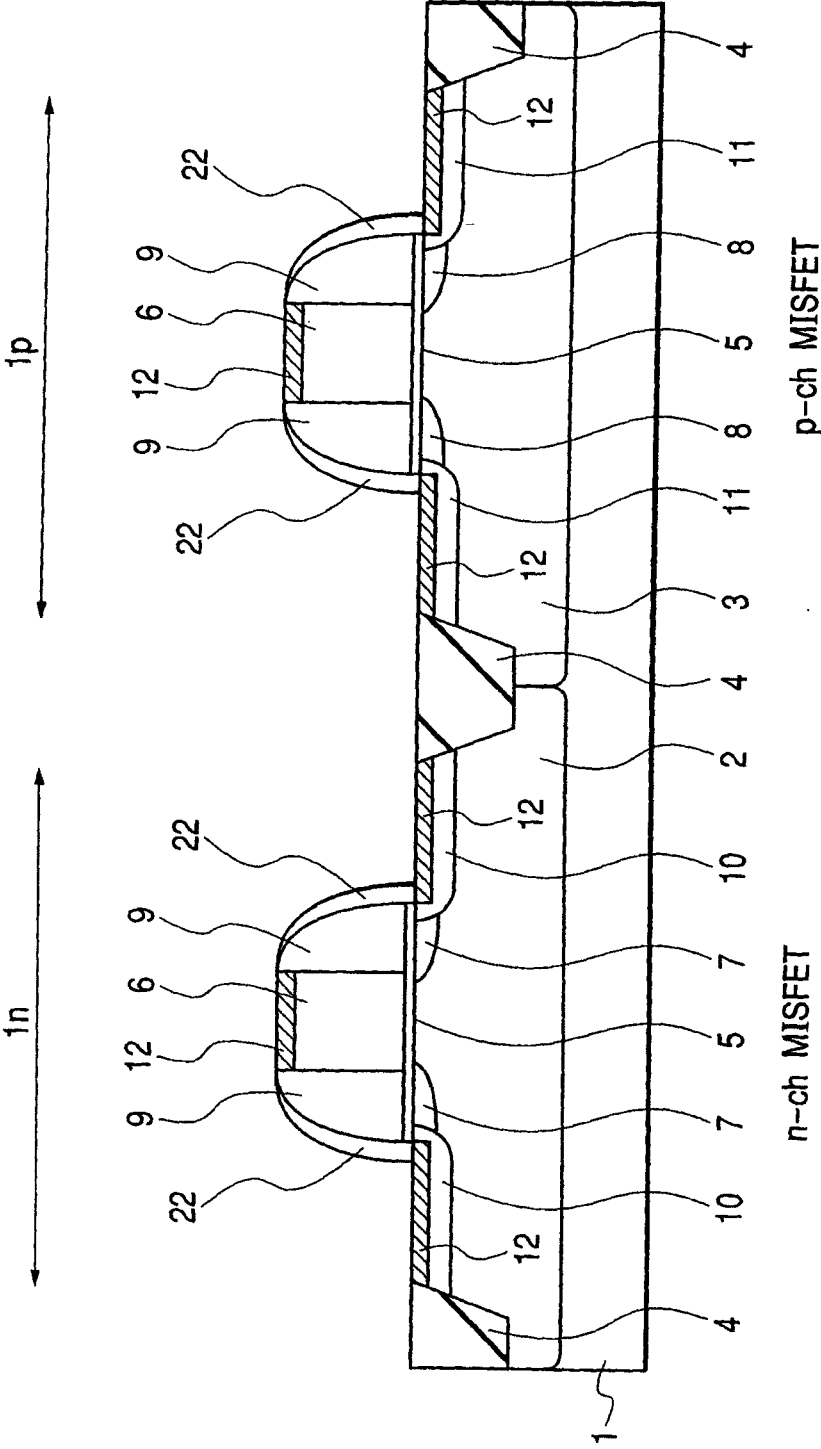
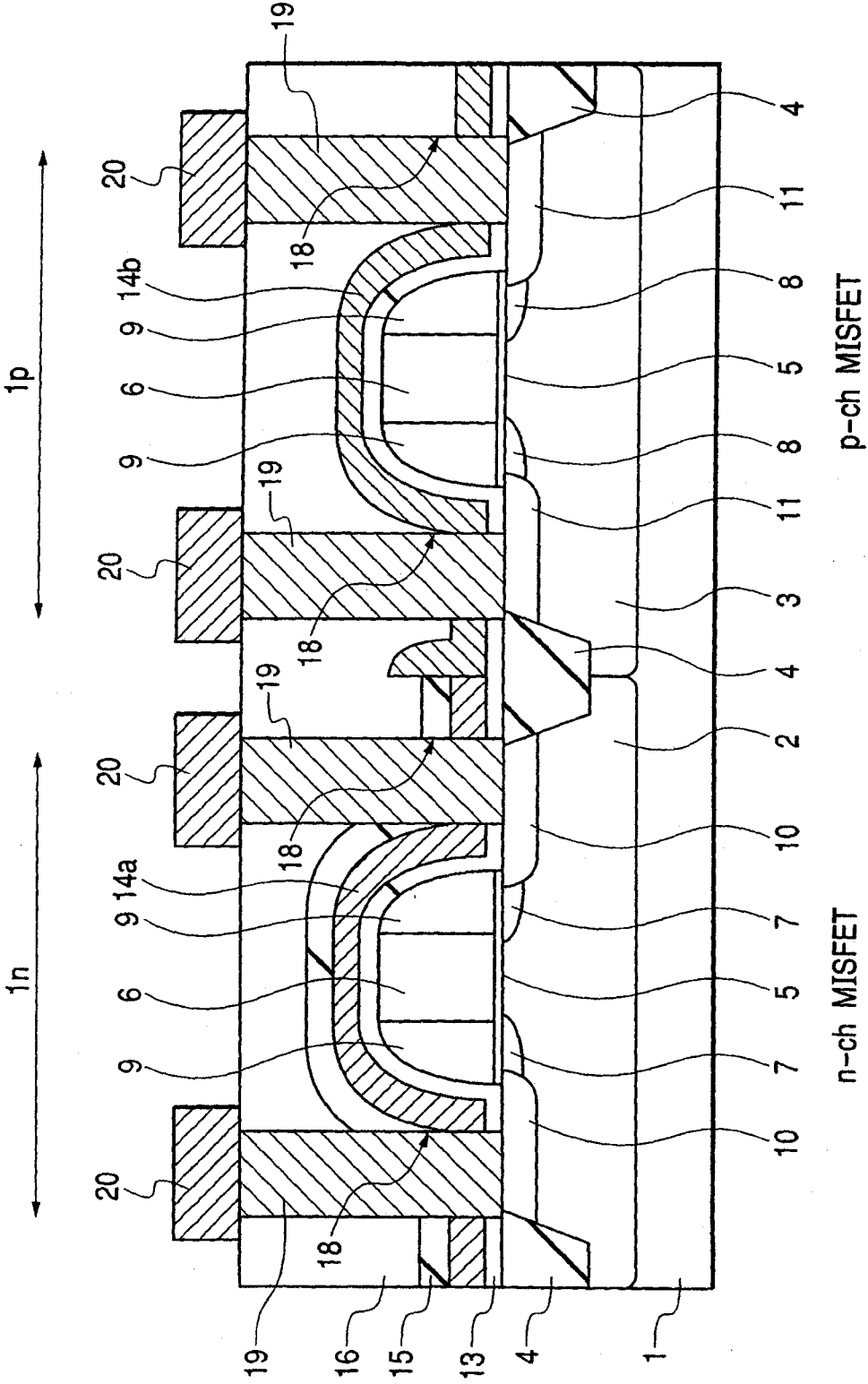


图 30A



30B

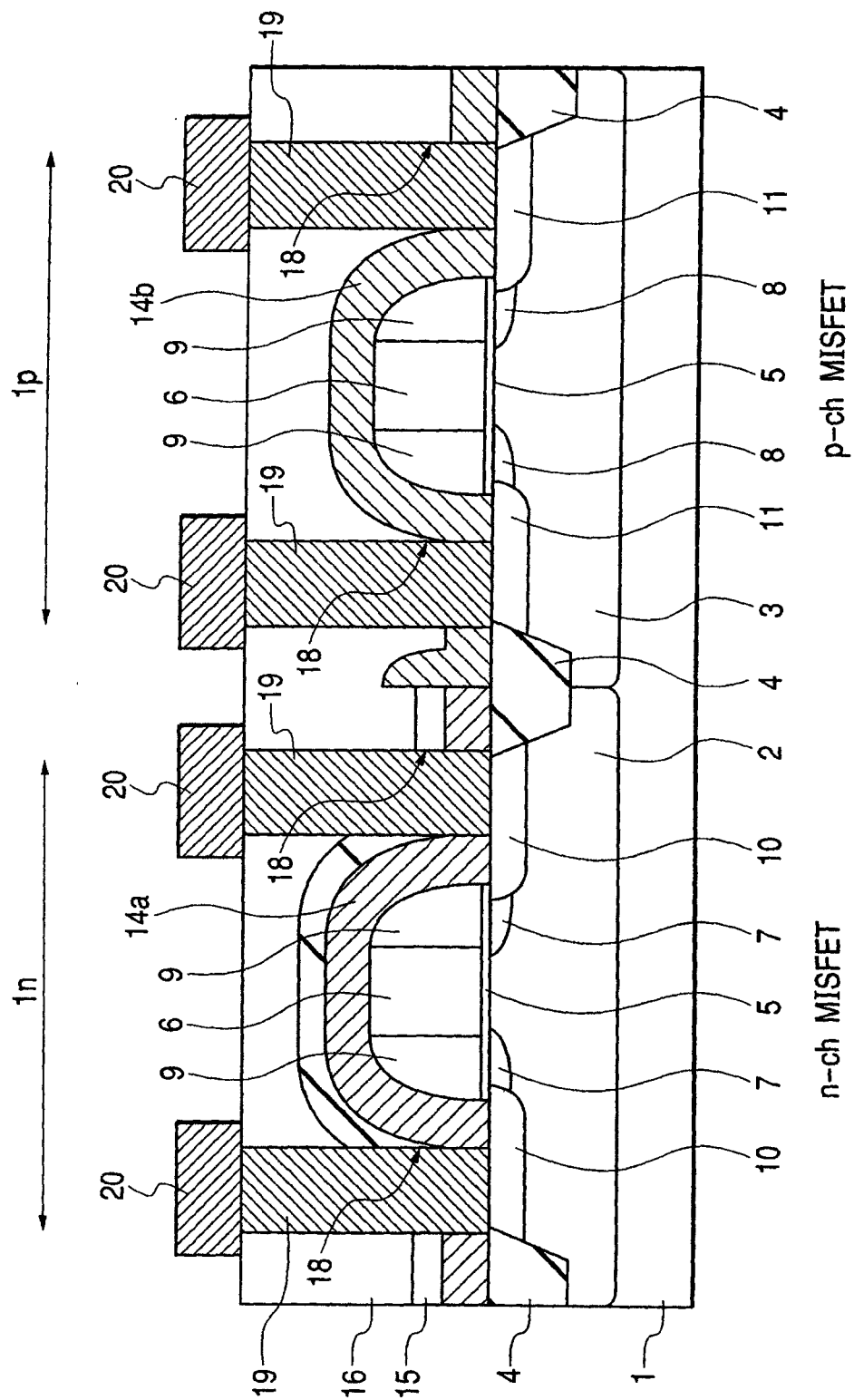


图 31

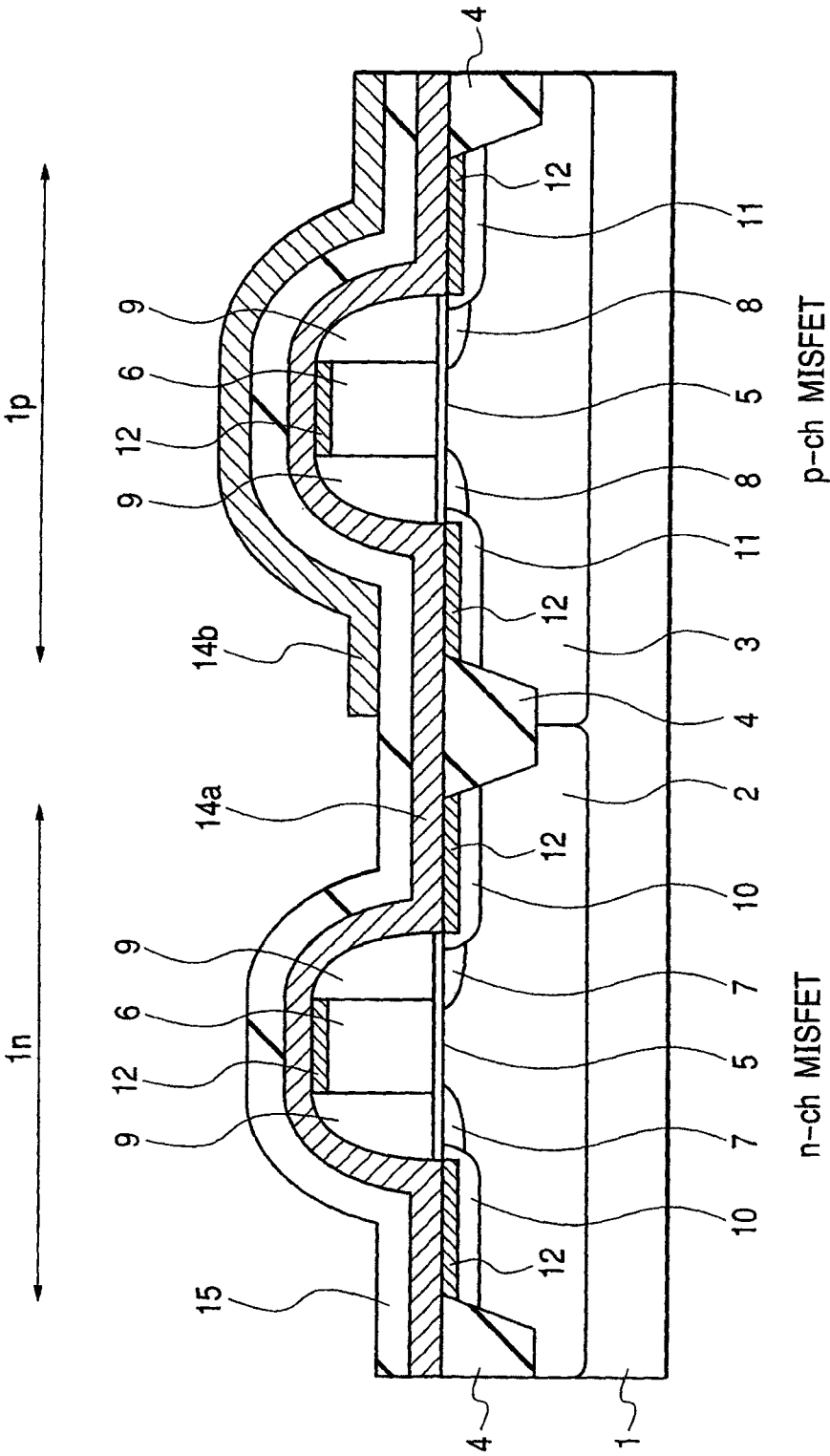


图 32

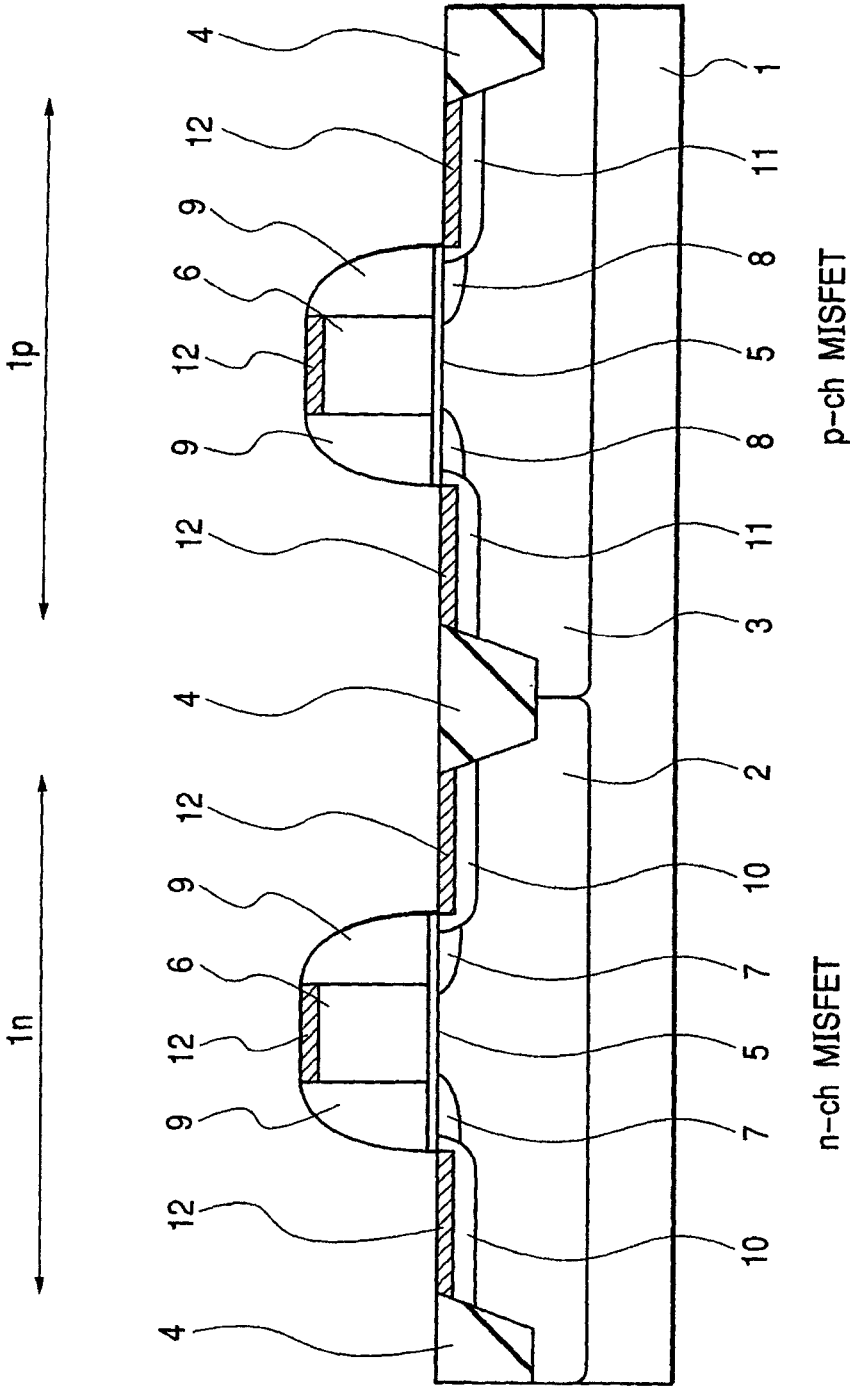


图 33

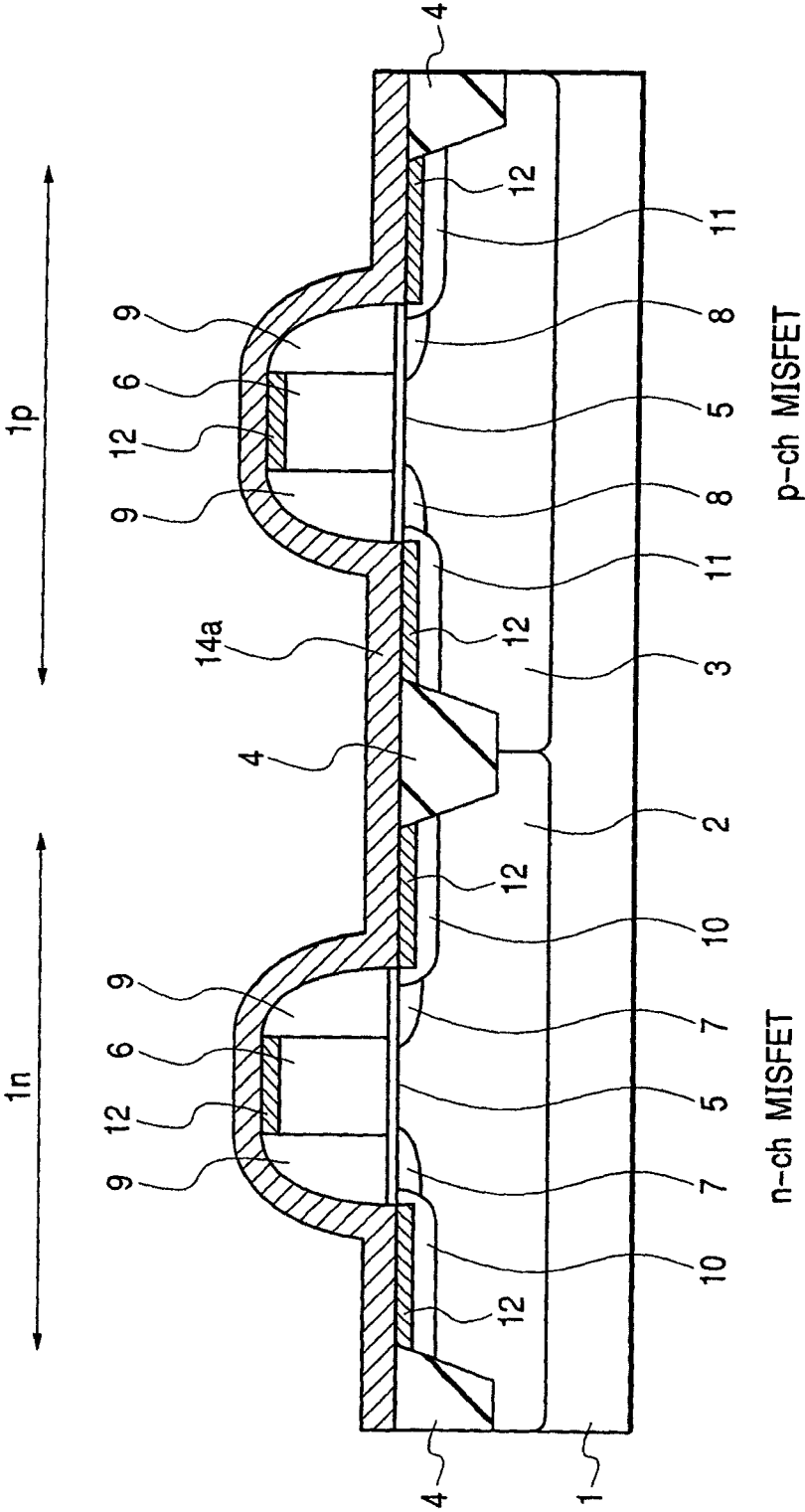


图 34

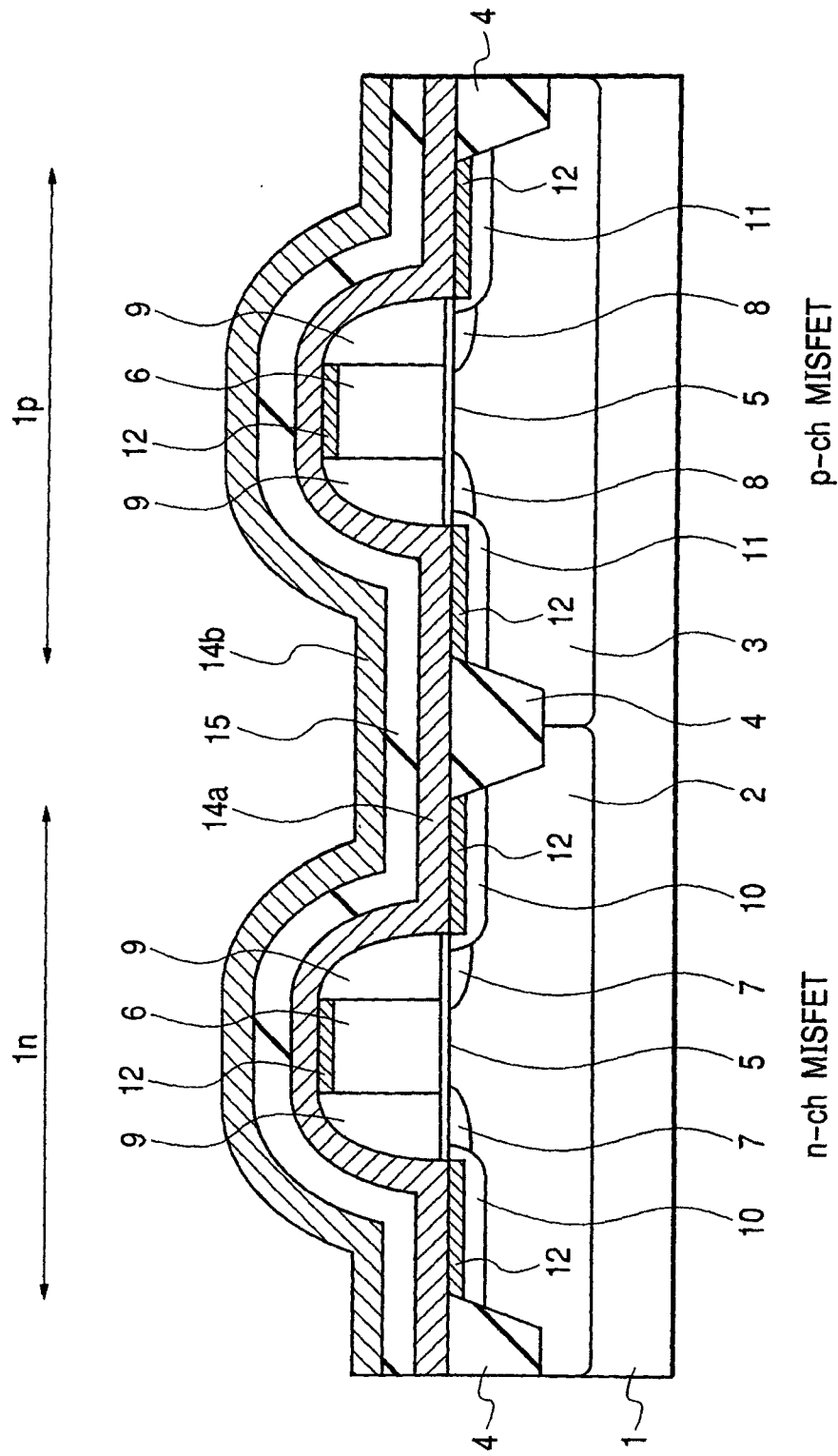


图 35

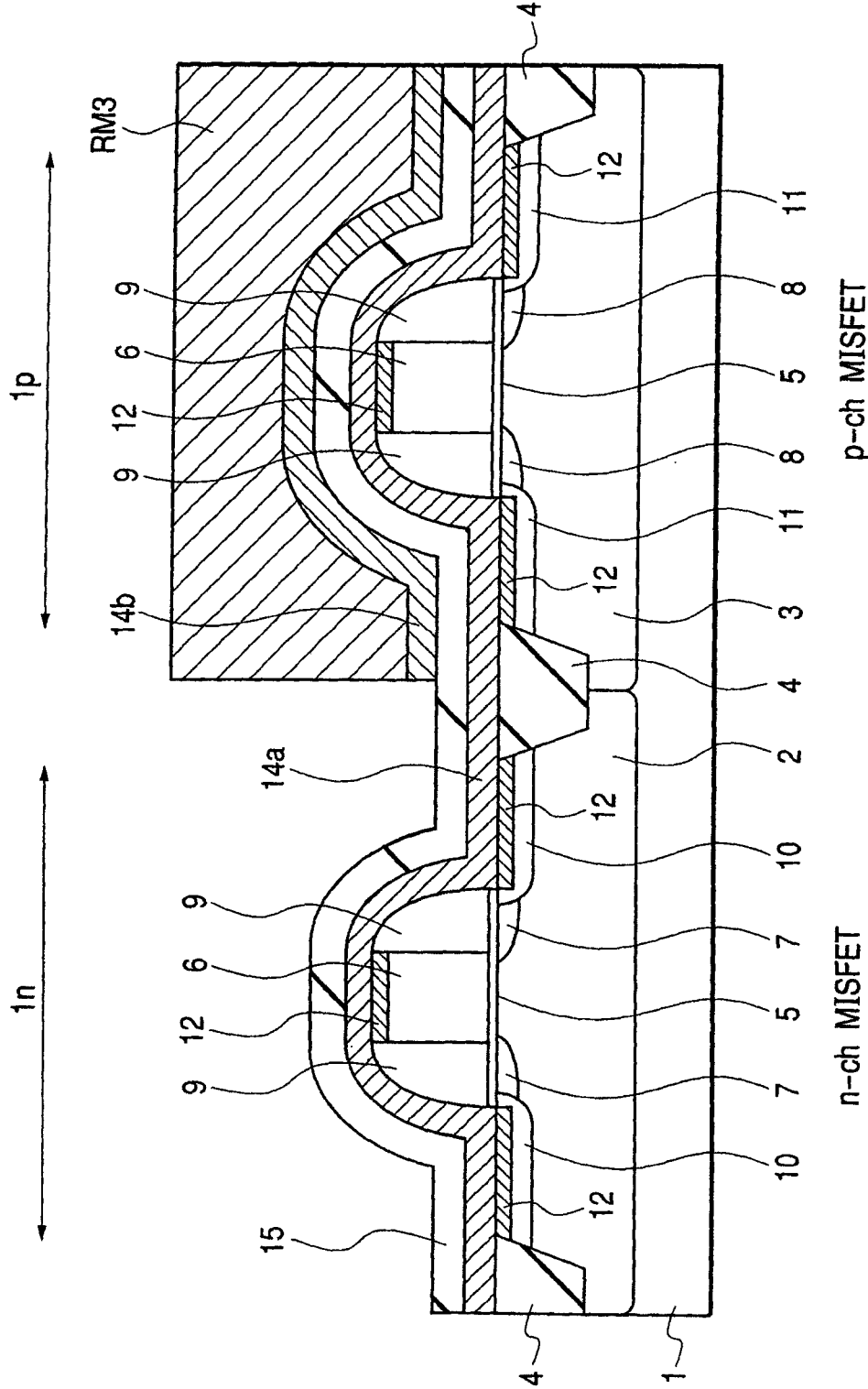


图 36

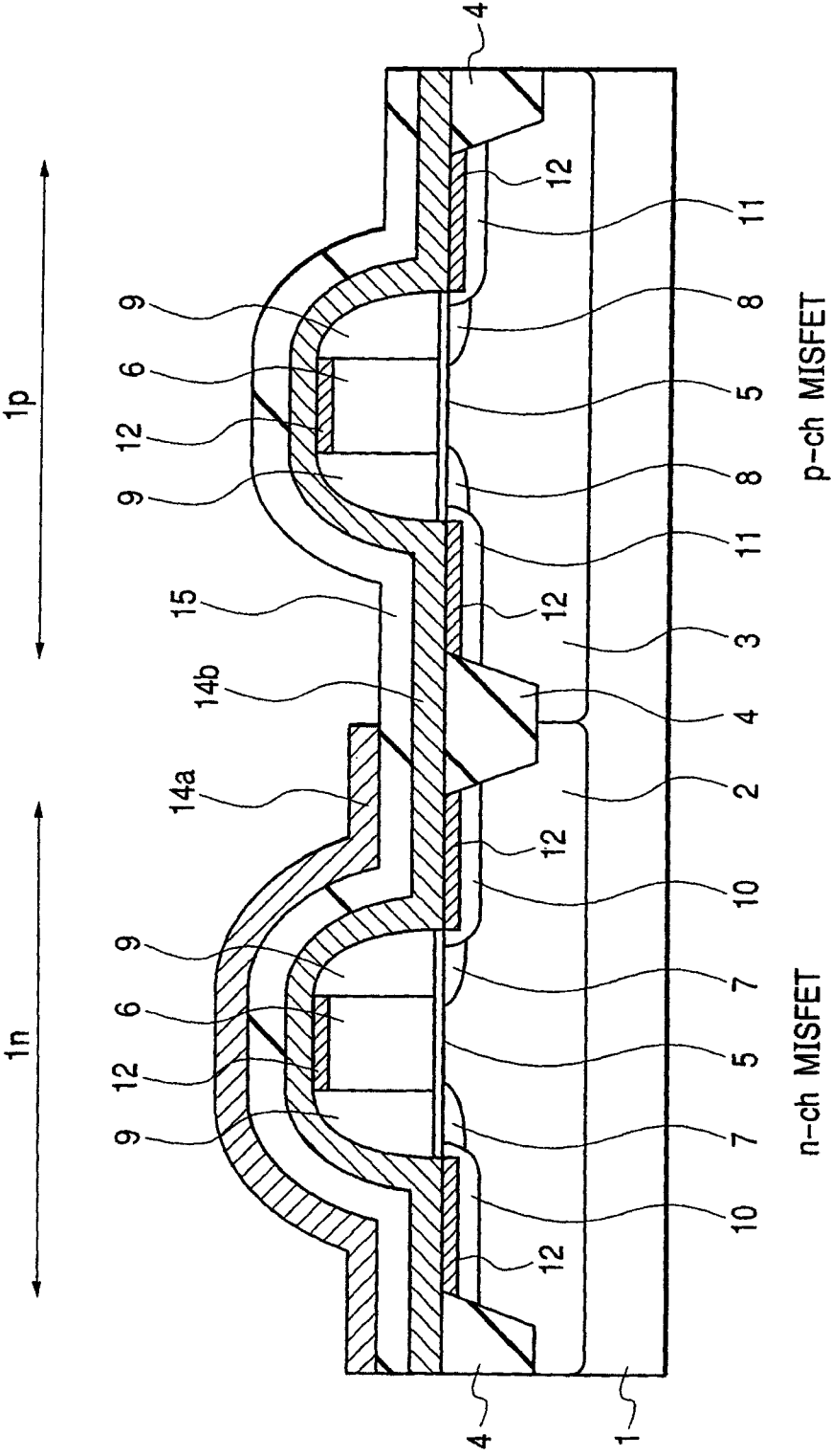


图 37

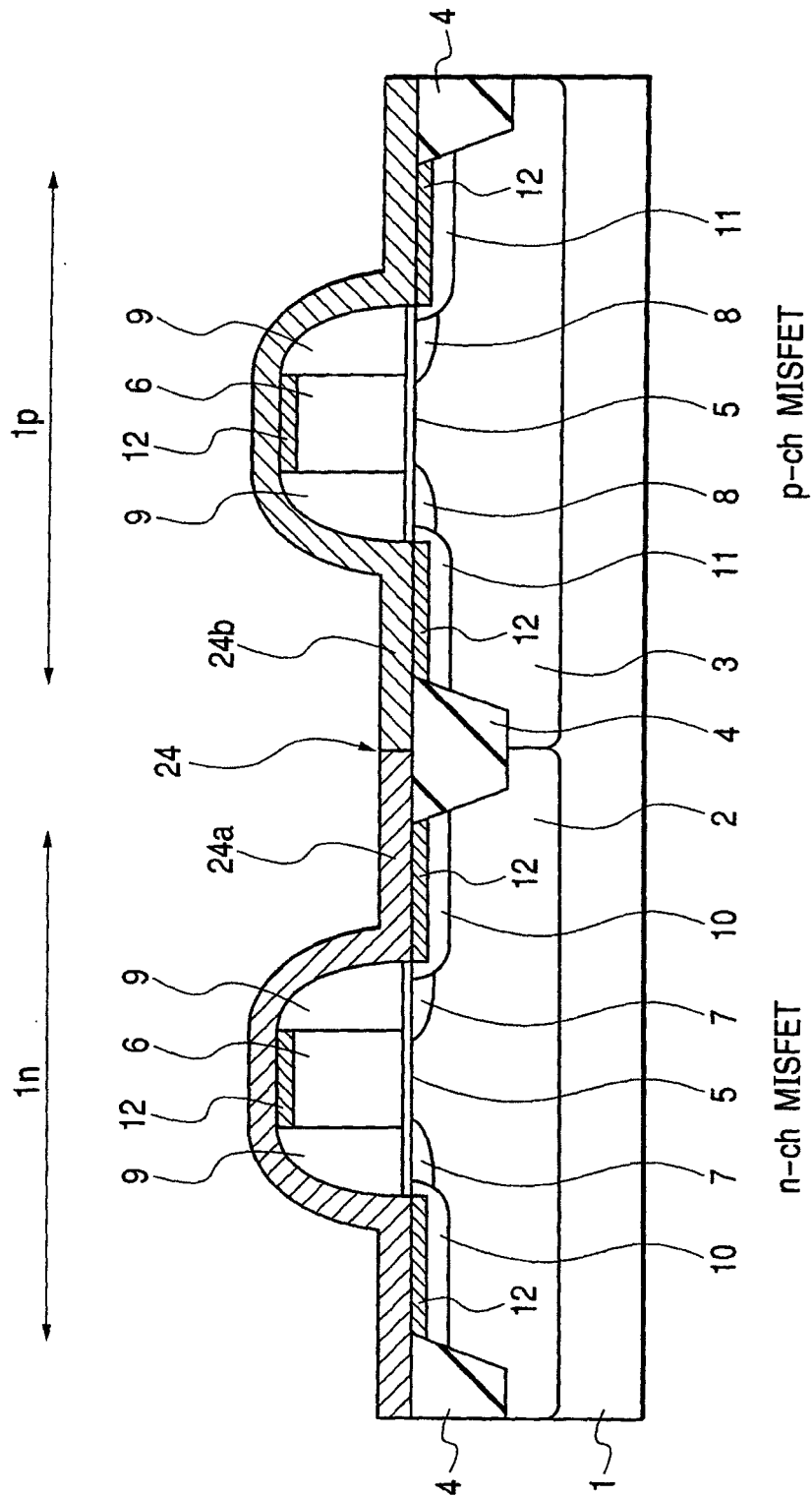


图 38

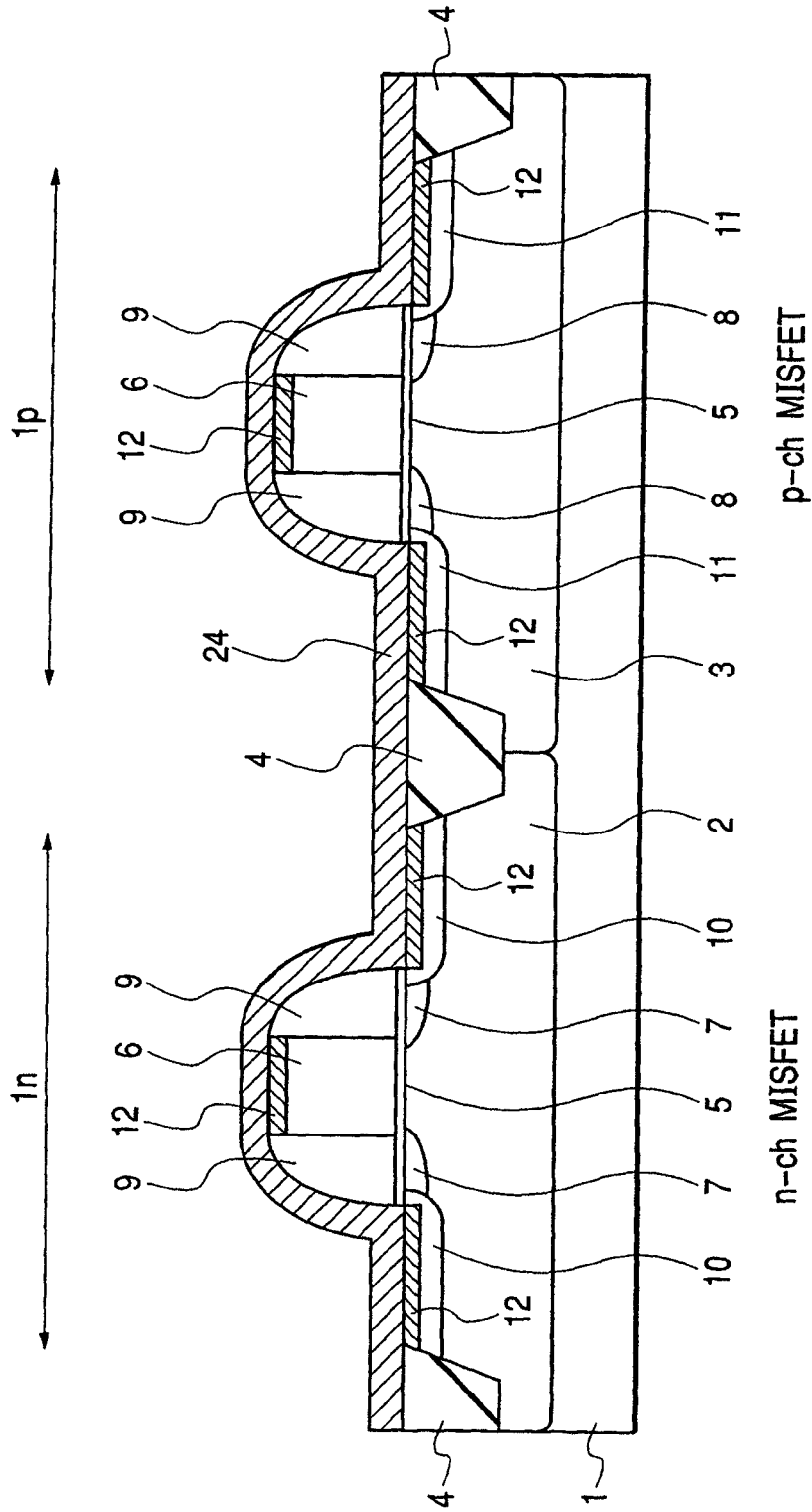


图 39

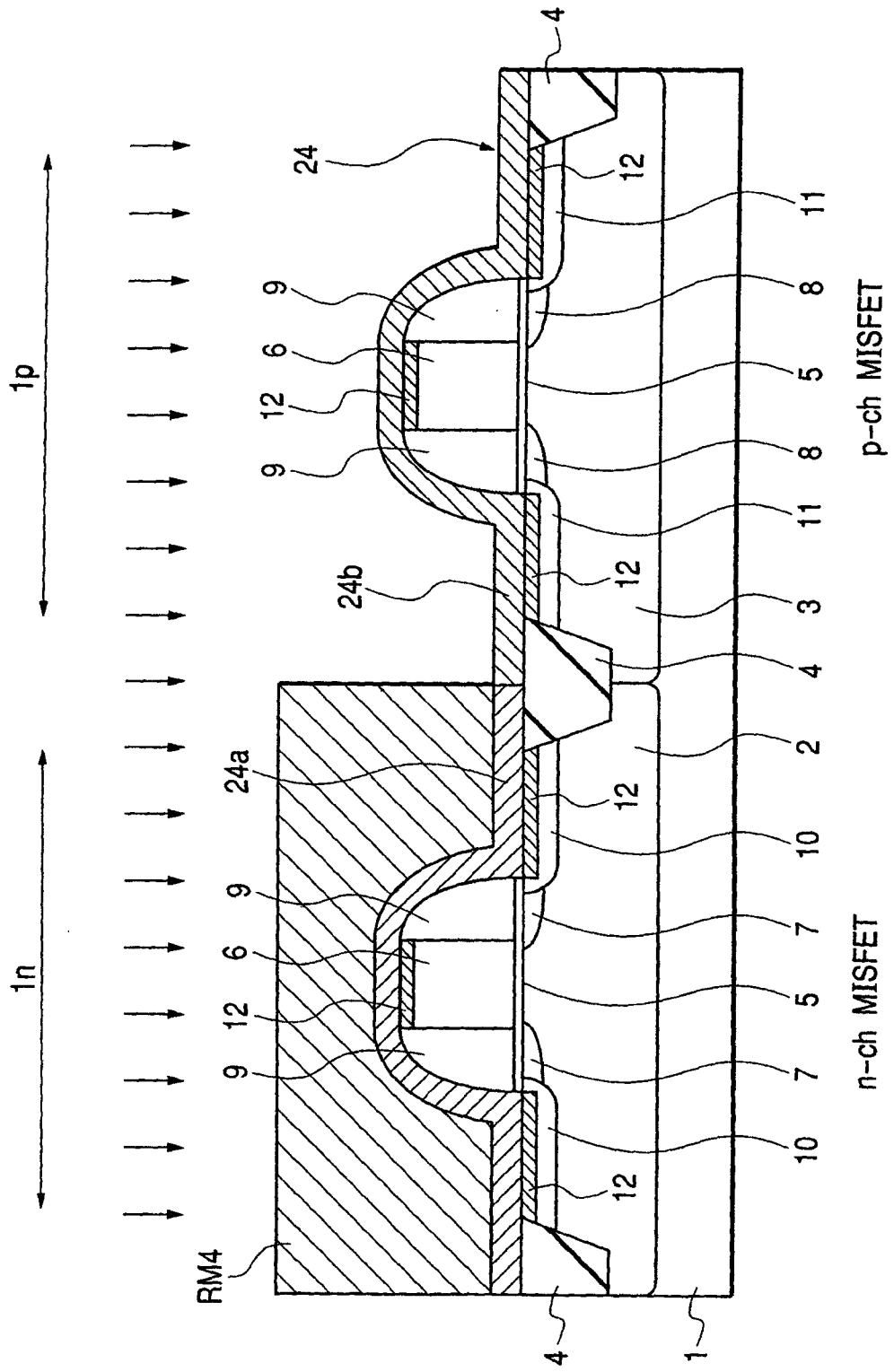


图 40

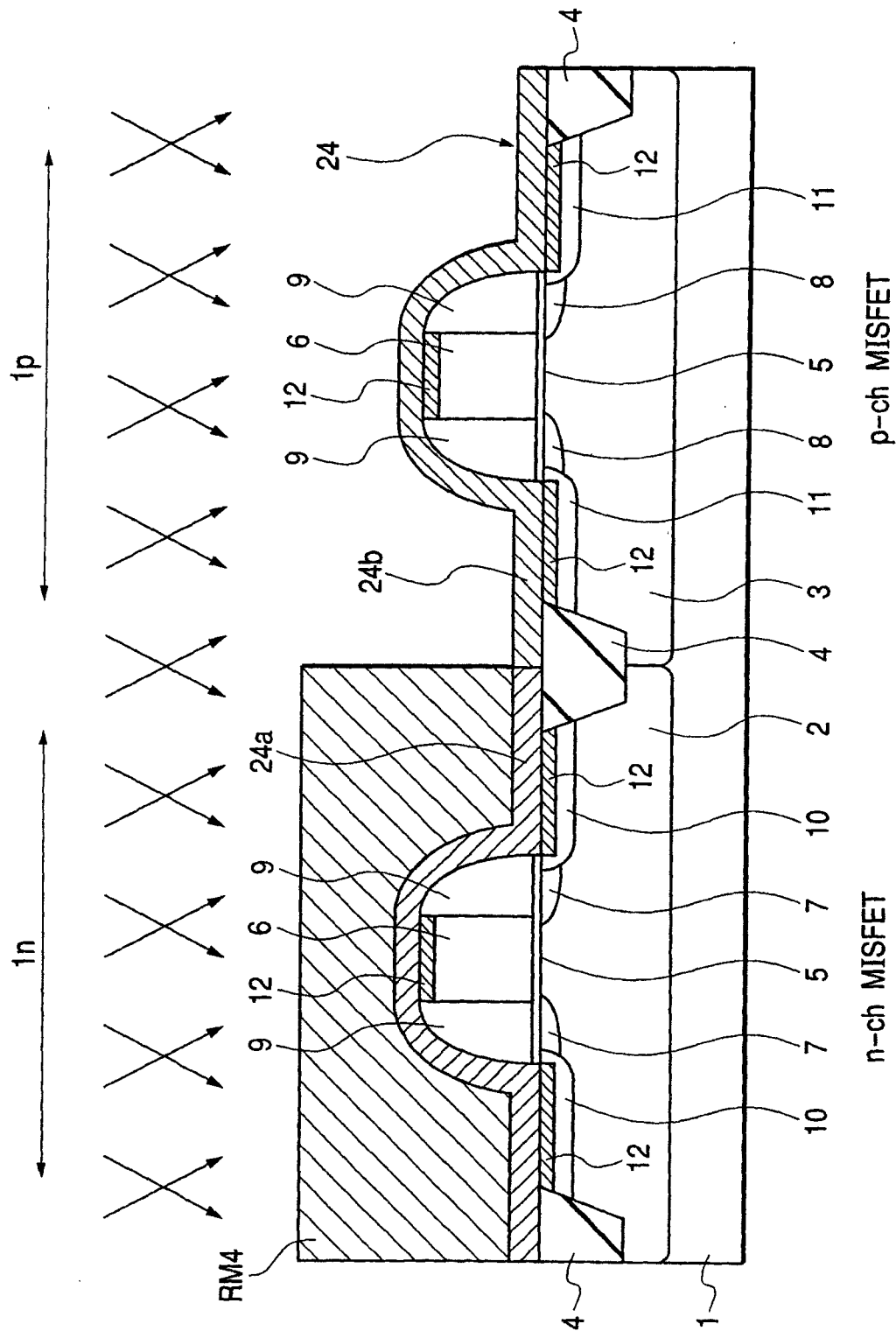


图 41

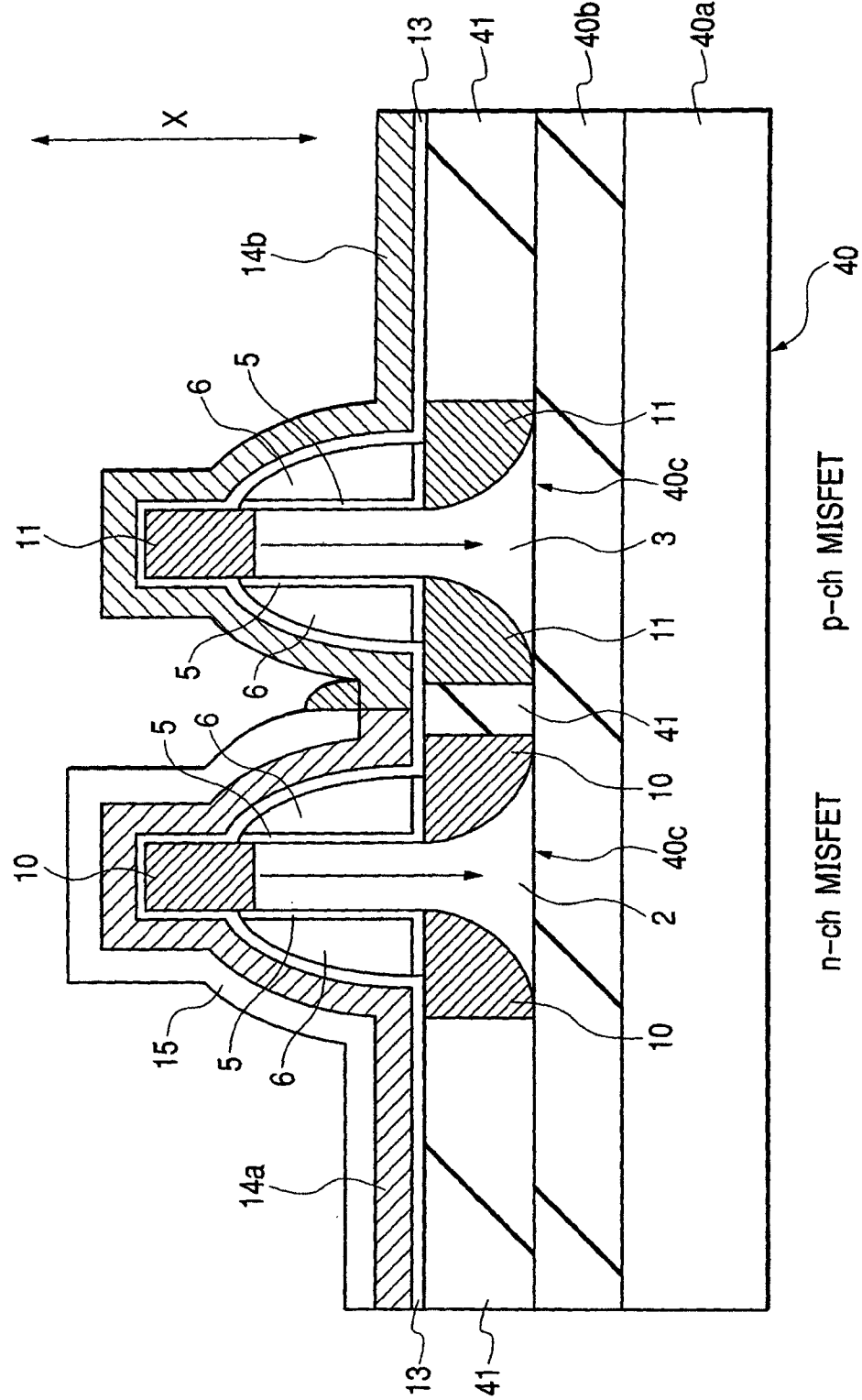


图 42

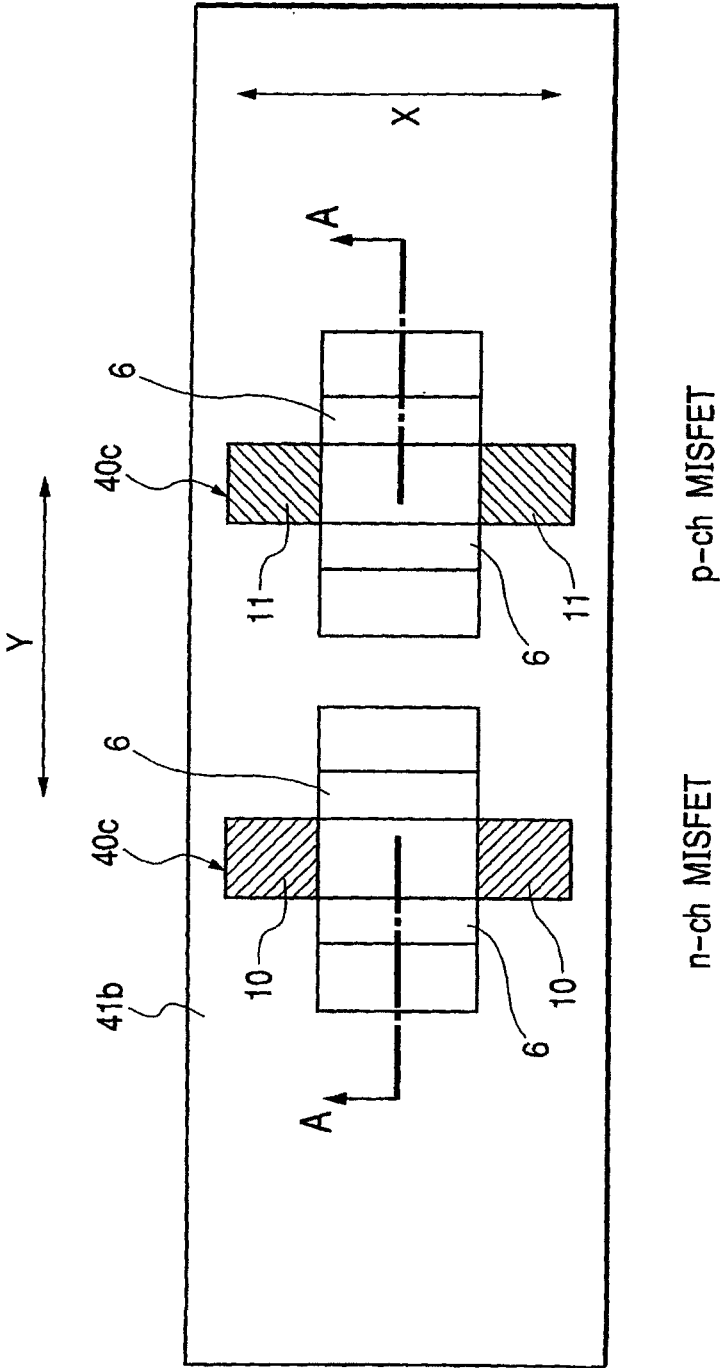


图 43

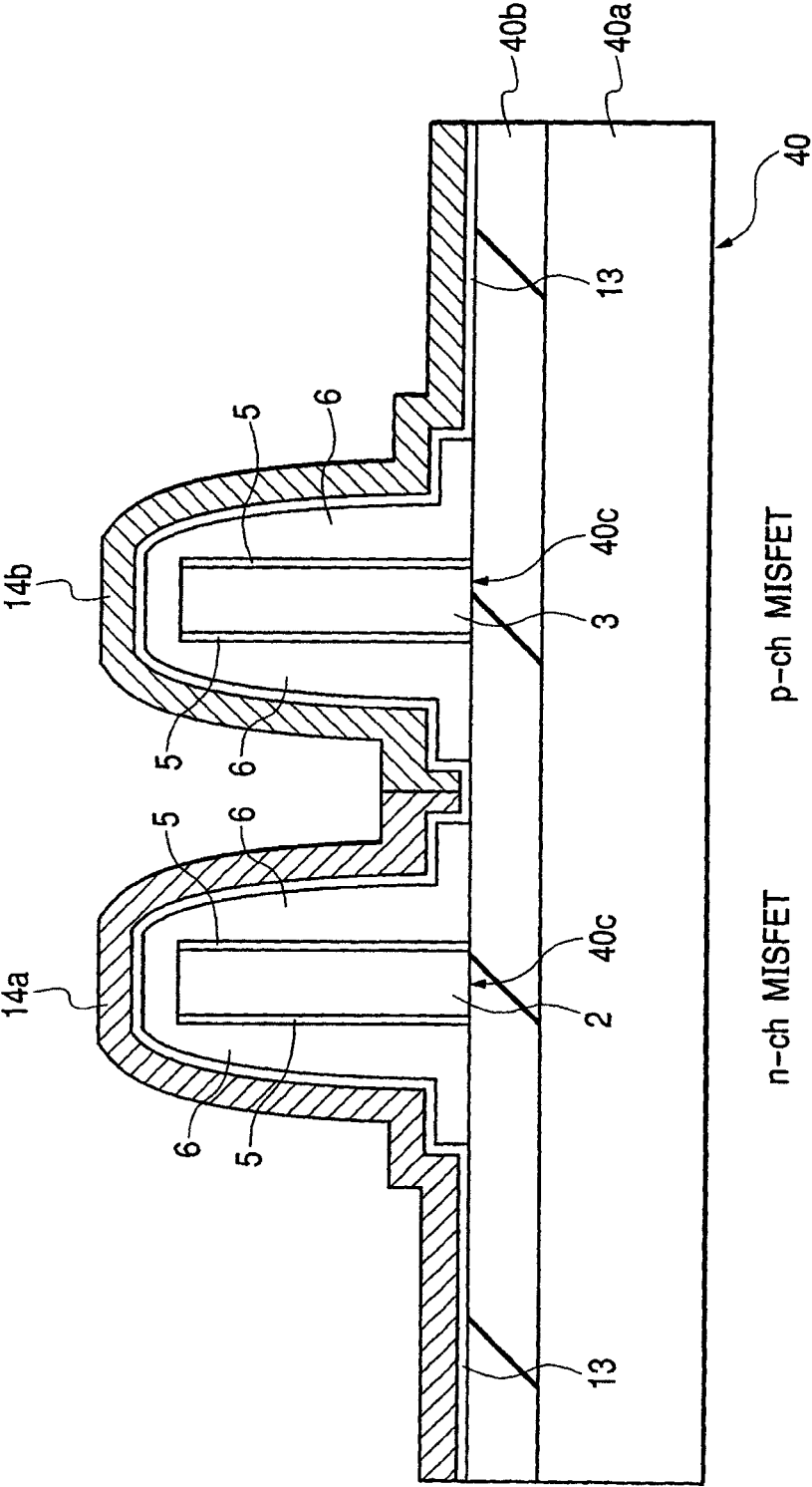


图 44

