(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
27. Dezember 2018 (27.12.2018)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2018/233950 A1

(51) Internationale Patentklassifikation:
H01L 33/00 (2010.01) *H01L 33/24* (2010.01)
H01L 33/14 (2010.01) *H01L 33/32* (2010.01)
H01L 33/20 (2010.01) *H01L 33/16* (2010.01)
H01L 33/38 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2018/062978

(22) Internationales Anmeldedatum:
17. Mai 2018 (17.05.2018)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2017 113 383.6
19. Juni 2017 (19.06.2017) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **TONKIKH, Alexander**; Käthe-Kollwitz-Str. 63, 93055 Regensburg (DE).

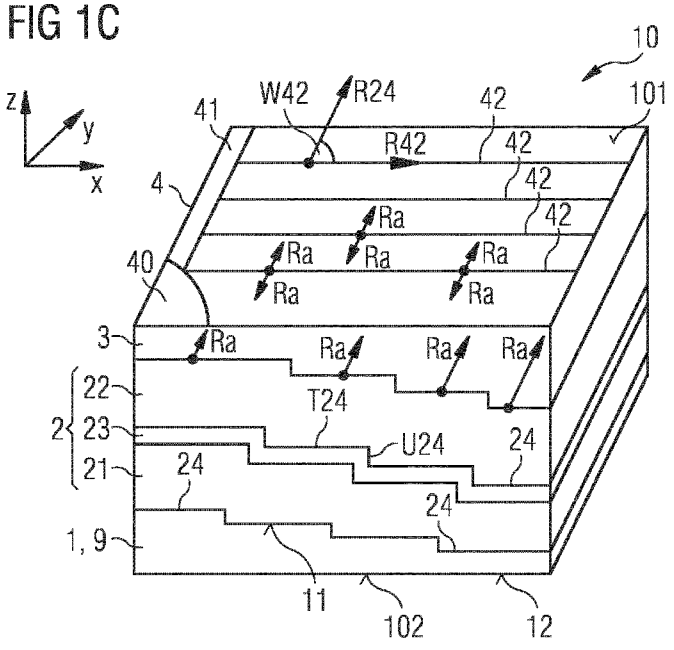
(74) Anwalt: **ZUSAMMENSCHLUSS NR. 175 - EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Schloßschmidstr. 5, 80639 München (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,

(54) **Title:** SEMICONDUCTOR CHIP HAVING INTERNAL TERRACE-LIKE STEPS, AND METHOD FOR PRODUCING A SEMICONDUCTOR CHIP

(54) **Bezeichnung:** HALBLEITERCHIP MIT INNEREN TERRASSENÄHNLICHEN STUFEN UND VERFAHREN ZUR HERSTELLUNG EINES HALBLEITERCHIPS

FIG 1C



(57) **Abstract:** A semiconductor chip (10) comprising a semiconductor body (2), a current spreading layer (3) and a contact structure (4) is specified, wherein the semiconductor body comprises a first semiconductor layer (21), a second semiconductor layer (22) and an intervening active layer (23), and the current spreading layer is arranged in a vertical direction between the contact structure and the semiconductor body. The semiconductor body has a plurality of internal steps (24) configured in a terrace-like manner, wherein the contact structure comprises a plurality of conductor tracks (42) which are arranged with regard to the lateral orientations thereof in relation to the lateral orientations of the internal steps in such a way that current spreading along the internal steps is promoted vis-à-vis current spreading transversely with respect to the internal steps. Furthermore, a method for producing such a semiconductor chip

WO 2018/233950 A1

[Fortsetzung auf der nächsten Seite]

NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

is specified.

(57) Zusammenfassung: Es wird ein Halbleiterchip (10) mit einem Halbleiterkörper (2), einer Stromaufweitungsschicht (3) und einer Kontaktstruktur (4) angegeben, wobei der Halbleiterkörper eine erste Halbleiterschicht (21), eine zweite Halbleiterschicht (22) und eine dazwischenliegende aktive Schicht (23) umfasst und die Stromaufweitungsschicht in vertikaler Richtung zwischen der Kontaktstruktur und dem Halbleiterkörper angeordnet ist. Der Halbleiterkörper weist eine Mehrzahl von inneren Stufen (24) auf, die terrassenähnlich ausgebildet sind, wobei die Kontaktstruktur eine Mehrzahl von Leiterbahnen (42) umfasst, die hinsichtlich deren lateraler Orientierungen in Bezug zu den lateralen Orientierungen der inneren Stufen derart angeordnet sind, dass eine Stromaufweitung entlang der inneren Stufen gegenüber einer Stromaufweitung quer zu den inneren Stufen begünstigt ist. Des Weiteren wird ein Verfahren zur Herstellung eines solchen Halbleiterchips angegeben.

Beschreibung

Halbleiterchip mit inneren terrassenähnlichen Stufen und Verfahren zur Herstellung eines Halbleiterchips

Es wird ein Halbleiterchip angegeben. Des Weiteren wird ein Verfahren zur Herstellung eines Halbleiterchips oder einer Mehrzahl von Halbleiterchips angegeben.

Beim epitaktischen Aufwachsen vom Verbindungshalbleitermaterial auf einem Aufwachssubstrat, zum Beispiel von einem III-V-Halbleitermaterial wie InGaAlP auf GaAs, kann die sogenannte atomare CuPt-Anordnung auftreten. Dieser Typ von atomarer Anordnung führt in der Regel zu verringerter Bandlücke, verringertem Bandoffset und/oder optischer Anisotropie und ist deshalb in vielen Fällen unerwünscht.

Eine Aufgabe ist es, einen effizienten Halbleiterchip anzugeben. Des Weiteren wird ein vereinfachtes Verfahren zur Herstellung eines oder einer Mehrzahl solcher Halbleiterchips angegeben.

Gemäß zumindest einer Ausführungsform eines Halbleiterchips weist dieser einen Halbleiterkörper auf. Der Halbleiterkörper weist eine erste Halbleiterschicht, eine zweite Halbleiterschicht und eine aktive Schicht auf, die in vertikaler Richtung zwischen der ersten Halbleiterschicht und der zweiten Halbleiterschicht angeordnet ist.

Unter einer vertikalen Richtung wird allgemein eine Richtung verstanden, die quer, insbesondere senkrecht, zu einer Haupterstreckungsfläche des Halbleiterkörpers gerichtet ist. Die vertikale Richtung ist etwa eine Wachstumsrichtung des Halbleiterkörpers. Unter einer lateralen Richtung wird

demgegenüber eine Richtung verstanden, die entlang, insbesondere parallel, zu der Haupterstreckungsfläche des Halbleiterkörpers verläuft. Die vertikale Richtung und die laterale Richtung sind insbesondere senkrecht zueinander.

Die erste Halbleiterschicht und die zweite Halbleiterschicht können n-leitend beziehungsweise p-leitend ausgebildet sein, oder umgekehrt. Im Betrieb des Halbleiterchips ist die aktive Schicht insbesondere dazu eingerichtet, elektromagnetische Strahlung im sichtbaren, ultravioletten oder im infraroten Spektralbereich zu emittieren oder zu detektieren. Insbesondere emittiert die aktive Schicht im Betrieb des Halbleiterchips elektromagnetische Strahlung mit einer Peak-Wellenlänge zwischen einschließlich 480 nm und 660 nm, etwa zwischen einschließlich 500 nm und 660 nm oder zwischen einschließlich 550 nm und 660 nm. Zum Beispiel ist die aktive Schicht eine p-n-Übergangszone. Die aktive Schicht kann eine Quantentopfstruktur insbesondere mit einer Mehrzahl von Quantentopfschichten (Englisch: quantum well layers) aufweisen. Insbesondere ist der Halbleiterchip eine lichtemittierende Diode (LED).

Gemäß zumindest einer Ausführungsform des Halbleiterchips weist der Halbleiterkörper eine Mehrzahl von inneren Stufen auf, die etwa terrassenähnlich ausgebildet sind. Der Halbleiterkörper enthält insbesondere eine Mehrzahl von Teilschichten, die jeweils einen mehrstufigen terrassenähnlichen geometrischen Verlauf aufweisen. Die Teilschichten können jeweils eine Monolage (Englisch: monolayer) aus dem Halbleitermaterial sein oder eine Mehrzahl von Monolagen, etwa zwischen einschließlich 2 und 20 Monolagen oder zwischen einschließlich 2 und 10 Monolagen, aufweisen. Mit anderen Worten können die inneren Stufen und

die Teilschichten mit den inneren Stufen als monoatomare oder als mehratomige Stufen beziehungsweise Teilschichten gebildet sein. Eine Schichtdicke der Teilschicht des Halbleiterkörpers ist insbesondere durch eine vertikale Höhe der zugehörigen Stufe gegeben. Die Schichtdicke der Teilschicht kann zwischen einschließlich 2 nm und 2000 nm sein, etwa zwischen 2 nm und 200 nm oder zwischen 2 nm und 20 nm, oder zwischen einschließlich 20 nm und 2000 nm, etwa zwischen 20 nm und 200 nm.

Die inneren terrassenähnlichen Stufen lassen sich insbesondere auf das Aufwachsen des Halbleitermaterials auf einem Aufwachssubstrat mit einer vizinalen Oberfläche zurückführen. Unter einer vizinalen Oberfläche wird eine Fläche verstanden, deren Orientierung um einen kleinen Winkel, den sogenannten Fehlschnitt (Englisch: offcut) oder Fehlschnittwinkel (Englisch: offcut angle), von einer niedrigindizierten Oberfläche abweicht. Bei einem Substrat mit einer vizinalen Oberfläche ist die Normale der makroskopischen Oberfläche etwa um den Fehlschnittwinkel gegen die Normale einer niedrigindizierten Oberfläche verkippt ist. Die niedrigindizierte Oberfläche ist zum Beispiel eine (100)- oder eine (001)-Kristallfläche. Der Fehlschnittwinkel kann zwischen einschließlich 2° und 15° oder zwischen einschließlich 4° und 15°, etwa zwischen einschließlich 6° und 10° sein.

Wird der Halbleiterkörper auf einem solchen Aufwachssubstrat gebildet, kann dies zur Ausbildung von inneren Stufen führen, wobei die inneren Stufen gerichtete, insbesondere parallel verlaufende Terrassen aufweisen, die durch Stufenübergänge getrennt sind. Zum Beispiel basiert der Halbleiterkörper auf InGaAlP, AlGaAs oder InGaAlAs. Das Material des

Halbleiterkörpers kann auf einem GaAs-Substrat oder auf einem InP-Substrat mit einer (001)- oder (100)-vizinalen Oberfläche und einem Fehlschnittwinkel zwischen einschließlich 2° und 15° epitaktisch aufgewachsen ist. Der Halbleiterkörper und/oder das Aufwachssubstrat können/kann allgemein auf einem III-V-Halbleitermaterial basieren.

Es hat sich herausgestellt, dass die mit der atomaren CuPt-Typ-Anordnung verbundenen unerwünschten Effekten reduziert werden können, wenn der Halbleiterkörper auf einem Aufwachssubstrat mit einer vizinalen Oberfläche erzeugt wird. Das Aufwachsen des Halbleiterkörpers auf einem solchen Substrat kann jedoch zur Bildung von inneren Stufen führen, wobei Potentialbarrieren an den Stufen beziehungsweise an den Stufenübergängen gebildet werden, die eine laterale Stromaufweitung und somit den Ladungstransport erschweren können. Solche Potentialbarrieren werden insbesondere an den Heteroübergängen (Englisch: heterojunctions) zwischen benachbarten Teilschichten der Halbleiterkörpers insbesondere auf der gleichen vertikalen Ebene gebildet.

Aufgrund der Anwesenheit der inneren Stufen erfolgt eine Stromaufweitung oder eine Stromausbreitung in lateralen Richtungen anisotrop. In einer lateralen Richtung entlang der Stufen können sich die Ladungsträger im Wesentlichen ungehindert bewegen, da die Ladungsträger im Grunde auf derselben Terrasse bleiben können. In lateralen Richtungen quer oder senkrecht zu den Stufen müssen die Ladungsträger dagegen die an den Stufenübergängen gebildeten Potentialbarrieren überwinden. Zur Erzielung einer effektiven lateralen Stromaufweitung kann der Halbleiterchip eine oder mehrere Stromaufweitungsschichten und eine oder mehrere gezielt strukturierte Kontaktstrukturen aufweisen.

Gemäß zumindest einer Ausführungsform des Halbleiterchips weist dieser eine Stromaufweitungsschicht und eine Kontaktstruktur auf. Die Stromaufweitungsschicht ist in der vertikalen Richtung zum Beispiel zwischen der Kontaktstruktur und dem Halbleiterkörper angeordnet. Die Kontaktstruktur ist insbesondere unmittelbar auf der Stromaufweitungsschicht angeordnet und steht mit dieser bevorzugt im direkten elektrischen Kontakt. Die Stromaufweitungsschicht grenzt etwa an den Halbleiterkörper an.

Die Kontaktstruktur weist insbesondere eine Mehrzahl von Leiterbahnen auf, die hinsichtlich deren lateraler Orientierungen in Bezug zu den lateralen Orientierungen der inneren Stufen derart ausgebildet sind, dass die Stromaufweitung und/oder die Stromausbreitung entlang der inneren Stufen gegenüber der Stromaufweitung und/oder der Stromausbreitung quer oder senkrecht zu den inneren Stufen begünstigt sind/ist.

In Draufsicht auf den Halbleiterkörper können die Leiterbahnen im Rahmen der Herstellungstoleranzen parallel zueinander orientiert sein. Die laterale Ausbreitung der Ladungsträger außerhalb der Leiterbahnen und innerhalb der Stromaufweitungsschicht erfolgt in der Regel entlang einer Richtung senkrecht zu den parallel verlaufenden Leiterbahnen. Im Halbleiterkörper wird dieselbe laterale Aufweitungsrichtung oder Ausbreitungsrichtung der Ladungsträger angeregt.

Verläuft die Aufweitungsrichtung oder die Ausbreitungsrichtung im Wesentlichen parallel zu einer Haupterstreckungsrichtung der Stufen oder weicht diese nur geringfügig von der Haupterstreckungsrichtung der Stufen ab,

treffen die Ladungsträger auf keine oder vergleichsweise nur auf wenige Potentialbarrieren an den Stufenübergängen auf, sodass eine laterale Ladungsträgerausbreitung auf derselben Ebene effektiv gestaltet ist. Mit anderen Worten kann die Ausbreitung der Ladungsträger innerhalb der Stromaufweitungsschicht und im Halbleiterkörper entlang der inneren Stufen durch gezielte Ausrichtung der Leiterbahnen in Bezug auf die Haupterstreckungsrichtung der Stufen verstärkt werden. Die Ausbreitung der Ladungsträger entlang einer Richtung quer zu den Stufen oder entlang einer Richtung durch die Potentialbarrieren hindurch wird somit vermindert. Insgesamt kann die Durchlassspannung des Halbleiterchips, der insbesondere eine Diodenstruktur aufweist, effektiv reduziert werden, wodurch die Effizienz des Halbleiterchips erhöht ist.

Gemäß zumindest einer Ausführungsform des Halbleiterchips weist die Kontaktstruktur eine Anschlussfläche und zumindest einen Anschlusssteg auf. Über die Anschlussfläche kann der Halbleiterchip extern elektrisch kontaktiert werden. Zum Beispiel kann ein Bonddraht auf der Anschlussfläche angebracht werden. Der Anschlusssteg steht mit der Anschlussfläche etwa im direkten elektrischen Kontakt. Über den Anschlusssteg können die Leiterbahnen miteinander elektrisch verbunden werden. Zum Beispiel ist der Anschlusssteg randseitig auf der Stromaufweitungsschicht angeordnet, wobei sich die Leiterbahnen von dem Anschlusssteg weg über einen zentralen Bereich zu einem dem Anschlusssteg gegenüberliegenden Randbereich der Stromaufweitungsschicht erstrecken.

In mindestens einer Ausführungsform eines Halbleiterchips weist dieser einen Halbleiterkörper, eine Stromaufweitungsschicht und eine Kontaktstruktur auf. Der

Halbleiterkörper umfasst eine erste Halbleiterschicht, eine zweite Halbleiterschicht und eine dazwischenliegende aktive Schicht. Die Stromaufweitungsschicht ist in der vertikalen Richtung zwischen der Kontaktstruktur und dem Halbleiterkörper angeordnet. Der Halbleiterkörper weist eine Mehrzahl von inneren Stufen auf, die terrassenähnlich ausgebildet sind. Die Kontaktstruktur weist eine Mehrzahl von Leiterbahnen auf, die hinsichtlich deren lateraler Orientierungen in Bezug zu den lateralen Orientierungen der inneren Stufen derart angeordnet sind, dass eine Stromaufweitung entlang der inneren Stufen gegenüber einer Stromaufweitung quer zu den inneren Stufen begünstigt ist.

Gemäß zumindest einer Ausführungsform des Halbleiterchips überlappen sich die jeweiligen Leiterbahnen in Draufsicht auf den Halbleiterkörper mit mehreren der inneren terrassenähnlichen Stufen. In Draufsicht können die Leiterbahnen jeweils eine Mehrzahl der inneren terrassenähnlichen Stufen teilweise bedecken. Mit anderen Worten kann sich jede der Leiterbahnen in Draufsicht über mehreren inneren Stufen erstrecken.

Die Leiterbahnen und die Stromaufweitungsschicht können unterschiedliche Materialien aufweisen, wobei das Material der Leiterbahnen bevorzugt eine höhere elektrische Leitfähigkeit aufweist als ein Material der Stromaufweitungsschicht. Zum Beispiel ist die Kontaktstruktur mit den Leiterbahnen aus einem Metall oder aus verschiedenen Metallen gebildet. Bevorzugt bedecken die Leiterbahnen höchstens 30 %, höchstens 20 %, etwa höchstens 10 % oder höchstens 5 % der Stromaufweitungsschicht und/oder einer Strahlungsaustrittsfläche des Halbleiterchips.

Gemäß zumindest einer Ausführungsform des Halbleiterchips überlappen sich die jeweiligen Leiterbahnen, insbesondere alle Leiterbahnen, in Draufsicht auf den Halbleiterkörper mit mindestens 50 %, 60 %, 70 %, 80 % oder mit mindestens 90 % aller inneren terrassenähnlichen Stufen. Die laterale Haupterstreckungsrichtung der inneren Stufen und die laterale Haupterstreckungsrichtung der Leiterbahnen sind bevorzugt quer oder senkrecht zueinander gerichtet.

Unter einer Haupterstreckungsrichtung einer Stufe wird im Zweifel eine Richtung verstanden, entlang der eine Stufenterrasse, die insbesondere im Rahmen der Herstellungstoleranzen eine gleich bleibende Breite aufweist, ihre größte laterale Ausdehnung aufweist. Unter einer Haupterstreckungsrichtung einer Leiterbahn wird im Zweifel eine Richtung verstanden, entlang der die Leiterbahn ihre größte laterale Ausdehnung aufweist.

Gemäß zumindest einer Ausführungsform des Halbleiterchips sind die Leiterbahnen parallel zueinander orientiert und über einen Anschlusssteg der Kontaktstruktur miteinander elektrisch leitend verbunden. Insbesondere weisen die Leiterbahnen in Draufsicht eine anisotrope Verteilung auf der Stromaufweitungsschicht auf, zum Beispiel bezüglich einer lateralen Richtung entlang der Stufen und einer lateralen Richtung quer oder senkrecht zu den Stufen. Zum Beispiel beträgt die Anzahl der zueinander parallel verlaufenden Leiterbahnen mindestens 5, 10, 20 oder mindestens 50, etwa zwischen einschließlich 5 und 100.

Insbesondere bilden die Leiterbahnen in Draufsicht keine isotrope oder im Wesentlichen isotrope Verteilung, die beispielsweise eine kreisförmige, wabenförmige oder

spinnennetzartige Struktur nachbildet. Eine isotrope oder nahezu isotrope Verteilung der Leiterbahnen führt zu keiner deutlichen Verstärkung der lateralen Stromaufweitung beziehungsweise Stromausbreitung entlang einer spezifischen lateralen Richtung, nämlich der lateralen Richtung entlang der inneren Stufen im Halbleiterkörper. Zum Beispiel bilden die Leiterbahnen kein regelmäßiges Muster, das eine Drehsymmetrie um einen Winkel aufweist, der kleiner als 180°, 120°, 90°, 60° oder kleiner 30° ist.

Gemäß zumindest einer Ausführungsform des Halbleiterchips befinden sich die inneren Stufen entlang einer ersten lateralen Richtung auf verschiedenen vertikalen Ebenen des Halbleiterkörpers. Die jeweiligen inneren Stufen auf jeder der vertikalen Ebenen können entlang einer Haupterstreckungsrichtung, etwa entlang einer zweiten lateralen Richtung verlaufen, wobei die erste laterale Richtung und die zweite laterale Richtung quer oder senkrecht zueinander gerichtet sind. Entlang der zweiten lateralen Richtung können die inneren Stufen, die sich auf verschiedenen vertikalen Ebenen befinden, parallel zueinander verlaufen.

Gemäß zumindest einer Ausführungsform des Halbleiterchips weisen die inneren Stufen eine gemeinsame laterale Haupterstreckungsrichtung auf. In Draufsicht auf den Halbleiterkörper können die jeweiligen, insbesondere zueinander parallel verlaufenden Leiterbahnen die gemeinsame Haupterstreckungsrichtung der inneren Stufen schneiden und mit dieser einen Winkel von 90° +/- 30°, insbesondere von 90° +/- 20°, etwa von 90° +/- 10° oder von 90° +/- 5° bilden.

Gemäß zumindest einer Ausführungsform des Halbleiterchips weist dieser eine weitere Kontaktstruktur mit einer Mehrzahl von weiteren Leiterbahnen auf. Der Halbleiterkörper ist in der vertikalen Richtung insbesondere zwischen der Kontaktstruktur und der weiteren Kontaktstruktur angeordnet. Die weiteren Leiterbahnen sind hinsichtlich deren lateraler Orientierungen in Bezug zu den lateralen Orientierungen der inneren Stufen bevorzugt derart angeordnet, dass eine Stromaufweitung entlang der inneren Stufen gegenüber einer Stromaufweitung quer zu den inneren Stufen begünstigt ist.

Gemäß zumindest einer Ausführungsform des Halbleiterchips weisen die Leiterbahnen und die weiteren Leiterbahnen laterale Orientierungen auf, die sich höchstens um 30°, 20°, 10° oder höchstens um 5° voneinander unterscheiden. In Draufsicht können die Leiterbahnen und die weiteren Leiterbahnen im Rahmen der Herstellungstoleranzen parallel zueinander verlaufen.

Gemäß zumindest einer Ausführungsform des Halbleiterchips ist die Stromaufweitungsschicht eine transparente elektrisch leitfähige Schicht. Die Stromaufweitungsschicht ist zum Beispiel aus einem transparenten elektrisch leitfähigen Oxid (TCO), insbesondere aus Indiumzinnoxid (ITO) gebildet.

Gemäß zumindest einer Ausführungsform des Halbleiterchips weisen die erste Halbleiterschicht und die zweite Halbleiterschicht jeweils eine Halbleiterschichtenfolge aus einer Mehrzahl von Teilschichten auf. Die aktive Schicht kann ebenfalls eine Mehrzahl von Teilschichten aufweisen. Die Teilschichten können jeweils einen geometrischen Verlauf der inneren terrassenähnlichen Stufen nachbilden. Zum Beispiel kann jede der Teilschichten eine oder eine Mehrzahl von

Monolagen des gleichen Materials beziehungsweise der gleichen Materialzusammensetzung aufweisen. Die Anzahl der Monolagen kann zwischen einschließlich 1 und 20, zwischen einschließlich 2 und 20, etwa zwischen einschließlich 3 und 10 sein. Die erste Halbleiterschicht, die zweite Halbleiterschicht und/oder die aktive Schicht können jeweils 1 bis 10 solcher Teilschichten aufweisen. Die Teilschichten der ersten Halbleiterschicht, der zweiten Halbleiterschicht und der aktiven Schicht können unterschiedliche Materialzusammensetzungen aufweisen und/oder unterschiedlich dotiert sein.

Gemäß zumindest einer Ausführungsform des Halbleiterchips weist die aktive Schicht eine mehrstufige terrassenähnliche Oberfläche auf. Die aktive Schicht kann eine Mehrzahl von Teilschichten aufweisen, die jeweils eine Mehrzahl von Stufen aufweist und insgesamt terrassenähnlich ausgebildet ist.

In mindestens einer Ausführungsform eines Verfahrens zur Herstellung eines oder einer Mehrzahl insbesondere von hier beschriebenen Halbleiterchips wird ein Substrat, bevorzugt ein Aufwachssusbtrat basierend auf einem III-V-Halbleitermaterial, mit einer vizinalen Oberfläche, insbesondere mit einer vizinalen (100)- oder (001)-Oberfläche, bereitgestellt. Die vizinale Oberfläche weist eine Fehlorientierung (Englisch: offcut orientation) beispielweise mit einem Fehlschnittwinkel zwischen einschließlich 2° und 15° auf. Ein Halbleiterkörper wird schichtenweise auf das Substrat aufgebracht, etwa mittels eines Epitaxie-Verfahrens. Der Halbleiterkörper kann eine Mehrzahl von Teilschichten aufweisen, die terrassenähnlich auf dem Substrat erzeugt sind. Der Halbleiterkörper mit den Teilschichten kann eine Mehrzahl von Stufen, insbesondere

eine Mehrzahl von inneren terrassenähnlichen Stufen aufweisen.

Eine Stromaufweitungsschicht wird auf den Halbleiterkörper aufgebracht. Insbesondere ist die Stromaufweitungsschicht aus einem strahlungsdurchlässigen elektrisch leitfähigen Material gebildet. Eine Kontaktstruktur mit einer Mehrzahl von Leiterbahnen wird auf die Stromaufweitungsschicht gebildet. Insbesondere werden die Leiterbahnen mittels einer Maske auf die Stromaufweitungsschicht aufgebracht, insbesondere strukturiert aufgebracht.

Es ist möglich, dass das Substrat aufgrund der Fehlorientierung Stufen aufweisen. Die inneren Stufen des Halbleiterkörpers können den Stufen des Substrats nachgebildet sein. Zum Beispiel ist das Substrat ein vizinales GaAs(100)-Substrat oder ein vizinales InP-Substrat. Der Halbleiterkörper kann auf InGaAlP, GaInAs, AlGaAs, InGaAlAs oder auf InGaP basieren.

Gemäß zumindest einer Ausführungsform des Verfahrens ist die Maske aus einem photostrukturierbaren Material gebildet. Die Maske wird strukturiert und weist zum Beispiel eine Mehrzahl von Öffnungen für die Ausbildung von Leiterbahnen und/oder Anschlussflächen und/oder Anschlussstegen der Kontaktstruktur auf. Die Leiterbahnen, die Anschlussflächen und/oder die Anschlussstegen der Kontaktstruktur können mittels der Maske auf die Stromaufweitungsschicht strukturiert aufgebracht werden.

Gemäß zumindest einer Ausführungsform des Verfahrens wird das Substrat von dem Halbleiterkörper entfernt. Der herzustellende Halbleiterchip kann somit frei von einem

Aufwachssubstrat sein. Das Aufbringen der Stromaufweitungsschicht kann vor oder nach dem Entfernen des Substrats von dem Halbleiterkörper erfolgt werden. Insbesondere erfolgt das Ausbilden der Stromaufweitungsschicht nach dem Entfernen des Substrats, wobei die Stromaufweitungsschicht etwa auf eine durch das Entfernen des Substrats freigelegte Oberfläche des Halbleiterchips aufgebracht wird.

Das oben beschriebene Verfahren ist für die Herstellung eines oder eine Mehrzahl der vorstehend beschriebenen Halbleiterchips besonders geeignet. Die im Zusammenhang mit dem Halbleiterchip beschriebenen Merkmale können daher auch für das Verfahren herangezogen werden und umgekehrt.

Weitere Vorteile, bevorzugte Ausführungsformen und Weiterbildungen des Halbleiterchips sowie des Verfahrens ergeben sich aus den im Folgenden in Verbindung mit den Figuren 1A bis 3D erläuterten Ausführungsbeispielen. Es zeigen:

Figuren 1A, 1B und 1C schematische Darstellungen eines Halbleiterchips gemäß einem ersten Ausführungsbeispiel,

Figur 1D schematische Darstellung eines Halbleiterchips gemäß einem Vergleichsbeispiel,

Figuren 2A, 2B, 2C und 2D schematische Darstellungen weiterer Ausführungsbeispiele für einen Halbleiterchip, und

Figuren 3A, 3B, 3C und 3D schematische Darstellungen eines vizinalen Aufwachsubstrats und einige Verfahrensschritte zur

Herstellung eines oder einer Mehrzahl von Halbleiterchips auf einem solchen Aufwachssubstrat.

Gleiche, gleichartige oder gleich wirkende Elemente sind in den Figuren mit gleichen Bezugszeichen versehen. Die Figuren sind jeweils schematische Darstellungen und daher nicht unbedingt maßstabsgetreu. Vielmehr können vergleichsweise kleine Elemente und insbesondere Schichtdicken zur Verdeutlichung übertrieben groß dargestellt sein.

Ein Ausführungsbeispiel für einen Halbleiterchip 10 ist in den Figuren 1A und 1B jeweils in einer xz-Ebene schematisch dargestellt, wobei x eine erste laterale Richtung, etwa eine laterale Querrichtung, und z eine vertikale Richtung kennzeichnet. Des Weiteren wird mit y eine zweite laterale Richtung, etwa eine laterale Längsrichtung, gekennzeichnet.

Gemäß Figur 1A weist der Halbleiterchip 10 ein Substrat 1 oder einen Träger 9, einen darauf angeordneten Halbleiterkörper 2, eine Stromaufweitungsschicht 3 und eine Kontaktstruktur 4 auf. Das Substrat 1 kann ein Aufwachssubstrat sein, auf dem der Halbleiterkörper 2 epitaktisch aufgewachsen ist. Zum Beispiel ist das Substrat 1 ein III-V-Halbleitermaterial-Substrat, etwa ein GaAs- oder ein InP-Substrat. Alternativ kann das Substrat 1 ein Träger 9 sein, der verschieden von einem Aufwachssubstrat ist. In diesem Fall kann der Halbleiterchip 10 frei von einem Aufwachssubstrat sein. Der Träger kann durch eine Verbindungsschicht mit dem Halbleiterkörper 2 mechanisch verbunden sein.

Das Substrat 1 weist eine dem Halbleiterkörper 2 zugewandte Vorderseite 11 und eine dem Halbleiterkörper 2 abgewandte

Rückseite 12 auf. Die Vorderseite 11 kann Stufen 124 aufweisen. Insbesondere sind die Stufen 124 auf die Fehlorientierung der Vorderseite 11 zurückzuführen. Zum Beispiel weist das Substrat eine vizinale Oberfläche mit einem Fehlschnittwinkel etwa zwischen einschließlich 2° und 15°, insbesondere zwischen einschließlich 5° und 10°, etwa zwischen einschließlich 7° und 9° auf. Die Rückseite 12 ist insbesondere eben ausgebildet und kann frei von Kanten oder Stufen sein.

Der Halbleiterchip 10 weist eine Vorderseite 101 und eine Rückseite 102 auf. Die Vorderseite 101 ist etwa durch eine Oberfläche der Stromaufweitungsschicht 3 und/oder der Kontaktstruktur 4 gebildet. Zum Beispiel ist die Vorderseite 101 eine Strahlungsdurchtrittsfläche, insbesondere eine Strahlungsaustrittsfläche des Halbleiterchips 10. Die Rückseite 102 des Halbleiterchips 10 kann durch die Rückseite 12 des Substrats 1 oder des Trägers 9 gebildet sein.

Die Stromaufweitungsschicht 3 ist bevorzugt aus einem strahlungsdurchlässigen und elektrisch leitfähigen Material etwa aus einem transparenten und elektrisch leitfähigen Oxid (TCO) gebildet. Die Kontaktstruktur 4 bedeckt die Stromaufweitungsschicht 3 insbesondere nur teilweise. Die Kontaktstruktur 4 ist etwa eine Vorderseitenkontaktstruktur. Der Halbleiterkörper 2 weist eine dem Substrat 1 zugewandte erste Halbleiterschicht 21, eine dem Substrat 1 abgewandte zweite Halbleiterschicht 22 und eine zwischen den Halbleiterschichten 21 und 22 angeordnete optisch aktive Schicht 23 auf. Die Halbleiterschichten 21 und 22 können n- beziehungsweise p-leitend ausgebildet und zudem n- beziehungsweise p-dotiert sein, oder umgekehrt. Insbesondere können die Halbleiterschichten 21 und/oder 22 und/oder die

aktive Schicht 23 aus mehreren Teilschichten 210, 220 oder 230 gleicher oder unterschiedlicher Materialzusammensetzung und/oder Dotierung gebildet sein, die in der vertikalen Richtung z übereinander angeordnet sind. Die aktive Schicht 23 ist bevorzugt zur Erzeugung elektromagnetischer Strahlung eingerichtet. Zum Beispiel weist der Halbleiterkörper 2 ein III-V-Halbleitermaterial auf oder besteht aus diesem.

Der Halbleiterkörper 2 weist eine Mehrzahl von inneren Stufen 24 auf. Die Stufen 24 sind insbesondere terrassenähnlich ausgebildet. Entlang einer ersten lateralen Richtung Rx, etwa entlang der lateralen Querrichtung x, oder entlang einer Fehlorientierung Rxz kann der Halbleiterkörper 2 zwischen einschließlich 10 und 200, zum Beispiel zwischen 20 und 200 oder zwischen 40 und 200, etwa zwischen 60 und 200 solcher inneren Stufen 24 aufweisen. Die inneren Stufen 24 des Halbleiterkörpers 2 können den Stufen 124 des Substrats 1 nachgebildet sein.

In Figur 1B ist ein in der Figur 1A gekennzeichneter Abschnitt A24 im Halbleiterkörper 2 etwas detaillierter dargestellt.

Jede der inneren Stufen 24 weist eine Stufenterrasse T24 und einen Stufenübergang U24 auf. Die Stufenterrasse T24 befindet sich insbesondere auf einer vertikalen Ebene des Halbleiterkörpers 2 und erstreckt sich entlang einer Haupterstreckungsrichtung R24, die insbesondere durch eine zweite laterale Richtung Ry, etwa durch die laterale Längsrichtung y gegeben ist. Jede der Teilschichten 210, 220 und/oder 230 kann eine Mehrzahl von Stufenterrassen T24 aufweisen, die entlang der lateralen Querrichtung x auf verschiedenen vertikalen Ebenen des Halbleiterkörpers 2

angeordnet sind und jeweils eine Haupterstreckungsrichtung R24 entlang der lateralen Längsrichtung y aufweisen. Die Stufenübergänge U24 erstrecken sich entlang der vertikalen Richtung z jeweils zwischen zwei benachbarten Stufenterrassen T24 der Teilschichten 210, 220 oder 230.

Aufgrund der inneren Stufen 24 werden Potentialbarrieren an den Stufenübergängen U24 gebildet, die eine laterale Stromaufweitung innerhalb derselben vertikalen Ebene (Englisch: lateral in-plane current spreading) des Halbleiterkörpers 2 erschweren. Der Grund hierfür ist, dass die Ladungsträger bei der lateralen Ausbreitung die Potentialbarrieren überwinden müssen, welche an den Heteroübergängen (Englisch: heterojunctions) zwischen den benachbarten Teilschichten 210, 220 oder 230 gebildet sind. Der Ladungstransport entlang der lateralen Querrichtung x oder Rx ist somit deutlich verlustbehafteter als der Ladungstransport entlang der lateralen Längsrichtung y beziehungsweise entlang der Haupterstreckungsrichtung R24 der inneren Stufen 24.

Das in der Figur 1C dargestellte Ausführungsbeispiel für einen Halbleiterchip 10 entspricht dem in der Figur 1A dargestellten Ausführungsbeispiel. Im Unterschied zu der Figur 1A ist der Halbleiterchip 10 zusätzlich entlang der lateralen Längsrichtung y dargestellt.

Die Kontaktstruktur 4 weist auf der Stromaufweitungsschicht 3 eine Anschlussfläche 40, einen Anschlusssteg 41 und eine Mehrzahl von Leiterbahnen 42 auf. Über die Anschlussfläche 40 kann der Halbleiterchip 10 extern elektrisch kontaktiert werden. Über den Anschlusssteg 41 können die Leiterbahnen 42 miteinander elektrisch leitend verbunden werden. Die

Anschlussfläche 40 ist in der Figur 1C randseitig angeordnet. Abgesehen davon kann die Anschlussfläche 40 auch mittig auf der Stromaufweitungsschicht 3 angeordnet sein. Die Kontaktstruktur 4 kann eine Mehrzahl von Anschlussstegen 41 aufweisen, die etwa randseitig auf der Stromaufweitungsschicht 3 angeordnet sind oder von einer mittig angeordneten Anschlussfläche 40 wegführen.

Entlang der lateralen Querrichtung x sind die Leiterbahnen 42 insbesondere parallel zueinander gerichtet. In Draufsicht auf die Vorderseite 101 überschneiden die Leiterbahnen 42 jeweils eine Mehrzahl der darunterliegenden inneren Stufen 24, insbesondere mindestens 70 % der darunterliegenden inneren Stufen 24.

In der Figur 1c sind die Stromaufweitungsrichtungen Ra ausgehend von den Leiterbahnen 42 in die umliegende Umgebung schematisch dargestellt. Die Stromaufweitungsrichtungen Ra sind im Wesentlichen senkrecht zu den Haupterstreckungsrichtungen R42 der Leiterbahnen 42 orientiert. Von den insbesondere zueinander parallel gerichteten Leiterbahnen 42 weg breiten sich die Ladungsträger hauptsächlich entlang der inneren Stufen 24 aus, das heißt entlang der lateralen Längsrichtung y. Entlang der lateralen Längsrichtung y stehen den Ladungsträgern somit keine oder im Wesentlichen keine Potentialbarrieren entgegen, sodass eine laterale Stromaufweitung in der Stromaufweitungsschicht 3 und in dem Halbleiterkörper 2 effektiv gestaltet werden kann. Eine mit hohem Verlust behafteten Ausbreitung der Ladungsträger entlang der lateralen Querrichtung x wird somit unterdrückt. In diesem Sinne ist eine Stromaufweitung entlang der inneren Stufen 24, das heißt entlang der lateralen Längsrichtung y, gegenüber

einer Stromaufweitung quer zu den inneren Stufen 24, das heißt entlang der lateralen Querrichtung x, verstärkt beziehungsweise begünstigt.

In der Figur 1C ist dargestellt, dass die inneren Stufen 24 eine gemeinsame laterale Haupterstreckungsrichtung R24 aufweisen. Die Haupterstreckungsrichtungen R42 der Leiterbahnen 42 bilden in Draufsicht auf den Halbleiterkörper 2 mit der gemeinsamen Haupterstreckungsrichtung R24 der inneren Stufen 24 jeweils einen Winkel W42, der bevorzugt zwischen einschließlich 60° und 120° ist. Bevorzugt beträgt der Winkel W42 somit 90° mit einer Abweichung von höchstens 30°, 20°, 10° oder von höchstens 5°.

Ein Vergleichsbeispiel für einen Halbleiterchip 10 ist in Figur 1D schematisch dargestellt, bei dem sowohl die Stufenterrassen T24 als auch die Leiterbahnen 42 entlang der lateralen Längsrichtung y orientiert sind. Die Stromaufweitungsrichtung Ra ist in diesem Fall quer oder senkrecht zu der Haupterstreckungsrichtung R24 der jeweiligen Stufen 24 gerichtet. Die Stromaufweitungsrichtung Ra orientiert sich somit entlang der lateralen Querrichtung x oder entlang der Fehlorientierung Rxz. Dies hat zur Folge, dass die Ladungsträger bei deren lateraler Ausbreitung auf derselben vertikalen Ebene eine Mehrzahl von Potentialbarrieren an den Heteroübergängen überwinden müssen. Es hat sich herausgestellt, dass die Durchlassspannung des in der Figur 1C dargestellten Halbleiterchips 10 im Vergleich mit der Durchlassspannung des in der Figur 1D dargestellten Halbleiterchips 10 deutlich reduziert ist. Bei einer Reduzierung der Durchlassspannung wird die Effizienz des Halbleiterchips 10 wiederum erhöht.

Das in der Figur 2A dargestellte Ausführungsbeispiel für einen Halbleiterchip 10 entspricht in Wesentlichen dem in der Figur 1A dargestellten Ausführungsbeispiel. In der Figur 1A weist die Stromaufweitungsschicht 3 eine der Kontaktstruktur 4 zugewandte Oberfläche auf, die im Wesentlichen eben ausgebildet ist. Die Leiterbahnen 42 sind somit auf einer ebenen Oberfläche der Stromaufweitungsschicht 3 angeordnet. Im Unterschied hierzu weisen die Leiterbahnen 42 und/oder die Stromaufweitungsschicht 3 in Schnittansicht einen mehrstufigen terrassenähnlichen Verlauf entlang der lateralen Querrichtung x oder entlang der Fehlorientierung Rxz des Halbleiterkörpers 2 auf. Die Vorderseite 101 des Halbleiterchips 10 kann durch eine mehrstufige terrassenähnliche Oberfläche gebildet sein.

Das in der Figur 2B dargestellte Ausführungsbeispiel für einen Halbleiterchip 10 entspricht in Wesentlichen dem in der Figur 1A dargestellten Ausführungsbeispiel. Im Unterschied hierzu weist der Halbleiterchip 10 eine weitere Stromaufweitungsschicht 5 auf. Außerdem kann der Halbleiterchip 10 eine weitere Kontaktstruktur 6, etwa eine Rückseitenkontaktstruktur 6 aufweisen. Der Halbleiterkörper 2 ist insbesondere zwischen der Stromaufweitungsschicht 3 und der weiteren Stromaufweitungsschicht 5 angeordnet.

Es ist möglich, dass die weitere Stromaufweitungsschicht 5 strahlungsreflektierend gestaltet ist. Insbesondere kann die weitere Stromaufweitungsschicht 5 bezüglich der in der aktiven Schicht erzeugten Strahlung einen Reflexionsgrad von mindestens 60 %, 70 %, 80 % oder von mindestens 90 % aufweisen. Der Halbleiterchip 10 ist insbesondere frei von einem Aufwachssubstrat und wird von dem Träger 9 mechanisch getragen. Der Träger 9 wird insbesondere erst nach dem

Ausbilden der weiteren Stromaufweitungsschicht 5 und/oder der weiteren Kontaktstruktur 6 auf dem Halbleiterkörper 2 angebracht.

Die weitere Stromaufweitungsschicht 5 und die weitere Kontaktstruktur 6 können außerdem ganz analog zu der Stromaufweitungsschicht 3 beziehungsweise zu der weiteren Kontaktstruktur 4 ausgebildet sein. In Draufsicht können/kann die Stromaufweitungsschicht 3 und/oder die weitere Stromaufweitungsschicht 5 den Halbleiterkörper 2 vollständig bedecken.

Das in der Figur 2C dargestellte Ausführungsbeispiel für einen Halbleiterchip 10 entspricht in Wesentlichen dem in der Figur 2B dargestellten Ausführungsbeispiel. Im Unterschied hierzu sind die Stromaufweitungsschicht 3 und die Leiterbahnen 42 analog zu der in der Figur 2A dargestellten Stromaufweitungsschicht 3 beziehungsweise analog zu den in der Figur 2A dargestellten Leiterbahnen 42 gestaltet.

Das in der Figur 2D dargestellte Ausführungsbeispiel für einen Halbleiterchip 10 entspricht insbesondere dem in der Figur 2B dargestellten Ausführungsbeispiel, wobei die weitere Kontaktstruktur 6 etwa detaillierter dargestellt ist.

Die weitere Kontaktstruktur 6 weist eine weitere Anschlussfläche 60, einen weiteren Anschlusssteg 61 und eine Mehrzahl von weiteren Leiterbahnen 62 auf. Die weiteren Leiterbahnen 62 weisen jeweils eine Haupterstreckungsrichtung R62 auf, die insbesondere parallel oder im Wesentlichen parallel zu der lateralen Querrichtung x gerichtet ist. Somit sind die weiteren Leiterbahnen 62 hinsichtlich deren lateraler Orientierungen in Bezug zu den lateralen

Orientierungen der inneren Stufen 24 derart angeordnet, dass eine Stromaufweitung entlang der inneren Stufen 24, nämlich entlang der lateralen Längsrichtung y, gegenüber einer Stromaufweitung quer zu den inneren Stufen 24, also entlang der lateralen Querrichtung x, begünstigt beziehungsweise verstärkt ist.

Die Haupterstreckungsrichtungen R62 der weiteren Leiterbahnen 62 können in Draufsicht auf den Halbleiterkörper 2 mit der Haupterstreckungsrichtung R24 der inneren Stufen 24 jeweils einen Winkel W62 bilden, der bevorzugt 90° mit einer Abweichung von höchstens 30°, 20°, 10° oder 5° ist.

Die Leiterbahnen 42 und die weiteren Leiterbahnen 62 können laterale Orientierungen aufweisen, die sich höchstens um 30° voneinander unterscheiden. Zum Beispiel bilden eine gemeinsame Haupterstreckungsrichtung R62 der weiteren Leiterbahnen 62 und die gemeinsame Haupterstreckungsrichtung R42 der Leiterbahnen 42 in Draufsicht einen spitzen Winkel W46, der insbesondere kleiner als 30°, 20°, 10° oder kleiner als 5° ist.

In Figur 3A ist das Substrat 1 etwa vor dem Ausbilden des Halbleiterkörpers 2 dargestellt. Das Substrat 1 ist bevorzugt ein Aufwachssubstrat mit einer vizinalen Oberfläche. Das Substrat 1 weist entlang der Fehlorientierung Rxz eine Mehrzahl von Stufen 124 auf. Die Stufen 124 weisen auf jeder vertikalen Terrassenebene xy, das heißt bei konstanter z-Koordinate, eine Haupterstreckungsrichtung R24 auf, die insbesondere parallel zu der lateralen Längsrichtung y gerichtet ist. Der in der Figur 3A schematisch dargestellte makroskopische Neigungswinkel W ist insbesondere durch den

Fehlschnittwinkel bestimmt oder im idealen Fall durch den Fehlschnittwinkel gegeben.

In Figur 3B ist das Substrat 1 in Draufsicht dargestellt. Insbesondere ist das Substrat 1 ein Wafer-Substrat, das zur Herstellung eines oder einer Mehrzahl von Halbleiterchips 10 vorgesehen ist. Mittels eines Epitaxie-Verfahrens kann eine Halbleiterschichtenfolge zur Bildung des Halbleiterkörpers 2 auf das Substrat 1 aufgebracht werden.

Zur Erzeugung einer Mehrzahl von Leiterbahnen 42 oder 62 kann eine Maske 7 auf der Stromaufweitungsschicht 3 oder 5 angeordnet werden (Figur 3C). Insbesondere weist die Maske 7 eine Mehrzahl von Öffnungen auf, die insbesondere quer oder senkrecht zu den Stufen 124 des Substrats 1 orientiert sind. Mittels der Maske 7 können die Leiterbahnen 42 oder 62 mit vorgegebenen Orientierungen in Bezug auf die Orientierung der inneren Stufen 24 des Halbleiterkörpers 2 auf einfacher Art und Weise erzeugt werden (Figur 3D). Zur Erzeugung einer Mehrzahl von Halbleiterchips 10 kann der Halbleiterkörper 2 mit den darauf angeordneten Kontaktstrukturen 4 und/oder 6 vereinzelt werden.

Der hier beschriebene Halbleiterchip 10 weist einen Halbleiterkörper 2 mit einer Mehrzahl von inneren Stufen 24 im atomaren Bereich auf, wobei die inneren Stufen 24 insbesondere auf das Aufwachsen des Halbleiterkörpers 2 auf einem vizinalen, bezüglich einer Kristalloberfläche gekippten Aufwachssubstrat 1 zurückzuführen sind. Aufgrund der Anwesenheit der inneren Stufen 24 werden Potentialbarrieren an den Stufenübergängen U24 gebildet, die eine laterale Stromaufweitung in Richtungen quer zu den inneren Stufen 24 erschweren. Durch gezielte Gestaltung einer Kontaktstruktur 4

kann eine lokale Stromaufweitung oder eine lokale Stromausbreitung entlang einer lateralen Richtung ohne die Potentialbarrieren gegenüber einer lokalen Stromaufweitung oder einer lokalen Stromausbreitung entlang der lateralen Richtung mit den Potentialbarrieren verstärkt werden, wodurch die Durchlassspannung des Halbleiterchips 10 insgesamt reduziert wird. Die Effizienz des Halbleiterchips 10 lässt sich dadurch verbessern.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2017 113 383.6, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Die Erfindung ist nicht durch die Beschreibung der Erfindung anhand der Ausführungsbeispiele auf diese beschränkt. Die Erfindung umfasst vielmehr jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Ansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Bezugszeichenliste:

10 Halbleiterchip
101 Vorderseite des Halbleiterchips/ Strahlungsaustrittsfläche
102 Rückseite des Halbleiterchips

1 Substrat/Aufwachssubstrat
11 Vorderseite des Substrats
12 Rückseite des Substrats
124 Stufe des Substrats

2 Halbleiterkörper
21 erste Halbleiterschicht
210 Teilschichten der ersten Halbleiterschicht
22 zweite Halbleiterschicht
220 Teilschichten der zweiten Halbleiterschicht
23 aktive Schicht
230 Teilschichten der aktiven Halbleiterschicht

24 innere Stufe

3 Stromaufweitungsschicht
4 Kontaktstruktur/ Vorderseitenkontaktstruktur
40 Anschlussfläche
41 Anschlusssteg
42 Leiterbahnen

5 weitere Stromaufweitungsschicht
6 weitere Kontaktstruktur/ Rückseitenkontaktstruktur
60 weitere Anschlussfläche
61 weiterer Anschlusssteg
62 weitere Leiterbahnen
7 Maske

9 Substrat/Träger

A24 Abschnitt der inneren Stufen
U24 Stufenübergang
T24 Stufenterrasse

x erste laterale Richtung/ laterale Querrichtung
y zweite laterale Richtung/ laterale Längsrichtung
z vertikale Richtung

Rx laterale Querrichtung der Stufe
Ry laterale Längsrichtung der Stufe
Rxz Fehlorientierung
R42 Haupterstreckungsrichtung der Leiterbahnen
R62 Haupterstreckungsrichtung der weiteren Leiterbahnen
R24 Haupterstreckungsrichtung der Stufen
Ra Stromaufweitungsrichtung

W42 Winkel zwischen den Haupterstreckungsrichtungen der Stufen und der Leiterbahnen
W46 Winkel zwischen der Leiterbahn und der weiteren Leiterbahn
W62 Winkel zwischen den Haupterstreckungsrichtungen der Stufen und der weiteren Leiterbahnen
W Neigungswinkel/ Fehlschnittwinkel

Patentansprüche

1. Halbleiterchip (10) mit einem Halbleiterkörper (2), einer Stromaufweitungsschicht (3) und einer Kontaktstruktur (4), wobei

- der Halbleiterkörper eine erste Halbleiterschicht (21), eine zweite Halbleiterschicht (22) und eine dazwischenliegende aktive Schicht (23) umfasst,
- die Stromaufweitungsschicht in vertikaler Richtung zwischen der Kontaktstruktur und dem Halbleiterkörper angeordnet ist,
- der Halbleiterkörper eine Mehrzahl von inneren Stufen (24) aufweist, die terrassenähnlich ausgebildet sind, und
- die Kontaktstruktur eine Mehrzahl von Leiterbahnen (42) umfasst, wobei die Leiterbahnen hinsichtlich deren lateraler Orientierungen in Bezug zu den lateralen Orientierungen der inneren Stufen derart angeordnet sind, dass eine Stromaufweitung entlang der inneren Stufen gegenüber einer Stromaufweitung quer zu den inneren Stufen begünstigt ist.

2. Halbleiterchip nach dem vorhergehenden Anspruch, bei dem sich die jeweiligen Leiterbahnen (42) in Draufsicht auf den Halbleiterkörper (2) mit mehreren der inneren terrassenähnlichen Stufen (24) überlappen.

3. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem sich die jeweiligen Leiterbahnen (42) in Draufsicht auf den Halbleiterkörper (2) mit mindestens 50 % aller inneren terrassenähnlichen Stufen (24) überlappen.

4. Halbleiterchip nach einem der vorhergehenden Ansprüche,

bei dem die Leiterbahnen (42) parallel zueinander orientiert sind und über einen Anschlusssteg (41) miteinander elektrisch leitend verbunden sind.

5. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem sich die inneren Stufen (24) entlang einer ersten lateralen Richtung (Rx) auf verschiedenen vertikalen Ebenen des Halbleiterkörpers (2) befinden, wobei

- die inneren Stufen auf den verschiedenen vertikalen Ebenen entlang einer zweiten lateralen Richtung (Y) parallel zueinander verlaufen, und
- die erste laterale Richtung und die zweite laterale Richtung quer oder senkrecht zueinander gerichtet sind.

6. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem die inneren Stufen (24) eine gemeinsame laterale Haupterstreckungsrichtung (R24) aufweisen, wobei die jeweiligen Leiterbahnen (42) in Draufsicht auf den Halbleiterkörper (2) die gemeinsame Haupterstreckungsrichtung schneiden und mit dieser einen Winkel (W42) von 90° +/- 30° bilden.

7. Halbleiterchip nach einem der vorhergehenden Ansprüche, der eine weitere Kontaktstruktur (6) mit einer Mehrzahl von weiteren Leiterbahnen (62) aufweist, wobei

- der Halbleiterkörper (2) in vertikaler Richtung zwischen der Kontaktstruktur (4) und der weiteren Kontaktstruktur angeordnet ist, und
- die weiteren Leiterbahnen hinsichtlich deren lateraler Orientierungen in Bezug zu den lateralen Orientierungen der inneren Stufen (24) derart angeordnet sind, dass eine Stromaufweitung entlang der inneren Stufen gegenüber einer Stromaufweitung quer zu den inneren Stufen begünstigt ist.

8. Halbleiterchip nach dem vorhergehenden Anspruch, bei dem die Leiterbahnen (42) und die weiteren Leiterbahnen (62) laterale Orientierungen (R42, R62) aufweisen, die sich höchstens um 30° voneinander unterscheiden.

9. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem die erste Halbleiterschicht (21) und die zweite Halbleiterschicht (22) jeweils eine Halbleiterschichtenfolge aus einer Mehrzahl von Teilschichten (210, 220) aufweisen, wobei die Teilschichten (210, 220) jeweils einen geometrischen Verlauf der inneren terrassenähnlichen Stufen (24) nachbilden.

10. Halbleiterchip nach dem vorhergehenden Anspruch, bei dem jede der Teilschichten (210, 220) eine Mehrzahl von Monolagen des gleichen Materials aufweist, wobei die Anzahl der Monolagen zwischen 2 und 20 ist.

11. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem die aktive Schicht (23) eine mehrstufige terrassenähnliche Oberfläche aufweist.

12. Halbleiterchip nach einem der vorhergehenden Ansprüche, wobei die Leiterbahnen (42) hinsichtlich ihrer lateralen Orientierungen in Bezug zu den lateralen Orientierungen der inneren Stufen derart angeordnet sind, dass eine Stromaufweitung innerhalb der Stromaufweitungsschicht (3) und im Halbleiterkörper (2) entlang der inneren Stufen gegenüber einer Stromaufweitung quer zu den inneren Stufen begünstigt ist.

13. Halbleiterchip nach einem der vorhergehenden Ansprüche,

wobei durch gezielte Ausrichtung der Leiterbahnen (42) in Bezug auf die Haupterstreckungsrichtung der Stufen (24)

- die Ausbreitung der Ladungsträger innerhalb der Stromaufweitungsschicht (3) und im Halbleiterkörper (2) entlang der inneren Stufen verstärkt ist, und
- die Ausbreitung der Ladungsträger entlang einer Richtung quer zu den Stufen hindurch vermindert ist.

14. Halbleiterchip nach einem der vorhergehenden Ansprüche, der eine lichtemittierende Diode ist, wobei

- der Halbleiterkörper (2) auf InGaAlP, GaInAs, AlGaAs, InGaAlAs oder auf InGaP basiert,
- der Halbleiterkörper auf einem Substrat (1) angeordnet ist, das auf GaAs oder InP basiert, und
- das Substrat eine dem Halbleiterkörper zugewandte vizinale Oberfläche mit einem Fehlschnitt zwischen einschließlich 2° und 15° aufweist.

15. Verfahren zur Herstellung eines Halbleiterchips nach einem der vorhergehenden Ansprüche mit folgenden Verfahrensschritten:

A) Bereitstellen eines Substrats (1) aus einem III-V-Halbleitermaterial mit einer vizinalen Oberfläche und einem Fehlschnitt zwischen einschließlich 2° und 15°;
B) schichtenweises Aufbringen des Halbleiterkörpers (2) auf das Substrat, wobei der Halbleiterkörper eine Mehrzahl von Teilschichten (210, 220) aufweist, die terrassenähnlich auf dem Substrat erzeugt sind und eine Mehrzahl von Stufen (24) aufweisen;
C) Aufbringen der Stromaufweitungsschicht (3) auf den Halbleiterkörper; und
D) Ausbilden der Kontaktstruktur (4) mit den Leiterbahnen (42) auf der Stromaufweitungsschicht, wobei die

Leiterbahnen mittels einer Maske (7) auf die Stromaufweitungsschicht aufgebracht werden.

16. Verfahren nach dem vorhergehenden Anspruch, bei dem die Maske (7) aus einem photostrukturierbaren Material gebildet ist und die Leiterbahnen (42) mittels der Maske auf die Stromaufweitungsschicht strukturiert aufgebracht werden.

17. Verfahren nach einem der vorhergehenden Ansprüche 15 bis 16, bei dem das Aufbringen der Stromaufweitungsschicht (3) nach dem Entfernen des Substrats (1) von dem Halbleiterkörper (2) erfolgt, wobei die Stromaufweitungsschicht auf eine durch das Entfernen des Substrats freigelegte Oberfläche des Halbleiterchips (10) aufgebracht wird.

FIG 1A

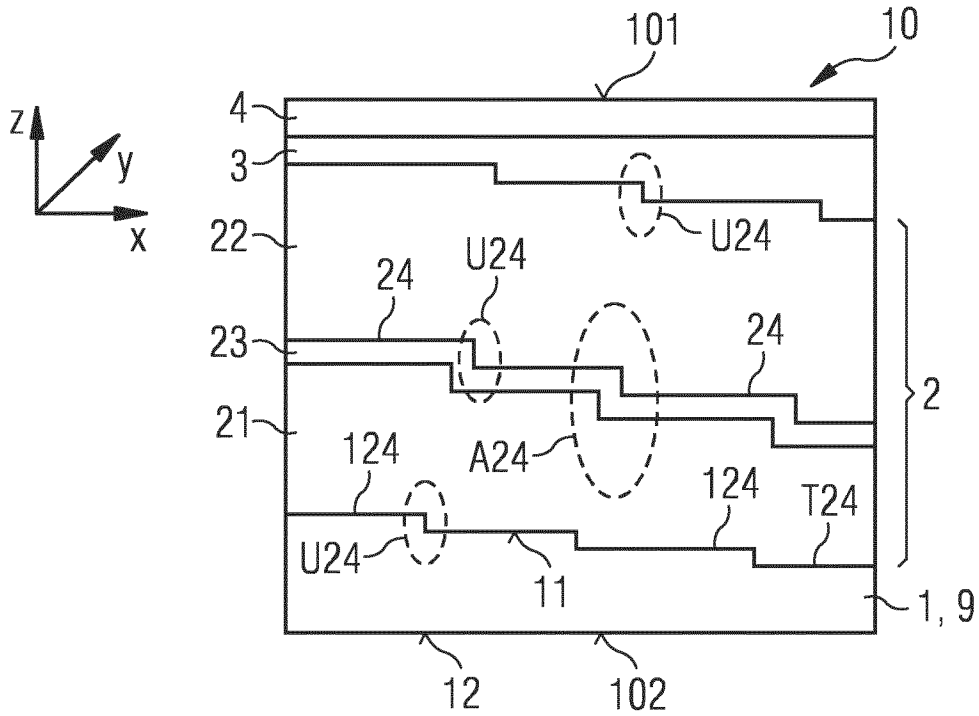

101
10
z
y
x
4
3
22
23
21
U24
24
U24
24
124
A24
124
T24
U24
11
2
1, 9
12
102

FIG 1B

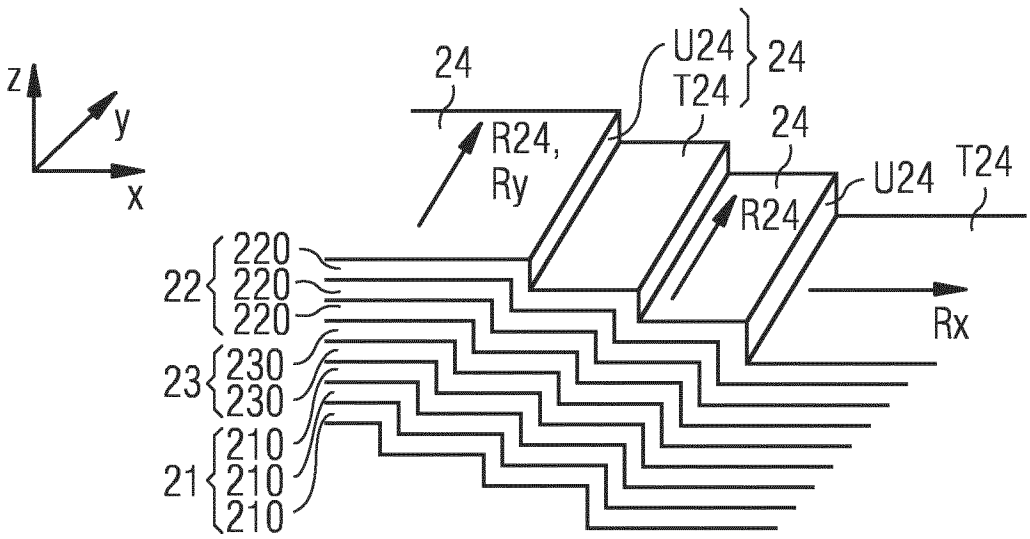

z
y
x
24
U24
T24
24
24
R24,
Ry
R24
U24
T24
Rx
22
220
220
220
23
230
230
21
210
210
210

FIG 1C

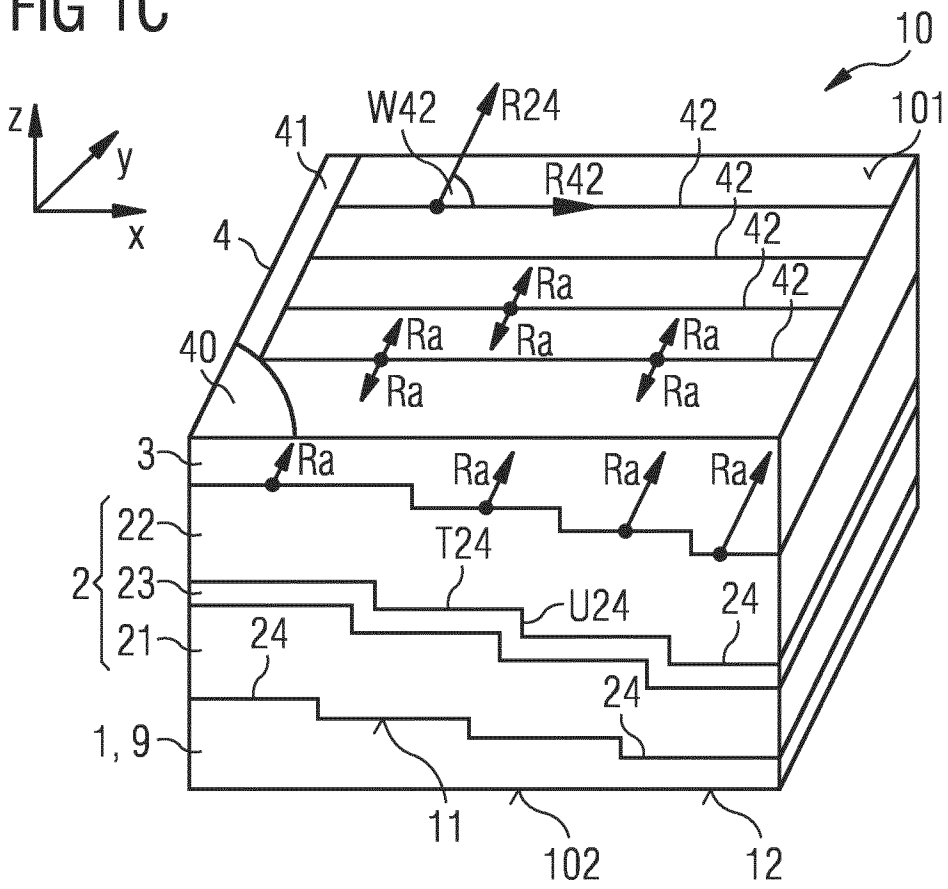

10
z
y
x
W42
R24
41
42
101
R42
42
4
42
Ra
42
40
Ra
Ra
Ra
Ra
Ra
3
Ra
Ra
Ra
Ra
22
T24
2
23
U24
24
21
24
24
1, 9
11
102
12

FIG 1D

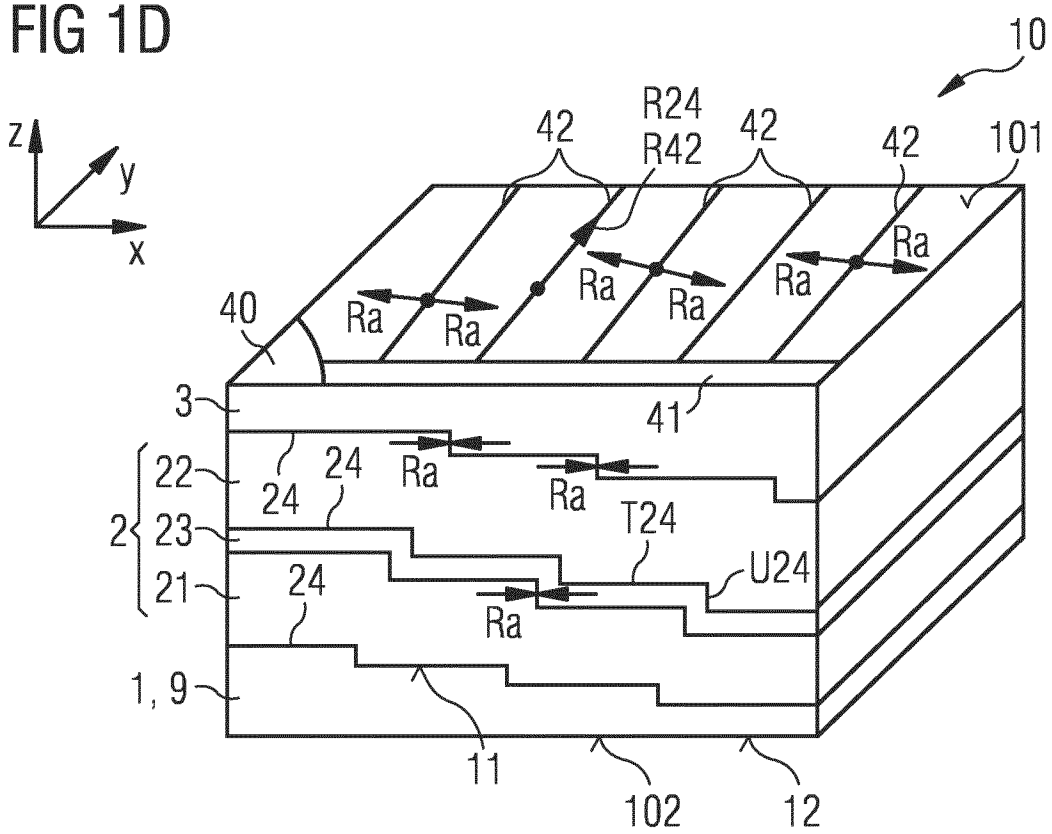

10
z
y
x
42
R24
R42
42
42
101
Ra
40
Ra
Ra
Ra
Ra
Ra
3
41
22
24
24
Ra
Ra
24
T24
2
23
U24
21
24
Ra
1, 9
11
102
12

FIG 2A

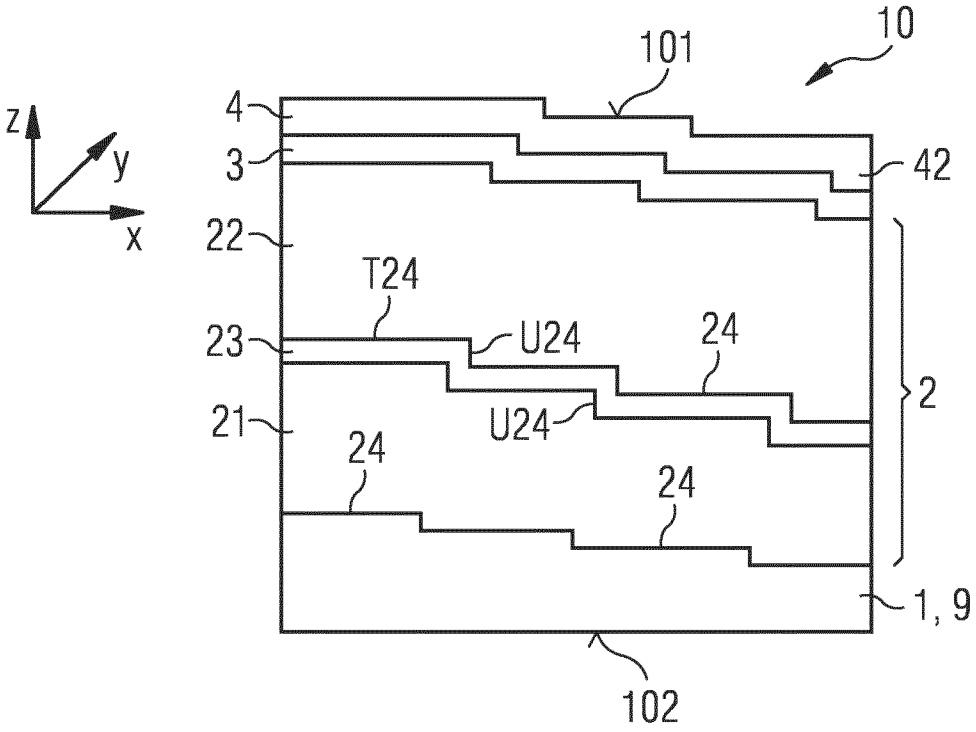

z
y
x
10
101
4
3
42
22
T24
23
U24
24
2
21
U24
24
24
1, 9
102

FIG 2B

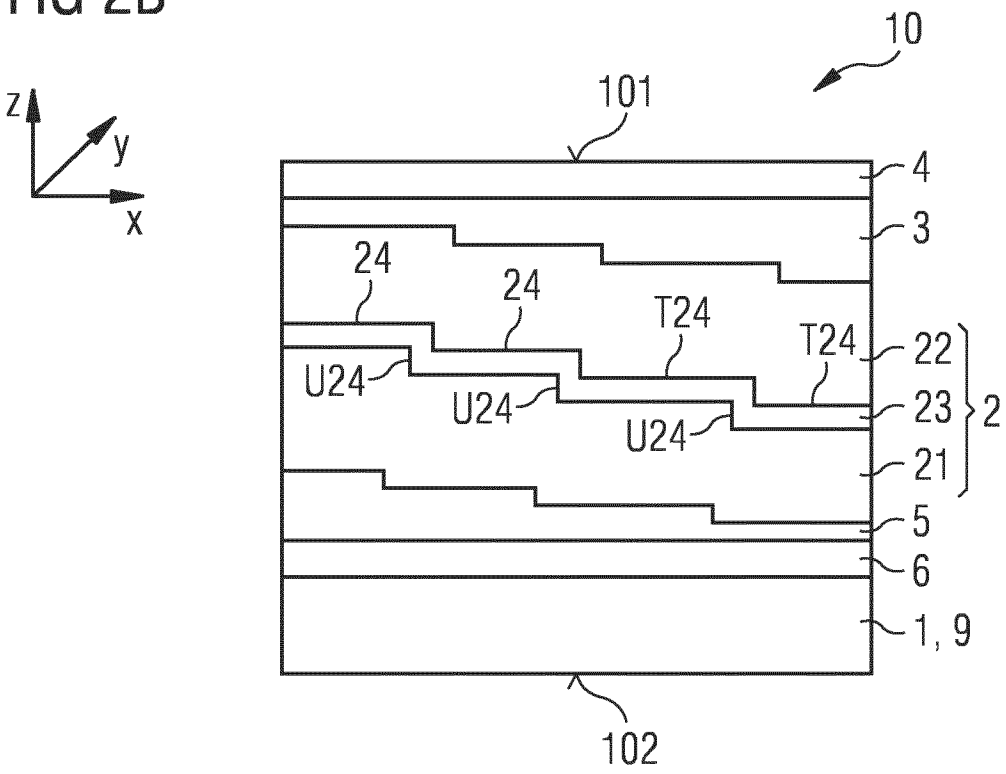

z
y
x
10
101
4
3
24
24
T24
T24
22
U24
U24
23
2
U24
21
5
6
1, 9
102

FIG 2C

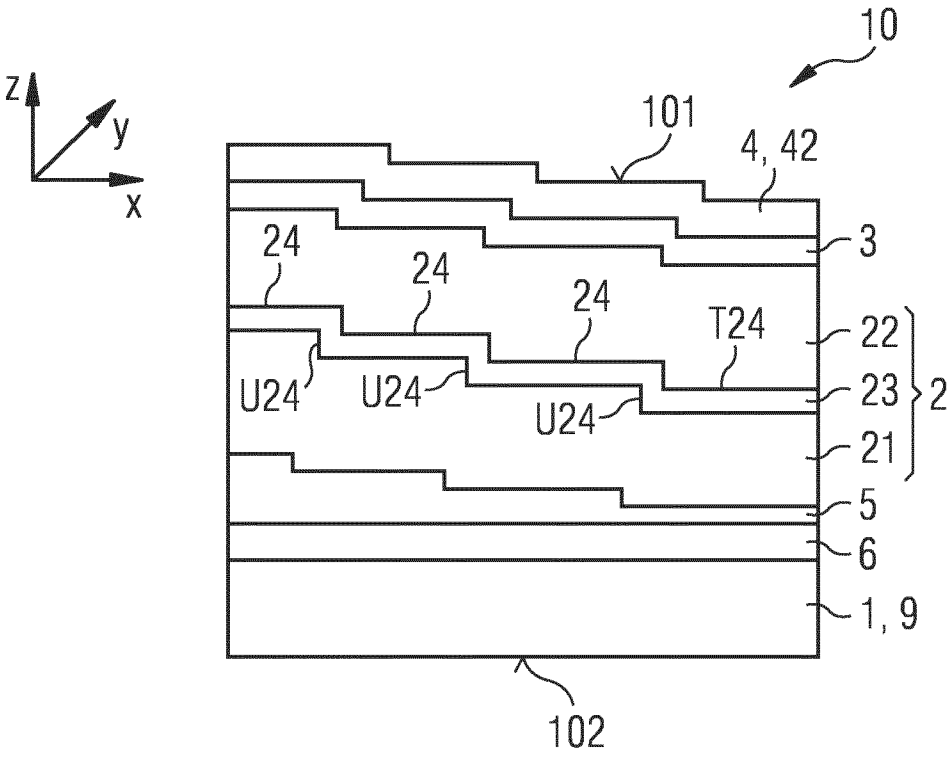

10
z
y
x
101
4, 42
3
24
24
24
T24
22
U24
U24
U24
23
2
21
5
6
1, 9
102

FIG 2D

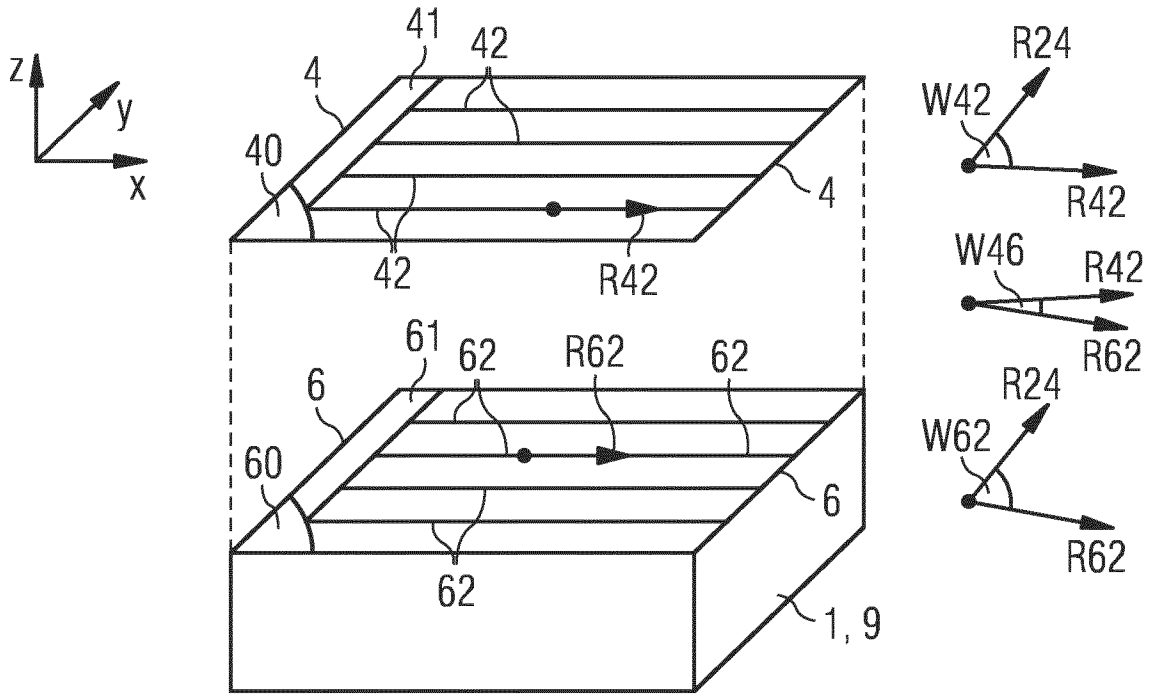

z
y
x
41
42
4
40
4
42
R42
R24
W42
R42
W46
R42
R62
61
62
R62
62
6
60
6
62
1, 9
R24
W62
R62

FIG 3A

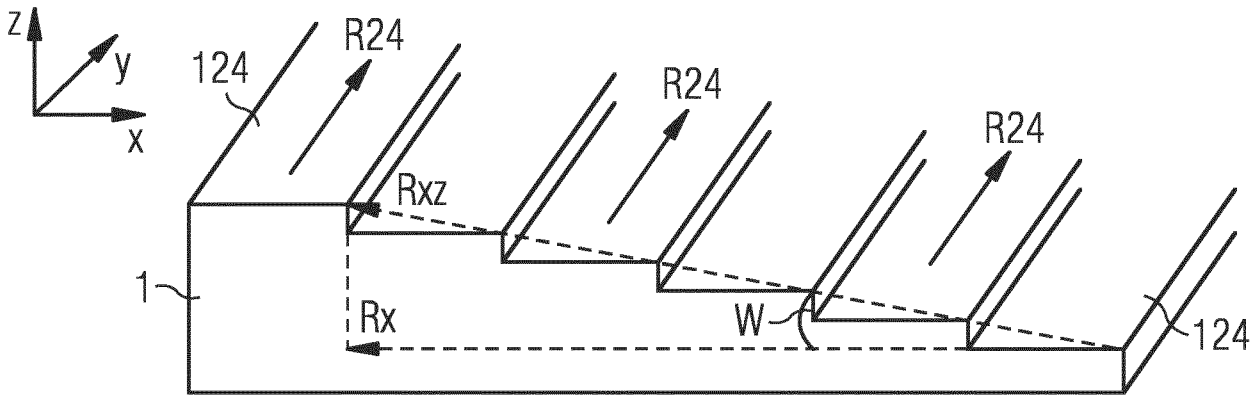


FIG 3B

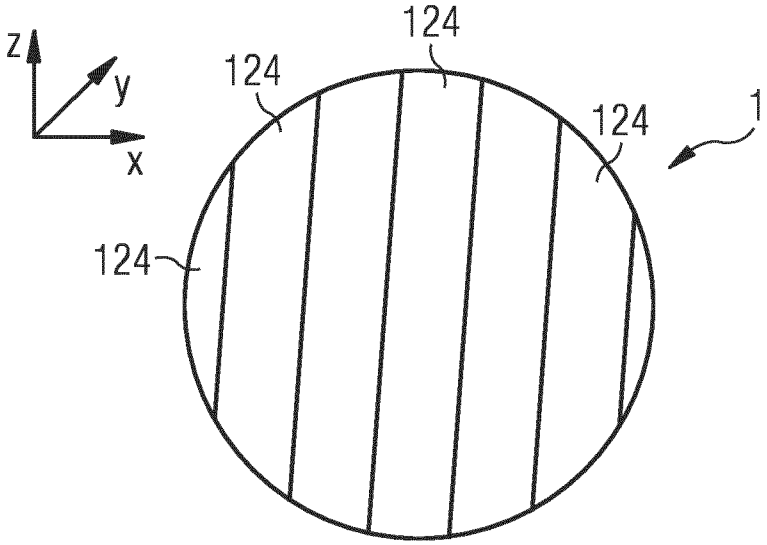


FIG 3C

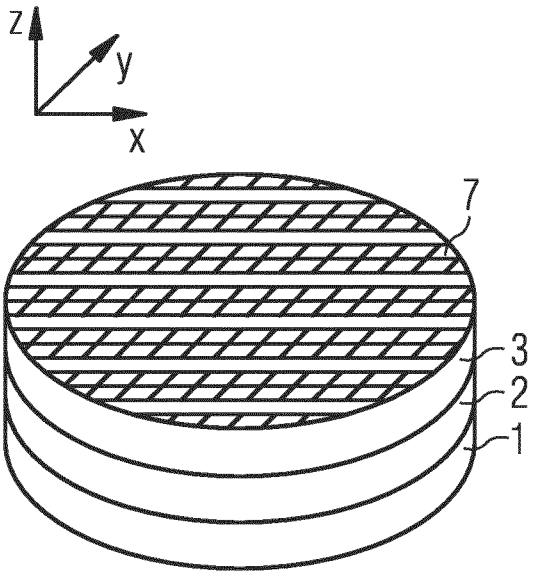
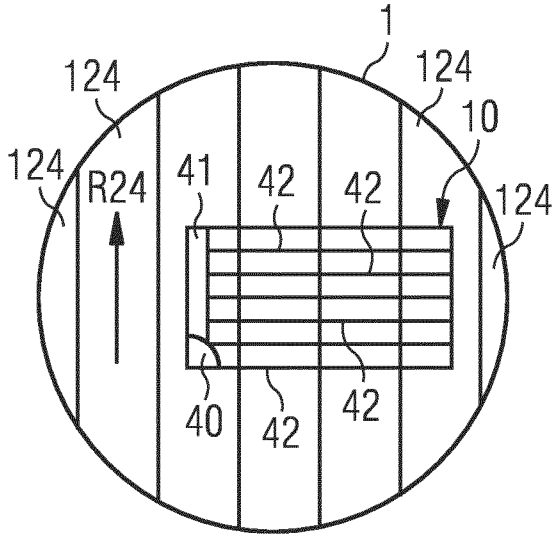


FIG 3D



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2018/062978

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L33/00 H01L33/14 H01L33/20 H01L33/38 H01L33/24
ADD. H01L33/32 H01L33/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 2 398 075 A1 (PANASONIC CORP [JP]) 21 December 2011 (2011-12-21) paragraphs [0077] - [0166]; figures 5-20	1-17
A	DE 10 2012 022929 A1 (ULTRATECH INC [US]) 13 June 2013 (2013-06-13) paragraphs [0044] - [0066]; figures 1-9B	1-17
A	US 4 912 533 A (TAKAHASHI SHOGO [JP]) 27 March 1990 (1990-03-27) column 1, line 62 - column 2, line 48; figure 1	1-17
A	US 2013/221394 A1 (HUANG YI-RU [TW] ET AL) 29 August 2013 (2013-08-29) paragraphs [0027] - [0038]; figures 1-12	1-17

-/--

[X] Further documents are listed in the continuation of Box C.

[X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 July 2018	17/07/2018

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Albrecht, Claus

1

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2018/062978

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006 060164 A (NAT INST OF ADV IND & TECHNOL) 2 March 2006 (2006-03-02) paragraphs [0012] - [0020]; figures 1-3 -----	1,15

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2018/062978

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 2398075 A1	21-12-2011	CN 102334204 A	25-01-2012
		EP 2398075 A1	21-12-2011
		JP 4833383 B2	07-12-2011
		JP WO2011083551 A1	13-05-2013
		US 2012001223 A1	05-01-2012
		WO 2011083551 A1	14-07-2011
DE 102012022929 A1	13-06-2013	DE 102012022929 A1	13-06-2013
		JP 5998243 B2	28-09-2016
		JP 2013120936 A	17-06-2013
		JP 2015164206 A	10-09-2015
		KR 20130064011 A	17-06-2013
		SG 191475 A1	31-07-2013
		TW 201324840 A	16-06-2013
		US 2014131723 A1	15-05-2014
US 4912533 A	27-03-1990	JP H0560676 B2	02-09-1993
		JP S6395682 A	26-04-1988
		US 4912533 A	27-03-1990
US 2013221394 A1	29-08-2013	CN 103296166 A	11-09-2013
		CN 105742436 A	06-07-2016
		TW 201336116 A	01-09-2013
		US 2013221394 A1	29-08-2013
JP 2006060164 A	02-03-2006	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2018/062978

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L33/00 H01L33/14 H01L33/20 H01L33/38 H01L33/24
ADD. H01L33/32 H01L33/16

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP 2 398 075 A1 (PANASONIC CORP [JP]) 21. Dezember 2011 (2011-12-21) Absätze [0077] - [0166]; Abbildungen 5-20	1-17
A	DE 10 2012 022929 A1 (ULTRATECH INC [US]) 13. Juni 2013 (2013-06-13) Absätze [0044] - [0066]; Abbildungen 1-9B	1-17
A	US 4 912 533 A (TAKAHASHI SHOGO [JP]) 27. März 1990 (1990-03-27) Spalte 1, Zeile 62 - Spalte 2, Zeile 48; Abbildung 1	1-17
A	US 2013/221394 A1 (HUANG YI-RU [TW] ET AL) 29. August 2013 (2013-08-29) Absätze [0027] - [0038]; Abbildungen 1-12	1-17

-/--

[X] Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen [X] Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
11. Juli 2018	17/07/2018

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Albrecht, Claus

1

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2018/062978

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	JP 2006 060164 A (NAT INST OF ADV IND & TECHNOL) 2. März 2006 (2006-03-02) Absätze [0012] - [0020]; Abbildungen 1-3	1,15

1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2018/062978

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 2398075 A1	21-12-2011	CN 102334204 A	25-01-2012
		EP 2398075 A1	21-12-2011
		JP 4833383 B2	07-12-2011
		JP WO2011083551 A1	13-05-2013
		US 2012001223 A1	05-01-2012
		WO 2011083551 A1	14-07-2011
DE 102012022929 A1	13-06-2013	DE 102012022929 A1	13-06-2013
		JP 5998243 B2	28-09-2016
		JP 2013120936 A	17-06-2013
		JP 2015164206 A	10-09-2015
		KR 20130064011 A	17-06-2013
		SG 191475 A1	31-07-2013
		TW 201324840 A	16-06-2013
		US 2014131723 A1	15-05-2014
US 4912533 A	27-03-1990	JP H0560676 B2	02-09-1993
		JP S6395682 A	26-04-1988
		US 4912533 A	27-03-1990
US 2013221394 A1	29-08-2013	CN 103296166 A	11-09-2013
		CN 105742436 A	06-07-2016
		TW 201336116 A	01-09-2013
		US 2013221394 A1	29-08-2013
JP 2006060164 A	02-03-2006	KEINE	