



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4023216/24-24

(22) 17.02.86

(46) 07.07.87. Бюл. № 25

(72) Е.Я. Ваврук

(53) 681.325.5(088.8)

(56) Авторское свидетельство СССР  
№ 1073770, кл. G 06 F 7/06, 1982.

Авторское свидетельство СССР  
№ 1183956, кл. G 06 F 7/06, 1984.

(54) УСТРОЙСТВО ДЛЯ СОРТИРОВКИ ИН-  
ФОРМАЦИИ

(57) Изобретение относится к вычис-  
лительной технике и может быть ис-  
пользовано в системах обработки ин-  
формации. Цель изобретения - повыше-  
ние быстродействия. Устройство для  
сортировки информации содержит гене-  
ратор 1 импульсов, коммутатор 2,  
счетчики 3 и 4, блоки 5 и 6 памяти,  
группу 7 элементов И, первый 8 и  
второй 9 элементы И, элемент ИЛИ 10,  
триггер 11, входы 12-17, выходы 18.

Выход генератора 1 импульсов соединен  
с синхровходом триггера 11, работаю-  
щим по заднему фронту. Инверсный вы-  
ход триггера 11 соединен с вторым  
входом элемента И 9. Блоки 5 и 6 па-  
мяти - одноразрядные. Максимальное  
количество сортируемой информации  
 $2^m$  m разрядных слов. При этом счет-  
чик 3 считает до  $2^k$ , счетчик 4 - до  
 $2^l$  ( $2^m = 2^{k+l}$ ). На входы 12 и 13 посту-  
пают соответственно младшие k и стар-  
шие l разрядов m-разрядного числа  
( $m=k+l$ ). Сущность изобретения заклю-  
чается в формировании во втором бло-  
ке памяти признака записи в массив  
информации. Во время считывания ин-  
формации при отсутствии этого призна-  
ка осуществляется переключение адре-  
сов первого блока памяти, минуя неза-  
полненный сортируемой информацией  
массив. Изобретение позволяет повы-  
сить быстродействие сортировки инфор-  
мации. 2 ил.

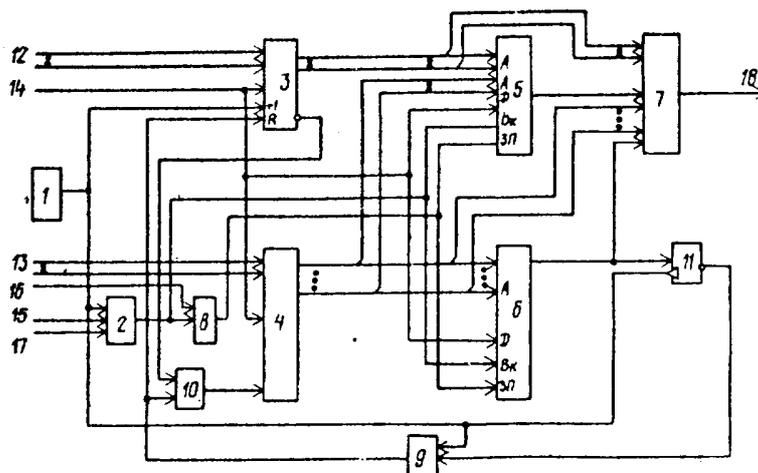


Fig. 1

Изобретение относится к вычислительной технике и может быть использовано в системах обработки информации.

Цель изобретения - повышение быстродействия устройства.

На фиг. 1 приведена функциональная схема устройства; на фиг. 2 - временная диаграмма работы устройства в режиме считывания.

Устройство для сортировки информации содержит генератор 1 импульсов, коммутатор 2, счетчики 3 и 4, блоки 5 и 6 памяти, группу 7 элементов И, первый 8 и второй 9 элементы И, элемент ИЛИ 10, триггер 11, входы младших 12 и старших 13 разрядов сортируемого числа, вход 14 разрешения записи, входы 15 и 16 задания режима, тактовый вход 17, выходы 18.

Коммутатор 2 открыт по первым входам при поступлении на управляющий вход 15 уровня логического нуля и по вторым входам при поступлении уровня логической единицы. Управление блоками 5 и 6 памяти поступает с выхода коммутатора 2 и элемента И 8 и организовано для БИС памяти статического типа (например, серий 132, 541 и т.п.).

Для записи информации подают сигналы на входы записи и выборки, а для считывания информации - только на вход выборки кристалла. На адресные входы блока 5 памяти поступают сигналы с выходов счетчиков 3 и 4. Совместная работа счетчиков 3 и 4 (в счетном режиме) организована посредством связи выхода переноса счетчика 3 и счетного входа счетчика 4 (через элемент ИЛИ 10). На выходы элементов И группы элементов И поступает содержимое счетчиков 3 и 4 только при наличии единичного уровня на выходах блоков 5 и 6 памяти.

Максимальное количество сортируемой информации  $2^m$   $m$  разрядных слов. При этом счетчик 3 считает до  $2^n$ , счетчик 4 - до  $2^k$  ( $2^m = 2^{k+l}$ ). На входы 12 и 13 поступают соответственно младшие  $k$  и старшие  $l$  разрядов  $m$ -разрядного числа ( $m=k+l$ ).

Устройство работает в трех режимах.

Режим очистки памяти. По сигналу начальной установки (не приведен) счетчики 3 и 4 устанавливаются в нулевое состояние, на выходе триггера 11 устанавливается нулевое состояние. На входе 14 устанавливается уровень

логического нуля, разрешающий работу счетчиков 3 и 4 в счетном режиме. На входах 15 и 16 устанавливается уровень логической единицы, определяющий режим записи блоков 5 и 6 памяти по сигналам с выхода генератора 1 импульсов. С выхода генератора 1 импульсов поступает  $2^m$  импульсов, которые проходят через коммутатор 4, записывают нули, находящиеся в информационном входе блоков 5 и 6 по всем адресам блоков 5 и 6 памяти.

Режим сортировки информации. На входе 14 устанавливается уровень логической единицы, разрешающий работу счетчиков 3 и 4 в режиме параллельного приема информации. На входе 16 устанавливается уровень логической единицы, определяющий режим записи в блоки 5 и 6 памяти. На входе 15 устанавливается уровень логического нуля, разрешающий прохождение через коммутатор 2 сигналов по тактовому входу 17.

По входам 12 и 13 поступает сортируемая информация, к младших разрядов - по входам 12, а к старших - по входам 13. С каждой сортируемой информацией поступает сигнал по тактовому входу 17, формирующий сигналы записи и выборки блоков 5 и 6 памяти. После поступления всей сортируемой информации по всем соответствующим адресам блока 5 памяти записаны единичные потенциалы, а в блоке 6 памяти записаны единичные потенциалы по адресам, определяющимся старшими разрядами сортируемой информации.

Режим считывания информации. На входах 14 и 16 устанавливается уровень логического нуля, определяющий режим работы счетчиков 3 и 4 в счетном режиме и режим считывания блоков 5 и 6 памяти. На входе 15 устанавливается уровень логической единицы, на выходе триггера 11 устанавливается уровень логического нуля.

С выхода генератора 1 импульсов поступают импульсы, начиная с единичного уровня (фиг. 2а,  $t_0$ ), с блоков 5 и 6 памяти происходит считывание и правильная информация появляется через время  $t_{30A}$  (фиг. 2б). При считывании нулевой информации с блока 6 памяти (фиг. 2б) в момент времени  $t_1$  происходит ее запись в триггер 11, на его инверсном выходе присутствует уровень логической единицы (фиг. 2в,

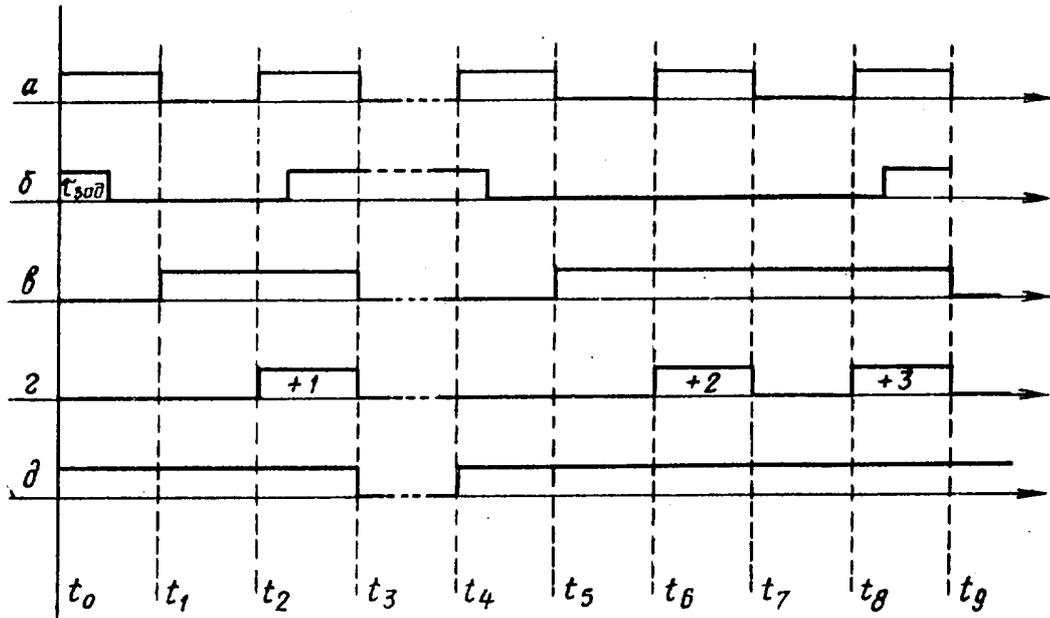
$t_1 - t_3$ ), который разрешает формирование (фиг. 2г,  $t_2$ ) сигнала, который увеличивает содержимое счетчика 4 на +1 и сбрасывает в нулевое состояние счетчик 3. Аналогично происходит работа устройства в моменты времени  $t_5 - t_9$  (фиг. 2).

Таким образом, при считывании нулевой информации с блока 6 памяти происходит увеличение адреса считывания блока 5 не на 1, а на  $2^k$ . При считывании единичной информации с блока 6 памяти на выходе триггера 11 устанавливается сигнал логического нуля (фиг. 2в,  $t_3$ ) на выходе элемента И 9 - нулевой уровень, счетчик 3 работает в счетном режиме. После перебора  $2^k$  адресов с блока 5 памяти счетчик 3 формирует сигнал переноса (фиг. 2д,  $t_4$ ), который увеличивает содержимое счетчика 4 на +1, и работа устройства продолжается. Выдача информации на выход происходит при наличии единичной информации на выходах блоков 5 и 6 памяти.

#### Ф о р м у л а и з о б р е т е н и я

Устройство для сортировки информации, содержащее генератор импульсов, первый счетчик, первый блок памяти, группу элементов И, причем выход генератора импульсов соединен со счетным входом первого счетчика и первым информационным входом коммутатора, второй информационный и управляющий входы которого являются соответственно тактовым входом и первым входом задания режима устройства, входы младших разрядов сортируемого числа устройства соединены с информационными входами первого счетчика, вход управления записью которого подключен к входу разрешения записи устройства и информационному входу первого блока памяти, входы младших

разрядов адреса которого соединены с выходами разрядов первого счетчика и первыми входами элементов И младших разрядов группы, вторые входы элементов И группы соединены с выходом первого блока памяти, а выходы являются выходами младших разрядов отсортированного числа устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия, в него введены второй счетчик, второй блок памяти, элемент ИЛИ, два элемента И и триггер, инверсный выход которого соединен с первым входом первого элемента И, второй вход которого подключен к синхровходу триггера и выходу генератора импульсов, а выход соединен с входом установки в ноль первого счетчика и первым входом элемента ИЛИ, второй вход которого подключен к выходу переполнения первого счетчика, а выход соединен со счетным входом второго счетчика, вход управления записью которого соединен с входом разрешения записи устройства и информационным входом второго блока памяти, вход разрешения выборки которого объединен с входом разрешения выборки первого блока памяти и подключен к выходу коммутатора и первому входу второго элемента И, второй вход которого является вторым входом задания режима устройства, а выход соединен с входами разрешения записи блоков памяти, входы старших разрядов сортируемого числа устройства соединены информационными входами второго счетчика, выходы разрядов которого соединены с входами старших разрядов адреса первого блока памяти, адресными выходами второго блока памяти и первыми входами элементов И старших разрядов, третьи входы элементов И группы подключены к выходу второго блока памяти и информационному входу триггера.



Фиг. 2

Редактор П. Геречи      Составитель Е. Иванова  
 Техред А. Кравчук      Корректор С. Шекмар

Заказ 2864/44      Тираж 672      Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4