

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2025-502957
(P2025-502957A)

(43)公表日 令和7年1月30日(2025.1.30)

(51)国際特許分類

F I

H O 1 L 25/07 (2006.01)

H O 1 L 25/08 H

H O 1 L 25/16 (2023.01)

H O 1 L 25/16 A

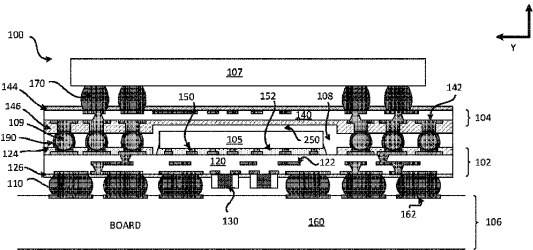
審査請求 未請求 予備審査請求 未請求 (全39頁)

(21)出願番号	特願2024-540963(P2024-540963)	(71)出願人	507364838
(86)(22)出願日	令和5年1月5日(2023.1.5)		クアルコム, インコーポレイテッド
(85)翻訳文提出日	令和6年7月5日(2024.7.5)		アメリカ合衆国 カリフォルニア 9 2 1
(86)国際出願番号	PCT/US2023/010230		2 1 サン ディエゴ モアハウス ドライ
(87)国際公開番号	WO2023/141021		ブ 5 7 7 5
(87)国際公開日	令和5年7月27日(2023.7.27)	(74)代理人	100108453
(31)優先権主張番号	17/579,434		弁理士 村山 靖彦
(32)優先日	令和4年1月19日(2022.1.19)	(74)代理人	100163522
(33)優先権主張国・地域又は機関			弁理士 黒田 晋平
	米国(US)	(72)発明者	ジョアン・レイ・ヴィラルバ・ビュオ
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV		アメリカ合衆国・カリフォルニア・9 2
	最終頁に続く	(72)発明者	1 2 1 - 1 7 1 4 ・サン・ディエゴ・モ
			アハウス・ドライヴ・5 7 7 5
		(72)発明者	ジジエ・ワン
			アメリカ合衆国・カリフォルニア・9 2
			最終頁に続く

(54)【発明の名称】 ポスト相互接続部と、キャビティを有するはんだレジスト層とを有する基板を備えるパッケージ

(57)【要約】

第1の基板と、第1の基板に結合された第1の集積デバイスと、第2の基板と、第1の基板及び第2の基板に結合された複数のはんだ相互接続部とを備える、パッケージ。第1の基板は、少なくとも1つの第1の誘電体層と、第1の複数の相互接続部であって、第1の複数のポスト相互接続部を含む第1の複数の相互接続部と、第1の基板の第1の表面に結合された第1のはんだレジスト層とを備える。第2の基板は、第1の表面及び第2の表面と、少なくとも1つの第2の誘電体層と、第2の複数の相互接続部であって、第2の複数のポスト相互接続部を備える、第2の複数の相互接続部と、第2の基板の第2の表面に結合された第2のはんだレジスト層とを備える。第2の基板の第2の表面は、第1の基板に面している。第2のはんだレジスト層は、キャビティを含む。



CROSS SECTIONAL PROFILE VIEW
FIG. 1

【特許請求の範囲】

【請求項 1】

少なくとも 1 つの第 1 の誘電体層と、第 1 の複数の相互接続部とを備える第 1 の基板と、

前記第 1 の基板に結合された第 1 の集積デバイスと、
第 2 の基板であって、

第 1 の表面及び第 2 の表面と、

少なくとも 1 つの第 2 の誘電体層と、

第 2 の複数の相互接続部であって、複数のポスト相互接続部を備える、第 2 の複数の相互接続部と、

前記第 2 の基板の前記第 2 の表面に結合されたはんだレジスト層であって、

前記第 2 の基板の前記第 2 の表面が、前記第 1 の基板に面しており、

前記はんだレジスト層が、キャビティを含み、

前記キャビティが、前記第 1 の集積デバイスと前記はんだレジスト層との間に位置する、はんだレジスト層とを備える第 2 の基板と、

前記第 1 の基板及び前記第 2 の基板に結合された複数のボール相互接続部及び複数のはんだ相互接続部であって、

前記第 1 の基板と前記第 2 の基板との間に位置し、

前記第 1 の基板を前記第 2 の基板に結合するように構成されている、複数のボール相互接続部及び複数のはんだ相互接続部と、を備える、

パッケージ。

【請求項 2】

前記複数のボール相互接続部及び前記複数のはんだ相互接続部が、前記第 2 の基板の前記複数のポスト相互接続部に結合されており、前記複数のポスト相互接続部が、前記はんだレジスト層によって横方向に取り囲まれている、請求項 1 に記載のパッケージ。

【請求項 3】

前記複数のボール相互接続部が、270 マイクロメートル以下のピッチを有する隣接するボール相互接続部を含む、請求項 1 に記載のパッケージ。

【請求項 4】

前記複数のボール相互接続部が、約 200 ～ 270 マイクロメートルの範囲内のピッチを有する隣接するボール相互接続部を含む、請求項 3 に記載のパッケージ。

【請求項 5】

前記複数のボール相互接続部が、前記第 1 の集積デバイスを横方向に取り囲む少なくとも 300 個のボール相互接続部を含む、請求項 1 に記載のパッケージ。

【請求項 6】

前記第 1 の基板と前記第 2 の基板との間に位置する封入層を更に備え、前記封入層の一部が前記はんだレジスト層と前記第 1 の集積デバイスとの間に位置する、請求項 1 に記載のパッケージ。

【請求項 7】

前記封入層が、前記第 1 の集積デバイス、前記複数のボール相互接続部、及び前記複数のはんだ相互接続部を少なくとも部分的に封入する、請求項 6 に記載のパッケージ。

【請求項 8】

前記はんだレジスト層が、第 1 の厚さを有する第 1 の部分と、第 2 の厚さを有する第 2 の部分とを含み、

前記はんだレジスト層の前記第 1 の部分が、前記複数のポスト相互接続部の厚さよりも大きい前記第 1 の厚さを有し、

前記はんだレジスト層の前記第 2 の部分が、前記複数のポスト相互接続部の前記厚さよりも小さい前記第 2 の厚さを有し、

前記はんだレジスト層の前記第 2 の部分が、前記第 1 の集積デバイスの上に位置する、請求項 1 に記載のパッケージ。

10

20

30

40

50

【請求項 9】

前記第 2 の基板の前記第 1 の表面に結合された第 2 の集積デバイスを更に備え、前記第 2 の基板の前記はんだレジスト層と前記第 1 の集積デバイスの裏面との間の垂直ギャップが、前記第 2 の基板の前記はんだレジスト層と前記第 1 の基板のはんだレジスト層との間の別の垂直ギャップよりも小さい、請求項 1 に記載のパッケージ。

【請求項 10】

前記複数のボール相互接続部が、銅コアボール（CCBs）を含む、請求項 1 に記載のパッケージ。

【請求項 11】

第 1 の基板であって、

少なくとも 1 つの第 1 の誘電体層と、

第 1 の複数の相互接続部であって、第 1 の複数のポスト相互接続部を含む第 1 の複数の相互接続部と、

前記第 1 の基板の第 1 の表面に結合された第 1 のはんだレジスト層とを備える、第 1 の基板と、

前記第 1 の基板に結合された第 1 の集積デバイスと、

第 2 の基板であって、

第 1 の表面及び第 2 の表面と、

少なくとも 1 つの第 2 の誘電体層と、

第 2 の複数の相互接続部であって、第 2 の複数のポスト相互接続部を備える、第 2 の複数の相互接続部と、

前記第 2 の基板の前記第 2 の表面に結合された第 2 のはんだレジスト層であって、

前記第 2 の基板の前記第 2 の表面が、前記第 1 の基板に面しており、

前記第 2 のはんだレジスト層が、キャビティを含み、

前記キャビティが、前記第 1 の集積デバイスと前記第 2 のはんだレジスト層との間に位置する、はんだレジスト層とを備える、第 2 の基板と、

前記第 1 の基板及び前記第 2 の基板に結合された複数のはんだ相互接続部であって、

前記第 1 の基板と前記第 2 の基板との間に位置し、

前記第 1 の基板を前記第 2 の基板に結合するように構成されている、複数のはんだ相互接続部と、を備える、

パッケージ。

【請求項 12】

前記複数のはんだ相互接続部が、（i）前記第 1 の基板の前記第 1 の複数のポスト相互接続部、及び（ii）前記第 2 の基板の前記第 2 の複数のポスト相互接続部に結合されており、前記第 1 の複数のポスト相互接続部が、前記第 1 のはんだレジスト層によって横方向に取り囲まれており、前記第 2 の複数のポスト相互接続部が、前記第 2 のはんだレジスト層によって横方向に取り囲まれている、請求項 11 に記載のパッケージ。

【請求項 13】

前記複数のはんだ相互接続部が、270 マイクロメートル以下のピッチを有する隣接するはんだ相互接続部を含む、請求項 11 に記載のパッケージ。

【請求項 14】

前記複数のはんだ相互接続部が、約 150 ～ 270 マイクロメートルの範囲内のピッチを有する隣接するはんだ相互接続部を含む、請求項 13 に記載のパッケージ。

【請求項 15】

前記複数のはんだ相互接続部が、前記第 1 の集積デバイスを横方向に取り囲む少なくとも 300 個のはんだ相互接続部を含む、請求項 11 に記載のパッケージ。

【請求項 16】

前記第 1 の基板と前記第 2 の基板との間に位置する封入層を更に備え、前記封入層の一部が前記第 2 のはんだレジスト層と前記第 1 の集積デバイスとの間に位置する、請求項 11 に記載のパッケージ。

10

20

30

40

50

【請求項 17】

前記封入層が、前記第1の集積デバイス及び前記複数のはんだ相互接続部を少なくとも部分的に封入する、請求項16に記載のパッケージ。

【請求項 18】

前記第2のはんだレジスト層が、第1の厚さを有する第1の部分と、第2の厚さを有する第2の部分とを含み、

前記第2のはんだレジスト層の前記第1の部分が、前記第2の複数のポスト相互接続部の厚さよりも大きい前記第1の厚さを有し、

前記第2のはんだレジスト層の前記第2の部分が、前記第2の複数のポスト相互接続部の前記厚さよりも小さい前記第2の厚さを有し、

前記第2のはんだレジスト層の前記第2の部分が、前記第1の集積デバイスの上に位置する、

請求項11に記載のパッケージ。

【請求項 19】

前記第2の基板の前記第1の表面に結合された第2の集積デバイスを更に備え、前記第2の基板の前記はんだレジスト層と前記第1の集積デバイスの裏面との間の垂直ギャップが、前記第2の基板の前記はんだレジスト層と前記第1の基板のはんだレジスト層との間の別の垂直ギャップよりも小さい、請求項11に記載のパッケージ。

【請求項 20】

前記第1の基板に結合されたパッシブデバイスを更に備える、請求項11に記載のパッケージ。

【請求項 21】

少なくとも1つの第1の誘電体層と、第1の複数の相互接続部とを備える第1の基板と、

前記第1の基板に結合された第1の集積デバイスと、
第2の基板であって、

第1の表面及び第2の表面と、

少なくとも1つの第2の誘電体層と、

第2の複数の相互接続部であって、複数のポスト相互接続部を備える、第2の複数の相互接続部と、

前記第2の基板の前記第2の表面に結合されたはんだレジスト層であって、

前記はんだレジスト層が、キャビティを含み、

前記キャビティが、前記第1の集積デバイスと前記はんだレジスト層との間に位置する、はんだレジスト層とを備える、第2の基板と、

前記第1の基板及び前記第2の基板に結合された基板間相互接続のための手段であって、

前記第1の基板と前記第2の基板との間に位置し、

前記第1の基板を前記第2の基板に結合するように構成されている、基板間相互接続のための手段と、を備える、

パッケージ。

【請求項 22】

前記基板間相互接続のための手段が、複数のボール相互接続部及び／又は複数のはんだ相互接続部を含む、請求項21に記載のパッケージ。

【請求項 23】

前記基板間相互接続のための手段が、前記第2の基板の前記複数のポスト相互接続部に結合されている、請求項21に記載のパッケージ。

【請求項 24】

前記第1の基板が、第1の複数の相互接続部を含み、

前記第1の複数の相互接続部が、第1の複数のポスト相互接続部を備え、

前記基板間相互接続のための手段が、前記第1の基板の前記第1の複数のポスト相互接

10

20

30

40

50

続部に結合されている、

請求項 23 に記載のパッケージ。

【請求項 25】

前記基板間相互接続のための手段が、約 150 ～ 270 マイクロメートルの範囲内のピッチを有する相互接続部を含む、請求項 21 に記載のパッケージ。

【請求項 26】

少なくとも 1 つの第 1 の誘電体層と、第 1 の複数の相互接続部とを備える第 1 の基板を提供することと、

第 1 の集積デバイスを前記第 1 の基板に結合することと、

複数の基板間相互接続部が前記第 1 の基板と第 2 の基板との間に位置するように、前記複数の基板間相互接続部を介して前記第 2 の基板を前記第 1 の基板に結合することと、を含む方法であって、前記第 2 の基板が、

第 1 の表面及び第 2 の表面と、

少なくとも 1 つの第 2 の誘電体層と、

第 2 の複数の相互接続部であって、複数のポスト相互接続部を備える、第 2 の複数の相互接続部と、

前記第 2 の基板の前記第 2 の表面に結合されたはんだレジスト層と、を備え、

前記はんだレジスト層が、キャビティを含み、

前記キャビティが、前記はんだレジスト層と前記第 1 の集積デバイスとの間に位置する、

方法。

【請求項 27】

前記複数の基板間相互接続部が、複数のボール相互接続部及び／又は複数のはんだ相互接続部を含む、請求項 26 に記載の方法。

【請求項 28】

前記複数の基板間相互接続部が、前記第 2 の基板の前記複数のポスト相互接続部に結合される、請求項 26 に記載の方法。

【請求項 29】

前記第 1 の基板が、第 1 の複数の相互接続部を含み、

前記第 1 の複数の相互接続部が、第 1 の複数のポスト相互接続部を備え、

前記複数の基板間相互接続部が、前記第 1 の基板の前記第 1 の複数のポスト相互接続部に結合される、請求項 28 に記載の方法。

【請求項 30】

前記複数の基板間相互接続部が、約 150 ～ 270 マイクロメートルの範囲内のピッチを有する相互接続部を含む、請求項 26 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本出願は、2022 年 1 月 19 日に米国特許庁に出願された非仮出願第 17 / 579 , 434 号に対する優先権及び利益を主張するものであり、その内容全体が、その全体が以下に完全に記載されるかのように、かつすべての適用可能な目的のために、参照により本明細書に組み込まれる。

【0002】

様々な特徴が、基板と集積デバイスとを有するパッケージに関する。

【背景技術】

【0003】

パッケージは、基板と集積デバイスとを含み得る。これらのコンポーネントは一体に結合されて、様々な電氣的機能を実行することができるパッケージを提供する。性能のより良いパッケージを提供する必要性が継続的に存在する。また、パッケージの全体サイズを

10

20

30

40

50

小さくする必要性も継続的に存在する。

【発明の概要】

【0004】

様々な特徴は、基板と集積デバイスとを有するパッケージに関する。

【0005】

一例は、少なくとも1つの第1の誘電体層と、第1の複数の相互接続部とを備える第1の基板と、第1の基板に結合された第1の集積デバイスと、第2の基板と、第1の基板及び第2の基板に結合された複数のボール相互接続部及び複数のはんだ相互接続部とを備えるパッケージを提供する。第2の基板は、第1の表面及び第2の表面と、少なくとも1つの第2の誘電体層と、第2の複数の相互接続部であって、複数のポスト相互接続部を備える、第2の複数の相互接続部と、第2の基板の第2の表面に結合されたはんだレジスト層とを備える。第2の基板の第2の表面は、第1の基板に面している。はんだレジスト層は、キャビティを含む。キャビティは、第1の集積デバイスとはんだレジスト層との間に位置する。複数のボール相互接続部及び複数ののはんだ相互接続部は、第1の基板と第2の基板との間に位置する。複数のボール相互接続部及び複数ののはんだ相互接続部は、第1の基板を第2の基板に結合するように構成されている。

10

【0006】

別の例は、第1の基板と、第1の基板に結合された第1の集積デバイスと、第2の基板と、第1の基板及び第2の基板に結合された複数ののはんだ相互接続部とを備えるパッケージを提供する。第1の基板は、少なくとも1つの第1の誘電体層と、第1の複数の相互接続部であって、第1の複数のポスト相互接続部を含む第1の複数の相互接続部と、第1の基板の第1の表面に結合された第1のはんだレジスト層とを備える。第2の基板は、第1の表面及び第2の表面と、少なくとも1つの第2の誘電体層と、第2の複数の相互接続部であって、第2の複数のポスト相互接続部を備える、第2の複数の相互接続部と、第2の基板の第2の表面に結合された第2のはんだレジスト層とを備える。第2の基板の第2の表面は、第1の基板に面している。第2のはんだレジスト層は、キャビティを含む。キャビティは、第1の集積デバイスと第2のはんだレジスト層との間に位置する。複数ののはんだ相互接続部は、第1の基板と第2の基板との間に位置する。複数ののはんだ相互接続部は、第1の基板を第2の基板に結合するように構成されている。

20

【0007】

別の例は、少なくとも1つの第1の誘電体層と、第1の複数の相互接続部とを備える第1の基板と、第1の基板に結合された第1の集積デバイスと、第2の基板と、第1の基板及び第2の基板に結合された基板間相互接続のための手段とを備えるパッケージを提供する。第2の基板は、第1の表面及び第2の表面と、少なくとも1つの第2の誘電体層と、第2の複数の相互接続部であって、複数のポスト相互接続部を備える、第2の複数の相互接続部と、第2の基板の第2の表面に結合されたはんだレジスト層とを備える。はんだレジスト層は、キャビティを含む。キャビティは、第1の集積デバイスとはんだレジスト層との間に位置する。基板間相互接続のための手段は、第1の基板と第2の基板との間に位置する。基板間相互接続のための手段は、第1の基板を第2の基板に結合するように構成されている。

30

40

【0008】

別の例は、少なくとも1つの第1の誘電体層と、第1の複数の相互接続部とを備える第1の基板を提供することを含む方法を提供する。方法は、第1の集積デバイスを第1の基板に結合する。方法は、複数の基板間相互接続部が第1の基板と第2の基板との間に位置するように、複数の基板間相互接続部を介して第2の基板を第1の基板に結合する。第2の基板は、第1の表面及び第2の表面と、少なくとも1つの第2の誘電体層と、第2の複数の相互接続部であって、複数のポスト相互接続部を備える、第2の複数の相互接続部と、第2の基板の第2の表面に結合されたはんだレジスト層とを備える。はんだレジスト層は、キャビティを含む。キャビティは、はんだレジスト層と第1の集積デバイスとの間に位置する。

50

【0009】

以下に記載の「発明を実施するための形態」を、同様の参照符号が全体を通して対応するように識別している図面と併せ読むことにより、様々な特徴、性質、及び利点が明らかとなり得る。

【図面の簡単な説明】

【0010】

【図1】ポスト相互接続部と、キャビティを有するはんだレジスト層とを備える基板を含むパッケージの例示的な断面側面図である。

【図2】ポスト相互接続部と、キャビティを有するはんだレジスト層とを備える基板を含むパッケージの拡大断面側面図である。

【図3】ポスト相互接続部と、キャビティを有するはんだレジスト層とを備える基板を含むパッケージの例示的な断面側面図である。

【図4】ポスト相互接続部と、キャビティを有するはんだレジスト層とを備える基板を含むパッケージの拡大断面側面図である。

【図5A】ポスト相互接続部と、キャビティを有するはんだレジスト層とを備える基板を含むパッケージを作製するための例示的なシーケンスを示す図である。

【図5B】ポスト相互接続部と、キャビティを有するはんだレジスト層とを備える基板を含むパッケージを作製するための例示的なシーケンスを示す図である。

【図5C】ポスト相互接続部と、キャビティを有するはんだレジスト層とを備える基板を含むパッケージを作製するための例示的なシーケンスを示す図である。

【図6A】ポスト相互接続部と、キャビティを有するはんだレジスト層とを備える基板を含むパッケージを作製するための例示的なシーケンスを示す図である。

【図6B】ポスト相互接続部と、キャビティを有するはんだレジスト層とを備える基板を含むパッケージを作製するための例示的なシーケンスを示す図である。

【図6C】ポスト相互接続部と、キャビティを有するはんだレジスト層とを備える基板を含むパッケージを作製するための例示的なシーケンスを示す図である。

【図7】ポスト相互接続部と、キャビティを有するはんだレジスト層とを備える基板を含むパッケージを作製するための方法の例示的なフローチャートを示す図である。

【図8】ボール相互接続部を介して結合された基板を含むパッケージを作製するための方法の例示的なフローチャートを示す図である。

【図9】はんだ相互接続部を介して結合された基板を含むパッケージを作製するための方法の例示的なフローチャートを示す図である。

【図10A】ポスト相互接続部と、キャビティを有するはんだレジスト層とを含む基板を作製するための例示的なシーケンスを示す図である。

【図10B】ポスト相互接続部と、キャビティを有するはんだレジスト層とを含む基板を作製するための例示的なシーケンスを示す図である。

【図10C】ポスト相互接続部と、キャビティを有するはんだレジスト層とを含む基板を作製するための例示的なシーケンスを示す図である。

【図11】ポスト相互接続部と、キャビティを有するはんだレジスト層とを含む基板を作製するための方法の例示的なフローチャートを示す図である。

【図12】本明細書に記載のダイ、電子回路、集積デバイス、集積パッシブデバイス (integrated passive device、IPD)、パッシブコンポーネント、パッケージ、及び／又はデバイスパッケージを一体化し得る様々な電子デバイスを示す図である。

【発明を実施するための形態】

【0011】

以下の説明では、本開示の様々な態様を完全に理解できるように、具体的な詳細が記載されている。ただし、当業者であれば、これらの具体的な詳細なしに諸態様を実践できることを理解するであろう。例えば、不必要な詳細で諸態様を不明瞭にすることを回避するために、回路がブロック図で示される場合がある。他の事例では、本開示の諸態様を不明瞭にすることがないように、周知の回路、構造、及び技術が、詳細には示されない場合が

10

20

30

40

50

ある。

【0012】

本開示は、少なくとも1つの第1の誘電体層と、第1の複数の相互接続部とを備える第1の基板と、第1の基板に結合された第1の集積デバイスと、第2の基板と、第1の基板及び第2の基板に結合された複数のボール相互接続部及び複数のはんだ相互接続部とを備えるパッケージについて説明する。第2の基板は、第1の表面及び第2の表面と、少なくとも1つの第2の誘電体層と、第2の複数の相互接続部であって、複数のポスト相互接続部を備える、第2の複数の相互接続部と、第2の基板の第2の表面に結合されたはんだレジスト層とを備える。第2の基板の第2の表面は、第1の基板に面している。はんだレジスト層は、キャビティを含む。キャビティは、第1の集積デバイスとはんだレジスト層との間に位置する。複数のボール相互接続部及び複数のはんだ相互接続部は、第1の基板と第2の基板との間に位置する。複数のボール相互接続部及び複数のはんだ相互接続部は、第1の基板を第2の基板に結合するように構成されている。本開示は、第1の基板と、第1の基板に結合された第1の集積デバイスと、第2の基板と、第1の基板及び第2の基板に結合された複数のはんだ相互接続部とを備えるパッケージについて説明する。第1の基板は、少なくとも1つの第1の誘電体層と、第1の複数の相互接続部であって、第1の複数のポスト相互接続部を含む第1の複数の相互接続部と、第1の基板の第1の表面に結合された第1のはんだレジスト層とを備える。第2の基板は、第1の表面及び第2の表面と、少なくとも1つの第2の誘電体層と、第2の複数の相互接続部であって、第2の複数のポスト相互接続部を備える、第2の複数の相互接続部と、第2の基板の第2の表面に結合された第2のはんだレジスト層とを備える。第2の基板の第2の表面は、第1の基板に面している。第2のはんだレジスト層は、キャビティを含む。キャビティは、第1の集積デバイスと第2のはんだレジスト層との間に位置する。複数のはんだ相互接続部は、第1の基板と第2の基板との間に位置する。複数のはんだ相互接続部は、第1の基板を第2の基板に結合するように構成されている。以下で更に説明するように、パッケージは、基板間の高密度相互接続ルーティング（例えば、高密度基板間相互接続部）を提供し、これは、パッケージを小さく薄く保ちながら、改善されたパッケージ性能を提供するのに役立つ。

ポスト相互接続部と、キャビティを有するはんだレジスト層とを有する基板を備える例示的なパッケージ

【0013】

図1は、ポスト相互接続部とキャビティを有するはんだレジスト層と有する基板を含むパッケージ100の断面側面図を示す。パッケージ100は、パッケージオンパッケージ（package on package、PoP）であってもよい。パッケージ100は、複数のはんだ相互接続部110を介してボード106に結合される。ボード106は、少なくとも1つのボード誘電体層160と、複数のボード相互接続部162とを含む。ボード106は、プリント回路板（printed circuit board、PCB）を含み得る。

【0014】

パッケージ100は、第1の基板102と、第1の集積デバイス105と、アンダーフィル152とを含む。第1の基板102、第1の集積デバイス105、及びアンダーフィル152は、第1のパッケージの一部と見なすことができる。第1の集積デバイス105は、複数のピラー相互接続部150を介して基板102の第1の表面（例えば、上面）に結合される。第1の基板102は、少なくとも1つの第1の誘電体層120と、第1の複数の相互接続部122とを含む。第1の集積デバイス105は、複数のピラー相互接続部150を介して第1の基板102の第1の複数の相互接続部122に結合される。複数のピラー相互接続部150と第1の複数の相互接続部122との間に、はんだ相互接続部（図示せず）が存在し得る。すなわち、いくつかの実装形態では、複数のピラー相互接続部150を第1の複数の相互接続部122に結合するために、はんだ相互接続部が使用され得る。アンダーフィル152は、第1の集積デバイス105と第1の基板102との間に位置する。第1の基板102は、はんだレジスト層124とはんだレジスト層126とを含む。はんだレジスト層124は、第1の基板102の第1の表面（例えば、上面）に結

合される。はんだレジスト層 126 は、第 1 の基板 102 の第 2 の表面（例えば、底面）に結合される。複数のパッシブデバイス 130 が、第 1 の基板 102 の第 2 の表面に結合される。パッシブデバイス 130 は、キャパシタ及び／又はインダクタを含み得る。

【0015】

パッケージ 100 は、第 2 の基板 104 と、第 2 の集積デバイス 107 とを含む。第 2 の基板 104 及び第 2 の集積デバイス 107 は、第 2 のパッケージの一部と見なすことができる。第 2 の集積デバイス 107 は、複数のはんだ相互接続部 170 を介して第 2 の基板 104 の第 1 の表面（例えば、上面）に結合される。第 2 の基板 104 は、少なくとも 1 つの第 2 の誘電体層 140 と、第 2 の複数の相互接続部 142 とを含む。以下で更に説明するように、第 2 の複数の相互接続部 142 は、複数のポスト相互接続部を含み得る。第 2 の集積デバイス 107 は、複数のはんだ相互接続部 170 を介して、第 2 の基板 104 の第 2 の複数の相互接続部 142 に結合される。第 2 の基板 104 は、はんだレジスト層 144 とはんだレジスト層 146 とを含む。はんだレジスト層 144 は、第 2 の基板 104 の第 1 の表面（例えば、上面）に結合される。はんだレジスト層 146 は、第 2 の基板 104 の第 2 の表面（例えば、底面）に結合される。はんだレジスト層 146 は、キャビティを含む。はんだレジスト層 146 は、可変厚さを含み得る。第 2 の基板 104 は、インターポーザとすることができる。第 2 の基板 104 は、2 つ又はそれより多い金属層を含み得る。いくつかの実装形態では、第 2 の基板 104 は、修正セミアディティブプロセス（modified semi-additive process、mSAP）を用いて作製することができる。いくつかの実装形態では、第 1 の基板 102 は、埋め込みトレース基板（embedded trace substrate、ETS）プロセスを用いて作製することができる。

10

20

【0016】

第 2 の基板 104 は、複数のボール相互接続部 109 及び複数のはんだ相互接続部 190 を介して第 1 の基板 102 に結合される。複数のボール相互接続部 109 及び複数のはんだ相互接続部 190 は、(i) 第 1 の基板 102 の第 1 の複数の相互接続部 122、及び (ii) 第 2 の基板 104 の第 2 の複数の相互接続部 142 に結合される。複数のボール相互接続部 109 は、銅ボールを含み得る。複数のボール相互接続部 109 及び／又は複数のはんだ相互接続部 190 は、基板間相互接続のための手段とすることができる。複数のボール相互接続部 109 及び／又は複数のはんだ相互接続部 190 は、複数の基板間相互接続部の例とすることができる。複数のはんだ相互接続部 190 は、複数のボール相互接続部 109 が第 1 の基板 102 からの相互接続部及び第 2 の基板 104 からの相互接続部に結合するのに役立つ複数のはんだ相互接続部 190 は、複数のボール相互接続部 109 を少なくとも部分的に封入することができる。

30

【0017】

第 1 の集積デバイス 105 は、第 1 の基板 102 と第 2 の基板 104 との間に位置する。はんだレジスト層 146 内のキャビティは、第 1 の集積デバイス 105 の上に（例えば、上方に）位置する。例えば、キャビティは、はんだレジスト層 146 と第 1 の集積デバイス 105 との間に位置し得る。第 1 の集積デバイス 105 の裏面は、はんだレジスト層 144 のキャビティに面する。キャビティは、はんだレジスト層 146 と第 1 の集積デバイス 105 の裏面との間に位置し得る。キャビティは、第 1 の集積デバイス 105 を含むパッケージの領域に位置し得る。

40

【0018】

パッケージ 100 は、封入層 108 を含む。封入層 108 は、第 1 の基板 102 と第 2 の基板 104 との間に位置する。封入層 108 は、第 1 の集積デバイス 105、複数のボール相互接続部 109、及び／又は複数のはんだ相互接続部 190 を封入し得る。封入層 108 は、はんだレジスト層 144 のキャビティの中に位置し得る。封入層 108 は、モールド、樹脂、及び／又はエポキシを含み得る。封入層 108 は、封入のための手段とすることができる。封入層 108 は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを用いることにより設けることができる。

【0019】

50

以下で更に説明するように、はんだレジスト層 146 内のキャビティ（例えば、250）、（複数の相互接続部 142 からの）ポスト相互接続部、複数のボール相互接続部 109、及び／又は複数のはんだ相互接続部 190 の使用は、基板間のより多くの相互接続を可能にし、これは、パッケージの性能を改善するのに役立つ。例えば、はんだレジスト層 146 内のキャビティ（例えば、250）、（複数の相互接続部 142 からの）ポスト相互接続部、複数のボール相互接続部 109、及び／又は複数のはんだ相互接続部 190 の使用は、より小さいピッチ（例えば、隣接する相互接続部間のより小さい中心間距離）を有する基板間の相互接続を可能にし、これは、基板間のより多くの相互接続を可能にする（これによって、相互接続部の密度を増加させる）。はんだレジスト層 146 内のキャビティ、（複数の相互接続部 142 からの）ポスト相互接続部、複数のボール相互接続部 109、及び／又は複数のはんだ相互接続部 190 の使用は、パッケージが低ピッチを有する基板間の基板間相互接続部を有し得るように、基板間のより小さいギャップを有するより薄いパッケージを可能にする。これは、ひいては、基板間にルーティング密度の高い相互接続を提供するのに役立つ。例えば、第 1 の基板 102 と第 2 の基板 104 との間の相互接続部は、270 マイクロメートル未満のピッチを有し得る。例えば、第 1 の基板 102 と第 2 の基板 104 との間の相互接続部は、150～270 マイクロメートルのピッチを有し得る。いくつかの実装形態では、第 1 の基板 102 と第 2 の基板 104 との間の基板間相互接続部の数（例えば、ピン数）は、300 個以上であり得る。いくつかの実装形態では、第 1 の基板 102 と第 2 の基板 104 との間の基板間相互接続部の数（例えば、ピン数）は、最大で 400 個であり得る。いくつかの実装形態では、第 1 の基板 102 と第 2 の基板 104 との間の基板間相互接続部の数（例えば、ピン数）は、300～400 個であり得る。隣接する相互接続部（例えば、隣接するボール相互接続部、隣接するはんだ相互接続部）間の間隔を低減し、基板間相互接続部の数を増加させることは、パッケージ内に高密度相互接続ルーティングを提供するのに役立つ。基板間の高密度相互接続ルーティングは、パッケージの性能を改善するのに役立つ。いくつかの実装形態では、隣接する相互接続部間の間隔を低減することは、相互接続部が占める空間を 30 パーセントも低減し得る。増加したルーティング密度に加えて、パッケージの全体的な厚さは、キャビティを有するはんだレジスト層を提供することによって低減され得、はんだレジスト層内のキャビティは、集積デバイスの上に位置する。すなわち、キャビティは、はんだレジスト層と集積デバイスの裏面との間に位置し得る。

10

20

30

【0020】

図 2 は、パッケージ 100 の拡大図を示す。パッケージ 100 は、キャビティ 250 を含むはんだレジスト層 146 を含む。キャビティ 250 は、封入層 108 で充填される。はんだレジスト層 146 は、厚さが異なる 2 つの部分を含む。はんだレジスト層 146 は、はんだレジスト層 146 a（例えば、はんだレジスト層 146 の第 1 の部分）と、はんだレジスト層 146 b（例えば、はんだレジスト層 146 の第 2 の部分）とを含む。はんだレジスト層 146 a は厚さ 240 を有し、はんだレジスト層 146 b は厚さ 242 を有する。はんだレジスト層 146 a は、はんだレジスト層 146 b よりも厚い。厚さ 240 は厚さ 242 よりも大きい。はんだレジスト層 146 b と第 1 の集積デバイス 105 の裏側部分との間にはギャップ 282 が存在する。ギャップ 282 は、はんだレジスト層 146 のキャビティ 250 を含む。ギャップ 282 は、封入層 108 で充填される。はんだレジスト層 146 a とはんだレジスト層 124 との間にはギャップ 280 が存在する。ギャップ 280 は、封入層 108 で充填される。いくつかの実装形態では、ギャップ 282 の厚さは、ギャップ 280 の厚さよりも小さくてもよい。よって、例えば、はんだレジスト層 146 b と集積デバイス 105 の裏面との間の垂直ギャップは、第 2 の基板 104 のはんだレジスト層 146 a と第 1 の基板 102 のはんだレジスト層 124 との間の垂直ギャップよりも小さくてもよい。いくつかの実装形態では、集積デバイス 105 の裏面の一部分は、キャビティ 250 の中に位置し得る。よって、キャビティ 250 は、第 1 の基板 102 と第 2 の基板 104 との間の空間又はギャップを低減しながら、第 1 の基板 102 と第 2 の基板 104 との間に集積デバイス 105 を収容するのに役立つ。

40

50

【0021】

第1の複数の相互接続部142は、複数のポスト相互接続部142aを含む。複数のポスト相互接続部142aは、複数のボール相互接続部109及び複数のはんだ相互接続部190に結合される。複数のポスト相互接続部142aは、はんだレジスト層146aの厚さよりも小さい厚さを有する。複数のポスト相互接続部142aは、はんだレジスト層146aによって横方向に取り囲まれ得る。第1の複数の相互接続部122は、複数の相互接続部122a（例えば、パッド相互接続部）を含む。複数の相互接続部122aは、複数のボール相互接続部109及び複数のはんだ相互接続部190に結合される。

【0022】

いくつかの実装形態では、複数のボール相互接続部109は、少なくとも200～270マイクロメートルのピッチを有し得る。いくつかの実装形態では、複数のボール相互接続部109は、第1の集積デバイス105を横方向に取り囲む400個ものボール相互接続部を含み得る。ボール相互接続部109の各々は、第1の基板102と第2の基板104との間の別個の電気経路を表し得る。この構成は、隣接する相互接続部（例えば、隣接するボール相互接続部109、隣接するはんだ相互接続部190）間の短絡を回避しながら、第1の基板102と第2の基板104との間のより高密度のルーティングを有する、より小さくより薄いパッケージを可能にする。第1の基板102と第2の基板104が互いに可能な限り近接して結合されるので、はんだレジスト層146内のキャビティ250は、はんだレジスト層が第1の集積デバイス105に直接接触しないことを確実にするのに役立つ。

【0023】

いくつかの実装形態では、第1の基板102と第2の基板104との間の基板間相互接続部の数を最大化及び／又は最適化するために、基板間相互接続部間のピッチは、270マイクロメートル以下（例えば、200～270マイクロメートル）になるように低減される必要があり得る。これを達成するために、第1の基板102からの相互接続部（例えば、122a）と第2の基板104からの相互接続部（例えば、142a）との間の垂直ギャップ及び／又は垂直空間は、より小さいサイズ及び／又はより小さいピッチを有する複数のボール相互接続部109及び／又は複数のはんだ相互接続部190が使用され得るように、低減され得る。これは、（複数の相互接続部142からの）ポスト相互接続部を設けることによって達成され得、このことが第1の基板102からの相互接続部と第2の基板104からの相互接続部との間の垂直ギャップを狭めるのに役立ち、よって、より小さいサイズ及び／又はより小さいピッチのボール相互接続部109及び／又ははんだ相互接続部190を可能にする。第1の基板102と第2の基板104との間の垂直ギャップが低減されるにつれて、第1の集積デバイス105は、第2の基板104に突き当たり得る。第1の基板102と第2の基板104との間の垂直ギャップを依然として低減しながら、第1の基板102と第2の基板104との間に第1の集積デバイス105を収容するために、第1の集積デバイス105の裏面が第2の基板104と直接接触しないように、はんだレジスト層146の中にキャビティ250が形成される。いくつかの実装形態では、第2の基板104におけるポスト相互接続部の使用は、第2の基板104のポスト相互接続部と第1の基板102の相互接続部とが互いにより近接するようになるため、基板間のはんだ相互接続部により小さいピッチを提供するのに役立つ。はんだ相互接続部間のより小さいピッチは、より多くのはんだ相互接続部を同じ面積に設け得ることを意味し、これは、基板間のより高密度のルーティングを意味する。少なくとも図3及び図4において以下で更に説明するように、いくつかの実装形態では、第1の基板102と第2の基板104の両方におけるポスト相互接続部の使用は、各基板のポスト相互接続部が互いにより近接するようになるため、基板間のはんだ相互接続部に更により小さいピッチを提供するのに役立つ。これは、基板間のより高密度のルーティングが提供され得ることを意味する。

【0024】

パッケージ100の様々なコンポーネントは、様々な厚さ及び／又は寸法を有し得る。

いくつかの実装形態では、複数のポスト相互接続部 142a は、約 40～50 マイクロメートルの厚さを有し得る。いくつかの実装形態では、はんだレジスト層 146a は、約 65～80 マイクロメートルの厚さ（例えば、240）を有し得る。いくつかの実装形態では、はんだレジスト層 124 とはんだレジスト層 146a との間のギャップ（例えば、280）は、約 75～95 マイクロメートルであり得る。いくつかの実装形態では、複数のボール相互接続部 109 は、約 100～120 マイクロメートルの直径を有し得る。いくつかの実装形態では、複数のボール相互接続部 109 は任意選択的なものとして行うことができる。よって、いくつかのパッケージは、複数のボール相互接続部 109 の使用を回避し得る。

【0025】

図 3 は、ポスト相互接続部と、キャビティを有するはんだレジスト層とを有する基板を含むパッケージ 300 の断面側面図を示す。パッケージ 300 は、パッケージオンパッケージ（POP）であってもよい。パッケージ 300 は、図 1 及び図 2 で説明するパッケージ 100 と同様であり得る。パッケージ 300 は、基板間の高密度ルーティング（例えば、高密度基板間相互接続部）を有する薄型パッケージを依然として提供しながら、ボール相互接続部の使用を回避する。パッケージ 300 は、複数のはんだ相互接続部 110 を介してボード 106 に結合される。

【0026】

パッケージ 300 は、第 1 の基板 302 と、第 1 の集積デバイス 105 と、アンダーフィル 152 とを含む。第 1 の基板 302、第 1 の集積デバイス 105、及びアンダーフィル 152 は、第 1 のパッケージの一部と見なすことができる。第 1 の集積デバイス 105 は、複数のピラー相互接続部 150 を介して基板 302 の第 1 の表面（例えば、上面）に結合される。第 1 の基板 302 は、少なくとも 1 つの第 1 の誘電体層 120 と、第 1 の複数の相互接続部 122 とを含む。第 1 の複数の相互接続部 122 は、複数のポスト相互接続部 322 を含む。第 1 の集積デバイス 105 は、複数のピラー相互接続部 150 を介して第 1 の基板 302 の第 1 の複数の相互接続部 122 に結合される。複数のピラー相互接続部 150 と第 1 の複数の相互接続部 122 との間に、はんだ相互接続部（図示せず）が存在し得る。複数のピラー相互接続部 150 を第 1 の複数の相互接続部 122 に結合するために、複数のはんだ相互接続部が使用され得る。アンダーフィル 152 は、第 1 の集積デバイス 105 と第 1 の基板 302 との間に位置する。第 1 の基板 302 は、はんだレジスト層 324 とはんだレジスト層 126 とを含む。はんだレジスト層 324 は、第 1 の基板 302 の第 1 の表面（例えば、上面）に結合される。はんだレジスト層 324 は、複数のポスト相互接続部 322 の厚さよりも大きい（例えば、より厚い）厚さを有する。複数のポスト相互接続部 322 は、はんだレジスト層 324 によって横方向に取り囲まれ得る。はんだレジスト層 126 は、第 1 の基板 302 の第 2 の表面（例えば、底面）に結合される。複数のパッシブデバイス 130 は、第 1 の基板 302 の第 2 の表面に結合される。パッシブデバイス 130 は、キャパシタ及び／又はインダクタを含み得る。

【0027】

パッケージ 300 は、第 2 の基板 104 と第 2 の集積デバイス 107 とを含む。第 2 の基板 104 及び第 2 の集積デバイス 107 は、第 2 のパッケージの一部と見なすことができる。第 2 の集積デバイス 107 は、複数のはんだ相互接続部 170 を介して第 2 の基板 104 の第 1 の表面（例えば、上面）に結合される。第 2 の基板 104 は、少なくとも 1 つの第 2 の誘電体層 140 と、第 2 の複数の相互接続部 142 とを含む。以下で更に説明するように、第 2 の複数の相互接続部 142 は、複数のポスト相互接続部を含み得る。第 2 の集積デバイス 107 は、複数のはんだ相互接続部 170 を介して、第 2 の基板 104 の第 2 の複数の相互接続部 142 に結合される。第 2 の基板 104 は、はんだレジスト層 144 とはんだレジスト層 146 とを含む。はんだレジスト層 144 は、第 2 の基板 104 の第 1 の表面（例えば、上面）に結合される。はんだレジスト層 146 は、第 2 の基板 104 の第 2 の表面（例えば、底面）に結合される。はんだレジスト層 146 は、キャビティを含む。はんだレジスト層 146 は、可変厚さを含み得る。第 2 の基板 104 は、イ

10

20

30

40

50

ンターポーザとすることができる。第1の基板302は、複数のポスト相互接続部322の厚さよりも大きい（例えば、より厚い）厚さ（例えば、460）を有するはんだレジスト層324を含み得る。第2の基板104は、2つ又はそれより多い金属層を含み得る。いくつかの実装形態では、第2の基板104は、修正セミアディティブプロセス（mSAP）を用いて作製することができる。いくつかの実装形態では、第1の基板302は、埋め込みトレース基板（ETS）プロセスを用いて作製することができる。

【0028】

第2の基板104は、複数のはんだ相互接続部190を介して第1の基板302に結合される。複数のはんだ相互接続部190は、（i）第1の基板302の複数のポスト相互接続部322、及び（ii）第2の基板104の第2の複数のポスト相互接続部142aに結合される。複数のはんだ相互接続部190は、基板間相互接続のための手段とすることができる。複数のはんだ相互接続部190は、複数の基板間相互接続部の例とすることができる。

10

【0029】

第1の集積デバイス105は、第1の基板302と第2の基板104との間に位置する。はんだレジスト層146内のキャビティ（例えば、250）は、第1の集積デバイス105の上に（例えば、上方に）位置する。第1の集積デバイス105の裏面は、はんだレジスト層146のキャビティに面する。いくつかの実装形態では、第1の集積デバイス105の裏面の少なくとも一部分は、はんだレジスト層146のキャビティ250の中に位置し得る。

20

【0030】

パッケージ300は、封入層108を含む。封入層108は、第1の基板302と第2の基板104との間に位置する。封入層108は、第1の集積デバイス105及び／又は複数のはんだ相互接続部190を封入し得る。封入層108は、はんだレジスト層146のキャビティの中に位置し得る。

【0031】

以下で更に説明するように、はんだレジスト層146内のキャビティ、（複数の相互接続部142からの）ポスト相互接続部、複数のはんだ相互接続部190、及び複数のポスト相互接続部322の使用は、低ピッチを有する基板間の相互接続部を有するより薄いパッケージを可能にする。これは、ひいては、基板間にルーティング密度の高い相互接続（例えば、高密度基板間相互接続）を提供するのに役立つ。例えば、第1の基板302と第2の基板104との間の相互接続部は、270マイクロメートル未満のピッチを有し得る。例えば、第1の基板302と第2の基板104との間の相互接続部は、150～270マイクロメートルのピッチを有し得る。いくつかの実装形態では、第1の基板302と第2の基板104との間の基板間相互接続部の数（例えば、ピン数）は、300個以上であり得る。いくつかの実装形態では、第1の基板302と第2の基板104との間の基板間相互接続部の数（例えば、ピン数）は、最大で400個であり得る。いくつかの実装形態では、第1の基板302と第2の基板104との間の基板間相互接続部の数（例えば、ピン数）は、300～400個であり得る。隣接する相互接続部（例えば、隣接するはんだ相互接続部）間の間隔を低減し、基板間相互接続部の数を増加させることは、パッケージ内の高密度相互接続ルーティングを提供するのに役立つ。基板間の高密度相互接続ルーティング（例えば、高密度基板間相互接続部）は、パッケージの性能を改善するのに役立つ。いくつかの実装形態では、隣接する相互接続部間の間隔を低減することは、相互接続部が占める空間を30パーセントも低減し得る。増加したルーティング密度に加えて、パッケージの全体的な厚さは、キャビティを有するはんだレジスト層を提供することによって低減され得、はんだレジスト層内のキャビティは、集積デバイスの上に位置する。

30

40

【0032】

図4は、パッケージ300の拡大図を示す。パッケージ300は、キャビティ250を含むはんだレジスト層146を含む。キャビティ250は、封入層108で充填される。はんだレジスト層146は、厚さが異なる2つの部分を含む。はんだレジスト層146は

50

、はんだレジスト層 1 4 6 a とはんだレジスト層 1 4 6 b とを含む。はんだレジスト層 1 4 6 a は厚さ 2 4 0 を有し、はんだレジスト層 1 4 6 b は厚さ 2 4 2 を有する。はんだレジスト層 1 4 6 a は、はんだレジスト層 1 4 6 b よりも厚い。厚さ 2 4 0 は厚さ 2 4 2 よりも大きい。はんだレジスト層 1 4 6 b と第 1 の集積デバイス 1 0 5 の裏側部分との間にはギャップ 2 8 2 が存在する。ギャップ 2 8 2 は、はんだレジスト層 1 4 6 のキャビティ 2 5 0 を含む。ギャップ 2 8 2 は、封入層 1 0 8 で充填される。はんだレジスト層 1 4 6 a とはんだレジスト層 1 2 4 との間にはギャップ 4 8 0 が存在する。ギャップ 4 8 0 は、封入層 1 0 8 で充填される。

【0033】

第 1 の複数の相互接続部 1 4 2 は、複数のポスト相互接続部 1 4 2 a を含む。複数のポスト相互接続部 1 4 2 a は、複数のはんだ相互接続部 1 9 0 に結合される。複数のポスト相互接続部 1 4 2 a は、はんだレジスト層 1 4 6 a の厚さよりも小さい厚さを有する。複数のポスト相互接続部 3 2 2 は、はんだレジスト層 3 2 4 の厚さよりも小さい厚さを有する。複数のポスト相互接続部 3 2 2 は、複数のはんだ相互接続部 1 9 0 に結合される。

【0034】

いくつかの実装形態では、第 1 の基板 1 0 2 と第 2 の基板 1 0 4 との間の基板間相互接続部の数を最大化及び／又は最適化するために、基板間相互接続部間のピッチは、270 マイクロメートル以下（例えば、150～270 マイクロメートル）になるように低減される必要があり得る。これを達成するために、第 1 の基板 1 0 2 からの相互接続部（例えば、1 2 2 a）と第 2 の基板 1 0 4 からの相互接続部（例えば、1 4 2 a）との間の垂直ギャップ及び／又は垂直空間は、より小さいサイズ及び／又はより小さいピッチを有する複数のはんだ相互接続部 1 9 0 が使用され得るように、低減され得る。これは、（複数の相互接続部 1 4 2 からの）ポスト相互接続及び（複数の相互接続部 1 2 2 からの）ポスト相互接続部 3 2 2 を設けることによって達成され得、このことが第 1 の基板 1 0 2 からの相互接続部と第 2 の基板 1 0 4 からの相互接続部との間の垂直ギャップを狭めるのに役立つ、よって、より小さいサイズ及び／又はより小さいピッチのはんだ相互接続部 1 9 0 を可能にする。第 1 の基板 1 0 2 と第 2 の基板 1 0 4 との間の垂直ギャップが低減されるにつれて、第 1 の集積デバイス 1 0 5 は、第 2 の基板 1 0 4 に突き当たり得る。第 1 の基板 1 0 2 と第 2 の基板 1 0 4 との間の垂直ギャップを依然として低減しながら、第 1 の基板 1 0 2 と第 2 の基板 1 0 4 との間に第 1 の集積デバイス 1 0 5 を収容するために、第 1 の集積デバイス 1 0 5 の裏面が第 2 の基板 1 0 4 と直接接触しないように、はんだレジスト層 1 4 6 の中にキャビティ 2 5 0 が形成される。以下は、270 マイクロメートル以下（例えば、150～270 マイクロメートル）のピッチを有する基板間相互接続部を提供するのに役立つ、様々なコンポーネントの例示的な寸法及び／又は値である。いくつかの実装形態では、第 1 の基板 1 0 2 と第 2 の基板 1 0 4 の両方におけるポスト相互接続部の使用は、各基板のポスト相互接続部が互いにより近接するようになるため、基板間のはんだ相互接続部により小さいピッチを提供するのに役立つ。はんだ相互接続部間のより小さいピッチは、より多くのはんだ相互接続部を同じ面積に設け得ることを意味し、これは、基板間のより高密度のルーティングを意味する。

【0035】

パッケージ 3 0 0 の様々なコンポーネントは、様々な厚さ及び／又は寸法を有し得る。いくつかの実装形態では、複数のポスト相互接続部 1 4 2 a は、約 40～50 マイクロメートルの厚さを有し得る。いくつかの実装形態では、はんだレジスト層 1 4 6 a は、約 65～80 マイクロメートルの厚さ（例えば、240）を有し得る。いくつかの実装形態では、はんだレジスト層 1 2 4 とはんだレジスト層 1 4 6 a との間のギャップ（例えば、480）は、約 50～70 マイクロメートルであり得る。いくつかの実装形態では、はんだレジスト層 3 2 4 は、約 30～50 マイクロメートルの厚さ（例えば、460）を有し得る。いくつかの実装形態では、複数のはんだ相互接続部 1 9 0 は、約 50～70 マイクロメートルの直径を有し得る。いくつかの実装形態では、ギャップ 2 8 2 の厚さは、ギャップ 4 8 0 の厚さよりも小さくてもよい。よって、例えば、はんだレジスト層 1 4 6 b と集

10

20

30

40

50

積デバイス 105 の裏面との間の垂直ギャップは、第 2 の基板 104 のはんだレジスト層 146 a と第 1 の基板 102 のはんだレジスト層 324 との間の垂直ギャップよりも小さくてもよい。いくつかの実装形態では、集積デバイス 105 の裏面の一部分は、キャビティ 250 の中に位置し得る。よって、キャビティ 250 は、第 1 の基板 102 と第 2 の基板 104 との間の空間又はギャップを低減しながら、第 1 の基板 102 と第 2 の基板 104 との間に集積デバイス 105 を収容するのに役立つ。

【0036】

いくつかの実装形態では、上述の寸法は、約 150 ～ 270 マイクロメートルのピッチを有し得る複数のはんだ相互接続部 190 を含むパッケージを提供するのに役立つ。いくつかの実装形態では、複数のはんだ相互接続部 190 は、第 1 の集積デバイス 105 を横方向に取り囲む 400 個ものはんだ相互接続部（例えば、はんだボール）を含み得る。はんだ相互接続部 190 の各々は、第 1 の基板 302 と第 2 の基板 104 との間の別個の電気経路を表し得る。この構成は、隣接する相互接続部（例えば、隣接するはんだ相互接続部 190）間の短絡を回避しながら、第 1 の基板 302 と第 2 の基板 104 との間のより高密度のルーティングを有する、より小さくより薄いパッケージを可能にする。第 1 の基板 302 と第 2 の基板 104 が互いに可能な限り近接して結合されるので、はんだレジスト層 146 内のキャビティ 250 は、はんだレジスト層が第 1 の集積デバイス 105 に直接接触しないことを確実にするのに役立つ。

【0037】

本開示で使用されるポスト相互接続部は、その高さ（例えば、厚さ）がその幅及び／又は直径と等しいか、及び／又はそれよりも大きい相互接続部であり得る。ポスト相互接続部は、パッド相互接続部に結合することができる。ポスト相互接続部は、パッド相互接続部から垂直に延び得る（例えば、パッド相互接続部の表面から垂直に延び得る）。ポスト相互接続部は、はんだレジスト層によって横方向に（例えば、部分的に又は完全に）取り囲まれ得る。ポスト相互接続部は、基板の表面（例えば、第 1 の表面、第 2 の表面）から垂直に及び／又は直角に延び得る。基板のポスト相互接続部は、基板の表面から垂直に及び／又は直角に、かつポスト相互接続部がその一部である基板の誘電体層から離れて延び得る。ポスト相互接続部は、基板の誘電体層と直接接触していなくてもよい。ポスト相互接続部（例えば、142 a、322）は、基板のはんだレジスト層（例えば、146 a、324）と直接接触してもよい。

【0038】

集積デバイス（例えば、105、107）は、ダイ（例えば、半導体ベアダイ）を含み得る。集積デバイスは、電源管理集積回路（power management integrated circuit、PMIC）を含み得る。集積デバイスは、アプリケーションプロセッサを含み得る。集積デバイスは、モデムを含み得る。集積デバイスは、無線周波数（radio frequency、RF）デバイス、パッシブデバイス、フィルタ、キャパシタ、インダクタ、アンテナ、送信機、受信機、ガリウムヒ素（GaAs）ベースの集積デバイス、表面弾性波（surface acoustic wave、SAW）フィルタ、バルク弾性波（bulk acoustic wave、BAW）フィルタ、発光ダイオード（light emitting diode、LED）集積デバイス、シリコン（Si）ベースの集積デバイス、炭化ケイ素（SiC）ベースの集積デバイス、メモリ、電源管理プロセッサ、及び／又はこれらの組み合わせを含み得る。集積デバイス（例えば、105、107）は、少なくとも 1 つの電子回路（例えば、第 1 の電子回路、第 2 の電子回路、など）を含み得る。集積デバイスは、トランジスタを含み得る。集積デバイスは、電気コンポーネント及び／又は電気デバイスの一例であり得る。いくつかの実装形態では、集積デバイスはチップレットであり得る。チップレットの作製は、（他のタイプの集積デバイスに比べて）より良好な及び／又は改善された歩留まりを提供することができ、これは、チップレットを作製することの全体的なコストを下げることができる。異なるチップレット構造は、異なるサイズ及び／又は形状を有し得る。異なるチップレットは、異なる機能を提供するように構成され得る。異なるチップレットは、異なる相互接続部密度（例えば、異なる幅及び／又は間隔を有する相互接続部）を有し得る。いくつかの

実装形態では、1つ又は複数のチップ（例えば、もう1つの集積デバイス）の機能性を実行するために、いくつかのチップレットを使用することができる。いくつかの機能を実行するいくつかのチップレットを使用することは、パッケージの機能のすべてを実行するために単一のチップを使用することと比べて、パッケージの全体的なコストを低減し得る。

【0039】

パッケージ（例えば、100、300）は、無線周波数（RF）パッケージの中に実装され得る。RFパッケージは、無線周波数フロントエンド（radio frequency front end、RFFE）パッケージであってもよい。パッケージ（例えば、100、300）は、ワイヤレスフィデリティ（Wireless Fidelity、Wi-Fi）通信及び／又はセルラー通信（例えば、2G、3G、4G、5G）を提供するように構成され得る。パッケージ（例えば、100、300）は、グローバル移動体通信システム（Global System for Mobile Communications、GSM）、ユニバーサル移動体通信システム（Universal Mobile Telecommunications System、UMTS）、及び／又はロングタームエボリューション（Long-Term Evolution、LTE）をサポートするように構成され得る。パッケージ（例えば、100、300）は、異なる周波数及び／又は通信プロトコルを有する信号を送信及び受信するように構成され得る。

【0040】

様々なパッケージについて説明したが、次に、パッケージを作製するためのシーケンスについて、以下で説明する。

ポスト相互接続部と、キャピティを有するはんだレジスト層とを有する基板を備えるパッケージを作製するための例示的なシーケンス

【0041】

いくつかの実装形態では、パッケージを作製することは、いくつかのプロセスを含む。図5A～図5Cは、パッケージを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、パッケージ100を提供又は作製するために、図5A～図5Cのシーケンスを用いることができる。ただし、本開示に記載のパッケージのいずれか（例えば、300）を作製するために、図5A～図5Cのプロセスを用いることができる。

【0042】

図5A～図5Cのシーケンスは、パッケージを提供又は作製するためのシーケンスを簡略化及び／又は明確化するために、1つ又は複数の段階を組み合わせることができることに留意すべきである。いくつかの実装形態では、プロセスの順番を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの1つ又は複数の交換又は置換することができる。

【0043】

図5Aに示すように、段階1は、基板102が提供された後の状態を示す。基板102は、少なくとも1つの誘電体層120と複数の相互接続部122とを含む。基板102は、第1の表面（例えば、上面）と第2の表面（例えば、底面）とを含み得る。基板102は、図10A～図10Cで説明する方法を用いて作製することができる。いくつかの実装形態では、コア基板（例えば、コア層を含む基板）が提供される。

【0044】

段階2は、第1の集積デバイス105が基板102の第1の表面（例えば、上面）に結合された後の状態を示す。第1の集積デバイス105は、複数のピラー相互接続部150及び／又ははんだ相互接続部（図示せず）を介して基板102に結合することができる。第1の集積デバイス105を基板102に結合するために、はんだリフロープロセスを用いることができる。段階2はまた、第1の集積デバイス105と基板102との間に設けられる、かつ／又は形成されるアンダーフィル152を示す。

【0045】

段階3は、基板104が提供された後の状態を示す。基板104は、少なくとも1つの誘電体層140と複数の相互接続部142とを含む。基板104は、第1の表面（例えば、上面）と第2の表面（例えば、底面）とを含み得る。複数の相互接続部142は、ポス

ト相互接続部 142a を含み得る。基板 104 は、はんだレジスト層 144 とはんだレジスト層 146 とを含む。はんだレジスト層 146 は、キャビティ（例えば、250）を含む。基板 104 は、図 10A～図 10C で説明する方法を用いて作製することができる。いくつかの実施態様では、コア基板（例えば、コア層を含む基板）が提供される。

【0046】

段階 4 は、基板 104 が複数のボール相互接続部 109 及び複数のはんだ相互接続部 190 を介して基板 102 に結合された後の状態を示す。基板 104 を基板 102 に結合するために、はんだリフロープロセスを用いることができる。複数のボール相互接続部 109 は、基板 104 が基板 102 に結合される前に、基板 104 に結合することができる。基板 104 は、第 1 の集積デバイス 105 が基板 102 と基板 104 との間に位置するように、基板 102 に結合される。第 1 の集積デバイス 105 は、はんだレジスト層 146 のキャビティ（例えば、250）の下に位置し得る。複数のボール相互接続部 109 及び複数のはんだ相互接続部 190 は、(i) 第 2 の基板 104 の複数のポスト相互接続部 142a、及び (ii) 第 1 の基板 102 の複数の相互接続部 122 に結合される。

10

【0047】

段階 5 は、図 5B に示すように、封入層 108 が基板 102 と基板 104 との間に設けられた後の状態を示す。封入層 108 は、第 1 の集積デバイス 105、複数のボール相互接続部 109、及び／又は複数のはんだ相互接続部 190 を封入し得る。封入層 108 は、はんだレジスト層 146 のキャビティ（例えば、250）の中に位置し得る。封入層 108 は、モールド、樹脂、及び／又はエポキシを含み得る。封入層 108 は、封入のための手段とすることができる。封入層 108 は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを用いることにより設けることができる。

20

【0048】

段階 6 は、第 2 の集積デバイス 107 が基板 104 の第 1 の表面（例えば、上面）に結合された後の状態を示す。第 2 の集積デバイス 107 は、複数のはんだ相互接続部 170 を介して基板 104 に結合することができる。第 2 の集積デバイス 107 を基板 104 に結合するために、はんだリフロープロセスを用いることができる。

【0049】

図 5C に示すように、段階 7 は、複数のパッシブデバイス 130 が基板 102 の第 2 の表面（例えば、底面）に結合されることを示す。複数のパッシブデバイス 130 は、複数のはんだ相互接続部（図示せず）を介して基板 102 に結合することができる。複数のパッシブデバイス 130 を基板 102 に結合するために、はんだリフロープロセスを用いることができる。

30

【0050】

段階 8 は、複数のはんだ相互接続部 110 が基板 102 の第 2 の表面に結合された後の状態を示す。複数のはんだ相互接続部 110 を基板 102 に結合するために、はんだリフロープロセスを用いることができる。段階 8 は、パッケージ 100 を示すものとすることができる。パッケージ 100 は、1 つずつ作製してもよく、あるいは 1 つ又は複数のウェーハの一部として一体に作製してから、個別のパッケージに個片化してもよい。

ポスト相互接続部と、キャビティを有するはんだレジスト層とを有する基板を備えるパッケージを作製するための例示的なシーケンス

40

【0051】

いくつかの実装形態では、パッケージを作製することは、いくつかのプロセスを含む。図 6A～図 6C は、パッケージを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、パッケージ 300 を提供又は作製するために、図 6A～図 6C のシーケンスを用いることができる。ただし、本開示に記載のパッケージのいずれか（例えば、100）を作製するために、図 6A～図 6C のプロセスを用いることができる。

【0052】

図 6A～図 6C のシーケンスは、パッケージを提供又は作製するためのシーケンスを簡略化及び／又は明確化するために、1 つ又は複数の段階を組み合わせることができること

50

に留意すべきである。いくつかの実装形態では、プロセスの順番を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの１つ又は複数を交換又は置換することができる。

【００５３】

段階１は、図６Ａに示すように、基板３０２が提供された後の状態を示す。基板３０２は、少なくとも１つの誘電体層１２０と複数の相互接続部１２２とを含む。複数の相互接続部１２２は、複数のポスト相互接続部３２２を含む。基板３０２は、はんだレジスト層３２４と複数のはんだレジスト層１２６とを含む。基板３０２は、第１の表面（例えば、上面）と第２の表面（例えば、底面）とを含み得る。基板３０２は、図１０Ａ～図１０Ｃで説明する方法を用いて作製することができる。いくつかの実施態様では、コア基板（例えば、コア層を含む基板）が提供される。

10

【００５４】

段階２は、第１の集積デバイス１０５が基板３０２の第１の表面（例えば、上面）に結合された後の状態を示す。第１の集積デバイス１０５は、複数のピラー相互接続部１５０及び／又ははんだ相互接続部（図示せず）を介して基板３０２に結合することができる。第１の集積デバイス１０５を基板３０２に結合するために、はんだリフロープロセスを用いることができる。段階２はまた、第１の集積デバイス１０５と基板１０２との間に設けられる、かつ／又は形成されるアンダーフィル１５２を示す。

【００５５】

段階３は、基板１０４が提供された後の状態を示す。基板１０４は、少なくとも１つの誘電体層１４０と複数の相互接続部１４２とを含む。基板１０４は、第１の表面（例えば、上面）と第２の表面（例えば、底面）とを含み得る。複数の相互接続部１４２は、ポスト相互接続部１４２ａを含み得る。基板１０４は、はんだレジスト層１４４とはんだレジスト層１４６とを含む。はんだレジスト層１４６は、キャビティ（例えば、２５０）を含む。基板１０４は、図１０Ａ～図１０Ｃで説明する方法を用いて作製することができる。いくつかの実施態様では、コア基板（例えば、コア層を含む基板）が提供される。

20

【００５６】

段階４は、基板１０４が複数のはんだ相互接続部１９０を介して基板３０２に結合された後の状態を示す。基板１０４を基板３０２に結合するために、はんだリフロープロセスを用いることができる。基板１０４は、第１の集積デバイス１０５が基板３０２と基板１０４との間に位置するように、基板３０２に結合される。第１の集積デバイス１０５は、はんだレジスト層１４６のキャビティ（例えば、２５０）の下に位置し得る。複数のはんだ相互接続部１９０は、（ｉ）第２の基板１０４の複数のポスト相互接続部１４２ａ、及び（ｉｉ）第１の基板３０２の複数のポスト相互接続部３２２に結合される。複数のはんだ相互接続部１９０は、最初に、はんだリフロープロセスを用いて基板１０４に結合され、次いで、基板１０４は、はんだリフロープロセスを用いて複数のはんだ相互接続部１９０を介して基板３０２に結合され得る。

30

【００５７】

段階５は、図６Ｂに示すように、封入層１０８が基板３０２と基板１０４との間に提供された後の状態を示す。封入層１０８は、第１の集積デバイス１０５及び／又は複数のはんだ相互接続部１９０を封入し得る。封入層１０８は、はんだレジスト層１４６のキャビティ（例えば、２５０）の中に位置し得る。封入層１０８は、モールド、樹脂、及び／又はエポキシを含み得る。封入層１０８は、封入のための手段とすることができる。封入層１０８は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを用いることにより設けることができる。

40

【００５８】

段階６は、第２の集積デバイス１０７が基板１０４の第１の表面（例えば、上面）に結合された後の状態を示す。第２の集積デバイス１０７は、複数のはんだ相互接続部１７０を介して基板１０４に結合することができる。第２の集積デバイス１０７を基板１０４に結合するために、はんだリフロープロセスを用いることができる。

50

【0059】

図6Cに示すように、段階7は、複数のパッシブデバイス130が基板302の第2の表面（例えば、底面）に結合されることを示す。複数のパッシブデバイス130は、複数のはんだ相互接続部（図示せず）を介して基板302に結合することができる。複数のパッシブデバイス130を基板302に結合するために、はんだリフロープロセスを用いることができる。

【0060】

段階8は、複数のはんだ相互接続部110が基板302の第2の表面に結合された後の状態を示す。複数のはんだ相互接続部110を基板302に結合するために、はんだリフロープロセスを用いることができる。段階8は、パッケージ300を示すものとして行うことができる。パッケージ300は、1つつつ作製してもよく、あるいは1つ又は複数のウェーハの一部として一体に作製してから、個別のパッケージに個片化してもよい。

ポスト相互接続部と、キャビティを有するはんだレジスト層とを有する基板を備えるパッケージを作製するための方法の例示的なフロー図

【0061】

いくつかの実装形態では、パッケージを作製することは、いくつかのプロセスを含む。図7は、パッケージを提供又は作製するための方法700の例示的なフロー図を示す。いくつかの実装形態では、本開示に記載のパッケージ100を提供又は作製するために、図7の方法700を用いることができる。ただし、本開示に記載のパッケージ（例えば、300）のいずれかを提供又は作製するために、方法700を用いることができる。

【0062】

図7の方法700は、パッケージを提供又は作製するための方法を簡略化及び／又は明確化するために、1つ又は複数のプロセスを組み合わせることができることに留意すべきである。いくつかの実装形態では、プロセスの順番を変更又は修正することができる。

【0063】

方法は、（705において）第1の基板（例えば、102）と、第1の基板（例えば、102）の第1の表面に結合された第1の集積デバイス（例えば、105）とを提供する。第1の基板102及び第1の集積デバイス105は、第1のパッケージの一部とすることができる。第1の基板102は、少なくとも1つの第1の誘電体層120と、第1の複数の相互接続部122とを含む。いくつかの実装形態では、第1の基板は、複数のポスト相互接続部（例えば、322）を含み得る。第1の基板102は、はんだレジスト層124及び／又ははんだレジスト層126を含み得る。基板102は、図10A～図10Cで説明する方法を用いて作製することができる。図5Aの段階1は、提供されている第1の基板の一例を図示し説明する。図5Aの段階2は、第1の集積デバイスを有する第1の基板の一例を図示し説明する。図6Aの段階1は、提供されている第1の基板の一例を図示し説明する。図6Aの段階2は、第1の集積デバイスを有する第1の基板の一例を図示し説明する。

【0064】

方法は、（710において）第2の基板（例えば、104）を提供する。第2の基板104は、少なくとも1つの第2の誘電体層140と、第2の複数の相互接続部142とを含む。第2の複数の相互接続部142は、ポスト相互接続部（例えば、142a）を含み得る。第2の基板は、可変厚さを有するはんだレジスト層を含み得る。例えば、第2の基板は、第1の厚さ及び第2の厚さを有するはんだレジスト層を含み得る。第2の基板は、キャビティ（例えば、250）を有するはんだレジスト層を含み得る。基板104は、図10A～図10Cで説明する方法を用いて作製することができる。いくつかの実装形態では、基板104は、mSAPを用いて作製することができる。図5Aの段階3は、提供されている第2の基板の一例を図示し説明する。図6Aの段階3は、提供されている第2の基板の一例を図示し説明する。

【0065】

方法は、（715において）複数のボール相互接続部（例えば、109）及び／又は複

10

20

30

40

50

数のはんだ相互接続部（例えば、１９０）を介して第２の基板（例えば、１０４）を第１の基板（例えば、１０２）に結合する。複数のボール相互接続部１０９及び／又は複数のはんだ相互接続部１９０は、基板間相互接続部の例である。第２の基板を第１の基板に結合するために、はんだリフロープロセスを用いることができる。図５Ａの段階４は、第１の基板に結合された第２の基板の一例を図示し説明する。図６Ａの段階４は、第１の基板に結合された第２の基板の一例を図示し説明する。

【００６６】

方法は、（７２０において）第１の基板（例えば、１０２、３０２）と第２の基板（例えば、１０４）との間に封入層（例えば、１０８）を設ける。封入層１０８は、モールド、樹脂、及び／又はエポキシを含み得る。封入層１０８は、封入のための手段とすることができる。封入層１０８は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを用いることにより設けることができる。封入層１０８の少なくとも一部分は、第２の基板１０４と第１の集積デバイス１０５との間に位置し得る。図５Ｂの段階５は、封入層を設けることの一例を図示し説明する。図６Ｂの段階５は、封入層を設けることの一例を図示し説明する。

【００６７】

方法は、（７２５において）複数のはんだ相互接続部（例えば、１７０）を介して第２の集積デバイス（例えば、１０７）を第２の基板（例えば、１０４）の第１の表面に結合する。第２の集積デバイスを第２の基板１０４の第１の表面に結合するために、はんだリフロープロセスを用いることができる。図５Ｂの段階６は、第２の基板に結合された第２の集積デバイスの一例を図示し説明する。図６Ｂの段階６は、第２の基板に結合された第２の集積デバイスの一例を図示し説明する。

【００６８】

方法は、（７３０において）パッシブデバイス（例えば、１３０）及び複数のはんだ相互接続部（例えば、１１０）を第１の基板（例えば、１０２、３０２）の第２の表面に結合する。パッシブデバイス及び／又ははんだ相互接続部を第１の基板（例えば、１０２、３０２）の第２の表面に結合するために、はんだリフロープロセスを用いることができる。図５Ｃの段階７は、パッシブデバイスを基板に結合することの一例を図示し説明する。図６Ｃの段階７は、パッシブデバイスを基板に結合することの一例を図示し説明する。図５Ｃの段階８は、はんだ相互接続部を基板に結合することの一例を図示し説明する。図６Ｃの段階８は、はんだ相互接続部を基板に結合することの一例を図示し説明する。

【００６９】

いくつかの実装形態では、いくつかのパッケージが同時に作製される。このような場合、方法は、パッケージ（例えば、１００、３００）を個片化することができる。

ボール相互接続部を介して結合された基板を備えるパッケージを作製するための方法の例示的なフロー図

【００７０】

図８は、パッケージを提供又は作製するための方法８００の例示的なフロー図を示す。いくつかの実装形態では、本開示に記載の図１のパッケージの一部又は全部を提供又は作製するために、図８の方法８００を用いることができる。ただし、本開示に記載のパッケージのいずれかを提供又は作製するために、方法８００を用いることができる。

【００７１】

図８の方法８００は、パッケージを提供又は作製するための方法を簡略化及び／又は明確化するために、１つ又は複数のプロセスを組み合わせることができることに留意すべきである。いくつかの実装形態では、プロセスの順番を変更又は修正することができる。

【００７２】

方法は、（８０５において）ウェーハを提供する。ウェーハは、集積デバイスがその上に形成され得る、かつ／又はそれに結合され得る基板としての役割を果たし得る。いくつかの実装形態では、他の基板がウェーハに結合されてもよい。ウェーハはシリコンを含み得る。ウェーハは、コンポーネントがその上に構築されるベースとしての役割を果たし得

る。

【0073】

方法は、(810において)ウェーハ上にはんだ相互接続部を形成する。はんだ相互接続部をウェーハ上に形成(例えば、結合)するために、はんだリフロープロセス使用することができる。

【0074】

方法は、(815において)結合のために1つ又は複数の集積デバイス(例えば、ダイ)を調製する。集積デバイスを調製することは、集積デバイスを作製することを含み得る。

【0075】

方法は、(820において)第1の基板をプリベークすることによって第1の基板(例えば、基板102、底部基板)を提供し調製する。第1の基板は、後続の熱圧着フリップチップ結合プロセス中のガス放出を回避するために、第1の基板上の水分を除去するためにプリベークされてもよい。方法は、(825において)第1の基板を予備洗浄する。方法は、(827において)第1の基板上有機はんだ付け性保存剤(organic solderability preservative、OSP)を除去する。

【0076】

第1の基板が提供され調製されると、第1の基板は、ウェーハ上に形成されたはんだ相互接続部を介してウェーハに結合することができる。

【0077】

集積デバイス(単数又は複数)は、(830において)第1の基板に結合される。例えば、集積デバイス105は、熱圧着フリップチッププロセスを介して基板102に結合することができる。集積デバイスと基板との間にアンダーフィルが設けられてもよい。図5Aの段階2は、基板に結合された集積デバイスと、集積デバイスと基板との間に設けられたアンダーフィルとの一例を図示し説明する。

【0078】

方法は、(835において)第1の基板のプラズマ洗浄を実行する。プラズマ洗浄は、基板の表面上の汚染物を除去することができる。

【0079】

方法は、(840において)第2の基板(例えば、基板104、上部基板)を予備洗浄する。図5Aの段階3は、提供されている第2の基板の一例を図示し説明する。方法は、(845において)ボール相互接続部(例えば、銅コアボール)を第2の基板に結合する。ボール相互接続部は、はんだ相互接続部(例えば、190)を介して第2の基板104に結合することができる。ボール相互接続部を第2の基板に結合するために、はんだリフロープロセスを用いることができる。方法は、(847において)第2の基板のストリップブロックの個片化を実行する。これは、いくつかの基板が同時に作製され、その後に個片化されるときに行うことができる。

【0080】

方法は、(850において)1つ又は複数の基板のフラックス洗浄を実行する。フラックス洗浄は、基板の金属から酸化物を除去することができる。フラックス洗浄は、第1の基板及び／又は第2の基板に対して行われ得る。

【0081】

方法は、(855において)ボール相互接続部を介して第2の基板(例えば、104)を第1の基板(例えば、102)に結合する。第2の基板を第1の基板に結合するために、はんだリフロープロセスを用いることができる。図5Aの段階4は、基板を別の基板に結合することの一例を図示し説明する。

【0082】

方法は、(860において)第1の基板と第2の基板との間に封入層(例えば、108)を設ける。図5Bの段階5は、基板の間に封入層を設けることの一例を図示し説明する。

。

10

20

30

40

50

【0083】

方法は、(865において)第1の基板にはんだ相互接続部又はランド側アレイ (land side array、LSA) を形成する。はんだ相互接続部を形成するために、はんだリフロープロセスを用いることができる。はんだ相互接続部は、ボールグリッドアレイ (ball grid array、BGA) であってもよい。

【0084】

方法は、(870において)パッケージを個々のパッケージに個片化する。これは、いくつかのパッケージが同時に作製されるときに行われてもよい。パッケージを個片化することは、第1の基板と、集積デバイス(単数又は複数)と、第2の基板とを含むウェーハを個片化することを含み得る。パッケージを個片化するために、機械的プロセス(例えば、鋸)又はレーザーを使用することができる。

10

【0085】

方法は、(875において)パッケージの最終試験及び最終目視検査を実行する。これは、パッケージが意図されたように機能するかどうかを判定するために、パッケージにプローブを取り付けることによって、パッケージが適切に機能するかどうかを試験することを含み得る。目視検査は、パッケージに何らかの欠陥があるかどうかを見るために目視により検査することを含み得る。

【0086】

方法は、(880において)パッケージのテーピング及びリーリングを実行する。これは、パッケージが適切に出荷され得るように、個片化されたパッケージをテープでまとめて包装することを含み得る。

20

【0087】

パッシブコンポーネント及び／又は集積デバイスなどの他のコンポーネントをパッケージに結合することを含む、追加のプロセスがパッケージ上で実行され得ることに留意されたい。図8は、パッケージがどのように作製され得るかの一例を示す。図8は、パッケージが作製され得る唯一の方法を示すことを意図するものではない。

はんだ相互接続部を介して結合された基板を備えるパッケージを作製するための方法の例示的なフロー図

【0088】

図9は、パッケージを提供又は作製するための方法900の例示的なフロー図を示す。いくつかの実装形態では、本開示に記載の図3のパッケージの一部又は全部を提供又は作製するために、図9の方法900を用いることができる。ただし、本開示に記載のパッケージのいずれかを提供又は作製するために、方法900を用いることができる。

30

【0089】

図9の方法900は、パッケージを提供又は作製するための方法を簡略化及び／又は明確化するために、1つ又は複数のプロセスを組み合わせることができることに留意すべきである。いくつかの実装形態では、プロセスの順番を変更又は修正することができる。

【0090】

方法は、(905において)ウェーハを提供する。ウェーハは、集積デバイスがその上に形成され得る、かつ／又はそれに結合され得る基板としての役割を果たし得る。いくつかの実装形態では、他の基板がウェーハに結合されてもよい。ウェーハはシリコンを含み得る。ウェーハは、コンポーネントがその上に構築されるベースとしての役割を果たし得る。

40

【0091】

方法は、(910において)ウェーハ上にはんだ相互接続部を形成する。ウェーハ上にはんだ相互接続部を形成(例えば、結合)するために、はんだリフロープロセスを使用することができる。

【0092】

方法は、(915において)結合のために1つ又は複数の集積デバイス(例えば、ダイ)を調製する。集積デバイスを調製することは、集積デバイスを作製することを含み得る

50

。

【0093】

方法は、（920において）第1の基板をプリベークすることによって第1の基板（例えば、基板302、底部基板）を提供し調製する。第1の基板は、後続の熱圧着フリップチップ結合プロセス中のガス放出を回避するために、第1の基板上の水分を除去するためにプリベークされてもよい。方法は、（925において）第1の基板を予備洗浄する。方法は、（927において）第1の基板上の有機はんだ付け性保存剤（OSP）を除去する。

。

【0094】

第1の基板が提供され調製されると、第1の基板は、ウェーハ上に形成されたはんだ相互接続部を介してウェーハに結合することができる。

10

【0095】

集積デバイス（単数又は複数）は、（930において）第1の基板に結合される。例えば、集積デバイス105は、熱圧着フリップチッププロセスを介して基板102に結合することができる。集積デバイスと基板との間にアンダーフィルが設けられてもよい。図6Aの段階2は、基板に結合された集積デバイスと、集積デバイスと基板との間に設けられたアンダーフィルとの一例を図示し説明する。

【0096】

方法は、（935において）第1の基板のプラズマ洗浄を実行する。プラズマ洗浄は、基板の表面上の汚染物を除去することができる。

20

【0097】

方法は、（940において）第2の基板（例えば、基板104、上部基板）を予備洗浄する。図6Aの段階3は、提供されている第2の基板の一例を図示し説明する。方法は、（945において）第2の基板上にはんだ相互接続部を形成する。はんだ相互接続部（例えば、190）は、ペースト印刷プロセスを用いて、又ははんだボール付着プロセスを用いて、第2の基板104に結合することができる。ボール相互接続部を第2の基板に結合するために、はんだリフロープロセスを用いることができる。方法は、（947において）第2の基板のストリップブロックの個片化を実行する。これは、いくつかの基板が同時に作製され、その後、個片化されるときに行うことができる。

【0098】

方法は、（950において）1つ又は複数の基板のフラックス洗浄を実行する。フラックス洗浄は、基板の金属から酸化物を除去することができる。フラックス洗浄は、第1の基板及び／又は第2の基板に対して行われ得る。

30

【0099】

方法は、（955において）ボール相互接続部を介して第2の基板（例えば、104）を第1の基板（例えば、102）に結合する。第2の基板を第1の基板に結合するために、はんだリフロープロセスを用いることができる。図6Aの段階4は、基板を別の基板に結合することの一例を図示し説明する。

【0100】

方法は、（960において）第1の基板と第2の基板との間に封入層（例えば、108）を設ける。図6Bの段階5は、基板の間に封入層を設けることの一例を図示し説明する。

40

。

【0101】

方法は、（965において）第1の基板上にはんだ相互接続部又はランド側アレイ（LSA）を形成する。はんだ相互接続部を形成するために、はんだリフロープロセスを用いることができる。はんだ相互接続部は、ボールグリッドアレイ（BGA）であってもよい。

。

【0102】

方法は、（970において）パッケージを個々のパッケージに個片化する。これは、いくつかのパッケージが同時に作製されるときに行われてもよい。パッケージを個片化する

50

ことは、第 1 の基板と、集積デバイス（単数又は複数）と、第 2 の基板とを含むウェーハを個片化することを含み得る。パッケージを個片化するために、機械的プロセス（例えば、鋸）又はレーザーを使用することができる。

【0103】

方法は、（975において）パッケージの最終試験及び最終目視検査を実行する。これは、パッケージが意図されたように機能するかどうかを判定するために、パッケージにプローブを取り付けることによって、パッケージが適切に機能するかどうかを試験することを含み得る。目視検査は、パッケージに何らかの欠陥があるかどうかを見るために目視により検査することを含み得る。

【0104】

方法は、（980において）パッケージのテーピング及びリーリングを実行する。これは、パッケージが適切に出荷され得るように、個片化されたパッケージをテープでまとめて包装することを含み得る。

【0105】

パッシブコンポーネント及び／又は集積デバイスなどの他のコンポーネントをパッケージに結合することを含む、追加のプロセスがパッケージ上で実行され得ることに留意されたい。図 9 は、パッケージがどのように作製され得るかの一例を示す。図 9 は、パッケージが作製され得る唯一の方法を示すことを意図するものではない。

基板を作製するための例示的なシーケンス

【0106】

いくつかの実装形態では、基板を作製することは、いくつかのプロセスを含む。図 10 A～図 10 C は、基板を提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、基板 104 を提供又は作製するために、図 10 A～図 10 C のシーケンスを用いることができる。ただし、基板 102 及び／又は基板 302 などの、本開示に記載の基板のうちのいずれかを作製するために、図 10 A～図 10 C のプロセスを用いることができる。

【0107】

図 10 A～図 10 C のシーケンスは、基板を提供又は作製するためのシーケンスを簡略化及び／又は明確化するために、1 つ又は複数の段階を組み合わせることができることに留意すべきである。いくつかの実装形態では、プロセスの順番を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの 1 つ又は複数の交換又は置換することができる。

【0108】

段階 1 は、図 10 A に示すように、キャリア 1000 が提供された後の状態を示す。シード層 1001 及び相互接続部 1002 が、キャリア 1000 の上に位置し得る。相互接続部 1002 は、シード層 1001 の上に位置し得る。相互接続部 1002 を形成するために、めっきプロセス及びエッチングプロセスを用いることができる。いくつかの実装形態では、キャリア 1000 には、シード層 1001 と、相互接続部 1002 を形成するようにパターニングされた金属層とを設けることができる。相互接続部 1002 は、複数の相互接続部 142 からの相互接続部のうちの少なくともいくつかを表すことができる。

【0109】

段階 2 は、誘電体層 1020 が、キャリア 1000、シード層 1001、及び相互接続部 1002 の上に形成された後の状態を示す。誘電体層 1020 を形成するために、堆積プロセス及び／又は積層プロセスを用いることができる。誘電体層 1020 は、プリプレグ及び／又はポリイミドを含み得る。誘電体層 1020 は、フォトリソグラフィ誘電体を含み得る。ただし、異なる実装形態は、誘電体層に異なる材料を使用し得る。

【0110】

段階 3 は、誘電体層 1020 の中に複数のキャビティ 1010 が形成された後の状態を示す。複数のキャビティ 1010 は、エッチングプロセス（例えば、フォトリソグラフィプロセス）又はレーザープロセスを用いて形成することができる。

【0111】

段階4は、複数のキャビティ1010の中及びその上を含む、誘電体層1020の中及びその上に相互接続部1012が形成された後の状態を示す。例えば、ビア、パッド、及び／又はトレースが形成され得る。相互接続部を形成するために、めっきプロセスを用いることができる。

【0112】

段階5は、誘電体層1020及び相互接続部1012の上に誘電体層1022が形成された後の状態を示す。誘電体層1022を形成するために、堆積プロセス及び／又は積層プロセスを用いることができる。誘電体層1022は、プリプレグ及び／又はポリイミドを含み得る。誘電体層1022は、フォトイメージャブル誘電体を含み得る。ただし、異なる実装形態は、誘電体層に異なる材料を使用し得る。

10

【0113】

図10Bに示すように、段階6は、誘電体層1022の中に複数のキャビティ1030が形成された後の状態を示す。複数のキャビティ1030は、エッチングプロセス（例えば、フォトエッチングプロセス）又はレーザープロセスを用いて形成することができる。

【0114】

段階7は、複数のキャビティ1030の中及びその上を含む、誘電体層1022の中及びその上に相互接続部1014が形成された後の状態を示す。例えば、ビア、パッド、及び／又はトレースが形成され得る。相互接続部を形成するために、めっきプロセスを用いることができる。

20

【0115】

段階8は、相互接続部1014の上に相互接続部1016が形成された後の状態を示す。相互接続部1016はポスト相互接続部であってもよい。相互接続部1016を形成するために、めっきプロセスを用いることができる。複数の相互接続部1002、複数の相互接続部1012、及び／又は複数の相互接続部1014は、複数の相互接続部142によって表され得る。誘電体層1020及び／又は誘電体層1022は、少なくとも1つの誘電体層140によって表され得る。少なくとも1つの誘電体層140は、フォトイメージャブル誘電体を含み得る。少なくとも1つの誘電体層140は、プリプレグ及び／又はポリイミドを含み得る。

【0116】

段階9は、キャリア1000が少なくとも1つの誘電体層140及びシード層1001から分離され（例えば、取り外され、除去され、研削され）、シード層1001の部分が除去され（例えば、エッチング除去され）、少なくとも1つの誘電体層140及び複数の相互接続部142を含む基板104が残された後の状態を示す。

30

【0117】

段階10は、図10Cに示すように、基板104の第1の表面上にはんだレジスト層144が形成され、基板104の第2の表面上にはんだレジスト層146が形成された後の状態を示す。はんだレジスト層144及び／又ははんだレジスト層146を形成するために、堆積プロセス及び／又は積層プロセスを用いることができる。

【0118】

段階11は、はんだレジスト層146の部分の上にはんだレジストの追加の層が形成された後の状態を示し、これによって、はんだレジスト層146の異なる部分が異なる厚さを有するようになる。はんだレジストの追加の層は、はんだレジスト層146の一部と見なされる。はんだレジストの追加の層は、はんだレジスト層146の中にキャビティ1460を形成する。追加のはんだレジストを形成するために、堆積プロセス及び／又は積層プロセスを用いることができる。

40

【0119】

異なる実装形態は、金属層（単数又は複数）及び／又は相互接続部を形成するために、異なるプロセスを用いることができる。いくつかの実装形態では、金属層（単数又は複数）を形成するために、化学気相成長（chemical vapor deposition、CVD）プロセ

50

ス、物理気相成長（physical vapor deposition、PVD）プロセス、スパッタリングプロセス、スプレーコーティングプロセス、及び／又はめっきプロセスを用いることができる。

基板を作製するための方法の例示的なフロー図

【0120】

いくつかの実装形態では、基板を作製することは、いくつかのプロセスを含む。図11は、基板を提供又は作製するための方法1100の例示的なフロー図を示す。いくつかの実装形態では、本開示の基板（単数又は複数）を提供又は作製するために、図11の方法1100を用いることができる。例えば、基板104を作製するために、図11の方法1100を使用することができる。

10

【0121】

図11の方法1100は、基板を提供又は作製するための方法を簡略化及び／又は明確化するために、1つ又は複数のプロセスを組み合わせることができることに留意すべきである。いくつかの実装形態では、プロセスの順番を変更又は修正することができる。

【0122】

方法は、（1105において）キャリア（例えば、1000）を提供する。異なる実装形態は、キャリア1000に異なる材料を使用することができる。キャリア1000は、シード層（例えば、1001）を含み得る。シード層1001は、金属（例えば、銅）を含み得る。キャリアは、基板、ガラス、石英、及び／又はキャリアテープを含み得る。図10Aの段階1は、提供されているシード層を有するキャリアの一例を図示し説明する。

20

【0123】

方法は、（1110において）キャリア1000及びシード層1001の上に相互接続部を形成しパターンニングする。相互接続部を形成するために金属層がパターンニングされ得る。金属層及び相互接続部を形成するために、めっきプロセスを用いることができる。いくつかの実装形態では、キャリア及びシード層は、金属層を含み得る。金属層は、シード層の上に位置し、金属層は、相互接続部（例えば、142）を形成するようにパターンニングされ得る。図10Aの段階1は、シード層及びキャリアの上に相互接続部を形成しパターンニングすることの一例を図示し説明する。

【0124】

方法は、（1115において）シード層1001、キャリア1000、及び相互接続部1002の上に誘電体層1020を形成する。誘電体層1020を形成するために、堆積プロセス及び／又は積層プロセスを用いることができる。誘電体層1020は、プリプレグ及び／又はポリイミドを含み得る。誘電体層1020は、フォトイメージャブル誘電体を含み得る。誘電体層1020を形成することはまた、誘電体層1020の中に複数のキャビティ（例えば、1010）を形成することを含み得る。複数のキャビティは、エッチングプロセス（例えば、フォトリソグラフィ）又はレーザープロセスを用いて形成することができる。図10Aの段階2～段階3は、誘電体層及び誘電体層の中にキャビティを形成することの一例を図示し説明する。

30

【0125】

方法は、（1120において）誘電体層の中及びその上に相互接続部を形成する。例えば、相互接続部1012を、誘電体層1020の中及びその上に形成することができる。相互接続部を形成するために、めっきプロセスを用いることができる。相互接続部を形成することは、誘電体層の上及び／又はその中に、パターンニングされた金属層を設けることを含み得る。相互接続部を形成することはまた、誘電体層のキャビティの中に相互接続部を形成することを含み得る。図10Aの段階4は、誘電体層の中及びその上に相互接続部を形成することの一例を図示し説明する。

40

【0126】

方法は、（1125において）誘電体層1020及び相互接続部1012の上に誘電体層1022を形成する。誘電体層1022を形成するために、堆積プロセス及び／又は積層プロセスを用いることができる。誘電体層1022は、プリプレグ及び／又はポリイミ

50

ドを含み得る。誘電体層 1022 は、フォトイメージャブル誘電体を含み得る。誘電体層 1022 を形成することはまた、誘電体層 1022 の中に複数のキャビティ（例えば、1030）を形成することを含み得る。複数のキャビティは、エッチングプロセス（例えば、フォトエッチング）又はレーザープロセスを用いて形成することができる。図 10A ～ 図 10B の段階 5 ～ 段階 6 は、誘電体層及び誘電体層の中にキャビティを形成することの一例を図示し説明する。

【0127】

方法は、（1130において）誘電体層の中及びその上に相互接続部を形成する。例えば、相互接続部 1014 を、誘電体層 1022 の中及びその上に形成することができる。相互接続部を形成するために、めっきプロセスを用いることができる。相互接続部を形成することは、誘電体層の上及び／又はその中に、パターニングされた金属層を設けることを含み得る。相互接続部を形成することはまた、誘電体層のキャビティの中に相互接続部を形成することを含み得る。相互接続部を形成することは、ポスト相互接続部を形成することを含み得る。図 10B の段階 7 ～ 段階 8 は、ポスト相互接続部を形成することを含む、誘電体層の中及びその上に相互接続部を形成することの一例を図示し説明する。

【0128】

方法は、（1135において）キャリア（例えば、1000）をシード層（例えば、1001）から分離する。キャリア 1000 は、取り外されてもよく、かつ／又は研削されてもよい。方法はまた、（1135において）シード層（例えば、1001）の部分を除くことができる。図 10B の段階 9 は、キャリアを分離すること及びシード層除去の一例を図示し説明する。

【0129】

方法は、（1140において）基板の第 1 の表面及び／又は第 2 の表面の上にはんだレジスト層（単数又は複数）を形成し得る。例えば、基板の第 1 の表面上に第 1 のはんだレジスト層が形成されてよく、かつ／又は基板の第 2 の表面上に第 2 のはんだレジスト層が形成されてよい。第 1 のはんだレジスト層及び／又は第 2 のはんだレジスト層は各々、図 1 ～ 図 4 に記載のように、第 1 のはんだレジスト層及び／又は第 2 のはんだレジスト層がキャビティを有し得るように、可変厚さを有し得る。すなわち、はんだレジスト層の第 1 の部分は第 1 の厚さを有することができ、同じはんだレジスト層の第 2 の部分は、第 1 の厚さとは異なる第 2 の厚さを有し得る。図 10C の段階 10 及び段階 11 は、キャビティを有するはんだレジスト層を設けること及び／又は形成することの一例を図示し説明する。

【0130】

異なる実装形態は、金属層（単数又は複数）を形成するために、異なるプロセスを用いることができる。いくつかの実装形態では、金属層（単数又は複数）を形成するために、化学気相成長（CVD）プロセス、物理気相成長（PVD）プロセス、スパッタリングプロセス、スプレーコーティングプロセス、及び／又はめっきプロセスを用いることができる。

例示的な電子デバイス

【0131】

図 12 は、前述したデバイス、集積デバイス、集積回路（integrated circuit、IC）パッケージ、集積回路（IC）デバイス、半導体デバイス、集積回路、ダイ、インターポーザ、パッケージ、パッケージオンパッケージ（PoP）、システムインパッケージ（System in Package、SiP）、又はシステムオンチップ（System on Chip、SoC）のうちのいずれかと一体化され得る様々な電子デバイスを示す。例えば、携帯電話デバイス 1202、ラップトップコンピュータデバイス 1204、定置端末デバイス 1206、ウェアラブルデバイス 1208、又は自動ビークル 1210 は、本明細書に記載のようなデバイス 1200 を含み得る。デバイス 1200 は、例えば、本明細書に記載のデバイス及び／又は集積回路（IC）パッケージのうちのいずれかであってもよい。図 12 に

示すデバイス1202、1204、1206、及び1208、並びにビークル1210は、単なる例示に過ぎない。モバイルデバイス、ハンドヘルドパーソナル通信システム（personal communication system、PCS）ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム（global positioning system、GPS）対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メータ読み取り機器などの定置データユニット、通信デバイス、スマートフォン、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス（例えば、時計、眼鏡）、モノのインターネット（Internet of things、IoT）デバイス、サーバー、ルーター、自動ビークル（例えば、自律型ビークル）の中に搭載されている電子デバイス、又は、データ若しくはコンピュータ命令を記憶する若しくは取り出す任意の他のデバイス、あるいはこれらの任意の組み合わせを含む、デバイス（例えば、電子デバイス）のグループを含むがこれらに限定されない他の電子デバイスもまた、デバイス1200を特徴とすることができる。

10

【0132】

図1～図4、図5A～図5C、図6A～図6C、図7～図9、図10A～図10C、及び図11～図12に示すコンポーネント、プロセス、特徴、及び／又は機能のうちの1つ又は複数は、単一のコンポーネント、プロセス、特徴、若しくは機能に再構成及び／又は組み合わされてもよく、いくつかのコンポーネント、プロセス、又は機能に組み込まれてもよい。本開示から逸脱することなく、追加の要素、コンポーネント、プロセス、及び／又は機能を更に追加することができる。本開示における図1～図4、図5A～図5C、図6A～図6C、図7～図9、図10A～図10C、及び図11～図12、並びにその対応する説明は、ダイ及び／又はICに限定されないことにも留意されたい。いくつかの実装形態では、デバイス及び／又は集積デバイスを製造、作成、提供、及び／又は生産するために、図1～図4、図5A～図5C、図6A～図6C、図7～図9、図10A～図10C、及び図11～図12、並びにその対応する説明を使用することができる。いくつかの実装形態では、デバイスは、ダイ、集積デバイス、集積パッシブデバイス（IPD）、ダイパッケージ、集積回路（IC）デバイス、デバイスパッケージ、集積回路（IC）パッケージ、ウェーハ、半導体デバイス、パッケージオンパッケージ（POP）デバイス、放熱デバイス、及び／又はインターポーザを含み得る。

20

【0133】

本開示における図面は、様々な部品、コンポーネント、物体、デバイス、パッケージ、集積デバイス、集積回路、及び／又はトランジスタの、実際の表現及び／又は概念的表現を表し得ることに留意されたい。いくつかの事例では、図面は、縮尺通りではない場合がある。いくつかの事例では、明瞭化の目的のために、すべてのコンポーネント及び／又は部品が示されていない場合もある。いくつかの事例では、図面中の様々な部品及び／又はコンポーネントの位置、場所、サイズ、及び／又は形状は、例示的なものであり得る。いくつかの実装形態では、図面中の様々なコンポーネント及び／又は部品は、任意選択的なものとしてすることができる。

30

【0134】

「例示的（exemplary）」という語は、「例、事例、又は例示としての役割を果たすこと」を意味するために本明細書で使用される。「例示的」として本明細書に記載の実装形態又は態様はいずれも、必ずしも本開示の他の態様よりも好ましい又は有利であるとして解釈されるべきではない。同様に、「態様」という用語は、本開示のすべての態様が、説明する特徴、利点、又は動作モードを含むことを必要とするとは限らない。「結合される」という用語は、本明細書では、2つの物体間の直接的又は間接的な結合（例えば、機械的結合）を指すために使用されている。例えば、物体Aが物体Bに物理的に接触しており、物体Bが物体Cに接触している場合には、物体Aと物体Cとは、それらが互いに物理的に直接接触していない場合であっても、依然として互いに結合されていると見なすことができる。物体Bに結合される物体Aは、物体Bの少なくとも一部に結合することができる。「電氣的に結合される」という用語は、電流（例えば、信号、電力、接地）が2つの

40

50

物体間を移動し得るように、2つの物体が直接的又は間接的に一体に結合されることを意味し得る。電氣的に結合されている2つの物体は、それら2つの物体の間に電流を伝播させる場合もあれば、伝播させない場合もある。用語「第1」、「第2」、「第3」、及び「第4」（及び／又は、第4を上回るいずれのもの）の使用は、任意的である。説明されているコンポーネントのうちのいずれも、第1のコンポーネント、第2のコンポーネント、第3のコンポーネント、又は第4のコンポーネントとすることができる。例えば、第2のコンポーネントと称されているコンポーネントは、第1のコンポーネント、第2のコンポーネント、第3のコンポーネント、又は第4のコンポーネントとすることもできる。「封入する」、「封入すること」という用語、及び／又はその派生語は、物体が別の物体を部分的に封入すること、又は完全に封入し得ることを意味する。「上部（top）」及び「底部（bottom）」という用語は、任意的である。上部に位置しているコンポーネントは、底部に位置しているコンポーネントの上に位置し得る。上部のコンポーネントを底部のコンポーネントと見なすことができ、その逆も同様である。本開示に記載のように、第2のコンポーネント「の上に（over）」位置している第1のコンポーネントとは、底部又は上部がどのように任意的に定義されているかに応じて、その第1のコンポーネントが、第2のコンポーネントの上方に位置していること又は下方に位置していることを意味し得る。別の実施例では、第1のコンポーネントが、第2のコンポーネントの第1の表面の上に（例えば、上方に）位置していてもよく、第3のコンポーネントが、第2のコンポーネントの第2の表面の上に（例えば、下方に）位置していてもよく、この場合、第2の表面は、第1の表面の反対側にある。ある1つのコンポーネントが別のコンポーネントの上に位置している文脈において、本出願で使用される場合の「の上に」という用語は、別のコンポーネント上に、及び／又は別のコンポーネントの中に存在している（例えば、コンポーネントの表面上に存在しているか、コンポーネントの中に埋め込まれている）コンポーネントを意味するために使用することができることに更に留意されたい。よって、例えば、第2のコンポーネントの上に存在している第1のコンポーネントとは、（1）第1のコンポーネントが第2のコンポーネントの上に存在しているが、第2のコンポーネントには直接接触していないこと、（2）第1のコンポーネントが第2のコンポーネント上に（例えば、その表面上に）存在していること、及び／又は（3）第1のコンポーネントが第2のコンポーネントの中に存在している（例えば、その中に埋め込まれている）ことを意味し得る。第2のコンポーネント「の中に（in）」位置している第1のコンポーネントは、第2のコンポーネントの中に部分的に位置している場合もあれば、第2のコンポーネントの中に完全に位置している場合もある。約X～XXである値は、XとXXとの間の値であって、XとXXとを含む値を意味し得る。XとXXとの間の値（単数又は複数）は、離散的又は連続的であり得る。本開示で使用される場合の「約（about）「値X」」又は「およそ（approximately）値X」という用語は、「値X」の10パーセントの範囲内を意味する。例えば、約1又はおよそ1の値とは、0.9～1.1の範囲の値を意味することになる。

10

20

30

【0135】

いくつかの実装形態では、相互接続部とは、2つの点、要素、及び／又はコンポーネント間の電氣的接続を可能にする又は容易にする、デバイス又はパッケージの要素又はコンポーネントである。いくつかの実装形態では、相互接続部は、トレース（例えば、トレース相互接続部）、ビア（例えば、ビア相互接続部）、パッド（例えば、パッド相互接続部）、ピラー、メタライゼーション層、再配線層、及び／又はアンダーバンプメタライゼーション（under bump metallization、UBM）層／相互接続部を含み得る。いくつかの実装形態では、相互接続部は、信号（例えば、データ信号）、接地、及び／又は電力に関する電気経路を提供するように構成され得る導電性材料を含み得る。相互接続部は、2つ以上の要素又はコンポーネントを含み得る。相互接続部は、1つ又は複数の相互接続部によって画定され得る。相互接続部は、1つ又は複数の金属層を含み得る。相互接続部は、回路の一部とすることができる。異なる実装形態では、相互接続部を形成するために、異なるプロセス及び／又はシーケンスを使用することができる。いくつかの実装形態で

40

50

は、相互接続部を形成するために、化学気相成長（CVD）プロセス、物理気相成長（PVD）プロセス、スパッタリングプロセス、スプレーコーティング、及び／又はめっきプロセスを用いることができる。

【0136】

また、本明細書に含まれている様々な開示は、フローチャート、フロー図、構造図、又はブロック図として示されているプロセスとして説明される場合があることにも留意されたい。フローチャートは、動作を逐次プロセスとして説明することがあるが、動作の多くは並行して又は同時に実施され得る。加えて、動作の順序は並べ替えられてもよい。プロセスは、その動作が完了すると終了する。

【0137】

以下では、本発明の理解を容易にするためにさらなる例が説明される。

【0138】

態様1：少なくとも1つの第1の誘電体層と、第1の複数の相互接続部とを備える第1の基板と、第1の基板に結合された第1の集積デバイスと、第2の基板と、第1の基板及び第2の基板に結合された複数のボール相互接続部及び複数のはんだ相互接続部とを備えるパッケージ。第2の基板が、第1の表面及び第2の表面と、少なくとも1つの第2の誘電体層と、第2の複数の相互接続部であって、複数のポスト相互接続部を備える、第2の複数の相互接続部と、第2の基板の第2の表面に結合されたはんだレジスト層とを備える。第2の基板の第2の表面が、第1の基板に面している。はんだレジスト層は、キャビティを含む。キャビティは、第1の集積デバイスとはんだレジスト層との間に位置する。複数のボール相互接続部及び複数のはんだ相互接続部が、第1の基板と第2の基板との間に位置する。複数のボール相互接続部及び複数のはんだ相互接続部が、第1の基板を第2の基板に結合するように構成されている。

【0139】

態様2：複数のボール相互接続部及び複数のはんだ相互接続部が、第2の基板の複数のポスト相互接続部に結合されており、複数のポスト相互接続部が、はんだレジスト層によって横方向に取り囲まれている、請求項1に記載のパッケージ。

【0140】

態様3：複数のボール相互接続部が、270マイクロメートル以下のピッチを有する隣接するボール相互接続部を含む、態様1から2に記載のパッケージ。

【0141】

態様4：複数のボール相互接続部が、約200～270マイクロメートルの範囲内のピッチを有する隣接するボール相互接続部を含む、態様3に記載のパッケージ。

【0142】

態様5：複数のボール相互接続部が、第1の集積デバイスを横方向に取り囲む少なくとも300個のボール相互接続部を含む、態様1から4に記載のパッケージ。

【0143】

態様6：第1の基板と第2の基板との間に位置する封入層を更に備え、封入層の一部がはんだレジスト層と第1の集積デバイスとの間に位置する、態様1から5に記載のパッケージ。

【0144】

態様7：封入層が、第1の集積デバイス、複数のボール相互接続部、及び複数のはんだ相互接続部を少なくとも部分的に封入する、態様6に記載のパッケージ。

【0145】

態様8：はんだレジスト層が、第1の厚さを有する第1の部分と、第2の厚さを有する第2の部分とを含み、はんだレジスト層の第1の部分が、複数のポスト相互接続部の厚さよりも大きい第1の厚さを有し、はんだレジスト層の第2の部分が、複数のポスト相互接続部の厚さよりも小さい第2の厚さを有し、はんだレジスト層の第2の部分が、第1の集積デバイスの上に位置する、態様1から7に記載のパッケージ。

【0146】

10

20

30

40

50

態様 9：第 2 の基板の第 1 の表面に結合された第 2 の集積デバイスを更に備え、第 2 の基板のはんだレジスト層と第 1 の集積デバイスの裏面との間の垂直ギャップが、第 2 の基板のはんだレジスト層と第 1 の基板のはんだレジスト層との間の別の垂直ギャップよりも小さい、態様 1 から 8 に記載のパッケージ。

【0147】

態様 10：複数のボール相互接続部が、銅コアボール（copper core balls、CCBs）を含む、態様 1 から 9 に記載のパッケージ。

【0148】

態様 11：第 1 の基板と、第 1 の基板に結合された第 1 の集積デバイスと、第 2 の基板と、第 1 の基板及び第 2 の基板に結合された複数ののはんだ相互接続部とを備える、パッケージ。第 1 の基板が、少なくとも 1 つの第 1 の誘電体層と、第 1 の複数の相互接続部であって、第 1 の複数のポスト相互接続部を含む第 1 の複数の相互接続部と、第 1 の基板の第 1 の表面に結合された第 1 ののはんだレジスト層とを備える。第 2 の基板が、第 1 の表面及び第 2 の表面と、少なくとも 1 つの第 2 の誘電体層と、第 2 の複数の相互接続部であって、第 2 の複数のポスト相互接続部を備える、第 2 の複数の相互接続部と、第 2 の基板の第 2 の表面に結合された第 2 ののはんだレジスト層とを備える。第 2 の基板の第 2 の表面が、第 1 の基板に面している。第 2 ののはんだレジスト層が、キャビティを含む。キャビティが、第 1 の集積デバイスと第 2 ののはんだレジスト層との間に位置する。複数ののはんだ相互接続部が、第 1 の基板と第 2 の基板との間に位置する。複数ののはんだ相互接続部が、第 1 の基板を第 2 の基板に結合するように構成されている。

【0149】

態様 12：複数ののはんだ相互接続部が、（i）第 1 の基板の第 1 の複数のポスト相互接続部、及び（ii）第 2 の基板の第 2 の複数のポスト相互接続部に結合されており、第 1 の複数のポスト相互接続部が、第 1 ののはんだレジスト層によって横方向に取り囲まれており、第 2 の複数のポスト相互接続部が、第 2 ののはんだレジスト層によって横方向に取り囲まれている、態様 11 に記載のパッケージ。

【0150】

態様 13：複数ののはんだ相互接続部が、270 マイクロメートル以下のピッチを有する隣接するはんだ相互接続部を含む、態様 11 から 12 に記載のパッケージ。

【0151】

態様 14：複数ののはんだ相互接続部が、約 150 ～ 270 マイクロメートルの範囲内のピッチを有する隣接するはんだ相互接続部を含む、態様 13 に記載のパッケージ。

【0152】

態様 15：複数ののはんだ相互接続部が、第 1 の集積デバイスを横方向に取り囲む少なくとも 300 個のはんだ相互接続部を含む、態様 11 から 14 に記載のパッケージ。

【0153】

態様 16：第 1 の基板と第 2 の基板との間に位置する封入層を更に備え、封入層の一部が第 2 ののはんだレジスト層と第 1 の集積デバイスとの間に位置する、封入層を更に備える、態様 11 から 15 に記載のパッケージ。

【0154】

態様 17：封入層が、第 1 の集積デバイス及び複数ののはんだ相互接続部を少なくとも部分的に封入する、態様 16 に記載のパッケージ。

【0155】

態様 18：第 2 ののはんだレジスト層が、第 1 の厚さを有する第 1 の部分と、第 2 の厚さを有する第 2 の部分とを含み、第 2 ののはんだレジスト層の第 1 の部分が、第 2 の複数のポスト相互接続部の厚さよりも大きい第 1 の厚さを有し、第 2 ののはんだレジスト層の第 2 の部分が、第 2 の複数のポスト相互接続部の厚さよりも小さい第 2 の厚さを有し、第 2 ののはんだレジスト層の第 2 の部分が、第 1 の集積デバイスの上に位置する、態様 11 から 17 に記載のパッケージ。

【0156】

態様 19：第 2 の基板の第 1 の表面に結合された第 2 の集積デバイスを更に備え、第 2 の基板のはんだレジスト層と第 1 の集積デバイスの裏面との間の垂直ギャップが、第 2 の基板のはんだレジスト層と第 1 の基板のはんだレジスト層との間の別の垂直ギャップよりも小さい、態様 11 から 18 に記載のパッケージ。

【0157】

態様 20：第 1 の基板に結合されたパッシブデバイスを更に備える、態様 11 から 19 に記載のパッケージ。

【0158】

態様 21：少なくとも 1 つの第 1 の誘電体層と、第 1 の複数の相互接続部とを備える第 1 の基板と、第 1 の基板に結合された第 1 の集積デバイスと、第 2 の基板と、第 1 の基板及び第 2 の基板に結合された基板間相互接続のための手段とを備える、パッケージ。第 2 の基板が、第 1 の表面及び第 2 の表面と、少なくとも 1 つの第 2 の誘電体層と、第 2 の複数の相互接続部であって、複数のポスト相互接続部を備える、第 2 の複数の相互接続部と、第 2 の基板の第 2 の表面に結合されたはんだレジスト層とを備える。はんだレジスト層は、キャビティを含む。キャビティは、第 1 の集積デバイスとはんだレジスト層との間に位置する。基板間相互接続のための手段は、第 1 の基板と第 2 の基板との間に位置する。基板間相互接続のための手段は、第 1 の基板を第 2 の基板に結合するように構成されている。

【0159】

態様 22：基板間相互接続のための手段が、複数のボール相互接続部及び／又は複数のはんだ相互接続部を含む、態様 21 に記載のパッケージ。

【0160】

態様 23：基板間相互接続のための手段が、第 2 の基板の複数のポスト相互接続部に結合されている、態様 21 から 22 に記載のパッケージ。

【0161】

態様 24：第 1 の基板が、第 1 の複数の相互接続部を含み、第 1 の複数の相互接続部が、第 1 の複数のポスト相互接続部を備え、基板間相互接続のための手段が、第 1 の基板の第 1 の複数のポスト相互接続部に結合されている、態様 23 に記載のパッケージ。

【0162】

態様 25：基板間相互接続のための手段が、約 150～270 マイクロメートルの範囲内のピッチを有する相互接続部を含む、態様 21 から 24 に記載のパッケージ。

【0163】

態様 26：少なくとも 1 つの第 1 の誘電体層と、第 1 の複数の相互接続部とを備える第 1 の基板を提供することを含む方法。方法は、第 1 の集積デバイスを第 1 の基板に結合する。方法は、複数の基板間相互接続部が第 1 の基板と第 2 の基板との間に位置するように、複数の基板間相互接続部を介して第 2 の基板を第 1 の基板に結合する。第 2 の基板が、第 1 の表面及び第 2 の表面と、少なくとも 1 つの第 2 の誘電体層と、第 2 の複数の相互接続部であって、複数のポスト相互接続部を備える、第 2 の複数の相互接続部と、第 2 の基板の第 2 の表面に結合されたはんだレジスト層とを備える。はんだレジスト層は、キャビティを含む。キャビティが、はんだレジスト層と第 1 の集積デバイスとの間に位置する。

【0164】

態様 27：複数の基板間相互接続部が、複数のボール相互接続部及び／又は複数のはんだ相互接続部を含む、態様 26 に記載の方法。

【0165】

態様 28：複数の基板間相互接続部が、第 2 の基板の複数のポスト相互接続部に結合される、態様 26 から 27 に記載の方法。

【0166】

態様 29：第 1 の基板が、第 1 の複数の相互接続部を含み、第 1 の複数の相互接続部が、第 1 の複数のポスト相互接続部を備え、複数の基板間相互接続部が、第 1 の基板の第 1 の複数のポスト相互接続部に結合される、態様 28 に記載の方法。

【 0 1 6 7 】

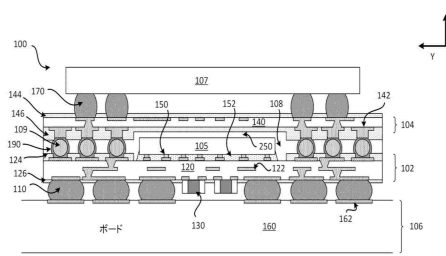
態様 3 0：複数の基板間相互接続部が、約 1 5 0 ～ 2 7 0 マイクロメートルの範囲内のピッチを有する相互接続部を含む、態様 2 6 から 2 9 に記載の方法。

【 0 1 6 8 】

本明細書に記載の本開示の様々な特徴は、本開示から逸脱することなく、異なるシステムにおいて実装することができる。本開示の上記の態様は、単なる例に過ぎず、本開示を限定するものとして解釈されるべきではないことに留意すべきである。本開示の諸態様の説明は、例示的であることが意図されており、特許請求の範囲を限定することを意図するものではない。それゆえ、本教示は、他のタイプの装置に容易に適用することができ、当業者には、多くの代替形態、修正形態、及び変形形態が明らかとなるであろう。

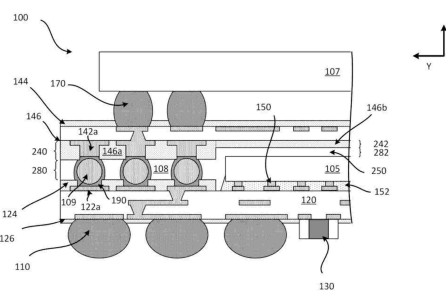
【 図 面 】

【 図 1 】



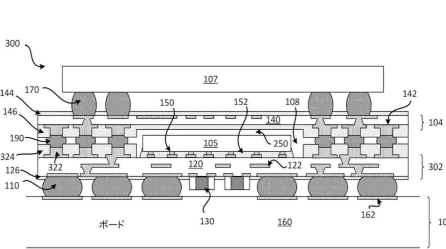
断面側面図

【 図 2 】



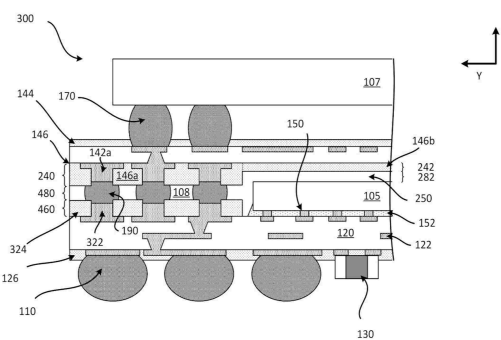
断面側面図

【 図 3 】



断面側面図

【 図 4 】



断面側面図

10

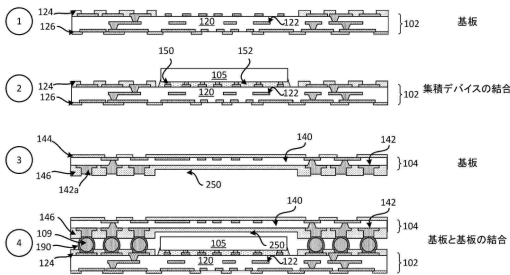
20

30

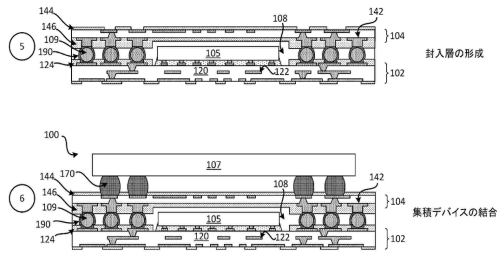
40

50

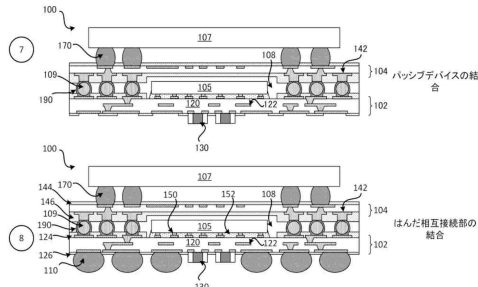
【図 5 A】



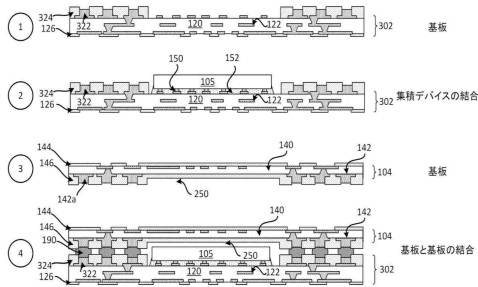
【図 5 B】



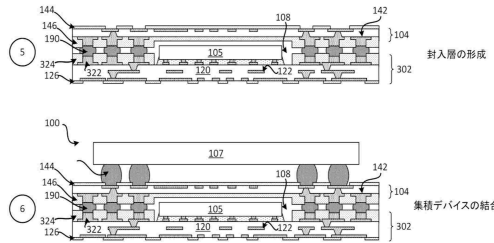
【図 5 C】



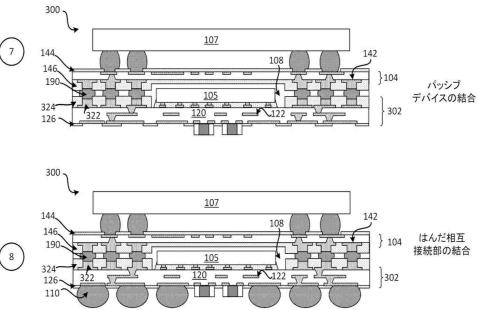
【図 6 A】



【図 6 B】



【図 6 C】



10

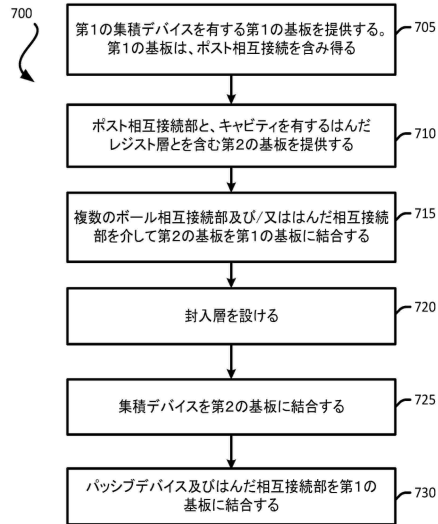
20

30

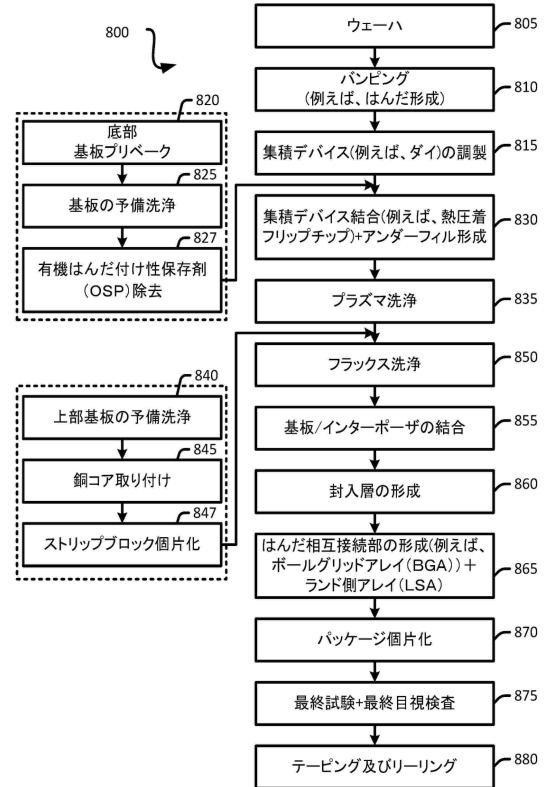
40

50

【図 7】



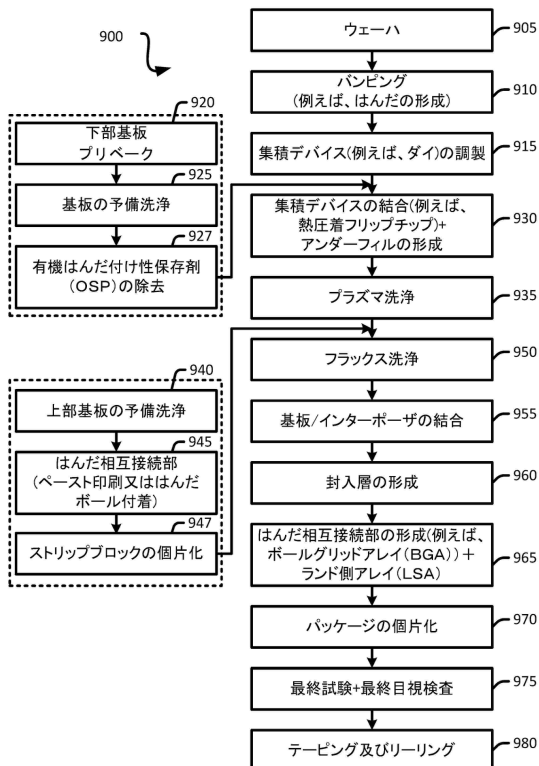
【図 8】



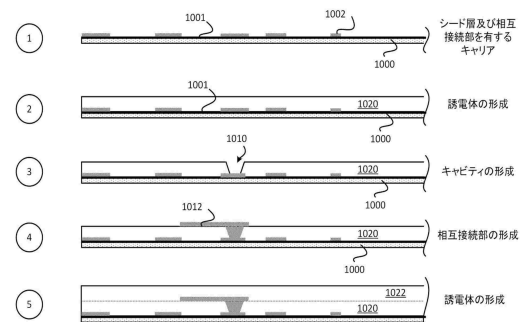
10

20

【図 9】



【図 10 A】

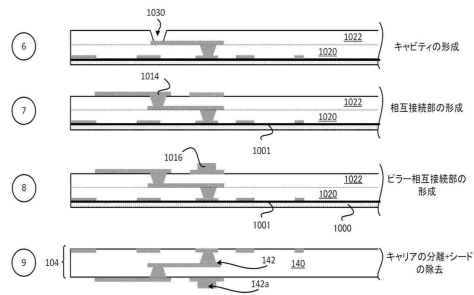


30

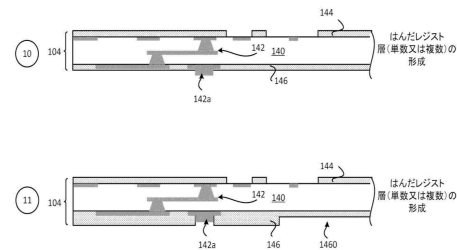
40

50

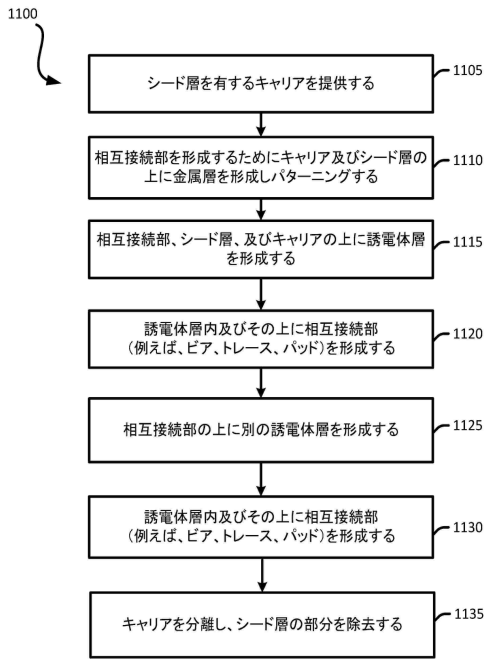
【図 1 0 B】



【図 1 0 C】



【図 1 1】



【図 1 2】

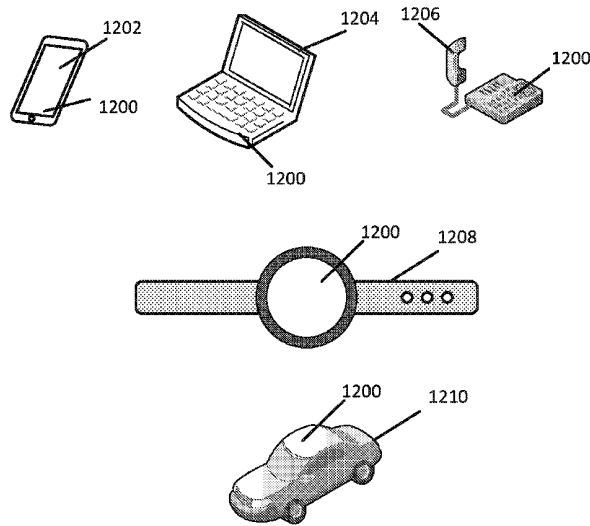


FIG. 12

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/010230

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L23/498
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1 962 342 A1 (SHINKO ELECTRIC IND CO [JP]) 27 August 2008 (2008-08-27) figure 9 -----	1-30
A	US 2020/105544 A1 (TSAI PO-HAO [TW] ET AL) 2 April 2020 (2020-04-02) figure 56 -----	1-30
A	US 2015/255433 A1 (DAIZO TOMOYA [JP] ET AL) 10 September 2015 (2015-09-10) figure 56 -----	1-30

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

13 April 2023

Date of mailing of the international search report

21/04/2023

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Kästner, Martin

INTERNATIONAL SEARCH REPORT				International application No PCT/US2023/010230	
Information on patent family members					
Patent document cited in search report		Publication date	Patent family member(s)		Publication date
EP 1962342	A1	27-08-2008	EP 1962342	A1	27-08-2008
			EP 2290682	A2	02-03-2011
			JP WO2007069606	A1	21-05-2009
			KR 20070100355	A	10-10-2007
			TW I361467	B	01-04-2012
			US 2009008765	A1	08-01-2009
			US 2011256662	A1	20-10-2011
			US 2014313681	A1	23-10-2014
			US 2016358858	A1	08-12-2016
			US 2017365559	A1	21-12-2017
			WO 2007069606	A1	21-06-2007

US 2020105544	A1	02-04-2020	NONE		

US 2015255433	A1	10-09-2015	JP 2015170725	A	28-09-2015
			US 2015255433	A1	10-09-2015

10

20

30

40

50

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

1 2 1 - 1 7 1 4 ・ サン・ディエゴ・モアハウス・ドライヴ・ 5 7 7 5

(72)発明者 ホン・ボク・ウィ

アメリカ合衆国・カリフォルニア・ 9 2 1 2 1 - 1 7 1 4 ・ サン・ディエゴ・モアハウス・ドライヴ・ 5 7 7 5

(72)発明者 アニケット・パティル

アメリカ合衆国・カリフォルニア・ 9 2 1 2 1 - 1 7 1 4 ・ サン・ディエゴ・モアハウス・ドライヴ・ 5 7 7 5