

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6760668号
(P6760668)

(45) 発行日 令和2年9月23日 (2020.9.23)

(24) 登録日 令和2年9月7日 (2020.9.7)

(51) Int. Cl.	F I
H03F 1/12 (2006.01)	H03F 1/12
H03F 1/02 (2006.01)	H03F 1/02
H03F 3/68 (2006.01)	H03F 3/68

請求項の数 20 (全 30 頁)

(21) 出願番号	特願2019-62700 (P2019-62700)	(73) 特許権者	504199127
(22) 出願日	平成31年3月28日 (2019.3.28)		エヌエックスピー ユーエスエイ インコ
(65) 公開番号	特開2019-186926 (P2019-186926A)		ーポレイテッド
(43) 公開日	令和1年10月24日 (2019.10.24)		NXP USA, Inc.
審査請求日	令和1年5月13日 (2019.5.13)		アメリカ合衆国 テキサス州 78735
(31) 優先権主張番号	15/952,889		オースティン ウィリアム キャノン
(32) 優先日	平成30年4月13日 (2018.4.13)		ドライブ ウェスト 6501
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 代理人	100142907
			弁理士 本田 淳
		(72) 発明者	ラマヌジャム スリニディ エンバー
			アメリカ合衆国 78735 テキサス州
			オースティン ウィリアム キャノン
			ドライブ ウェスト 6501 エヌエッ
			クスピー ユーエスエイ インコーポレイ
			テッド
			最終頁に続く

(54) 【発明の名称】 組み合わせローパス・ハイパス段間回路を備えたハイブリッド電力増幅器回路またはシステムおよびその動作方法

(57) 【特許請求の範囲】

【請求項 1】

基本周波数における第 1 信号成分を増幅するように構成されたハイブリッド電力増幅器回路であって、

前段増幅デバイスと、

最終段増幅デバイスと、

前記前段増幅デバイスと前記最終段増幅デバイスとを少なくとも間接的に結合する中間回路と

を備え、

前記中間回路は、ローパス回路とハイパス回路とを含み、前記中間回路は、前記基本周波数の倍数である高調波周波数における第 2 信号成分の高調波終端を提供し、前記中間回路は、前記基本周波数における前記第 1 信号成分のインピーダンス変換を実装せず、

前記ハイブリッド電力増幅器回路は、前記中間回路と前記最終段増幅デバイスとに結合する入力事前整合回路をさらに備え、前記入力事前整合回路は、前記基本周波数における前記第 1 信号成分の前記インピーダンス変換を実装する、
ハイブリッド電力増幅器回路。

【請求項 2】

前記前段増幅デバイスは、シリコンベーストランジスタデバイスである、請求項 1 に記載のハイブリッド電力増幅器回路。

【請求項 3】

10

20

前記シリコンベーストランジスタデバイスは、LDMOSトランジスタデバイスである、請求項2に記載のハイブリッド電力増幅器回路。

【請求項4】

前記最終段増幅デバイスは、III-V族トランジスタデバイスである、請求項1に記載のハイブリッド電力増幅器回路。

【請求項5】

前記III-V族トランジスタデバイスは、窒化ガリウム（GaN）トランジスタデバイスであり、

前記高調波周波数は前記基本周波数の2倍である、請求項4に記載のハイブリッド電力増幅器回路。

10

【請求項6】

前記中間回路は、前記前段増幅デバイスの出力端子と少なくとも間接的に結合された入力ポートを含み、前記最終段増幅デバイスの入力端子と少なくとも間接的に結合された出力ポートも含む、請求項1に記載のハイブリッド電力増幅器回路。

【請求項7】

前記ローパス回路は、第1インダクタと第1コンデンサとを有する第1ローパスフィルタ回路を含み、前記ハイパス回路は、第2コンデンサと第2インダクタとを有する第1ハイパスフィルタ回路を含む、請求項6に記載のハイブリッド電力増幅器回路。

【請求項8】

前記第1インダクタは前記入力ポートに結合され、前記第2コンデンサは前記出力ポートに結合され、前記第1インダクタおよび前記第2コンデンサは前記入力ポートと前記出力ポートとの間に直列に結合される、請求項7に記載のハイブリッド電力増幅器回路。

20

【請求項9】

前記第1インダクタおよび前記第2コンデンサは、中間ノードを介して少なくとも間接的に互いに結合されている、請求項8に記載のハイブリッド電力増幅器回路。

【請求項10】

前記第1コンデンサは前記中間ノードとグランド端子との間に結合され、前記第1インダクタは前記中間ノードと前記グランド端子との間または前記出力ポートと前記グランド端子との間に結合される、請求項9に記載のハイブリッド電力増幅器回路。

【請求項11】

30

前記ローパス回路は、前記第1ローパスフィルタ回路を含む複数のローパスフィルタ回路を有する第1ネットワークを含み、前記ハイパス回路は、前記第1ハイパスフィルタ回路を含む複数のハイパスフィルタ回路を有する第2ネットワークを含む、請求項7に記載のハイブリッド電力増幅器回路。

【請求項12】

前記第1インダクタは前記入力ポートに結合され、前記第2コンデンサは前記出力ポートに結合され、前記第1インダクタおよび前記第2コンデンサは前記入力ポートと前記出力ポートとの間に直列に結合される、請求項11に記載のハイブリッド電力増幅器回路。

【請求項13】

前記前段増幅デバイスはシリコントランジスタデバイスを含み、前記最終段増幅デバイスは窒化ガリウム（GaN）トランジスタデバイスを含む、請求項7に記載のハイブリッド電力増幅器回路。

40

【請求項14】

ハイブリッド電力増幅器回路であって、
前段増幅デバイスと、
最終段増幅デバイスと、
前記前段増幅デバイスと前記最終段増幅デバイスとを少なくとも間接的に結合する中間回路と
を備え、
前記中間回路は、ローパス回路とハイパス回路とを含み、

50

前記ハイブリッド電力増幅器回路は、基本周波数における第1信号成分を増幅するように構成され、

前記中間回路に少なくとも部分的に起因して、前記基本周波数の倍数である高調波周波数における第2信号成分の位相がシフトされ、

前記中間回路は、前記前段増幅デバイスの出力端子と少なくとも間接的に結合された入力ポートを含み、前記最終段増幅デバイスの入力端子と少なくとも間接的に結合された出力ポートも含み、

前記ローパス回路は、第1インダクタと第1コンデンサとを有する第1ローパスフィルタ回路を含み、前記ハイパス回路は、第2コンデンサと第2インダクタとを有する第1ハイパスフィルタ回路を含み、

前記中間回路は、前記基本周波数における前記第1信号成分に関して整合を提供するように構成された追加回路をさらに含み、前記追加回路は、前記前段増幅デバイスと前記中間回路の前記ローパス回路との間に少なくとも間接的に結合される、ハイブリッド電力増幅器回路。

【請求項15】

前記中間回路の前記ハイパス回路と前記最終段増幅デバイスの入力端子との間に少なくとも間接的に結合された少なくとも1つの追加の回路構成要素をさらに備える、請求項14に記載のハイブリッド電力増幅器回路。

【請求項16】

基本周波数における第1信号成分を増幅するように構成されたハイブリッド電力増幅器モジュールであって、

基板と、

少なくとも間接的に前記基板上に支持され、その上に少なくとも部分的に前段増幅回路が形成されている第1ダイと、

少なくとも間接的に前記基板上に支持され、その上に少なくとも部分的に最終段増幅回路が形成されている第2ダイと、

少なくとも間接的に前記基板上に支持され、少なくとも間接的に前段増幅デバイスと最終段増幅デバイスとを結合する中間回路と
を備え、

前記中間回路は、ローパス回路とハイパス回路とを含み、前記中間回路は、前記基本周波数の倍数である高調波周波数における第2信号成分の高調波終端を提供し、前記中間回路は、前記基本周波数における前記第1信号成分のインピーダンス変換を実装せず、

前記ハイブリッド電力増幅器モジュールは、少なくとも間接的に前記基板上に支持され、前記中間回路と前記最終段増幅デバイスとに結合する入力事前整合回路をさらに備え、前記入力事前整合回路は、前記基本周波数における前記第1信号成分の前記インピーダンス変換を実装する、

ハイブリッド電力増幅器モジュール。

【請求項17】

前記中間回路は、前記第1ダイ上に少なくとも部分的に形成され、前記第1ダイはシリコンダイであり、前記第2ダイは窒化ガリウム（GaN）ダイである、請求項16に記載のハイブリッド電力増幅器モジュール。

【請求項18】

ハイブリッド電力増幅器モジュールであって、

基板と、

少なくとも間接的に前記基板上に支持され、その上に少なくとも部分的に前段増幅回路が形成されている第1ダイと、

少なくとも間接的に前記基板上に支持され、その上に少なくとも部分的に最終段増幅回路が形成されている第2ダイと、

少なくとも間接的に前記基板上に支持され、少なくとも間接的に前段増幅デバイスと最終段増幅デバイスとを結合する中間回路と

10

20

30

40

50

を備え、

前記中間回路は、ローパス回路とハイパス回路とを含み、

前記ハイブリッド電力増幅器モジュールは、基本周波数における第1信号成分を増幅するように構成され、

前記中間回路に少なくとも部分的に起因して、前記基本周波数の倍数である高調波周波数における第2信号成分の位相がシフトされ、

前記中間回路は、前記第1ダイ上に少なくとも部分的に形成され、前記第1ダイはシリコンダイであり、前記第2ダイは窒化ガリウム（GaN）ダイであり、

前記中間回路は、前記基本周波数における前記第1信号成分に関して整合を提供するように構成された追加回路をさらに含み、前記追加回路は、前記前段増幅デバイスと前記中間回路の前記ローパス回路との間に少なくとも間接的に結合され、前記高調波周波数は前記基本周波数の2倍である、ハイブリッド電力増幅器モジュール。

10

【請求項19】

増幅を提供する方法であって、

前段増幅デバイスと、最終段増幅デバイスと、前記前段増幅デバイスと前記最終段増幅デバイスとを少なくとも間接的に結合し、ローパス回路とハイパス回路とを含む中間回路と、前記中間回路と前記最終段増幅デバイスとに結合する入力事前整合回路とを有するハイブリッド電力増幅器モジュールを提供する工程と、

前記前段増幅デバイスでRF入力信号を受信する工程と、

前記前段増幅デバイスによってRF信号を増幅して、基本周波数における第1成分と前記基本周波数の倍数である高調波周波数における第2成分とを有する増幅RF信号を生成する工程と、

20

前記入力事前整合回路に修正増幅RF信号を提供するように前記中間回路を介して前記増幅RF信号を修正する工程であって、前記基本周波数における前記第1成分のインピーダンス変換を実装することなく、前記高調波周波数における前記第2成分の高調波終端を提供する、工程と、

前記最終段増幅デバイスに、さらに修正された修正増幅RF信号を提供するように前記入力事前整合回路を介して前記修正増幅RF信号をさらに修正する工程であって、前記基本周波数における前記第1成分の前記インピーダンス変換を実装する、工程と、

前記さらに修正された修正増幅RF信号をさらに増幅して、RF出力信号を生成する工程と

30

を備える、方法。

【請求項20】

前記前段増幅デバイスがシリコントランジスタデバイスを含み、前記最終段増幅デバイスが窒化ガリウム（GaN）トランジスタデバイスを含み、前記高調波周波数が前記基本周波数の2倍であり、前記シリコントランジスタデバイスおよび中間回路はシリコンダイ上に形成され、前記最終段増幅デバイスはGaNダイ上に形成される、請求項19に記載の方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本開示は、電気回路およびシステムならびにその動作方法に関し、より具体的には、電気回路またはシステムがドハティ電力増幅器などの電力増幅器として機能するそのような電気回路、システムおよび方法に関する。

【背景技術】

【0002】

高効率な電力増幅器（PA）設計はますます、無線通信システムの不可欠な部分になりつつある。セルラー基地局市場は、第5世代（5G）通信に適していると予想される窒化ガリウム（GaN）ベースのRF製品にゆっくりと移行している。ゲイン、出力電力、直線性、DC-RF変換効率などの最終段PA性能特性の改良は、現在も厳しい大規模多入

50

力多出力（MIMO）5G要件の範囲内で研究者にとっての焦点となっている。

【0003】

一般に、GaNデバイスは、ゲートおよびドレインのI-V（電流-電圧）波形を注意深く最適化することによって、それ自体が高効率に向いている。GaN PA設計は、GaN PAによって採用されるGaNデバイスのゲートまたはドレインノードにおいて第二高調波周波数（すなわち「 $2f_0$ 」）の短絡終端（または他の場合には非短絡終端）をしばしば提示する。

【0004】

なお、異なるモードおよび異なる周波数帯における可変インピーダンス整合および可変高調波終端について、特許文献1に記載されている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】米国特許第9,602,063号明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、デバイスの外部寄生成分により、このような終端方法では、最適なPA性能を達成できないというボトルネックが生じる可能性がある。また、デバイス技術のプロセス変動は、部品間のばらつきをもたらし可能性があり、それは最適な高調波終端に関して変動性を生じる可能性がある。それゆえ、産業用途については、PA性能を十分に利用して生産環境における収率を最大にするための同調性を可能にすることが望ましい。

20

【0007】

少なくともこれらの理由から、したがって、上記の懸念のうちのいずれか1つまたは複数、または1つ以上の他の懸念に対して改良を達成することができる1つ以上の改良された回路、システム、または方法、特に1つ以上の改良されたPA回路、PAシステム、またはPA方法を開発することができれば有利であろう。

【課題を解決するための手段】

【0008】

上述した課題を解決するために、請求項1に記載の発明は、ハイブリッド電力増幅器回路であって、前段増幅デバイスと、最終段増幅デバイスと、前段増幅デバイスと最終段増幅デバイスとを少なくとも間接的に結合する中間回路とを備え、中間回路は、ローパス回路とハイパス回路とを含み、ハイブリッド電力増幅器回路は、基本周波数における第1信号成分を増幅するように構成され、中間回路に少なくとも部分的に起因して、基本周波数の倍数である高調波周波数における第2信号成分の位相がシフトされることを要旨とする。

30

【0009】

請求項16に記載の発明は、ハイブリッド電力増幅器モジュールであって、基板と、少なくとも間接的に基板上に支持され、その上に少なくとも部分的に前段増幅回路が形成されている第1ダイと、少なくとも間接的に基板上に支持され、その上に少なくとも部分的に最終段増幅回路が形成されている第2ダイと、少なくとも間接的に基板上に支持され、少なくとも間接的に前段増幅デバイスと最終段増幅デバイスとを結合する中間回路とを備え、中間回路は、ローパス回路とハイパス回路とを含み、ハイブリッド電力増幅器回路は、基本周波数における第1信号成分を増幅するように構成され、中間回路に少なくとも部分的に起因して、基本周波数の倍数である高調波周波数における第2信号成分の位相がシフトされることを要旨とする。

40

【0010】

請求項19に記載の発明は、増幅を提供する方法であって、前段増幅デバイスと、最終段増幅デバイスと、前段増幅デバイスと最終段増幅デバイスとを少なくとも間接的に結合し、ローパス回路とハイパス回路とを含む中間回路とを有するハイブリッド電力増幅器モ

50

ジュールを提供する工程と、前段増幅デバイスでRF入力信号を受信する工程と、前段増幅デバイスによってRF信号を増幅して、基本周波数における第1成分と基本周波数の倍数である高調波周波数における第2成分とを有する増幅RF信号を生成する工程と、最終段増幅デバイスに修正増幅RF信号を提供するように中間回路を介して増幅RF信号を修正する工程と、修正増幅RF信号をさらに増幅して、RF出力信号を生成する工程とを備え、増幅RF信号を修正する工程は、増幅RF信号の第2成分の位相をシフトする工程を含むことを要旨とする。

【図面の簡単な説明】

【0011】

【図1】ハイブリッド電力増幅器(PA)回路を図示する概略図。

10

【図2】組み合わせローパス-ハイパスカスケード接続トポロジ、ならびにその回路のいくつかの動作特性を有する改良ハイブリッドPA回路を一般的な形で図示する概略図。

【図3】概略形式で示されたその改良ハイブリッドPA回路の他の部分に関して、図2の改良ハイブリッドPA回路の中間回路に採用することができる例示的なローパス回路およびハイパス回路を図示する概略図。

【図4】図2の改良ハイブリッドPA回路の中間回路にて採用することができる別のローパス回路および別のハイパス回路を示す概略図。

【図5】図2の改良ハイブリッドPA回路の中間回路にて採用することができる別のローパス回路および別のハイパス回路を示す概略図。

【図6】図2の改良ハイブリッドPA回路における図3のものなどのローパス回路およびハイパス回路が存在することによる例示的な動作効果を示すスミスチャートの一部を切り取った部分を示す図。

20

【図7】図2のものに係る改良ハイブリッドPA回路の例である、組み合わせローパス-ハイパスカスケード接続トポロジを有する改良ハイブリッドPA回路をより詳細に図示する概略図。

【図8】図7の改良ハイブリッドPA回路の例示的な動作特性を図示する一対のスミスチャートを示す図。

【図9】改良ハイブリッドPA回路の例示的な動作特性をさらに図示する4つの追加のスミスチャートおよび4つのグラフの組を示す図。

【図10】改良ハイブリッドPA回路の例示的な動作特性を追加的に図示するさらなるスミスチャートおよび一対のグラフを示す図。

30

【図11】図2～図10のいずれかに係る上述したような組み合わせローパス-ハイパスカスケード接続トポロジを有する少なくとも1つの改良ハイブリッドPA回路を特に採用するRF増幅器デバイスの例の上面図。

【発明を実施するための形態】

【0012】

最近、多入力多出力(MIMO)用途のためのフロントエンドモジュールを設計することに大きな焦点が当てられており、PAデバイスのRF送信性能を向上または増強させるために特別な努力が払われている。LDMOS(横方向拡散金属酸化膜半導体)デバイスが最終段GaNデバイスを駆動するのに役立つ1つの従来型のハイブリッドPAアーキテクチャは、他の設計と比較して特定の利点を提供するが、このアーキテクチャの実装に関しては様々な課題が存在し続けている。より具体的には、このアーキテクチャに存在するそのような課題の1つは、(i) GaN入力端子で2f₀短絡を提示すること、および(ii) より低いリアクタンスでLDMOS出力端子での設計しやすい負荷インピーダンスを達成すること、の両方を満たす段間整合を有する設計を生み出すことが難しいことである。

40

【0013】

図1を参照すると、前述のアーキテクチャを伴う例示的なハイブリッドPA回路100が示されている。ハイブリッドPA回路100は、前(または第1)段LDMOSデバイス102、最終段GaNデバイス104、およびこれら2つのデバイスを結ぶ中間回路1

50

06を含む。回路100は、前段LDMOSデバイス102が中間回路106を介して最終段GaNデバイス104を駆動動作するように構成される。また、示すように、中間回路106は、第1回路部分108および第2回路部分110を含む。第1回路部分108は、LDMOSデバイス102の出力ポートである第1ノード112（例えば、LDMOSデバイスのドレイン端子）とGaNデバイス104の入力ポートである第2ノード114（例えば、GaNデバイスのゲート端子）との間に結合されている。

【0014】

より具体的には、示すように、本例示の実施形態では、第1回路部分108は、第1ノード112と第3ノード120との間に並列に結合された第1インダクタ116および第1抵抗器118と、第3ノード120と第4ノード124との間に結合された第1コンデンサ122と、第4ノード124と第5ノード128との間に結合された第2抵抗器126と、第5ノード126と第2ノード114との間に結合された第2インダクタ130とを含む。さらに、第1回路部分108はまた、それぞれ第3ノード120に結合された第3インダクタ132および第4インダクタ134、ならびに、第2コンデンサ136および第3コンデンサ138を含む。示すように、第3インダクタ132は、第3ノード120と第2コンデンサ136との間に結合され、第2コンデンサ136は次に、第3インダクタとグラウンド（すなわちグラウンド端子）140との間に結合される。第3インダクタ132と第2コンデンサ136との間のノード137は、DCバイアス入力ポートとして機能することができる。また、第4インダクタ134は、第3ノード120と第3コンデンサ138との間に結合され、第3コンデンサ138は次に、第4インダクタとグラウンド140との間に結合される。さらに、第1回路部分108はまた、第5インダクタ142および第4コンデンサ144を含み、第5インダクタは、第4ノード124と第4コンデンサとの間に結合され、第4コンデンサは次に、第5インダクタとグラウンド140との間に結合される。

【0015】

第2回路部分110に関しては、第1回路部分108とは対照的に、第2回路部分は、第1ノード112と第2ノード114とを結ばない。むしろ、第2回路部分110は、それぞれ第2ノード114とグラウンド140との間に結合された第3回路部分146および第4回路部分148を含む。示すように、第3回路部分146は、第3抵抗器150、第6インダクタ152、第7インダクタ154、および第5コンデンサ156を含み、第3抵抗器は、第2ノード114と第6インダクタとの間に結合され、第6インダクタは、その抵抗器と第7インダクタとの間に結合され、第7インダクタは、第6インダクタと第5コンデンサとの間に結合され、第5コンデンサ156は、第7インダクタとグラウンド140との間に結合される。さらに、第4回路部分148は、第8インダクタ158と第6コンデンサ160とを含み、第8インダクタ158は、第2ノード114と第6コンデンサとの間に結合され、第6コンデンサは、第8インダクタとグラウンド140との間に結合される。

【0016】

第1回路部分108はまた、LDMOSデバイス102とGaNデバイス104との間で信号を伝達することに加えて、特に基本周波数（「 f_0 」）またはその付近の信号に関する整合、つまり、基本（周波数）帯域での整合を提供するように機能することを理解されたい。対照的に、（第2回路部分110の）第4回路部分148は、再び最終段GaNデバイス104のトランジスタゲート端子であることができる第2ノード114で $2f_0$ （再び第二次高調波周波数）の終端を提供するように特に機能する。さらに、（第2回路部分110の）第3回路部分146は、DCバイアス入力ポートとして機能することができるノード157にて適用可能であるDCバイアスにより、最終段GaNデバイス（トランジスタ）104のゲート端子である第2ノード114にDCバイアスを提供するように特に機能する。また、第3回路部分146は、 $2f_0$ 終端で第4回路部分148を補助することができる。しかし、中間回路106、特にその第2回路部分110は、第2ノード114において $2f_0$ 終端を提供するが、この点に関する中間回路106の動作は理想的

10

20

30

40

50

ではないかもしれない。逆に、 $2f_0$ 終端が第2回路部分110によって適用されると、これは、基本インピーダンスに影響を与える傾向があり、それによって効率の低下を引き起こす。さらに、 $2f_0$ 終端はまた、 Q 値のより高い領域でも基本負荷に影響を与える。

【0017】

さらに、第二次高調波ソース終端は、固定ボンドワイヤインダクタンスについての異なるキャパシタンス値に対して非常に低い同調性を有する。設計者は通常、ソースで固有平面にアクセスすることができないため、特にGaNデバイスの場合、入力非直線性に対処するために入力同調性が重要になる可能性がある。これは、ハイブリッドPA回路100などの回路の実装時に問題になる可能性がある。図1の回路100において、矢印107で表されるように、LDMOSデバイス102から中間回路106（および最終段GaNデバイス104）に向かって内向きに見たときのインピーダンスの周波数応答は、特に、第2回路部分110が中間（段間）回路106に配置されるときに非常に分散的になり得る。さらに、中間回路106のインピーダンスの Q 値は、第2回路部分110が存在しない場合など、 $2f_0$ 終端が設けられていない回路と比較してかなり高くなり得る。

【0018】

したがって、ハイブリッドPA回路100などの回路は、多数の欠点のうちの任意の1つまたは複数の苛まれる可能性がある。例えば、回路は、基本整合（または基本周波数整合）に対するイミューニティを欠き得る。また、回路は、第二次高調波周波数（ $2f_0$ ）または周波数帯域に関して比較的低い同調性を示し得る。さらに、回路は、第二次高調波周波数（ $2f_0$ ）または周波数帯域における変動性について、基本周波数（ f_0 ）において比較的高い分散を示し得る。また、この回路は、 $2f_0$ 終端回路のため、整合についてより高い Q 値を示し得る。さらに、回路は、GaNデバイス入力（例えば、ゲート入力）で比較的高い基本インピーダンス分散およびより低い $2f_0$ 同調性を示し得る。

【0019】

本開示は、様々な回路、システム、および回路またはシステムの動作方法、特にハイブリッド電力増幅器（PA）回路、システム、およびそのような回路またはシステムの方法を包含し、その回路またはシステムは、前段または第1段デバイスと前段または第1段デバイスによって駆動される最終段デバイスとの間の組み合わせローパス-ハイパスカスケード接続トポロジを含む。本明細書に包含される少なくともいくつかの実施形態において、組み合わせローパス-ハイパスカスケード接続トポロジは、特に、シリコンドライバ段（またはドライバ）である少なくとも1つの前段または第1段デバイスとドライバによって駆動される最終段デバイスとを組み合わせる有するハイブリッドPA回路の形態をとることができる。さらに、いくつかのこのような実施形態では、少なくとも1つの前段および最終段デバイスは、ローパスフィルタ回路およびハイパスフィルタ回路の両方を含む中間回路によって結ばれている。また、少なくともいくつかのこのような実施形態では、中間回路の一部が、例えば第1ダイ（または代わりに第2ダイ）上に配置され、および／またはそのダイの中に一体化された状態で、前段デバイスを第1ダイ上に設け、最終段デバイスを第2ダイ上に設けることができる。

【0020】

さらに例えば、本明細書に包含されるいくつかの実施形態では、ハイブリッドPA回路は、前段デバイスを構成するLDMOS（横方向拡散金属酸化膜半導体）デバイス、および駆動される最終段デバイスである窒化ガリウム（GaN）デバイスも含み、LDMOSデバイスは、ローパスフィルタ回路とハイパスフィルタ回路とを含む中間回路を介してGaNデバイスに結合されている。さらに、少なくともいくつかのこのような実施形態では、ローパスフィルタ回路は、単一のローパスフィルタセクションまたは複数のローパスフィルタセクションのネットワークを包含することができ、および／または、ハイパスフィルタ回路は、単一のハイパスフィルタセクションまたは複数のハイパスフィルタセクションのネットワークを包含することができる。このようなローパスおよびハイパスフィルタ回路は、少なくともいくつかの実施形態では、フロントエンドモジュールまたは回路内に高調波トラップを有するコンパクトな段間整合ネットワークとして機能することができる

。

【0021】

本明細書にまた包含されるさらなる実施形態では、デバイスまたは中間回路は他の形態をとることができる。例えば、最終段デバイスは、別のIII-V族デバイス（例えば、GaN、ガリウムヒ素（GaAs）、リン化ガリウム（GaP）、リン化インジウム（InP）、アンチモン化インジウム（InSb）のいずれかから作られたデバイス）とすることができる。実際、本開示は、様々なGaAs、GaN、Si-LDMOS、もしくは他の半導体技術のいずれか、または様々な受動的フィルタネットワークのいずれかを採用するかまたはそれに基づく、様々な改良ハイブリッドPA回路（またはシステム）設計を包含することを意図する。また、当然のことながら、上記タイプのデバイスは、化合物または関連する構成を包含することを意図しており、例えば、GaNデバイスは、GaNオンシリコンカーバイドデバイス、GaNオンシリコンデバイスなどを包含することを意図している。

10

【0022】

さらに、本明細書に包含される少なくともいくつかの実施形態では、改良ハイブリッドPA回路は、組み合わせローパス-ハイパスカスケード接続トポロジとして機能する直列および並列LC共振回路を採用する。このような直列および並列LC共振回路は、基本周波数（ f_0 ）、第二次高調波周波数（基本周波数の2倍、すなわち $2f_0$ ）、および／または場合によっては他の周波数（例えば、第三次高調波周波数（ $3f_0$ ）、第四次高調波周波数（ $4f_0$ ）などの、基本周波数に基づく他の高調波周波数）で共振するように構成される。実施形態に応じて、ボンドワイヤ、集中インダクタ、分布マイクロストリップラインまたはストリップライン、表面実装および／またはMIM（金属-絶縁体-金属）コンデンサなどの異なる形態の伝送線路を使用して共振回路を実装することもできる。様々なブロック（例えば、共振回路ブロック）を適切に組み合わせることによって、基本インピーダンスに大きな影響を及ぼすことなく、高次高調波（例えば、 $2f_0$ ）を別々に最適化し得る。

20

【0023】

このような組み合わせローパス-ハイパスカスケード接続トポロジを採用することによって、少なくともいくつかの実施形態では、ハイブリッドPA回路は、少なくとも1つの前段デバイスと最終段デバイスとの間の段間整合を有利に達成し得る。少なくともいくつかの代替構成とは対照的に、少なくともいくつかの実施形態における組み合わせローパス-ハイパスカスケード接続トポロジを有するこのようなハイブリッドPA回路は、有利には、最終段（例えばGaN）デバイスのゲート端子における $2f_0$ （第二次高調波周波数）位相の最適化に柔軟性をもたらし得、これは、PAの効率向上に大きく貢献することができる。また、少なくともいくつかのこのような実施形態では、ローパスおよびハイパスフィルタリング回路の組み合わせは、基本インピーダンスがそれほど影響を受けないように $2f_0$ を最適化することを可能にする。それにもかかわらず、 $2f_0$ 位相を、フィルタネットワーク素子を最適化することによって独立して変化させ得、したがって、高調波終端を、ハイブリッドPA回路のRF性能を最適化するために変化させ得る。

30

【0024】

さらにまた、少なくともいくつかの代替構成とは対照的に、少なくともいくつかの実施形態における組み合わせローパス-ハイパスカスケード接続トポロジを有するこのようなハイブリッドPA回路は、より低いリアクタンスで、設計しやすいLDMOS負荷インピーダンスを有利に維持し得る。したがって、少なくともいくつかの実施形態では、組み合わせローパス-ハイパスカスケード接続トポロジを有するこのようなハイブリッドPA回路は、第二次高調波同調の柔軟性を高め得るだけでなく、基本インピーダンス（例えば、回路の基本周波数である f_0 に関するインピーダンス）に対する、いかなる（または実質的な）悪影響もなしにそうし得る。実際、少なくともいくつかの実施形態では、組み合わせローパス-ハイパスカスケード接続トポロジを有するこのようなハイブリッドPA回路は、GaNデバイスの入力のある範囲の高調波トラップで終端する際に柔軟性を提供し得

40

50

、依然として設計しやすいLDMOS負荷インピーダンスを維持し得る。

【0025】

図2を参照すると、本明細書に包含される例示的な一実施形態に係る、組み合わせローパス・ハイパスカスケード接続トポロジを有するハイブリッド電力増幅器(PA)回路200を示すハイレベル概略ブロック図が提供されている。図示のように、回路200は、前(または第1)段デバイス202、最終段デバイス204、およびこれら2つのデバイスを結ぶ中間回路構成(または中間回路)206を含む。中間回路206が、示すように直接的または少なくとも間接的に前段デバイス202と最終段デバイス204とを結合する場合、中間回路を段間回路構成または段間回路とも称することができる。本実施形態では、最終段デバイス204はGaNデバイスであり、前段デバイス202はシリコン(例えば、Si-LDMOS)デバイスである。それにもかかわらず、本開示はまた、例えば、その最終段デバイスが別のIII-V族デバイス(例えば、GaN、GaAs、GaP、InP、またはInSbのいずれかから作られたデバイス)である実施形態を含む他の実施形態も包含することが意図される。

10

【0026】

図示のように、最終段デバイス204は特に、最終段PAトランジスタデバイス208ならびに入力事前整合回路210の両方を含む。他の実施形態では、入力事前整合回路は中間回路206の一部とみなすことができる。また、本実施形態では、前段デバイス202は、シリコンベースPAデバイスである。以下でさらに詳細に説明するように、少なくともいくつかの実施形態では、前段デバイス202単独、または破線ボックス211によって表されるような、場合によっては前段デバイス202と中間回路206の一部または全部の部分(場合によっては入力事前整合回路210の1つ以上の部分も含む)の両方を、シリコンダイ上に実装することができる。さらに、最終段デバイス204、または少なくともトランジスタデバイス208は、例えばGaN(またはGaAsまたは他のIII-V族材料)ダイとすることができる追加のダイ上に実装され得、GaNダイは例えば、GaNオンシリコンを含むダイ、GaNオンシリコンカーバイドを含むダイ等のいずれかを含むことができる。このようなダイの両方(すなわち、単独のあるいは場合によっては中間回路206の一部または全部の部分に伴う前段デバイス202に採用されるダイ、および最終段デバイス204またはその1つ以上の部分に採用されるダイの両方)を、パッケージデバイスとして、単独でまたは追加の回路を伴って一緒に実装することができる。

20

30

【0027】

加えて以下にさらに詳細に記載されるように、本実施形態における中間回路206は、特にローパス回路212およびハイパス回路214を含む1つ以上の位相ネットワークを含む。さらに図示されるように、信号フローは、全般的に一連の矢印216, 218, 220, 222および224で図示されるように回路200を通して進む。より具体的には、本例示の実施形態では、RF入力信号とすることができる、矢印216で表される入力信号は、前段デバイス202によって受信される。前段デバイス202を介して行われる入力信号の増幅または他の処理時に、前段デバイスは、中間回路206による受信のために矢印218で表されるように修正された入力信号を提供する。前述のように、中間回路206は、場合によっては様々な異なる回路構成要素のうち、ローパス回路212およびハイパス回路214を含む。

40

【0028】

ローパスおよびハイパス回路212, 214を含む中間回路206によって矢印218で表される修正された入力信号を処理すると、中間回路は、最終段デバイス204、および特にその入力事前整合回路210による受信のために、矢印220で表される処理済み信号を出力する。入力事前整合回路210によって矢印220で表される受信された処理済み入力信号をさらに処理すると、入力事前整合回路は次に、トランジスタデバイス208による受信のために、矢印222で表されるさらなる処理済みの入力信号を提供する。トランジスタデバイス208は次に、矢印222で表されるさらなる処理済みの入力信号を増幅および/または別様に処理して、矢印224で表される出力信号を生成し、それは

50

R F出力信号となることができる。

【0029】

中間回路206、ならびにそのローパス回路212およびハイパス回路214は、実施形態に応じて様々な形態をとることができる。さらに図3を参照すると、第1実施形態では、中間回路206、および特にローパス回路212とハイパス回路214との組み合わせは、回路300の形態をとることができる。示すように、回路300は、ローパス回路302およびハイパス回路304を含み、これらはそれぞれローパス回路212およびハイパス回路214にそれぞれ対応する。この例示的实施形態では、ローパス回路302は第1インダクタ306と第1コンデンサ308とを含み、ハイパス回路304は第2インダクタ310と第2コンデンサ312とを含む。さらに、ローパス回路302の第1インダクタ306は、入力ポート314と中間ノード316との間に結合され、中間ノード316でローパス回路302はハイパス回路304に結合される。さらに、第2コンデンサ312は、中間ノード316と出力端子318（電界効果トランジスタ（FET）の入力端子とみなすことができる）との間に結合される。加えて、ローパス回路302の第1コンデンサ308は、中間ノード316とグランド端子（またはグランド）320との間に結合され、またハイパス回路304の第2インダクタも、中間ノード316とグランド320との間に結合される。

10

【0030】

回路300は、約800メガヘルツ（MHz）から約6.0ギガヘルツ（GHz）の範囲の基本動作周波数（ f_0 ）で動作するように構成され得る。このような実施形態では、第1インダクタ306は、約ゼロ（0）ナノヘンリー（nH）から約50nHの範囲のインダクタンス値を有し、第1コンデンサ308は、約ゼロ（0）ピコファラッド（pF）から約50pFの範囲のキャパシタンス値を有し、第2インダクタ310は、約0nHから約50nHの範囲のインダクタンス値を有し、第2コンデンサ312は、約0pFから約50pFの範囲のキャパシタンス値を有する。他の実施形態では、回路300は、より低いまたはより高い基本周波数で動作するように設計され得、様々なキャパシタンスおよびインダクタンス範囲は、より低いまたはより高い境界を有し得る。いずれにせよ、ローパス回路302は、基本周波数よりわずかに高い（例えば、基本周波数より約1%から最大約10%高い）第1カットオフ周波数までのR F信号エネルギーをノード316に送り、その第1カットオフ周波数より高いR F信号エネルギーをグランド端子320に分岐させるように構成される。さらに、ハイパス回路304は、基本周波数よりわずかに低い（例えば、基本周波数より約1%から最大約10%低い）第2カットオフ周波数のすぐ下の周波数のR F信号エネルギーをグランド端子320に分岐させ、第2カットオフ周波数を上回るR F信号エネルギーをノード318に送るように構成される。

20

30

【0031】

図3の概略図は、いくつかの点で、図2の回路200のさらなる簡略化バージョンを表すことを理解されたい。中間回路206の実施形態に応じて存在することができる構成要素のすべてを図示するのではなく、回路300は、ローパス回路212の例示的实施形態（またはバージョン）であるローパス回路302、およびハイパス回路214の例示的实施形態（またはバージョン）であるハイパス回路304を単に含むだけである。それにもかかわらず、他の実施形態では、中間回路206は、回路300に示されるものを上回り、それを超える追加の回路構成要素、または回路300に示されるものの代わりの他の回路、例えば、図4、図5および図7に関して以下に説明される追加の構成要素を含むことができることを理解されたい。加えて、図3の概略図は、ソースインピーダンスまたは抵抗器322および負荷インピーダンスまたは抵抗器324によって図2の前段デバイス202および最終段デバイス204の存在を表し、これらはそれぞれ、入力端子314とグランド320との間および出力端子318とグランド320との間にそれぞれ結合される。前段デバイス202および最終段デバイス204の存在を表すこの方法にもかかわらず、実際には、上記の実際の（例えば、シリコン、Ga N等）トランジスタデバイスが単独で、または追加の構成要素と組み合わせて、回路300に対するこれらの位置に存在する

40

50

であろうことを理解されたい。

【0032】

他の実施形態では、中間回路206のローパス回路212およびハイパス回路214は、任意の様々な形態をとることができ、図3に示される回路300の形態に限定される必要はないことを理解されたい。例えば、図4に示されるようないくつかの実施形態では、ローパス回路212は、図3に示すように単一のインダクタと単一のコンデンサとの組み合わせに限定される必要はなく、むしろ、互いに直列に結合されたいくつかのローパス回路302を含むネットワーク回路400の形をとることができる。より具体的には、図4に示すように、ネットワーク回路400は、例えば、インダクタ306およびコンデンサ308を含むローパス回路302のうちの第1のもの402、ならびにインダクタ306およびコンデンサ308を含むローパス回路302のうちの第2のもの404を含むことができる。

10

【0033】

さらに、図示されるように、図4の実施形態では、ネットワーク回路400は、図3の入力端子314および中間ノード（または端子）316にそれぞれ対応する入力端子406および中間端子410を含む。さらにこの実施形態では、ローパス回路302のうちの第1のもの402およびローパス回路302のうちの第2のもの404は、さらなるノード408で結合される。さらなるノード408は、ローパス回路302のうちの第1のもの402についての中間ノード316に対応すると考えることができ、ローパス回路302のうちの第2のもの404についての入力端子314に対応すると考えることができる。ネットワーク回路400は、ローパス回路302のうちの2つを含むように示されているが、省略符号412で示すように、単に2つのローパス回路だけではなく、任意の数のローパス回路302を互いに直列に結合してローパス回路ネットワーク回路を形成することができる。このような実施形態では、連続するローパス回路302の各々は、先行するローパス回路の出力ポートに結合される、すなわちその先行するローパス回路のコンデンサとインダクタとを結ぶノードに結合される入力端子を有するであろう。さらにこの点に関して、複数のローパス（および／またはハイパス）回路を実装して、フィルタ帯域幅、通過帯域挿入損失、およびスロープ／ロールオフ挙動を操作することができ、少なくともいくつかのこのような実施形態では、インダクタンス（L）およびキャパシタンス（C）の値は、（カットオフ周波数が変更されていないと仮定して）シングルセクション回路と比較して異なるであろう。

20

30

【0034】

同様に、図5を参照すると、代替実施形態では、ハイパス回路304の代わりに他のハイパス回路を使用することができることを理解されたい。1つのこのような実施形態は、図5においてネットワーク回路500として示される。この例示的实施形態では、ネットワーク回路500は、特に一对のハイパス回路502、すなわちハイパス回路502のうちの第1のもの504と、ハイパス回路502のうちの第2のもの506とを含む。さらに、示すように、ハイパス回路502のそれぞれは、互いに直列に結合されたコンデンサ508およびインダクタ510を含む。インダクタ510のそれぞれは、それぞれのコンデンサとグラウンド320との間に結合される。図3のハイパス回路304とは対照的に、各ハイパス回路502のそれぞれのインダクタ510は、そのそれぞれのハイパス回路の入力ノードではなくそのそれぞれのハイパス回路の出力ノードとして機能するノードで、それぞれのハイパス回路のそれぞれのコンデンサ508に結合される。すなわち、第2インダクタ310がそのコンデンサの上流で第2コンデンサ312に結合されているハイパス回路304とは対照的に、図5の実施形態では、各ハイパス回路502のインダクタ510は、それぞれのハイパス回路のそれぞれのコンデンサ508の下流に結合されている。

40

【0035】

さらに図示のように、ネットワーク回路500は、図3の中間ノード316に対応すると理解することができる入力端子512を含み、すなわち、入力端子512は、ネットワ

50

ーク回路500がネットワーク回路400などのローパス回路に結合されるノードを構成することができる。さらに、ネットワーク回路500は、出力端子516を含み、これは、図3の出力端子318に対応すると考えることができ、ハイパス回路502のうちの第2のもの506のコンデンサ508とインダクタ510とが互いに結合されるノードとして機能する。また、ネットワーク回路500は、ハイパス回路502のうちの第2のもの506がハイパス回路502のうちの第1のもの504に結合される接合部として機能するさらなるノード514を含む。より具体的には、この実施形態において、コンデンサ508に対してインダクタ510が下流に配置されている場合、さらなるノード514は、ハイパス回路502のうちの第1のもの504のインダクタ510とコンデンサ508とを結ぶノード、ならびに、ハイパス回路502のうちの第2のもの506の入力ノードである。また示すように、ハイパス回路502のうちの第2のもの506のコンデンサ508は、さらなるノード514と出力端子516との間に結合されている。

10

【0036】

ネットワーク回路500は2つのハイパス回路502を含むように示されているが、省略符号518で示すように、他の実施形態では、任意の数のこのようなハイパス回路502を互いに直列に結合して全体的なハイパス回路ネットワーク回路を形成することができる。このような実施形態では、連続するハイパス回路502の各々は、先行するハイパス回路の出力ポート、すなわちその先行するハイパス回路のコンデンサとインダクタとを結ぶノードに結合されるであろう。さらにこの点に関して、フィルタ帯域幅、通過帯域挿入損失およびスロープ／ロールオフ挙動を操作するために複数のハイパス（および／または

20

【0037】

それぞれのハイパス回路502のそれぞれのインダクタ510が、（図3のハイパス回路304の構成とは対照的に）それぞれのハイパス回路のそれぞれのコンデンサ508の下流に結合されている図5に関する説明にもかかわらず、他の実施形態では、図2のハイパス回路214に対応するハイパス回路は、ハイパス回路502の形態ではなくハイパス回路304の形態をとる（または場合によってはハイパス回路の別の形態をとる）複数の直列接続されたハイパス回路を含むネットワーク回路を含むことができる。また、代替実施形態では、ハイパス回路214に対応するネットワーク回路は、ハイパス回路304ではなく単一のハイパス回路502の形態をとることができる。さらに、図4のローパス回路302は図3のローパス回路302と同じ形態をとるが、他の実施形態では、例えば、各ローパス回路のそれぞれのコンデンサがそれぞれのローパス回路のそれぞれのインダクタに対して上流に配置される実施形態を含む、他の形態のローパス回路を採用することが可能である。

30

【0038】

図6とともに、図2を再び参照すると、（図3、図4および図5に関して上述したこのようなローパスおよびハイパス回路の実施形態のいずれかを含む）ローパス回路212およびハイパス回路214を含む中間回路206を有するハイブリッドPA回路200によって包含される回路の実施形態の様々な動作特性が示されている。まず、図2のハイブリッドPA回路200について、中間回路206のローパス回路212およびハイパス回路214が、第二次高調波周波数（ $2f_0$ ）（これも動作の基本周波数（ f_0 ）の2倍の周波数である）で存在する中間回路206のインピーダンスに影響を与えることを理解されたい。より具体的には、図2に示すように、ローパスおよびハイパス回路212、214によって生じる第二次高調波周波数（ Z ）におけるインピーダンスは、第1インピーダンス（ Z_1 ）と第2インピーダンス（ Z_2 ）との間の第二次高調波周波数（ $2f_0$ ）においてそれぞれ可変である（例えば $2f_0$ において、 $Z_1 \leq Z \leq Z_2$ ）。

40

【0039】

50

また、中間回路 206、および特にそのローパスおよびハイパス回路 212, 214 は、最終段デバイス 204 と前段デバイス 202 との間で発生する位相シフトに対しても特定の効果を有する。特に、ローパス回路およびハイパス回路 212, 214 による、破線 226 で表される前段デバイス 202 の出力端子と破線 228 で表される最終段デバイス 204 の入力端子との間の位相シフト (ϕ) は、基本周波数 f_0 においてほぼゼロである (例えば、 f_0 において $\phi = 0$)。しかし、ローパスおよびハイパス回路 212, 214 の存在によるこれら 2 つの位置間の (すなわち、破線 228 と破線 226 との間の) 位相シフト (ϕ) は、示すように ϕ_1 と ϕ_2 との間の範囲 (例えば、 $\phi_1 \leq \phi \leq \phi_2$) にわたるような第二次高調波周波数 ($2f_0$) におけるある範囲にわたって可変である。この範囲は実施形態に応じて変わる可能性があるが、いくつかの実施形態では、位相シフト範囲は、例えば、 $\phi_1 = 5$ 度と $\phi_2 = 90$ 度との (例えば、 $5 \text{ 度} \leq \phi \leq 90 \text{ 度}$) の範囲とすることができる。あるいは、他の実施形態では、位相シフト範囲は、例えば、 $\phi_1 = 5$ 度と $\phi_2 = 180$ 度との、またはさらには 360 度との (例えば、 $5 \text{ 度} \leq \phi \leq 180 \text{ 度}$ または $5 \text{ 度} \leq \phi \leq 360 \text{ 度}$) の範囲とすることができる。さらに他の実施形態では、例えば、位相シフト範囲は、 0 から 180 度、またはさらには 0 から 360 度の任意の位相シフトを含むことができる。

【0040】

したがって、破線 226 と 228 との間のインピーダンス差、およびローパス回路 212 およびハイパス回路 214 の存在によって生じるこれら 2 つの線間の位相シフトは、基本周波数 (f_0) においてほぼゼロであり、第二次高調波周波数 ($2f_0$) でのこれら破線 226 と 228 との間のローパス回路およびハイパス回路の存在によって導入されるインピーダンス変化、ならびに第二次高調波周波数 ($2f_0$) にて破線 226 および 228 の間に生じる位相シフトがある可能性がある。さらに、ローパス回路 212 およびハイパス回路 214 は、インピーダンス変換器としては使用されず、その結果、基本周波数 (f_0) におけるインピーダンス (Z) は、ローパスおよびハイパス回路の存在によって変化しないままであり、例えば、 f_0 において $Z = Z_0$ であり、 Z_0 は破線 226 および/または 228 の界面における特性インピーダンス ($@f_0$) である。

【0041】

上述の動作特性に加えて、図 2 はまた、ローパス回路 212 およびハイパス回路 214 の存在が、破線 228 で中間回路 206 に向かって振り返るとき、ならびに破線 226 で前段デバイス 202 を振り返るときの反射係数にどのように影響するかを示す。示すように、それぞれの場合の基本周波数での反射係数 (Γ) はゼロ (0) であり、これは、例えば 50 オーム終端 (例えば、破線 226 と破線 228 との各位置で振り返ってみると f_0 で $\Gamma = 0$) を意味することができる。また、それぞれの場合の第二次高調波周波数 $2f_0$ での反射係数は約 1 であり、基準面での短絡または開回路に対応する高い反射係数を意味する (例えば、破線 226 と破線 228 との各位置で振り返ってみると $2f_0$ で $\Gamma = 1$)。同時に、破線 228 での反射係数 (Γ) がそれに関連する可変位相を有することができることもまた理解されたい (再び例えば、 $2f_0$ で $\phi_1 \leq \phi \leq \phi_2$)。

【0042】

この動作方法をさらに図示すると、図 6 のようになり、これは、どのようにしたら図 2 のローパス回路 212 およびハイパス回路 214 に対応するローパス回路およびハイパス回路の存在が必ずしも基本周波数 (f_0) におけるインピーダンスまたは位相のシフトをもたらすことにはならないかを示す、スミスチャートの切り取り部分 600 である。より具体的には、図 6 は、図 3 のローパス回路 302 およびハイパス回路 304 の第 1 インダクタ 306、第 1 コンデンサ 308、第 2 インダクタ 310、および第 2 コンデンサ 312 の例示的な効果を、すなわち、第 1、第 2、第 3、および第 4 シフト 602, 604, 606 および 608 として示す。図 6 のシフト 602, 604, 606 および 608 に対応するこれらの異なる効果が存在するにもかかわらず、図 6 はさらに、破線 226 (および入力端子 314) に対応する前段デバイスの出力端子で経験する全体のインピーダンスが、破線 228 (および出力端子 318) に対応する最終段デバイス 204 の入力端子で

10

20

30

40

50

経験するインピーダンスと同じまたは実質的に同じままであることを示す。

【0043】

より具体的には、この点に関して、図6は、どのようにしたら図2のものなどの構成がローパス回路302およびハイパス回路304などの回路構成要素の存在にもかかわらず所与の基本周波数 f_0 においてインピーダンス変換を経験することがないか説明するために提供される。図6はまず、この例ではスミスチャート600上の位置610における第1インピーダンス（この例では、インピーダンス $R_S = R_L = 3 - j3$ オーム）である最終段デバイスの入力端子（例えば、図3の負荷インピーダンス324につながる出力端子318）におけるインピーダンスがどのように、位置612でこのインピーダンス値から第2インピーダンスへの第1シフトを経験する可能性があるかの例を提供する。インピーダンスにおけるこのような第1シフトは、ハイパス回路304などのハイパス回路の存在の結果として理解することができ、位置612は、ハイパス回路304とローパス回路302との間の中間ノード316などの中間ノードに対応するものと理解することができる。それにもかかわらず、図6はさらに、ローパス回路302などのローパス回路が存在すると次に、インピーダンスに、ローパス回路302およびハイパス回路304に先行する前段デバイスの出力端子（例えば、図3においてソースインピーダンス322が結合される入力端子314）で見たときに位置612での第2インピーダンスから位置610での第1インピーダンスへの（または実質的にそれへの）第2シフトを経験させる可能性があることを示す。したがって、ローパス回路302およびハイパス回路304を含む中間回路206の動作のこの特徴、すなわち、この回路はインピーダンス変換器としては動作せず、それにより $Z(f_0)$ は破線228および226の間で変化しないままであることは、図6のスミスチャート上に表されている。より具体的には、スミスチャートは、破線228で見たときと破線226で見たときの両方でインピーダンス $Z(f_0)$ が同じである、すなわち、インピーダンス $Z(f_0)$ は、破線228および破線226の両方における位置610での第1インピーダンスの値を有し、本例ではインピーダンス $R_s = R_L = 3 - j3 \Omega$ であることを示す。

【0044】

上記の説明に鑑みて、前段デバイス202と最終段デバイス204との間の中間回路206、およびその結果としての高調波終端特性などの動作特性は、PA回路のRF性能を最適化するために変更することができることを理解されたい。より具体的には、中間回路206の調整により、ローパス（フィルタ）回路212およびハイパス（フィルタ）回路214の構成要素などのフィルタネットワーク素子を最適化することによって、第二次高調波周波数（ $2f_0$ ）位相が独立して変更可能となる。特に、ローパスおよびハイパス回路は、高調波終端についての第二次高調波周波数（ $2f_0$ ）に関する ϕ （例えば、 ϕ_{2f_0} ）に関して柔軟性を提供する。

【0045】

少なくともいくつかの実施形態では、中間回路内に存在するローパスおよび／またはハイパス回路セクションの数を調整することによって、中間回路206、および特にその位相ネットワーク部分（例えば、そのローパス回路およびハイパス回路212、214）の特性を修正することによって所望の動作特性を達成することが可能である。より具体的には、少なくともいくつかのこのような実施形態において、 n セクションローパス（例えば、 $1 \leq n \leq 4$ 以上）および m セクションハイパス（例えば、 $1 \leq m \leq 4$ 以上）構造として実装される位相ネットワークが、以下を伴う可能性がある：（a） n または $m \geq 2$ 、 n または m は回路素子または構造の数である、（b） $\omega_{LP} > \omega_{HP}$ 、および（c） $\phi_{LP} @ \omega_0 = -\phi_{HP} @ \omega_0$ 、 $1 / \omega_{LP} = \omega_{HP}$ 。例えば、図4のネットワーク回路400が図2のハイブリッドPA回路200の中間回路206のローパス回路212として実装され、図5のネットワーク回路500がそのハイブリッドPA回路200の中間回路206のハイパス回路214として実装されると、そのような場合には、ネットワーク回路400および500を含む全体的な中間回路は、 $n = 2$ および $m = 2$ である n セクションと m セクションの位相ネットワーク（または、位相ネットワークの組み合わせ）となるであ

う。上記の説明に関して、表記 ω は $2\pi f$ に等しい角周波数を指すと理解することができ、例えば、 ω_0 は $2\pi(f_0)$ に等しいであろう基本角周波数を指すと理解することができ、 $2\omega_0$ は $2\pi(f_0)$ に等しいであろう第二次高調波角周波数を指すと理解することができる。

【0046】

このような仮定のもとで、 $2\omega_0$ における位相変動性は次のようになる：(i) $\phi_{LP}@2\omega_0$ は ω_{LP} の関数であり、(ii) $\phi_{HP}@2\omega_0$ は ω_{HP} の関数であり、(iii) $\phi_{LP}@2\omega_0 \neq -\phi_{HP}@2\omega_0$ であり、これは $2\omega_0$ における位相を ω_0 における位相から独立させることを可能にする。同時に、可変位相 $@2\omega_0$ を達成するために上で表現された基準は、 ω_{LP} および ω_{HP} を用いてL（誘導性）およびC（容量性）成分の両方をスケールリングすることを必要とすることを理解されたい。しかし、限られた範囲の位相 $@2\omega_0$ での合理的に有効な近似は、 ω_{LP} および ω_{HP} を用いてC（キャパシタンス）の値を調整することによってのみ達成することができる。

【0047】

図7を参照すると、図2のハイブリッドPA回路200によって包含されることも意図されている、組み合わせローパス-ハイパスカスケード接続トポロジを有する改良ハイブリッドPA回路700の別の例をより詳細に示す概略図が示されている。改良ハイブリッドPA回路700は、前段デバイス202、最終段デバイス204、およびこれら2つのデバイスを結ぶ中間回路706を含む。中間回路706は、図2の中間回路206の例示的实施形態とみなすことができ、回路700は、前段デバイス202が中間回路706を介して最終段デバイス204を駆動動作するよう構成される。示すように、中間回路706は、第1回路部分708、第2回路部分710および第3回路部分750を含む。第1回路部分708は、前段デバイス202の出力ポートである第1ノード712（例えば、前段デバイスとして機能するLDMOSデバイスのドレイン端子）と第3回路部分750の入力ポートである第2ノード764との間に結合される。さらに、第2回路部分710は、第3回路部分750の出力ポートである第3ノード766と最終段デバイス704の入力ポート（例えば、GaNデバイスのゲート端子）である第4ノード714との間に結合される。

【0048】

さらに、図7の例示的实施形態に示すように、第1回路部分708は、第1ノード712と第5ノード720との間に結合された第1インダクタ716と、第5ノード720と第2ノード764との間に結合された第1コンデンサ722とを含む。さらに、第1回路部分708はまた、それぞれが第5ノード720に結合されている第2インダクタ732および第3インダクタ734、ならびに第2コンデンサ736および第3コンデンサ738を含む。示すように、第2インダクタ732は、第5ノード720と第2コンデンサ736との間に結合され、第2コンデンサ736は次に、第2インダクタとグラウンド（またはグラウンド端子）740との間に結合される。また、第3インダクタ734は、第5ノード720と第3コンデンサ738との間に結合され、第3コンデンサ738は次に、第3インダクタとグラウンド740との間に結合される。さらに、第1回路部分708は、第4インダクタ742、第4コンデンサ744、および第1抵抗器746をさらに含み、第1抵抗器は、第2ノード764と第4インダクタとの間に結合され、第4インダクタは、第1抵抗器と第4コンデンサとの間に結合され、第4コンデンサは第4インダクタとグラウンド740との間に結合される。

【0049】

さらに図7に示すように、第2回路部分710は、第5インダクタ768、第5コンデンサ770、および第6インダクタ730を含む。第5インダクタ768は、第4ノード714と第5コンデンサ770との間に結合され、第5コンデンサは第5インダクタとグラウンド740との間に結合される。第6インダクタ730は、第3ノード766と第4ノード714とを結合する。第3回路部分750に関して、この回路部分は位相ネットワークセクションを構成し、本例示的实施形態では、図3の回路300と同じまたは実質的に

同じである形態をとるものとして図示される。

【0050】

より具体的には、第3回路部分750は、それぞれローパス回路302（およびローパス回路212）ならびにハイパス回路304（およびハイパス回路214）にそれぞれ対応するローパス回路752ならびにハイパス回路754を含むように示されている。この例示的实施形態において、ローパス回路752は第1インダクタ756と第1コンデンサ758とを含み、ハイパス回路754は第2インダクタ760と第2コンデンサ762とを含む。さらに、ローパス回路752の第1インダクタ756は、第2ノード764と、ローパス回路752がハイパス回路754に結合される中間ノード765との間に結合される。さらに、第2コンデンサ762は、中間ノード765と第3ノード766との間に結合される。さらに、ローパス回路752の第1コンデンサ758は、中間ノード765とグラウンド740との間に結合され、またハイパス回路754の第2インダクタ760も中間ノード765とグラウンド740との間に結合される。

10

【0051】

上記の全てにもかかわらず、しかし、第3回路部分750は、特に第1インダクタ756や第1コンデンサ758を横切って延びる矢印757で示されるように、特性が可変であることを意図している。矢印757は第1インダクタ756や第1コンデンサ758を横切って延びるよう特に示されているが、これらの構成要素は独立して可変であるように意図されているので、実際には第2インダクタ760および第2コンデンサ762も第1コンデンサおよび第1インダクタのそれぞれのキャパシタンス値およびインダクタンス値に応じてそれぞれ可変である。すなわち、この例では、 $C_high = 1 / ((2 * \pi * f) * (2 * \pi * f) * L1)$ かつ $L_high = 1 / ((2 * \pi * f) * (2 * \pi * f) * C1)$ であり、 $L1$ は第1インダクタ756のインダクタンス、 $C1$ は第1コンデンサ758のキャパシタンス、 C_high は第2コンデンサ762のキャパシタンス、 L_high は第2インダクタ760のインダクタンスである。これに関連して、少なくともいくつかの実施形態における「可変」という用語は、第1インダクタ756、第1コンデンサ758、第2インダクタ760および第2コンデンサ762を最適化することによって基本周波数（ $f0$ ）位相に影響を及ぼすことなく第二次高調波周波数（ $2f0$ ）位相を変えることができる構成を伴うことをさらに理解されたい。少なくともいくつかのこのような実施形態では、このような最適化はリアルタイムでは行われないが、それにもかかわらず、例えば部品間のばらつきのためにPA性能を微調整するのに役立つ。

20

30

【0052】

さらに、図7の実施形態に関して、第1回路部分708は、前段デバイス202と第3回路部分750との間で信号を伝達することに加えて追加の役割を果たすことを理解されたい。より具体的には、この点に関して第1回路部分708はまた、基本周波数（ $f0$ ）またはその付近の信号に関する整合、つまり基本（周波数）帯域での整合を提供する役割を果たす。同様に、第3回路部分750も、第1回路部分708と第2回路部分710との間で信号を伝達することに加えてさらなる役割を果たす。しかし、基本周波数またはその付近の信号に関して整合をもたらす第1回路部分708とは異なり、第3回路部分750は、代わりに第二次高調波周波数（ $2f0$ ）またはその付近の信号に関して整合を提供するように働く。さらに、第3回路部分750の存在はまた、改良ハイブリッドPA回路700が、図2、図3、図4、図5および図6に関して上述した動作特性のすべて（または1つ以上）を示すことを可能にする。

40

【0053】

少なくともいくつかの実施形態では、第3回路部分750は、上述の回路300のものと同一または実質的に同様の特性を有し得る。例えば、少なくともいくつかの実施形態では、第3回路部分750は、約800メガヘルツ（MHz）から約6.0ギガヘルツ（GHz）の範囲の基本動作周波数（ $f0$ ）で動作するように構成され得る。このような実施形態では、第1インダクタ756は、約ゼロ（0）ナノヘンリー（nH）から約50nHの範囲のインダクタンス値を有し、第1コンデンサ758は、約ゼロ（0）ピコファラッ

50

ド (pF) から約 50 pF の範囲のキャパシタンス値を有し、第 2 インダクタ 760 は、約 0 nH から約 50 nH の範囲のインダクタンス値を有し、第 2 コンデンサ 762 は、約 0 pF から約 50 pF の範囲のキャパシタンス値を有する。他の実施形態では、回路 750 は、より低いまたはより高い基本周波数で動作するように設計され得、様々なキャパシタンスおよびインダクタンス範囲は、より低いまたはより高い境界を有し得る。いずれにせよ、ローパス回路 752 は、基本周波数よりわずかに高い (例えば、基本周波数より約 1 % から最大約 10 % 高い) 第 1 カットオフ周波数までの RF 信号エネルギーを中間ノード 765 に送り、その第 1 カットオフ周波数より高い RF 信号エネルギーをグランド端子 740 に分岐させるように構成される。さらに、ハイパス回路 754 は、基本周波数よりわずかに低い (例えば、基本周波数より約 1 % から最大約 10 % 低い) 第 2 カットオフ周波数のすぐ下の周波数の RF 信号エネルギーをグランド端子 740 に分岐させ、第 2 カットオフ周波数を上回る RF 信号エネルギーを第 3 ノード 766 に送るよう構成される。上記の説明にかかわらず、しかし、他の実施形態において、第 3 回路部分 750 (またはその一部もしくは構成要素) は、1 つ以上の他の特徴を有することができる。

【0054】

図 8 は、それぞれ 7 GHz の第二次高調波周波数 ($2f_0$) および第二次高調波周波数の半分である 3.5 GHz の基本周波数 (f_0) における回路 700 の例示的な動作特性をそれぞれ図示する第 1 スミスチャート 800 および第 2 スミスチャート 802 によって、改良ハイブリッド PA 回路 700 の 2 つの動作特性を特に図示する。第 1 スミスチャート 800 は、回路 700 の位相ネットワークセクションを構成する第 3 回路部分 750 を採用することによって、 $2f_0$ 位相における柔軟性をどのように達成することができるかを特に示す。すなわち、第 3 回路部分 750 の属性を調整することによって (例えば、ローパス回路セクションの数、ハイパス回路セクションの数、または任意のこれらの回路セクションの 1 つ以上の回路構成要素の特性を調整することによって)、7 GHz の第二次高調波周波数 ($2f_0$) における位相は、一連の位置 804 によって表される様々な値に変えられる。第 1 スミスチャート 800 の外周 (または円周) 806 に沿ったすべての配置 804 の位置によって示されるように、この位相変動またはより高い同調性を、全体の反射係数が 1 に等しいままである場合であっても達成できる。

【0055】

比較として、第 2 スミスチャート 802 は、上述のような第 3 回路部分 750 の属性の変動にもかかわらず、第二次高調波周波数終端を提供する際のその第 3 回路部分の存在および動作が中間回路 706 のインピーダンス ($Z(f_0)$) にどのように影響を与えないかをさらに示す。すなわち、示すように、第 1 スミスチャート 800 に示される位相変動をもたらす第 3 回路部分 750 への変更にもかかわらず、回路 706 のインピーダンス ($Z(f_0)$) は、3.5 GHz (これもまた上述の第二次高調波周波数 (7 GHz) の半分である) の基本周波数 (f_0) での動作に関して単一の位置 808 において一定のままである。したがって、基本周波数において基本イミューニティおよび低分散が達成される。図 8 の本例では、第 1 スミスチャート 800 に示される位相の変動を可能にする第 1 インダクタ 758 のインダクタンス値の変動は、1 nH から 15 nH の範囲にわたる変動であり、第 2 スミスチャート 802 はインダクタンスのこの変動ならびに 1 pF から 15 pF の範囲の第 1 コンデンサ 758 のキャパシタンスの変動と一致することにも留意されたい。

【0056】

図 9 および図 10 を参照すると、特に図 3 に示される回路 300 としてモデル化された場合、および、特にソースインピーダンス 322 が 50 オームの値を有し、負荷インピーダンス 324 も 50 オームの値を有すると仮定した場合の、図 2 のハイブリッド PA 回路 200 の形態と一致するハイブリッド PA 回路の追加の例示的な特性が示される。図 9 の場合、第 1、第 2、第 3、および第 4 スミスチャート 900、902、904、906 はそれぞれ、基本周波数 (f_0) および第二次高調波周波数 ($2f_0$) での両方のインピーダンスの観点から、第 1 インダクタ 306 および第 1 コンデンサ 308 がそれぞれインダ

10

20

30

40

50

クタンス値およびキャパシタンス値の異なる組をそれぞれとるときの回路300の4つの異なる実施形態の例示的なインピーダンスを図示するために提供される。さらに図9はまた、第1、第2、第3、および第4透過係数（または反射係数または反射率）グラフ910、912、914、916をそれぞれ提供し、これらは、スミスチャート900、902、904、906をそれぞれ生成するために使用される異なるインダクタンスとキャパシタンスのパラメータを有する回路300の異なるそれぞれの実施形態の各々について、周波数の関数として回路300を通る透過係数を図示する。

【0057】

図9に示される例示的な特性に関して、これらの例示的な特性は、ハイブリッドPA回路200が理想的なLC素子を採用し、基本周波数（または周波数帯域）が約2GHzであり、 $Z(f_0)$ が $Z(2f_0)$ が変化しても50オームで一定のままであるとの仮定の下でシミュレーションによって決められていることを認識されたい。より具体的には、図9に提供される例示的なチャートおよびグラフを達成するために、それぞれ第1、第2、第3、および第4スミスチャート900、902、904、906について、第1インダクタ306のインダクタンス値は、それぞれ2nH、2.6nH、4.0nH、および6.0nHである。さらに、それぞれ第1、第2、第3および第4スミスチャート900、902、904、906を達成するために使用される第1コンデンサ308のキャパシタンス値は、各場合において0.5pFから20pFのキャパシタンスの範囲である。図7に関して既に説明したように、第2インダクタ310のインダクタンス値は、第1コンデンサ308のキャパシタンス値と $2\pi(f)^2$ との積の逆数にほぼ等しくすることができる。同様に、第2コンデンサ312のキャパシタンス値は、第1インダクタ306のインダクタンス値と $2\pi(f)^2$ との積の逆数にほぼ等しくすることができる。

【0058】

スミスチャート900、902、904、906およびグラフ910、912、914、916は、特に（ハイブリッドPA回路200の例示的な一実施形態としての）回路300のいくつかの動作特性を図示する。まず、示されている4つの異なる実施形態のそれぞれに関して、基本周波数（ f_0 ）での回路300のインピーダンスは、各スミスチャート上に示されたそれぞれの点907によって表されるように、スミスチャート900、902、904および906のそれぞれの中心にある。関連して、回路300の4つの実施形態のそれぞれに対する基本周波数（ f_0 ）での反射係数は0に等しいことを理解されたい。比較すると、第二次高調波周波数（ $2f_0$ ）での回路300の4つの異なる実施形態の動作に関して、第1コンデンサ308に使用される異なるキャパシタンスにかかわらず4つの実施形態のすべてにおいて反射係数は1に等しい。これは、スミスチャート900、902、904および906のそれぞれに示され、大部分はそれぞれのスミスチャートのそれぞれの外周またはその近くに配置されているそれぞれの一連の点908によって示されている。

【0059】

透過係数グラフ910、912、914および916に関して、これらのグラフはそれぞれ、反射性能と伝送性能の両方を周波数の関数として、スミスチャート900、902、904および906にそれぞれ対応する回路300の4つの異なる実施形態それぞれについて図示している。より具体的には、第1透過係数グラフ910に関して、回路を通る透過係数 $S(2, 1)$ （すなわち利得）は、第1曲線920により表されているように2GHz未満から4GHz近傍までの範囲の周波数において実質的に100%（0dBまたはその付近の高い値）であることが分かる。比較すると、反射損失を表す第2曲線930によって示されるように透過係数 $S(1, 1)$ は、透過係数が約-40dBに低下する下落点921における2GHzの周波数およびその近傍の周波数を除いて、示された0~4GHzの周波数範囲全体にわたって約0dBまたはその付近の高い値を有する。さらに、透過係数が低い第2曲線930の部分は概して、それぞれ下落点921の上下となる位置933での1.8GHzの第1周波数と位置935での2.2GHzの第2周波数との間の領域内にあることが理解されるであろう。

【0060】

さらに、それぞれ第2、第3、および第4透過係数グラフ912、914および916に関して示されているように、スミスチャート902、904および906に関連付けられた回路300の他の実施形態のそれぞれは、第1透過係数グラフ910のものと（絶対的に同一ではなくとも）類似の透過係数をそれぞれ達成する。すなわち、それぞれ第2、第3、および第4透過係数グラフ912、914および916に示される第1曲線922、924および926で図示されるように、これらの各グラフに対応する回路300の各実施形態のそれぞれを通る透過係数 $S(2, 1)$ （すなわち利得）は、2GHz未満から4GHz近傍までの範囲の周波数で実質的に100%（0dBまたはその付近の高い値）である。また、それぞれ第2、第3、および第4透過係数グラフ912、914および916に対応する回路300のそれぞれの実施形態に関連する透過係数 $S(1, 1)$ または反射損失は、各第2曲線932、934および936でそれぞれ示されるように、それぞれの下落点921における2GHzの周波数およびその近傍以外では高くなっている。さらに、各透過係数 $S(1, 1)$ が低い各第2曲線932、934および936の各部分は概して、各下落点921の下で各位置933における1.8GHzの第1周波数と各下落点921の上で各位置935における2.2GHzの第2周波数との間のそれぞれの領域内にあることが理解されるであろう。

10

【0061】

図10をさらに参照すると、回路300のさらなる例示的实施形態に関するさらなる例示的動作特性情報は、それぞれ追加のスミスチャート1000ならびに第1および第2追加グラフ1002および1004によって提供される。この例では特に、第1インダクタ306が0.49nHのインダクタンス値を有し、第1コンデンサ308が0.5pFのキャパシタンス値を有すると仮定する。また、図7および図9に関して既に説明したように、この例示的実施形態では、第2インダクタ310のインダクタンス値は、第1コンデンサ308のキャパシタンス値と $2\pi(f)^2$ との積の逆数にほぼ等しくすることができ、第2コンデンサ312のキャパシタンス値は、第1インダクタ306のインダクタンス値と $2\pi(f)^2$ との積の逆数にほぼ等しくすることができる。スミスチャート1000およびグラフ1002、1004に示される動作特性／結果は、インダクタに対して約40のQ値を仮定したシミュレーションによって生成され、その結果、約0.4dBの帯域内損失が生じたことを理解されたい。

20

30

【0062】

スミスチャート1000ならびにグラフ1002および1004の両方は、0（または約100MHz）から約5GHzまでの広い周波数範囲にわたる回路300の動作の変動を示し、2GHzは対象の基本周波数（または周波数帯域）（ f_0 ）である。スミスチャート1000は、曲線1006によって、回路300のインピーダンスがこの範囲にわたってどのように変動するかを図示する。より具体的には、スミスチャート1000は、2GHzの基本周波数において、回路300が、この例では $46.314 - j1.222$ である第1位置1008に対応する第1インピーダンス値を有することを示す。また、スミスチャート1000は、回路300がその基本周波数において $0.04 / -160.932$ に等しい透過係数 $S(2, 2)$ を有することを示す。さらに、スミスチャート1000は、4GHzの第二次高調波周波数において、回路300が、 $2.417 - j0.282$ である第2位置1010に対応する第2インピーダンス値と、 $0.908 / -179.352$ に等しい透過係数 $S(2, 2)$ とを有することをさらに示す。

40

【0063】

グラフ1002および1004に関して、これらは、スミスチャート1000の対象である回路300の実施形態についての例示的な透過係数性能を示す。より具体的には、グラフ1002は、回路300を通る透過レベル（すなわち、透過係数 $S(2, 1)$ ）が、2GHz未満から4GHz近傍までの範囲、少なくとも1.8GHz位置1014と2.2GHz位置1016との間の周波数で実質的に100%（0dBまたはその付近の高い値）であることを示す透過曲線1012を含む。さらに、透過係数 $S(2, 2)$ は、グラ

50

フ 1 0 0 4 にて提供される第 2 曲線 1 0 1 8 によって示されるように、下落点 1 0 2 0 における 2 G H z の周波数またはその近傍以外で、グラフ 1 0 0 2 および 1 0 0 4 によって示される 0 ~ 5 G H z の周波数範囲のほとんどにわたって高い（たとえば、主に 0 d B レベル）。透過係数 $S(2, 2)$ の低下は、下落点 1 0 2 0 の 2 G H z 周波数の上下にある 1 . 8 および 2 . 2 G H z の周波数に対応する位置 1 0 1 4 および 1 0 1 6 の間で特に強い。

【 0 0 6 4 】

図 2 ~ 図 1 0 に関して上述した改良ハイブリッド P A 回路は、実施形態に応じて、様々なより大きい回路および／もしくは様々な方法で実装することができ、ならびに／または様々な役割で動作することができる。さらに図 1 1 を参照すると、例えば、図 2 ~ 図 1 0 に関して上述したもののいずれかなどの 2 つ（またはそれ以上）の改良ハイブリッド P A 回路（例えば、ハイブリッド P A 回路 2 0 0）を、パッケージデバイス内で、ドハティ電力増幅器の主増幅器またはピーク増幅器として実装することができることを理解されたい。このような実施形態では、さらに例えば、2 つの異なる改良ハイブリッド P A 回路は、R F 入力信号を独立して増幅して別々の増幅 R F 出力信号を生成する 2 つの並列増幅パスをそれぞれ提供することができる。さらに、図 1 1 は特に 2 パスドハティ電力増幅器に関するが、他の実施形態では、3 つ以上の改良ハイブリッド P A 回路を実装することによって、3 つ以上の増幅パス（例えば、3 つ、4 つ、または何らかの他のパス数）を設けることができる。また、いくつかの実施形態では、マルチパス増幅器システムの一部として複数の増幅パスを互いに電氣的に結合し得る。

【 0 0 6 5 】

より具体的には、図 1 1 は、主増幅パスおよびピーク増幅パスを備えるドハティ電力増幅器を含む R F 増幅器デバイス 1 1 0 0 の例の上面図である。R F 増幅器デバイス 1 1 0 0 は、以下では代替的に「ドハティ電力増幅器モジュール」とも称される。ドハティ電力増幅器モジュール 1 1 0 0 では、主増幅パスは、シリコンドライバ段 I C ダイ 1 1 1 0 および G a N 最終段 I C ダイ 1 1 8 0 を含み、例示的实施形態によれば、ピーク増幅パスはまた、シリコンドライバ段 I C ダイ 1 1 1 1 および G a N 最終段 I C ダイ 1 1 8 1 を含む。以下でさらに詳細に説明されるように、シリコンドライバ段 I C ダイ 1 1 1 0 は、図 2 の前段デバイス 2 0 2 に対応する前段デバイスとして機能するだけではなく、上述したようにローパスおよびハイパスフィルタ回路を含む中間回路 2 0 6 などの中間回路としても機能するかまたはそれを提供することができる。

【 0 0 6 6 】

ドハティ電力増幅器モジュール 1 1 0 0 は、少なくとも 1 つの誘電体層（例えば、F R - 4、セラミック、または他の P C B 誘電体材料から形成される）と、2 つ以上の導電層とを含む多層 P C B 1 1 0 6 の形態の基板を含む。本例示的实施形態では、P C B 1 1 0 6 の上面の導電層は、パターンニングされた導電層である。パターンニングされた上部導電層の一部から形成された様々な導電性特徴（例えば、導電性パッドおよびトレース）は、ダイ 1 1 1 0、1 1 1 1、1 1 8 0、1 1 8 1 および他のディスクリット構成要素の取り付けポイントとして機能し得、また、ダイ 1 1 1 0、1 1 1 1、1 1 8 0、1 1 8 1 と他のディスクリット構成要素との間の電気接続を提供し得る。別の導電層は、グランド基準面として機能し得る。いくつかの実施形態では、1 つ以上の追加のパターンニングされた導電層は、ダイ 1 1 1 0、1 1 1 1、1 1 8 0、1 1 8 1、ディスクリット構成要素、およびグランド基準面の間の導電性接続を提供し得る。

【 0 0 6 7 】

また本実施形態において、外部アクセス可能な導電性ランディングパッドを提供するために底部導電層が利用され、いくつかの例示的なランディングパッド 1 1 0 1、1 1 0 9、1 1 5 8、1 1 5 9 の位置は、図 1 1 に破線ボックスで図示されている。これらのランディングパッド（特に図示せず）は、ドハティ電力増幅器モジュール 1 1 0 0 を R F システムの他の部分に電気接続を提供する別個の基板（図示せず）上に表面実装することを可能にする。モジュール 1 1 0 0 は、ランドグリッドアレイ（L G A）モジュールとして示

されているが、代わりに、モジュール1100は、ピングリッドアレイモジュール、QFNモジュール、または別のタイプのパッケージとしてパッケージングされ得る。さらに、いくつかの実施形態では、ダイ1110、1111、1180、1181は、ドハティ増幅器回路の他の部分を含むPCB上の導電性トレースに結合された入力および出力リードとともに、ダイが取り付けられる導電性フランジをそれぞれ含む1つ以上のディスクリートデバイスパッケージに収容され得る。

【0068】

ドハティ電力増幅器モジュール1100は、パワースプリッタ1102と、互いにカスケード結合されたシリコンドライバ段ICダイ1110とGaN最終段ICダイ1180とを含む2段主増幅器と、互いにカスケード結合されたシリコンドライバ段ICダイ1111とGaN最終段ICダイ1181とを含む2段ピーク増幅器と、様々な位相シフトおよびインピーダンス整合素子と、合成器とを含む。PCB1106の底面に露出された導電性ランディングパッド1101は、モジュール1100のRF信号入力端子として機能する。1つ以上の導電性構造（例えば、ビア、トレースおよび／またはワイヤボンド）を通じて、ランディングパッド1101は、パワースプリッタ1102への入力に電氣的に結合される。PCB1106の実装面に結合されるパワースプリッタ1102は、図11では単一構成要素として示されているが、1つ以上のディスクリートのダイおよび／または構成要素を含み得る。パワースプリッタ1102は、入力端子と2つの出力端子とを含む。入力端子は、入力RF信号を受信するために、1つ以上の導電性構造（例えば、ビア、トレース、および／またはワイヤボンド）を介してランディングパッド1101に電氣的に結合される。パワースプリッタ1102の出力端子は、1つ以上の導電性構造（例えば、ビア、トレース、および／またはワイヤボンド）を介して、それぞれ主増幅器およびピーク増幅器の入力1120、1121にそれぞれ電氣的に結合される。

【0069】

パワースプリッタ1102は、ランディングパッド1101を介して受信された入力RF信号の電力を、パワースプリッタ1102の出力端子で生成される第1および第2RF信号に分割するように構成される。さらに、パワースプリッタ1102は、出力端子にて提供されるRF信号間に約90度の位相差を与えるように構成された1つ以上の位相シフト素子を含み得る。パワースプリッタ1102の出力で生成された第1および第2RF信号は、等しいまたは不等な電力を有し得る。パワースプリッタの第1出力は、主増幅器パスに（例えば、主増幅器に）電氣的に結合され、パワースプリッタの第2出力は、ピーク増幅器パスに（例えば、ピーク増幅器に）電氣的に結合される。図示された実施形態では、第2パワースプリッタ出力で生成されたRF信号は、第1パワースプリッタ出力で生成されたRF信号から約90度だけ遅延される。換言すれば、ピーク増幅器パスに提供されるRF信号は、主増幅器パスに提供されるRF信号から約90度だけ遅延される。

【0070】

パワースプリッタ1102によって生成された第1RF信号は、シリコンドライバ段ICダイ1110と、GaN最終段ICダイ1180と、位相シフト素子1103とを含む主増幅器パスを介して増幅される。パワースプリッタ1102によって生成された第2RF信号は、シリコンドライバ段ICダイ1111、およびGaN最終段ICダイ1181を含むピーク増幅器パスを介して増幅される。主増幅器パスのシリコンドライバ段ICダイ1110およびGaN最終段ICダイ1180は、シリコンドライバ段ICダイ1110の入力端子1120（主増幅器入力に対応する）とGaN最終段ICダイ1180の出力端子1192（主増幅器出力に対応する）との間のカスケード構成とともに電氣的に結合される。

【0071】

シリコンドライバ段ICダイ1110は、複数の集積回路を含む。本例示の実施形態では、ダイ1110の集積回路は、入力端子1120と、出力端子1122と、入力インピーダンス整合回路1130と、シリコンパワートランジスタ1140と、段間インピーダンス整合回路1150の集積部分と、バイアス電圧制御回路1160と、高調波制御回路

1170の集積部分とを含む。入力インピーダンス整合回路1130および段間インピーダンス整合回路1150の一方または両方は、そのローパス回路212およびハイパス回路214を含む、上述の中間回路206に対応するかまたはそれを包含するとみなすことができる。詳細には示されていないが、シリコンドライバ段ICダイ1110内の様々な回路および構成要素は適宜、互いに電氣的に結合されて、図2の前段デバイス202および中間回路206に対応する構成を達成することを理解されたい。

【0072】

電力分割器1102の第1出力は、様々な導電性トレース、回路、およびワイヤボンドまたは他のタイプの電気接続を介して、シリコンドライバ段ICダイ1110の入力端子1120に電氣的に結合される。ランディングパッド（またはバイアスランド）1158は、追加の導電性構造、ワイヤボンド（または他のタイプの電気接続）、および端子を介して、対応するGaNトランジスタ1182のバイアス電圧制御回路1160に電氣的に結合される。図11には示されていないが、追加のバイアスランドは、シリコントランジスタのゲートおよびドレイン用のバイアス電圧制御回路に電氣的に結合され得る。

【0073】

GaN最終段ICダイ1180は、複数の集積回路を含む。本例示の実施形態では、ダイ1180の集積回路は、入力端子1190と、出力端子1192と、GaNパワートランジスタ1182とを含む。詳細には示されていないが、GaN最終段ICダイ1180内の様々な回路および構成要素は適宜、構成され互いに電氣的に結合されて、特に最終段PAトランジスタデバイス208の例示の実施形態を構成するGaNパワートランジスタ1182とともに、図2の最終段デバイス204に対応する構成を達成することを理解されたい。

【0074】

シリコンドライバ段ICダイ1110の出力端子1122は、ワイヤボンドアレイ1174または別のタイプの電気接続を介してGaN最終段ICダイ1180の入力端子1190に電氣的に結合される。入力端子1190は、GaNパワートランジスタ1182のゲートに電氣的に結合される。GaNパワートランジスタ1182のゲートはまた、1つ以上のワイヤボンド1178または別のタイプの電気接続を介して、シリコンドライバ段ICダイ1110内の高調波制御回路1170の集積部分に電氣的に結合される。

【0075】

増幅された第1RF信号は、GaN最終段ICダイ1180の出力端子1192において生成される。本実施形態によれば、出力端子1192は、（例えば、ワイヤボンド1179または別のタイプの電気接続を介して）位相シフト素子1103に電氣的に結合される。本実施形態によればまた、位相シフト素子1103は、GaN最終段ICダイ1180の出力端子1192に近接する第1端部と、GaN最終段ICダイ1181の出力端子1193に近接する第2端部とを有する。例えば、位相シフト素子1103は、ラムダ/4（ $\lambda/4$ ）伝送線路（例えば、90度の電気長を有するマイクロストリップ伝送線路）を用いて実装され得、これは、その第1および第2端部間に延在する。位相シフト素子1103は、信号が位相シフト素子の第1端部から位相シフト素子の第2端部へ移動するときに、増幅された第1RF信号に約90度の相対位相シフトを与え得る。

【0076】

上述したように、パワースプリッタ1102によって生成された第2RF信号は、シリコンドライバ段ICダイ1111とGaN最終段ICダイ1181とを含むピーク増幅器パスを介して増幅される。ピーク増幅器パスのシリコンドライバ段ICダイ1111およびGaN最終段ICダイ1181は、シリコンドライバ段ICダイ1111の入力端子1121（ピーク増幅器入力に対応する）とGaN最終段ICダイ1181の出力端子1193（ピーク増幅器出力に対応する）との間にカスケード構成で電氣的にともに結合される。シリコンドライバ段ICダイ1111は、複数の集積回路を含む。本例示の実施形態では、ダイ1111の集積回路は、入力端子1121と、出力端子1123と、入力インピーダンス整合回路1131と、シリコンパワートランジスタ1141と、段間インピー

10

20

30

40

50

ダンス整合回路 1151 の集積部分と、バイアス電圧制御回路 1161 と、高調波制御回路 1171 の集積部分とを含む。入力インピーダンス整合回路 1131 および段間インピーダンス整合回路 1151 の一方または両方は、そのローパス回路 212 およびハイパス回路 214 を含む、上述の中間回路 206 に対応するとみなすことができる。詳細には示されていないが、シリコンドライバ段 IC ダイ 1111 内の様々な回路および構成要素は適宜、構成され互いに電氣的に結合され得、図 2 の前段デバイス 202 および中間回路 206 に対応する構成を達成することを理解されたい。

【0077】

電力分割器 1102 の第 2 出力は、様々な導電性トレース、回路、およびワイヤボンドまたは別のタイプの電気接続を介して、シリコンドライバ段 IC ダイ 1111 の入力端子 1121 に電氣的に結合される。ランディングパッド（またはバイアスランド）1159 は、追加の導電性構造、ワイヤボンド（または別のタイプの電気接続）、および端子を介して、対応する GaN トランジスタ 1183 のバイアス電圧制御回路 1161 に電氣的に結合される。図 11 には示されていないが、追加のランディングパッド（またはバイアスランド）は、シリコントランジスタのゲートおよびドレイン用のバイアス電圧制御回路に電氣的に結合され得る。

【0078】

GaN 最終段 IC ダイ 1181 は、複数の集積回路を含む。実施形態では、ダイ 1181 の集積回路は、入力端子 1191 と、出力端子 1193 と、GaN パワートランジスタ 1183 とを含む。詳細には示されていないが、GaN 最終段 IC ダイ 1181 内の様々な回路および構成要素は適宜、構成され互いに電氣的に結合され得、特に最終段 PA トランジスタデバイス 208 の例示的实施形態を構成する GaN パワートランジスタ 1183 とともに、図 2 の最終段デバイス 204 に対応する構成を達成することを理解されたい。

【0079】

シリコンドライバ段 IC ダイ 1111 の出力端子 1123 は、ワイヤボンドアレイ 1175 または別のタイプの電気接続を介して GaN 最終段 IC ダイ 1181 の入力端子 1191 に電氣的に結合される。入力端子 1191 は、GaN パワートランジスタ 1183 のゲートに電氣的に結合される。GaN パワートランジスタ 1183 のゲートはまた、1 つ以上のワイヤボンド 1177 または別のタイプの電気接続を介して、シリコンドライバ段 IC ダイ 1111 内の高調波制御回路 1171 の集積部分に電氣的に結合される。

【0080】

カスケード結合されたピーク増幅器ダイ 1111, 1181 を通る信号パスは、RF 入力端子 1121 から RF 出力端子 1193 まで延在する方向にあり、その方向は矢印 1113 で示されている。さらに、カスケード結合された主増幅器ダイ 1110, 1180 を通る信号パスは、シリコンドライバ段 IC ダイ入力端子 1120 から GaN 最終段 IC ダイ出力端子 1192 まで延在する方向にあり、その方向は矢印 1117 で図示されており、これは矢印 1113 に垂直に示されている。したがって、図 11 に見られるように、カスケード結合されたピーク増幅器ダイ 1111, 1181 およびカスケード結合された主増幅器ダイ 1110, 1180 を通る信号パスは、著しく異なる方向に延在しており、より具体的には、信号パスは図 11 の実施形態では直交している。言い換えれば、ダイ 1111, 1181 を通る RF 信号パスは、ダイ 1110, 1180 を通る RF 信号パスに直交している。ダイ 1110, 1111, 1180, 1181 が互いに比較的近接して配置され得るとしても、それらの直交方位は、主およびピーク増幅器パスを通して搬送され増幅される信号間の結合を大幅に低減し得る。

【0081】

増幅された第 2 RF 信号は、RF 出力端子 1193 において GaN 最終段 IC ダイ 1181 により生成される。本例示的实施形態によれば、RF 出力端子 1193 は、（例えば、ワイヤボンド 1104 または別のタイプの電気接続を介して）位相シフト素子 1103 の第 2 端部に電氣的に結合される。したがって、GaN 最終段 IC ダイ 1180 によって生成された増幅された第 1 RF 信号は RF 出力端子 1193 に搬送され、出力端子 119

10

20

30

40

50

3は、増幅された第1および第2RF信号についての加算ノード1105として機能する。第1および第2RF信号に別個に与えられた様々な位相シフトが実質的に等しい場合、増幅された第1および第2RF信号は加算ノード1105において実質的に同相で合成される。

【0082】

RF出力端子1193（および、したがって加算ノード1105）は、出力ネットワーク1108に（例えば、ワイヤボンド1107または別のタイプの電気接続を介して）電氣的に結合され、これは、適切な負荷インピーダンスを主およびピーク増幅器ダイ1180、1181のそれぞれに提示するよう機能する。さらに、出力ネットワーク1108は、示されているように、デカップリングコンデンサを含み得る。図11には示されていないが、出力ネットワーク1108は、所望のインピーダンス整合を提供するために、様々な導電性トレース、追加のディスクリット構成要素、および／または集積構成要素（例えば、コンデンサ、インダクタ、および／または抵抗器）を含み得る。出力ネットワーク1108は、PCB1106を介して、PCB1106の底面に露出した導電性ランディングパッド1109に電氣的に結合される。ランディングパッド1109は、ドハティ電力増幅器モジュール1100のRF出力ノードとして機能する。

【0083】

上記の説明にもかかわらず、本開示は上記実施形態の範囲に限定されることを意図するものではなく、むしろ改良ハイブリッド電力増幅器回路またはモジュール、ならびにこのような改良ハイブリッド電力増幅器回路またはモジュールを含むかまたは利用する回路、モジュール、システム、またはデバイスの様々な追加の実施形態を包含することを意図することを理解されたい。とりわけ、上述のハイブリッド電力増幅器回路またはモジュールのいくつかは、前段および最終段デバイス（例えば、シリコンおよびGaNトランジスタデバイス）の対の組み合わせを採用しているが、本開示は、例えば、全部が（並列または直列に）最終段デバイスに結合されている複数の前段デバイスがある実施形態を含む、3段以上のデバイスがある追加の実施形態を包含することを意図する。

【0084】

さらに、前段デバイスおよび最終段デバイスという用語は、ハイブリッド増幅回路またはモジュールにおいて連続したレベルの増幅を提供する（また異なる種類の半導体材料によって形成することができる）連続した増幅デバイスを指すために上記にて採用されているが、これらの用語の使用は便宜上のものであり、本開示の範囲を限定することを意図しない。例えば、本開示はまた、それぞれのハイブリッド増幅回路またはモジュールのRF入力端子とRF（増幅）出力端子との間に直列にまたは連続して3つ以上の増幅デバイスがあるハイブリッド増幅回路またはモジュールの実施形態を包含することを意図し、第1デバイスはシリコン増幅デバイスであり、第2デバイスは窒化ガリウム（GaN）または他のIII-V族材料増幅デバイスであり、第3デバイスはシリコン、GaN、または他のIII-V族もしくは半導体材料から作られ得る別の増幅デバイスである。このような実施形態では、たとえその用語が上記でどのように使用されているかに鑑みて第2（GaN）デバイスが最終段デバイスとみなされ得るとしても、第2デバイスは、第3デバイスの存在がある場合に中間または次段デバイスとみなすことができる。

【0085】

また本開示は、ハイブリッド増幅回路もしくはモジュールの動作方法（例えば、それによる増幅方法）、または、このようなハイブリッド増幅回路もしくはモジュールを含むもしくは採用する回路、モジュール、システム、もしくはデバイス、ならびに、このような回路、モジュール、システムまたはデバイスのいずれかを製造する（もしくは形成する、もしくは組み立てる）方法を包含することを意図していることを理解されたい。例えば、本開示は、上記の特徴のいずれかを伴うハイブリッド電力増幅器回路またはモジュールを提供し、そしてその回路またはモジュールに様々な動作ステップのうちのいずれかを実行させることを含む増幅方法を包含することを意図している。いくつかのこのような実施形態では、このような動作ステップは、前段増幅デバイスでRF入力信号を受信すること、

前段増幅デバイスによってRF入力信号を増幅して基本周波数での第1成分および基本周波数の倍数である高調波周波数での第2成分を有する増幅RF信号を生成することを含むことができる。動作ステップはまた、最終段増幅デバイスに修正増幅RF信号を提供するように中間回路によって増幅RF信号を修正すること、およびRF出力信号を生成するよう修正増幅RF信号をさらに増幅することを含むことができ、増幅RF信号を修正することは、増幅RF信号の第2成分の位相をシフトすることを含む。

【0086】

したがって、本明細書に包含される少なくともいくつかの実施形態では、本開示は、前段増幅デバイス、最終段増幅デバイス、および前段増幅デバイスと最終段増幅デバイスとを少なくとも間接的に結合する中間回路を含むハイブリッド電力増幅器回路に関する。中間回路はローパス回路およびハイパス回路を含み、ハイブリッド電力増幅器回路は基本周波数における第1信号成分を増幅するように構成される。少なくとも部分的に中間回路に起因して、基本周波数の倍数である高調波周波数における第2信号成分の位相がシフトされる。

【0087】

また、本明細書に包含される少なくともいくつかの例示的实施形態では、本開示はハイブリッド電力増幅器モジュールに関する。ハイブリッド電力増幅器モジュールは、基板と、基板上に少なくとも間接的に支持され、その上に少なくとも部分的に前段増幅回路が形成されている第1ダイトを含む。さらに、ハイブリッド電力増幅器モジュールはまた、基板上に少なくとも間接的に支持され、その上に少なくとも部分的に最終段増幅回路が形成されている第2ダイも含む。加えて、ハイブリッド電力増幅器モジュールはさらに、基板上に少なくとも間接的に支持された中間回路を含み、中間回路は、前段増幅デバイスと最終段増幅デバイスとを少なくとも間接的に結合する。中間回路はローパス回路およびハイパス回路を含み、ハイブリッド電力増幅器回路は基本周波数における第1信号成分を増幅するように構成される。少なくとも部分的に中間回路に起因して、基本周波数の倍数である高調波周波数における第2信号成分の位相がシフトされる。

【0088】

さらに、本明細書に包含される少なくともいくつかの例示的实施形態では、本開示は増幅を提供する方法に関する。この方法は、前段増幅デバイス、最終段増幅デバイス、および前段増幅デバイスと最終段増幅デバイスとを少なくとも間接的に結合する中間回路を有するハイブリッド電力増幅器モジュールを提供することを含み、中間回路はローパス回路とハイパス回路とを含む。さらに、この方法は、前段増幅デバイスでRF入力信号を受信する工程と、前段増幅デバイスによりRF信号を増幅して、基本周波数における第1成分と基本周波数の倍数である高調波周波数における第2成分とを有する増幅RF信号を生成する工程とを含む。さらに、この方法は、修正増幅RF信号を最終段増幅デバイスに提供するように中間回路によって増幅RF信号を修正する工程と、RF出力信号を生成するよう修正増幅RF信号をさらに増幅する工程とを含み、増幅RF信号を修正することは、増幅RF信号の第2成分の位相をシフトすることを含む。さらに、少なくともいくつかのこのような実施形態では、前段増幅デバイスはシリコントランジスタデバイスを含み、最終段増幅デバイスは窒化ガリウム(GaN)トランジスタデバイスを含み、高調波周波数は基本周波数の2倍であり、シリコントランジスタデバイスおよび中間回路はシリコンダイ上に形成され、最終段増幅デバイスはGaNダイ上に形成される。

【0089】

上記の説明から、本明細書に包含される改良ハイブリッドPA回路は、上記のものを含むがこれらに限定されず、実施形態に応じて様々な利点のうちの任意の1つまたはそれ以上を提供し得ることを理解されたい。本明細書に包含される少なくともいくつかの実施形態では、改良ハイブリッドPA回路は、動作の第二次高調波周波数($2f_0$)で任意の位相角を提供するよう設定されるように構成可能であり、 $|\Gamma|$ は1.0付近であり、入力整合ネットワークの実装を容易にし得る。したがって、本明細書に包含される少なくともいくつかの実施形態は、 $2f_0$ の位相の設定においてより高い程度の柔軟性を可能にする

【0090】

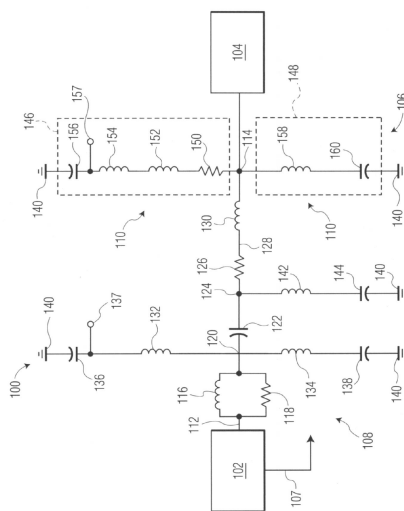
さらに、少なくともいくつかの実施形態では、改良ハイブリッドPA回路は、第二次高調波周波数（ $2f_0$ ）回路と基本周波数（ f_0 ）における整合回路との間のイミューニティを提供し得る。さらに、少なくともいくつかの実施形態では、改良ハイブリッドPA回路は、 f_0 回路に起因して基本周波数（ f_0 ）でいかなる（またはいかなる実質的な）分散も付加することなく動作し得る。さらに、少なくともいくつかの実施形態では、改良ハイブリッドPA回路は、 $2f_0$ 終端のために、整合についてQ値に影響を及ぼさないであろう。さらに、少なくともいくつかの実施形態では、改良ハイブリッドPA回路は、最終段（例えば、GaN）デバイスの入力端子に現れる基本インピーダンスに影響を与えることなく、第二次高調波周波数（ $2f_0$ ）位相を最適化する際の柔軟性を高め得る。

10

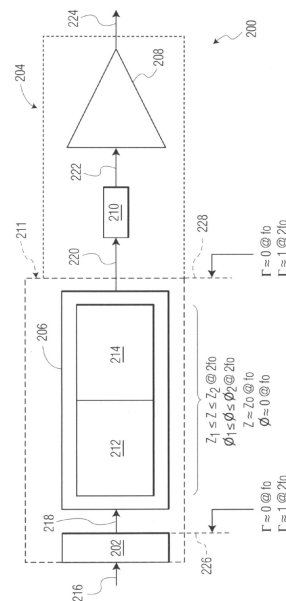
【0091】

本発明の原理を特定の装置に関連して説明してきたが、この説明は例としてのみなされたものであり、本発明の範囲を限定するものではないことを明確に理解されたい。本発明は、本明細書に含まれる実施形態および例示に限定されず、以下の特許請求の範囲の範囲内に含まれる実施形態の一部および異なる実施形態の要素の組み合わせを含む、それらの実施形態の修正形態を含むことが特に意図される。

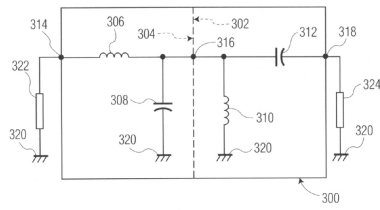
【図1】



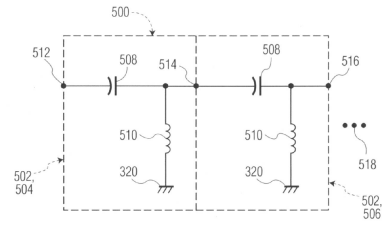
【図2】



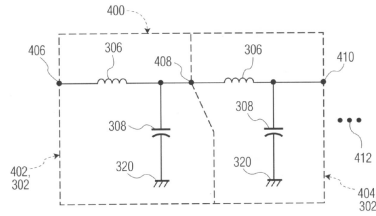
【図 3】



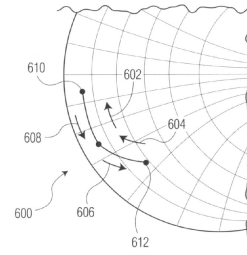
【図 5】



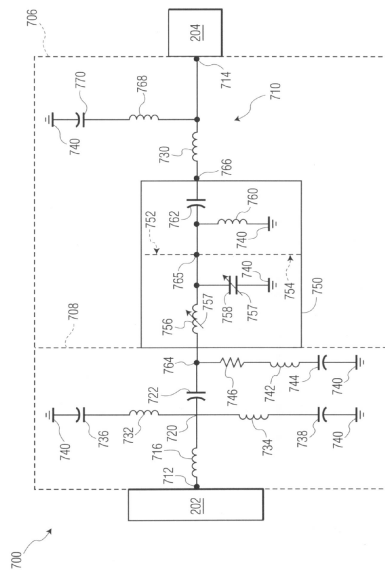
【図 4】



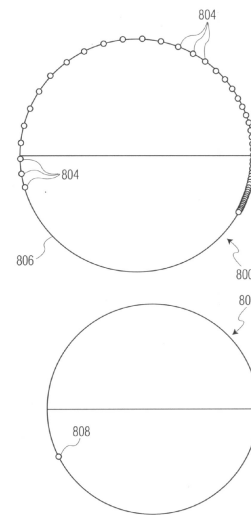
【図 6】



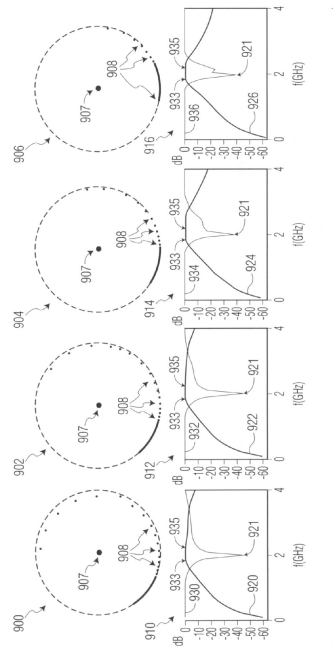
【図 7】



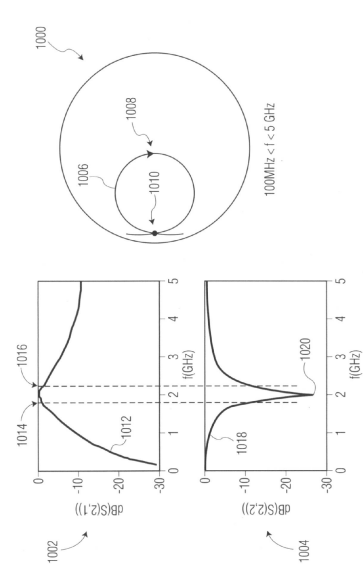
【図 8】



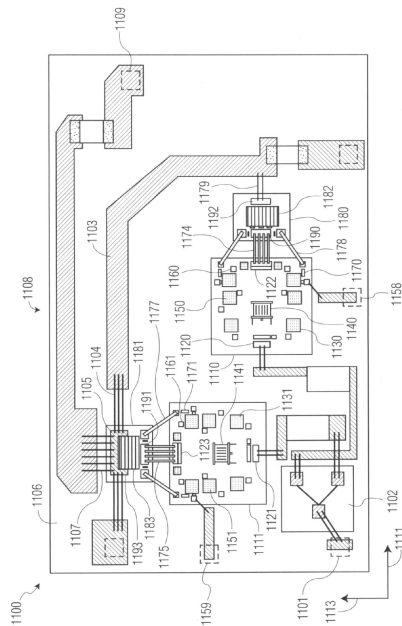
【図 9】



【図 10】



【図 11】



フロントページの続き

(72)発明者 トゥーシャー シャルマ

アメリカ合衆国 78735 テキサス州 オースティン ウィリアム キャノン ドライブ ウ
エスト 6501 エヌエックスピー ユーエスエイ インコーポレイテッド

(72)発明者 ジョセフ シュタウディングー

アメリカ合衆国 78735 テキサス州 オースティン ウィリアム キャノン ドライブ ウ
エスト 6501 エヌエックスピー ユーエスエイ インコーポレイテッド

審査官 渡井 高広

(56)参考文献 国際公開第01/059927 (WO, A1)

特開2008-211764 (JP, A)

国際公開第2014/155974 (WO, A1)

特開2012-186735 (JP, A)

特開2015-061265 (JP, A)

特開2017-225104 (JP, A)

特表2010-502117 (JP, A)

特開2018-061120 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/12

H03F 1/02

H03F 3/68