

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-10264
(P2010-10264A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/762 (2006.01)	HO 1 L 21/76 D	5 F 0 3 2
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 3 1 A	5 F 0 3 8
HO 1 L 29/786 (2006.01)	HO 1 L 27/08 3 3 1 C	5 F 0 4 8
HO 1 L 27/12 (2006.01)	HO 1 L 27/08 3 3 1 E	5 F 1 1 0
HO 1 L 21/822 (2006.01)	HO 1 L 29/78 6 2 6 C	

審査請求 未請求 請求項の数 10 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2008-165656 (P2008-165656)
(22) 出願日 平成20年6月25日 (2008. 6. 25)

(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(74) 代理人 100100022
弁理士 伊藤 洋二
(74) 代理人 100108198
弁理士 三浦 高広
(74) 代理人 100111578
弁理士 水野 史博
(72) 発明者 白木 聡
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
Fターム(参考) 5F032 AA06 AA13 AA34 BA08 BB01
CA03 CA14 CA17 CA18 CA20
CA24 CA25 DA43
最終頁に続く

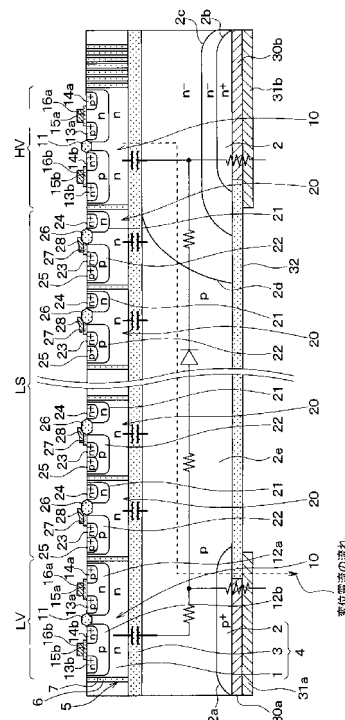
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 dv/dt サージにより、寄生容量を充放電する変位電流が発生することを抑制し、回路の誤動作を防止する。

【解決手段】 電界緩和層2dと支持基板2におけるp型の部分2eとによって構成されるPN接合により、高耐圧ダイオードを構成する。これにより、高耐圧ダイオードを構成するPN接合部に空乏層が形成され、この空乏層によって各部位および各支持台31a、31bを独立した電位に固定することが可能となる。このため、 dv/dt サージによる変位電流の発生を抑制することが可能となる。また、変位電流が発生したとしても、支持台31aを通じて変位電流を引抜ける。このため、変位電流が低電位基準回路部LV内に流れることを防止することが可能となり、変位電流によって回路の誤動作が生じることを防止できる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体層(1)と半導体にて構成された支持基板(2)とが埋込絶縁膜(3)を介して貼り合わされた半導体基板(4)を有し、

前記半導体基板(4)における前記半導体層(1)に、第1の電位を基準電位として動作する低電位基準回路部(LV)と、前記第1の電位よりも高電位な第2の電位を基準電位として動作する高電位基準回路部(HV)と、前記低電位基準回路部(LV)と前記高電位基準回路部(HV)との間での基準電位のレベルシフトを行うためのレベルシフト素子(20)が備えられたレベルシフト素子形成部(LS)とが形成されてなる半導体装置において、

前記支持基板(2)を挟んで前記低電位基準回路部(LV)と対応する位置に配置されていると共に、前記低電位基準回路部(LV)における前記第1の電位が印加される部位と同電位とされた第1導体部材(30a、31a)と、

前記支持基板(2)を挟んで前記高電位基準回路部(HV)と対応する位置に配置されていると共に、前記高電位基準回路部(HV)における前記第2の電位が印加される部位と同電位とされた第2導体部材(30b、31b)と、を備え、

前記支持基板(2)は、前記低電位基準回路部(LV)と対応する位置がp型半導体(2a、2e、2f)とされていると共に、前記高電位基準回路部(HV)と対応する位置がn型半導体(2b、2c、2d)とされており、これらp型半導体(2a、2e、2f)およびn型半導体(2b、2c、2d)によって構成されるPN接合により高耐压ダイオードが構成されていることを特徴とする半導体装置。

【請求項 2】

前記p型半導体(2a、2e、2f)のうち前記第1導体部材(30a、31a)と接触する部分には、前記第1導体部材(30a、31a)とオーミック接触するコンタクト領域(2a)が備えられ、

前記n型半導体(2b、2c、2d)のうち前記第2導体部材(30b、31b)と接触する部分には、前記第2導体部材(30b、31b)とオーミック接触するコンタクト領域(2b)が備えられていることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記n型半導体(2b、2c、2d)のうち前記PN接合を構成する部分は、該n型半導体(2b、2c、2d)に備えられた前記コンタクト領域(2b)よりも低濃度とされた電界緩和層(2d)とされていることを特徴とする請求項2に記載の半導体装置。

【請求項 4】

前記n型半導体(2b、2c、2d)には、該n型半導体(2b、2c、2d)に備えられた前記コンタクト領域(2b)を覆うように、該コンタクト領域(2b)よりも低濃度かつ前記電界緩和層(2d)よりも高濃度なn型拡散層(2c)が備えられていることを特徴とする請求項3に記載の半導体装置。

【請求項 5】

前記n型半導体(2b、2c、2d)には、前記支持基板(2)の厚み方向の中間位置において、該n型半導体(2b、2c、2d)に備えられた前記コンタクト領域(2b)よりも低濃度かつ前記電界緩和層(2d)よりも高濃度なn型拡散層(2c)が備えられていることを特徴とする請求項3に記載の半導体装置。

【請求項 6】

前記n型半導体(2b、2c、2d)に備えられた前記電界緩和層(2d)は、前記支持基板(2)における前記埋込絶縁膜(3)側となる表面側と該支持基板(2)における前記第2導体部材(30b、31b)側となる裏面側にそれぞれ備えられていることを特徴とする請求項3に記載の半導体装置。

【請求項 7】

前記第1導体部材(30a、31a)は、前記支持基板(2)を挟んで前記低電位基準回路部(LV)と対応する位置だけでなく前記レベルシフト素子形成部(LS)と対応す

10

20

30

40

50

る位置にも配置されていることを特徴とする請求項 1 ないし 6 のいずれか 1 つに記載の半導体装置。

【請求項 8】

前記半導体層 (1) は、前記低電位基準回路部 (L V) が形成されたチップと、前記レベルシフト素子形成部 (L S) が形成されたチップと、前記高電位基準回路部 (H V) が形成されたチップとに分割されていることを特徴とする請求項 1 ないし 7 のいずれか 1 つに記載の半導体装置。

【請求項 9】

前記第 1 導体部材 (3 0 a 、 3 1 a) は、前記低電位基準回路部 (L V) に備えられるアナログ回路、デジタル回路およびゲート駆動回路それぞれと対応する部分で分割されることで独立して電位固定されており、

前記第 2 導体部材 (3 0 b 、 3 1 b) は、前記高電位基準回路部 (H V) に備えられるアナログ回路、デジタル回路およびゲート駆動回路それぞれと対応する部分で分割されることで独立して電位固定されていることを特徴とする請求項 1 ないし 8 のいずれか 1 つに記載の半導体装置。

【請求項 10】

前記低電位基準回路部 (L V) にて前記高電位基準回路部 (H V) の周囲の少なくとも一部が囲まれており、前記 P N 接合は前記支持基板 (2) のうち前記低電位基準回路部 (L V) と対応する位置と前記高電位基準回路部 (H V) と対応する位置との間全域に形成されていることを特徴とする請求項 1 ないし 9 のいずれか 1 つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、モータ等の機器を駆動させるためのインバータ制御用の素子等に用いられる半導体装置に関するものである。

【背景技術】

【0002】

モータ等の負荷を駆動させるためのインバータ制御用の素子等に用いられる半導体装置として、H V I C (High Voltage Integrated Circuit) がある。この H V I C により、負荷を駆動するためのインバータ内に備えられるパワーデバイスを制御する。

【0003】

従来、インバータの駆動には、図 10 に示すように、モータ 100 の駆動を行うインバータ回路 101 のハイサイド側の I G B T 102 a を駆動する高電圧基準回路に相当する高電圧基準ゲート駆動回路 103 とローサイド側の I G B T 102 b を駆動する低電圧基準回路に相当する低電位基準ゲート駆動回路 104 を備えると共に、これらの間にレベルシフト回路 105 a 、 105 b およびデッドタイム生成回路 106 が備えられた H V I C 107 が用いられている。この H V I C 107 では、レベルシフト回路 105 a 、 105 b を通じて信号伝達を行うことにより高電位基準回路と低電圧基準回路における基準電圧のレベルシフトを行っている。このような H V I C 107 では、インバータの小型化の為に、1チップ化 (H V I C 化) が進められており、図 10 に示した H V I C 107 も 1チップにて構成されている。

【0004】

しかしながら、このように 1チップ化した H V I C 107 では、高電位基準回路と低電位基準回路との間で電位の干渉が発生し、回路を誤動作させるという問題があった。このため、従来では、J I 分離構造、誘電体分離構造、S O I (Silicon on insulator) 基板を用いたトレンチ分離構造 (例えば、特許文献 1 参照) などにより素子分離を行っている。ところが、高電位基準回路の I G B T 102 a を駆動するための出力部の電位を高電圧側の基準とするための仮想 G N D 電位にする必要があるため、上記したいずれの素子分離構造においてもレベルシフトにおける低電位 (例えば 0 V) から高電位 (例えば 750 V) に切り替えるときに高電圧 (例えば 1200 V を超える電圧) が数十 k V / μ s e c と

10

20

30

40

50

いう早い立ち上がり速度で生じ、大きな電位振幅が生じる。この立ち上がりの早い高電圧サージ（以下、立ち上がり時間に対する電圧上昇が高いことから dv/dt サージという）を回路の誤動作無く扱うことは難しい。

【特許文献 1】特開 2006 - 93229 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記した素子分離構造の中では、SOI 基板を用いたトレンチ分離構造が最もノイズに強く、素子分離としては最もポテンシャルが高いと考えられる。しかしながら、この構造を用いて高耐圧のレベルシフト素子を開発してきたところ、SOI 基板を用いたトレンチ分離構造の HVIC においても、 dv/dt サージが印加された際に支持基板を介して電位が干渉し、支持基板と活性層（SOI 層）との間に配置された埋込酸化膜（BOX: Buried Oxide）にて形成される寄生容量を充放電する変位電流が発生し、回路を誤動作させてしまうという問題が生じた。図 11 は、変位電流が発生する様子を示した HVIC の断面図である。この図に示すように、例えば、SOI 層 111 に形成された高電位基準回路部 HV の仮想 GND 電位とされる部位から BOX にて構成される埋込層 113 を介して支持基板 112 に流れたのち、再び埋込層 113 を介して低電位基準回路部 LV の GND 電位とされる部位に流れ込むという経路で変位電流が発生する。

10

【0006】

このような問題は、BOX 膜厚を厚くして寄生容量を低減したり、支持基板 112 側の不純物濃度を下げて高抵抗にして変位電流の伝搬を低減することで抑制可能であるが、高増幅率のアンプ回路等を集積する場合には僅かな変位電流でも誤動作の要因となり、完全な対策は難しい。

20

【0007】

本発明は上記点に鑑みて、トレンチ分離構造により低電位基準回路と高電位基準回路およびレベルシフト素子を備えた半導体装置を構成する場合において、 dv/dt サージにより、寄生容量を充放電する変位電流が発生することを抑制し、回路の誤動作を防止することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、請求項 1 に記載の発明では、支持基板（2）を挟んで低電位基準回路部（LV）と対応する位置に配置されていると共に、低電位基準回路部（LV）における第 1 の電位が印加される部位と同電位とされた第 1 導体部材（30a、31a）と、支持基板（2）を挟んで高電位基準回路部（HV）と対応する位置に配置されていると共に、高電位基準回路部（HV）における第 2 の電位が印加される部位と同電位とされた第 2 導体部材（30b、31b）と、を備え、支持基板（2）は、低電位基準回路部（LV）と対応する位置が p 型半導体（2a、2e、2f）とされていると共に、高電位基準回路部（HV）と対応する位置が n 型半導体（2b、2c、2d）とされており、これら p 型半導体（2a、2e、2f）および n 型半導体（2b、2c、2d）によって構成される PN 接合により高耐圧ダイオードが構成されていることを特徴としている。

30

40

【0009】

このように、p 型半導体（2a、2e、2f）および n 型半導体（2b、2c、2d）によって構成される PN 接合により、高耐圧ダイオードが構成される。このため、支持基板（2）のうち高電位基準回路部（HV）と対応する位置と低電位基準回路部（LV）と対応する位置との間に電位差が発生したときに、高耐圧ダイオードを構成する PN 接合部に空乏層が形成され、この空乏層によって各部位および第 1、第 2 導体部材（30a、30b、31a、31b）を独立した電位に固定することが可能となる。このため、 dv/dt サージによる変位電流の発生を抑制することが可能となる。

【0010】

この場合、請求項 2 に記載したように、p 型半導体（2a、2e、2f）のうち第 1 導

50

体部材(30a、31a)と接触する部分には、第1導体部材(30a、31a)とオーミック接触するコンタクト領域(2a)が備えられ、n型半導体(2b、2c、2d)のうち第2導体部材(30b、31b)と接触する部分には、第2導体部材(30b、31b)とオーミック接触するコンタクト領域(2b)が備えられた構成とすると好ましい。

【0011】

このようにすれば、p型半導体(2a、2e、2f)と第1導体部材(30a、31a)との接触抵抗を低減できると共に、n型半導体(2b、2c、2d)と第2導体部材(30b、31b)との接触抵抗を低減できる。そして、p型半導体(2a、2e、2f)と第1導体部材(30a、31a)との接触抵抗を低減できることにより、変位電流が発生したとしても、低電位基準回路部(LV)と対応する位置に配置された第1導体部材(30a、31a)が低電位基準回路部(LV)内の第1の電位に固定されているため、第1導体部材(30a、31a)を通じて変位電流を引抜ける。このため、変位電流が低電位基準回路部(LV)内に流れることを防止することが可能となり、変位電流によって回路の誤動作が生じることを防止できる。

10

【0012】

請求項3に記載された発明では、n型半導体(2b、2c、2d)のうちPN接合を構成する部分は、該n型半導体(2b、2c、2d)に備えられたコンタクト領域(2b)よりも低濃度とされた電界緩和層(2d)とされていることを特徴としている。

【0013】

このように、低濃度な電界緩和層(2d)を設けることにより、電界緩和効果を得ることが可能になる。

20

【0014】

この場合、例えば、請求項4に記載したように、n型半導体(2b、2c、2d)に、該n型半導体(2b、2c、2d)に備えられたコンタクト領域(2b)を覆うように、該コンタクト領域(2b)よりも低濃度かつ電界緩和層(2d)よりも高濃度なn型拡散層(2c)を備えることもできる。

【0015】

また、請求項5に記載したように、n型半導体(2b、2c、2d)に、支持基板(2)の厚み方向の中間位置において、該n型半導体(2b、2c、2d)に備えられたコンタクト領域(2b)よりも低濃度かつ電界緩和層(2d)よりも高濃度なn型拡散層(2c)が備えた構成とすることもできる。

30

【0016】

さらに、請求項6に記載したように、n型半導体(2b、2c、2d)に備えられた電界緩和層(2d)を支持基板(2)における埋込絶縁膜(3)側となる表面側と該支持基板(2)における第2導体部材(30b、31b)側となる裏面側にそれぞれ備えた構成とすることもできる。

【0017】

請求項7に記載の発明では、第1導体部材(30a、31a)は、支持基板(2)を挟んで低電位基準回路部(LV)と対応する位置だけでなくレベルシフト素子形成部(LS)と対応する位置にも配置されていることを特徴としている。

40

【0018】

このように、レベルシフト素子形成部(LS)と対応する位置にも第1導体部材(30a、31a)を配置した構成とすることができる。

【0019】

請求項8に記載の発明では、半導体層(1)は、低電位基準回路部(LV)が形成されたチップと、レベルシフト素子形成部(LS)が形成されたチップと、高電位基準回路部(HV)が形成されたチップとに分割されていることを特徴としている。

【0020】

このように、低電位基準回路部(LV)とレベルシフト素子形成部(LS)および高電位基準回路部(HV)が別チップとされる構造に対しても、上記各請求項に記載の発明を

50

適用することができる。

【0021】

請求項9に記載の発明では、第1導体部材(30a、31a)は、低電位基準回路部(LV)に備えられるアナログ回路、デジタル回路およびゲート駆動回路それぞれと対応する部分で分割されることで独立して電位固定されており、第2導体部材(30b、31b)は、高電位基準回路部(HV)に備えられるアナログ回路、デジタル回路およびゲート駆動回路それぞれと対応する部分で分割されることで独立して電位固定されていることを特徴としている。

【0022】

このように、低電位基準回路部(LV)や高電位基準回路部(HV)に備えられるアナログ回路、デジタル回路およびゲート駆動回路それぞれと対応させて、第1導体部材(30a、31a)や第2導体部材(30b、31b)を分割し、それぞれが独立して電位固定される構造とすることもできる。

10

【0023】

請求項10に記載の発明では、低電位基準回路部(LV)にて高電位基準回路部(HV)の周囲の少なくとも一部が囲まれており、PN接合は支持基板(2)のうち低電位基準回路部(LV)と対応する位置と高電位基準回路部(HV)と対応する位置との間全域に形成されていることを特徴としている。

【0024】

このような構造とすれば、支持基板(2)のうち低電位基準回路部(LV)と対応する位置と高電位基準回路部(HV)と対応する位置の間全域に形成されるPN接合の面積がより広くなる。このため、より電界緩和効果を向上させることが可能となる。

20

【0025】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【発明を実施するための最良の形態】

【0026】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、図中、同一符号を付してある。

【0027】

30

(第1実施形態)

本発明の第1実施形態について説明する。図1は、本実施形態にかかる半導体装置(HVIC)の断面図である。また、図2は、図1に示す半導体装置を上側から見た時のレイアウト図である。なお、図1は、本図のA-A断面図に相当する図である。

【0028】

以下、これらの図を参照して、本実施形態の半導体装置の構成について説明する。なお、以下の説明では、図1の紙面上方を半導体装置の表面側、紙面下方を半導体装置の裏面側として説明する。

【0029】

図1に示すように、本実施形態の半導体装置は、例えばn型シリコンにて構成されたSOI層1と支持基板2とが埋込酸化膜3を介して接合されたSOI基板4を半導体基板として用いて形成されている。

40

【0030】

SOI層1は、半導体装置の表面側に配置され、シリコン基板を所定膜厚に研削することにより構成されている。このSOI層1は、複数のトレンチ分離部5により素子分離されている。各トレンチ分離部5は、SOI層1の表面から埋込酸化膜3に達するトレンチ6とトレンチ6内に配置された絶縁膜7によって構成されており、例えば同等幅にて構成されている。

【0031】

複数のトレンチ分離部5は多重リング構造とされており、最も外側とそれよりも1つ内

50

側のトレンチ分離部 5 の間に形成される領域（つまり図 1、図 2 の紙面左側の領域）が低電位基準回路部 L V、最も内側のトレンチ分離部 5 内の領域（つまり紙面右側の領域）が高電位基準回路部 H V、これら低電位基準回路部 L V と高電位基準回路部 H V の間に形成される領域がレベルシフト素子形成部 L S とされている。

【0032】

S O I 層 1 における低電位基準回路部 L V には、小電位にて駆動されるアナログ回路やデジタル回路などの信号処理回路が構成されており、これらは 0 V（第 1 の電位）を基準電位として動作する。低電位基準回路部 L V は、トレンチ分離部 5 にて半導体装置の他の部分から素子分離されている。この低電位基準回路部 L V には、C M O S 1 0 などのゲート駆動回路を含む信号処理回路を構成する各種素子が備えられている。具体的には、S O I 層 1 内が S T I（Shallow Trench Isolation）や L O C O S 酸化膜等の素子分離用の絶縁膜 1 1 にて素子分離されており、素子分離された各領域は n ウェル層 1 2 a もしくは p ウェル層 1 2 b とされている。n ウェル層 1 2 a 内には p⁺型ソース領域 1 3 a および p⁺型ドレイン領域 1 4 a が構成され、p ウェル層 1 2 b 内には n⁺型ソース領域 1 3 b および n⁺型ドレイン領域 1 4 b が構成されている。そして、p⁺型ソース領域 1 3 a と p⁺型ドレイン領域 1 4 a の間に位置する n ウェル層 1 2 a の表面、および、n⁺型ソース領域 1 3 b および n⁺型ドレイン領域 1 4 b の間に位置する p ウェル層 1 2 b の表面に、ゲート絶縁膜 1 5 a、1 5 b を介してゲート電極 1 6 a、1 6 b が形成されている。これにより、n チャネル M O S F E T と p チャネル M O S F E T にて構成された C M O S 1 0 が構成されている。

10

20

【0033】

なお、S O I 層 1 の表面側には、C M O S 1 0 を構成するゲート電極 1 6 a、1 6 b や各ソース領域 1 3 a、1 3 b もしくは各ドレイン領域 1 4 a、1 4 b と電気的に接続される配線部や層間絶縁膜などが形成されているが、ここでは図示を省略してある。また、C M O S 1 0 の他にも、バイポーラトランジスタや拡散抵抗、さらにはメモリなども備えられるが、これらの構造は周知であるため、ここでは代表して C M O S 1 0 のみを示してある。また、C M O S 1 0 ではなく、I G B T やパワー M O S トランジスタのような他の素子が備えられていても良い。

【0034】

S O I 層 1 における高電位基準回路部 H V には、高電位にて駆動されるアナログ回路やデジタル回路などの信号処理回路が構成されている。これらは低電位基準回路部 L V の基準電位よりも高い電位（第 2 の電位）を基準電位として動作する。高電位基準回路部 H V は、トレンチ分離部 5 にて半導体装置の他の部分から素子分離されている。この高電位基準回路部 H V にも、低電位基準回路部 L V と同様の構造の C M O S 1 0 が備えられており、図示しないがバイポーラトランジスタや拡散抵抗、さらにはメモリなども備えられている。

30

【0035】

また、S O I 層 1 におけるレベルシフト素子形成部 L S には、レベルシフト素子として高耐圧 L D M O S 2 0 が形成されている。高耐圧 L D M O S 2 0 は、S O I 層 1 の表層にそれぞれ位置する n 型ドレイン領域 2 1、p 型チャネル領域 2 2、n⁺型ソース領域 2 3 を有している。n 型ドレイン領域 2 1 の表層には n⁺型コンタクト層 2 4 が形成されており、p 型チャネル領域 2 2 の表層には p⁺型コンタクト層 2 5 が形成されている。また、n 型ドレイン領域 2 1 と p 型チャネル領域 2 2 は、いわゆる L O C O S 酸化膜 2 6 により、分離されている。そして、p 型チャネル領域 2 2 上には、ゲート絶縁膜 2 7 を介して、ゲート電極 2 8 が配置されている。これにより、高耐圧 L D M O S 2 0 が構成されている。

40

【0036】

なお、S O I 層 1 の表面側には、ゲート電極 2 8、n⁺型ソース領域 2 3 および p⁺型コンタクト層 2 5、もしくは、n⁺型コンタクト層 2 4 と電気的に接続される配線部や層間絶縁膜が形成されているが、ここでは図示を省略してある。

50

【0037】

このような構造の高耐圧LDMOS20は複数セル形成されており、低電位基準回路部LVと高電位基準回路部HVとの間において複数セルが配置されると共に、各セルがトレンチ分離部5によって素子分離されている。

【0038】

一方、支持基板2は、p型不純物がドーピングされたp型シリコン基板にて構成されており、各部にn型またはp型不純物が注入された構造とされている。具体的には、支持基板2のうち低電位基準回路部LVと対応する箇所において、支持基板2の裏面からp型不純物が注入されて形成されたp⁺型コンタクト領域2aが形成されている。また、支持基板2のうち高電位基準回路部HVと対応する箇所において、支持基板の裏面には、n型不純物が注入されて形成されたn⁺型コンタクト領域2bが形成されていると共に、このn⁺型コンタクト領域2bの周囲を囲むようにn⁺型コンタクト領域2bよりも低濃度とされたn型拡散層2cが形成され、さらにこのn型拡散層2cを囲むようにn型拡散層2cよりも低濃度とされたn-型の電界緩和層2dが形成されている。これらn⁺型コンタクト領域2b、n型拡散層2cおよび電界緩和層2dは、例えば支持基板1の裏面からn型不純物をイオン注入することで支持基板2の裏面近傍がピーク濃度となるようにし、注入されたn型不純物を熱拡散させることにより形成される。

10

【0039】

p⁺型コンタクト領域2aおよびn⁺型コンタクト領域2bは、接触抵抗低減のために高不純物濃度とされ、例えば $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ とされている。また、電界緩和層2dは、電界緩和層2dと支持基板2におけるp型の部分2eとによって構成されるPN接合で耐圧ブレークダウンが発生しないように低濃度とされ、例えば $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とされている。

20

【0040】

さらに、支持基板2の裏面には、裏面電極30a、30bを介して支持台31a、31bが備えられている。これらのうち裏面電極30aおよび支持台31aが第1導体部材、裏面電極30bおよび支持台31bが第2導体部材に相当する。

【0041】

図3は、SOI層1に形成された各部と裏面電極30a、30bおよび支持台31a、31bとの関係を示したレイアウト図である。この図に示されるように、裏面電極30a、30bおよび支持台31a、31bは、支持基板2の裏面のうち低電位基準回路部LVと対応する位置および高電位基準回路部HVと対応する位置にそれぞれ形成されている。

30

【0042】

裏面電極30a、30bは、支持基板2の裏面に形成されたp⁺型コンタクト領域2aやn⁺型コンタクト領域2bに対してオーミック接続されることで、支持台31a、31bと支持基板2との接触抵抗が低電位基準回路部LV内のデバイス抵抗(～1000)よりも十分小さい値(例えば10以下)になるように設けられている。例えば、裏面電極30a、30bは、Al、Au、Ni、Tiやそれらの合金などによって形成されている。支持台31a、31bの材料は例えば裏面電極30a、30bと同材料にて構成されるが、裏面電極30a、30bとの接合強度が得られるものであれば、どのような材料であっても構わない。

40

【0043】

また、低電位基準回路部LVと対応する位置に形成された裏面電極30aおよび支持台31aは、低電位基準回路部LV内の基準電位(例えば回路内GND)と同電位にされている。例えば、図示しないボンディングワイヤなどを通じて、裏面電極30aまたは支持台31aが低電位基準回路部LV内の基準電位(例えば回路内GND)を印加するライン(図示せず)に電氣的に接続されている。さらに、高電位基準回路部HVと対応する位置に形成された裏面電極30bおよび支持台31bは、高電位基準回路部HV内の基準電位(例えば回路内GND)と同電位にされている。例えば、図示しないボンディングワイヤなどを通じて、裏面電極30bまたは支持台31bが高電位基準回路部HV内の基準電位

50

(例えば回路内GND)を印加するライン(図示せず)に電氣的に接続されている。このため、低電位基準回路部LVと対応する位置に形成された裏面電極30aおよび支持台31aと高電位基準回路部HVと対応する位置に形成された裏面電極30bおよび支持台31bとが独立した電位に固定される。

【0044】

なお、裏面電極30a、30bの間において、支持基板2の裏面には酸化膜などで形成された絶縁膜32が形成されており、この絶縁膜32によって裏面電極30a、30bの間が絶縁分離されている。

【0045】

このように構成された半導体装置では、電界緩和層2dと支持基板2におけるp型の部分2eとによって構成されるPN接合により、高耐圧ダイオードが構成される。このため、支持基板2のうち高電位基準回路部HVと対応する位置と低電位基準回路部LVと対応する位置との間に電位差が発生したときに、高耐圧ダイオードを構成するPN接合部に空乏層が形成され、この空乏層によって各部位および各支持台31a、31bを独立した電位に固定することが可能となる。このため、dv/dtサージによる変位電流の発生を抑制することが可能となる。

10

【0046】

また、変位電流が発生したとしても、低電位基準回路部LVと対応する位置に配置された裏面電極30aおよび支持台31aが低電位基準回路部LV内の基準電位(例えばGND電位)に固定されているため、支持台31aを通じて変位電流を引抜ける。このため、変位電流が低電位基準回路部LV内に流れることを防止することが可能となり、変位電流によって回路の誤動作が生じることを防止できる。

20

【0047】

なお、このように変位電流を引抜く場合、半導体装置をパッケージ化する際に、引抜を行う支持台31aが低電位基準回路部LVに対して均等に配置されるようなレイアウトとし、さらに引抜きのための専用のGNDピンにすると好ましい。

【0048】

(第2実施形態)

本発明の第2実施形態について説明する。本実施形態は、第1実施形態に対して支持基板1内に形成したn型拡散層2cおよび電界緩和層2dの構成を変更したものであり、その他に関しては第1実施形態と同様であるため、異なる部分についてのみ説明する。

30

【0049】

図4は、本実施形態にかかる半導体装置(HVIC)の断面図である。この図に示されるように、本実施形態にかかる半導体装置では、p型シリコン基板にて構成された支持基板2に対して、第1実施形態と同様に、p⁺型コンタクト領域2a、n⁺型コンタクト領域2b、n型拡散層2cおよび電界緩和層2dが形成された構成とされているが、n型拡散層2cはn⁺型コンタクト領域2bを覆うように形成されておらず、支持基板2の厚みの中間位置に形成され、電界緩和層2dもその周囲を囲み、かつ、n⁺型コンタクト領域2bに接するような構造とされている。n型拡散層2cおよび電界緩和層2dは、例えば、高加速イオン注入法により、支持基板2の裏面からn型不純物をドーピングすることで支持基板2の厚みの中間位置がピーク濃度となるようにし、それを熱拡散させることにより形成される。

40

【0050】

このように、支持基板2の厚みの中間位置にn型拡散層2cが形成された構造であって第1実施形態と同様の効果を得ることができる。そして、このような構造にすると、より広範囲にわたって電界緩和層2dを形成しているため、より電界緩和効果を得ることが可能になる。

【0051】

(第3実施形態)

本発明の第3実施形態について説明する。本実施形態は、第1実施形態に対して支持基

50

板 1 内に形成した電界緩和層 2 d の構成を変更したものであり、その他に関しては第 1 実施形態と同様であるため、異なる部分についてのみ説明する。

【 0 0 5 2 】

図 5 は、本実施形態にかかる半導体装置 (H V I C) の断面図である。この図に示されるように、本実施形態にかかる半導体装置では、 p 型シリコン基板にて構成された支持基板 2 に対して電界緩和層 2 d を支持基板 2 の裏面側からだけでなく表面側、つまり埋込酸化膜 3 側からも形成した構造としてある。また、支持基板 2 の表面側において、 p 型拡散層 2 f を形成した構造としている。

【 0 0 5 3 】

このような支持基板 2 の表面側の電界緩和層 2 d および p 型拡散層 2 f は、例えば、埋込酸化膜 3 を介して支持基板 2 を S O I 層 1 と貼り合わせる前に、予め支持基板 2 に対して n 型不純物や p 型不純物をイオン注入しておくことなどにより形成される。

【 0 0 5 4 】

このように、支持基板 2 の裏面側だけでなく表面側にも電界緩和層 2 d や p 型拡散層 2 f を形成した構造であっても第 1 実施形態と同様の効果を得ることができる。

【 0 0 5 5 】

(第 4 実施形態)

本発明の第 4 実施形態について説明する。本実施形態は、第 1 実施形態に対して裏面電極 3 0 a、3 0 b および支持台 3 1 a、3 1 b の構成を変更したものであり、その他に関しては第 1 実施形態と同様であるため、異なる部分についてのみ説明する。

【 0 0 5 6 】

図 6 は、本発明の第 4 実施形態に掛かる半導体装置の各部と裏面電極 3 0 a、3 0 b および支持台 3 1 a、3 1 b との関係を示したレイアウト図である。この図に示されるように、支持基板 2 の裏面のうち低電位基準回路部 L V およびレベルシフト素子形成部 L S に対応する位置に裏面電極 3 0 a および支持台 3 1 a を配置してある。このように、低電位基準回路部 L V のみでなく、レベルシフト素子形成部 L S と対応する位置にも裏面電極 3 0 a および支持台 3 1 a を配置することができる。このような構造としても、第 1 実施形態と同様の効果を得ることができる。

【 0 0 5 7 】

(第 5 実施形態)

本発明の第 5 実施形態について説明する。本実施形態は、第 1 実施形態に対して裏面電極 3 0 a、3 0 b および支持台 3 1 a、3 1 b の構成を変更したものであり、その他に関しては第 1 実施形態と同様であるため、異なる部分についてのみ説明する。

【 0 0 5 8 】

図 7 は、本実施形態に掛かる半導体装置の低電位基準回路部 L V や高電位基準回路部 H V が複合 I C にて構成されている場合のレイアウトを示した図である。なお、低電位基準回路部 L V と高電位基準回路部 H V それぞれと対応するレイアウトは同じであるため、ここでは低電位基準回路部 L V について図示してある。

【 0 0 5 9 】

図 7 に示されるように、低電位基準回路部 L V がアナログ回路やデジタル回路およびパワー M O S トランジスタや I G B T のようなゲート駆動回路を備えた構成とされる場合、これらそれぞれで裏面電極 3 0 a (3 0 b) や支持台 3 1 a (3 1 b) が分割されるようにしている。このようにすれば、アナログ回路やデジタル回路およびゲート駆動回路それぞれで独立して電位固定することが可能となる。このように、低電位基準回路部 L V や高電位基準回路部 H V すべてを同じ裏面電極 3 0 a、3 0 b および支持台 3 1 a、3 1 b で同じ電位に固定するのではなく、低電位基準回路部 L V や高電位基準回路部 H V 内において回路ごとに独立した電位に固定されるようにしても良い。

【 0 0 6 0 】

なお、ここでは、アナログ回路やデジタル回路およびゲート駆動回路それぞれで独立して電位固定する場合について説明したが、アナログ回路およびデジタル回路に対して 1 つ

10

20

30

40

50

の裏面電極 30 a および支持台 31 a を備える構造としても良い。

【0061】

(第6実施形態)

本発明の第6実施形態について説明する。本実施形態は、第1～第5実施形態に対して低電位基準回路部LVや高電位基準回路部HVおよびレベルシフト素子形成部LSをそれぞれ別チップで構成したものであり、その他に関しては第1～第5実施形態と同様であるため、異なる部分についてのみ説明する。

【0062】

図8は、本実施形態にかかる半導体装置の各部と裏面電極30 a、30 bおよび支持台31 a、31 bとの関係を示したレイアウト図である。この図に示されるように、低電位基準回路部LVや高電位基準回路部HVおよびレベルシフト素子形成部LSをそれぞれ別チップで構成している。そして、図示していないが、絶縁膜を介して各チップを支持基板2上に搭載した構造とし、支持基板2を第1～第3実施形態に示した構造としている。このような構造において、第4実施形態と同様に、支持基板2の裏面のうち低電位基準回路部LVが形成されたチップおよびレベルシフト素子形成部LSが形成されたチップに対応する位置に裏面電極30 aおよび支持台31 aを配置してある。

10

【0063】

このように、低電位基準回路部LVや高電位基準回路部HVおよびレベルシフト素子形成部LSをそれぞれ別チップで構成することもできる。これにより、第1～第5実施形態と同様の効果を得ることができる。なお、ここでは各回路が形成されたチップに対して裏面電極30 a、30 bおよび支持台31 a、31 bを第4実施形態のような構成とする場合について説明したが、勿論、第1、第5実施形態のような構成とすることもできる。

20

【0064】

(第7実施形態)

本発明の第7実施形態について説明する。本実施形態は、第1実施形態に対して低電位基準回路部LVの構成を変更したものであり、その他に関しては第1～第5実施形態と同様であるため、異なる部分についてのみ説明する。

【0065】

図9は、本実施形態にかかる半導体装置の各部と裏面電極30 a、30 bおよび支持台31 a、31 bとの関係を示したレイアウト図である。この図に示されるように、低電位基準回路部LVにて高電位基準回路部HVの周囲の少なくとも一部が囲まれるように、低電位基準回路部LVを高電位基準回路部HVのうちレベルシフト素子形成部LSの反対側の辺まで引き回した構造としてある。このような構造とすれば、支持基板2のうち低電位基準回路部LVと対応する位置と高電位基準回路部HVと対応する位置の間全域に形成されるPN接合の面積がより広くなる。このため、より電界緩和効果を向上させることが可能となる。

30

【0066】

(他の実施形態)

上記各実施形態では、低電位基準回路部LVや高電位基準回路部HVおよびレベルシフト素子形成部LSを構成する素子の一例を記載しているが、これらを構成する素子の種類に関しては適宜変更可能である。また、低電位基準回路部LVや高電位基準回路部HVおよびレベルシフト素子形成部LSのレイアウト等に関しても、適宜変更可能である。

40

【0067】

また、上記各実施形態では、支持基板2をp型で構成する場合について説明したが、n型とする場合であっても同様に本発明を適用することができる。その場合、支持基板2に対してp⁺型コンタクト領域2 aを囲むようにp⁺型コンタクト領域2 aよりも低濃度なp型不純物層を配置し、支持基板2におけるn型の部分によって電界緩和層2 dを構成すれば良い。

【0068】

さらに、上記実施形態では、半導体基板としてSOI基板4を用いる例を挙げたが、S

50

SOI基板4に限るものではない。例えば、第6実施形態のように各回路が別チップにて構成されるようなものに関しては、半導体にて構成された支持基板2の上に埋込絶縁膜を介して各チップを構成する半導体層を搭載した構成であっても構わない。また、埋込酸化膜3に関して、窒化膜やONO膜のような他の埋込絶縁膜が用いられていても構わない。

【図面の簡単な説明】

【0069】

【図1】本発明の第1実施形態にかかる半導体装置(HVIC)の断面図である。

【図2】図1に示す半導体装置を上面側から見た時のレイアウト図である。

【図3】SOI層1に形成された各部と裏面電極30a、30bおよび支持台31a、31bとの関係を示したレイアウト図である。

10

【図4】本発明の第2実施形態にかかる半導体装置(HVIC)の断面図である。

【図5】本発明の第3実施形態にかかる半導体装置(HVIC)の断面図である。

【図6】本発明の第4実施形態に掛かる半導体装置の各部と裏面電極30a、30bおよび支持台31a、31bとの関係を示したレイアウト図である。

【図7】本発明の第5実施形態に掛かる半導体装置の低電位基準回路部LVや高電位基準回路部HVが複合ICにて構成されている場合のレイアウトを示した図である。

【図8】本発明の第6実施形態にかかる半導体装置の各部と裏面電極30a、30bおよび支持台31a、31bとの関係を示したレイアウト図である。

【図9】本発明の第7実施形態にかかる半導体装置の各部と裏面電極30a、30bおよび支持台31a、31bとの関係を示したレイアウト図である。

20

【図10】モータを駆動するインバータ回路を駆動するための回路構成を示した図である。

。

【図11】変位電流が発生する様子を示したHVICの断面図である。

【符号の説明】

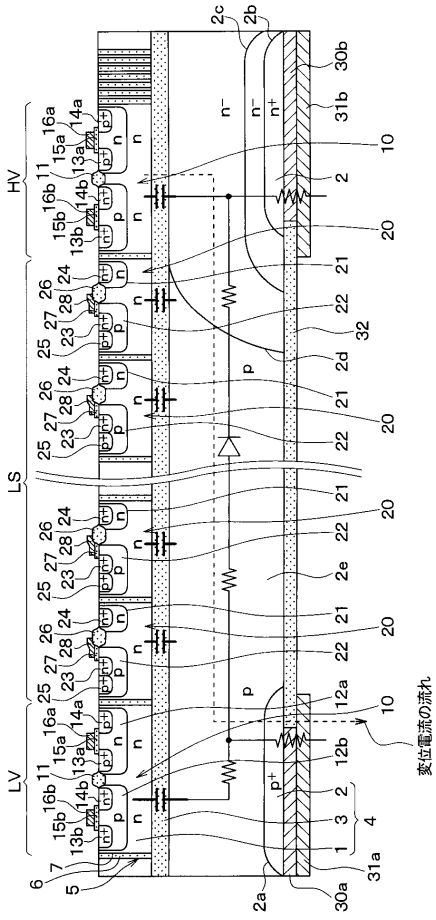
【0070】

1	SOI層
2	支持基板
2a	p ⁺ 型コンタクト領域
2b	n ⁺ 型コンタクト領域
2c	n型拡散層
2d	電界緩和層
2e	p型の部分
2f	n型拡散層
3	埋込酸化膜
4	SOI基板
5	トレンチ分離部
10	CMOS
20	LDMOS
30a、30b	裏面電極
31a、31b	支持台
LS	レベルシフト素子形成部
LV	低電位基準回路部
HV	高電位基準回路部

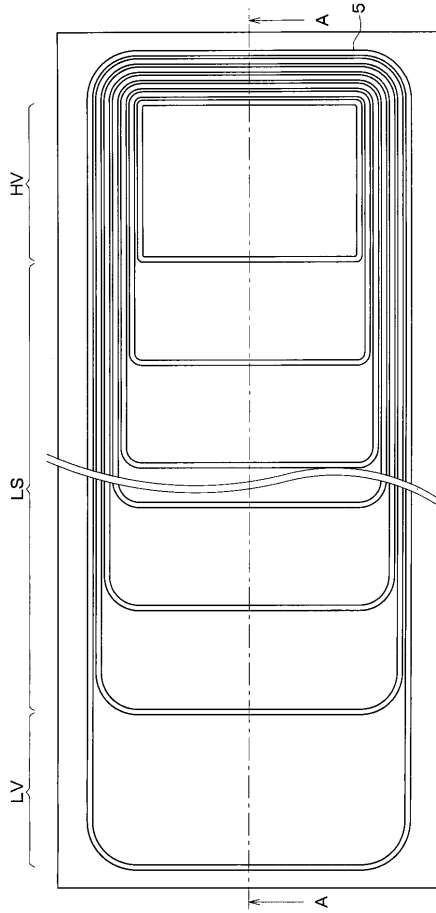
30

40

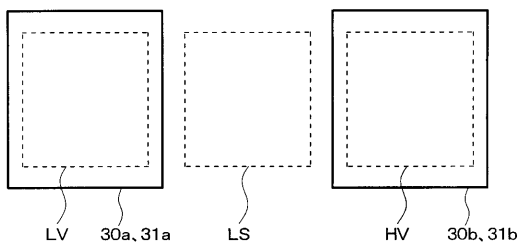
【図 1】



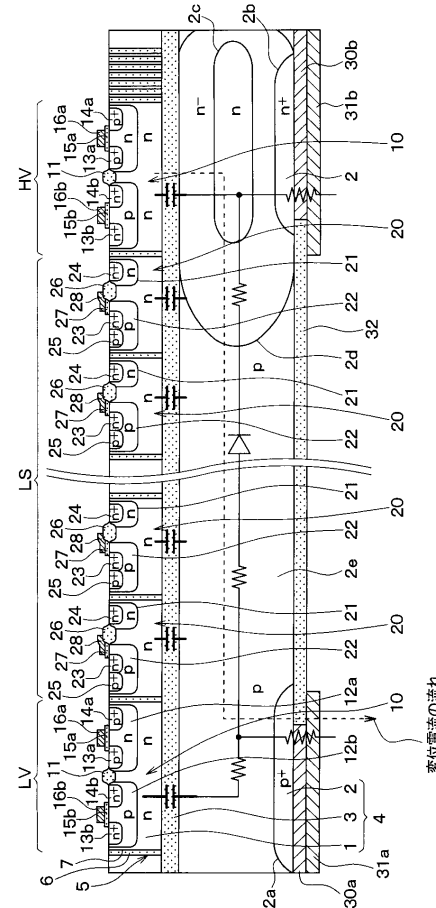
【図 2】



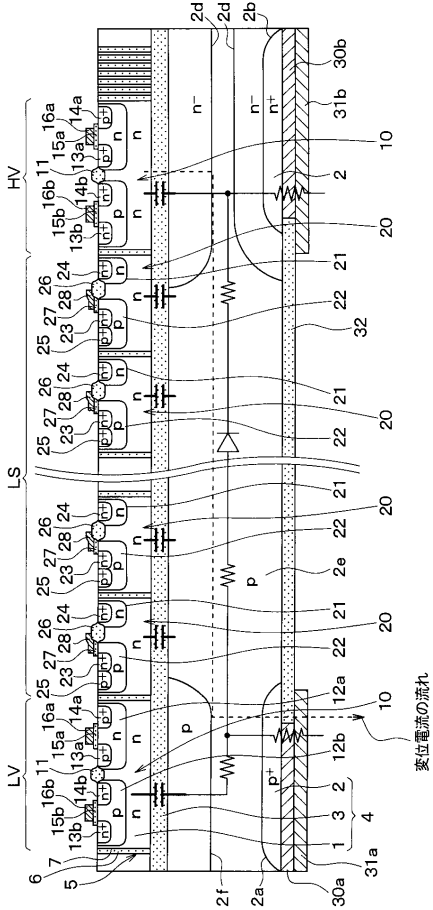
【図 3】



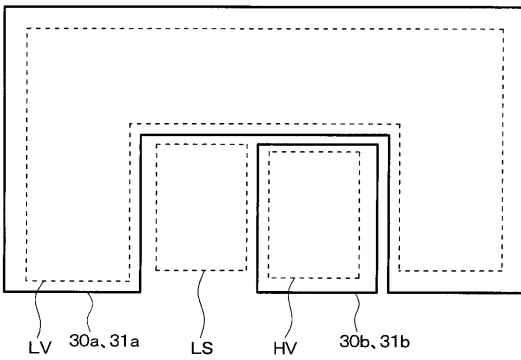
【図 4】



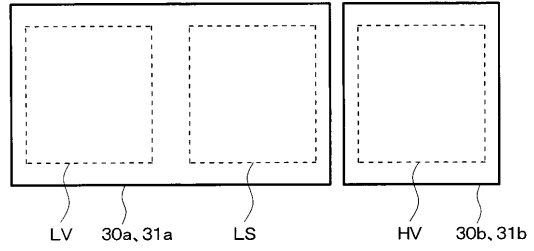
【図 5】



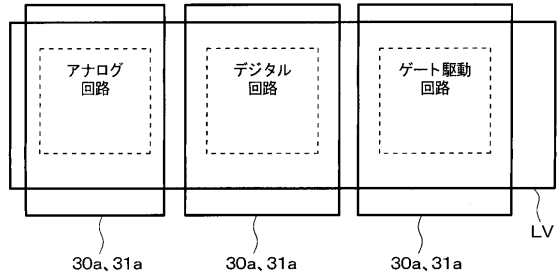
【図 9】



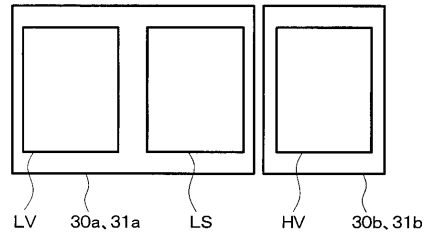
【図 6】



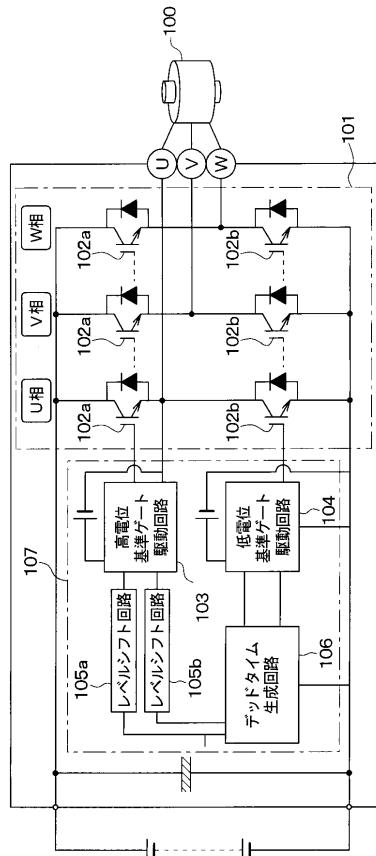
【図 7】



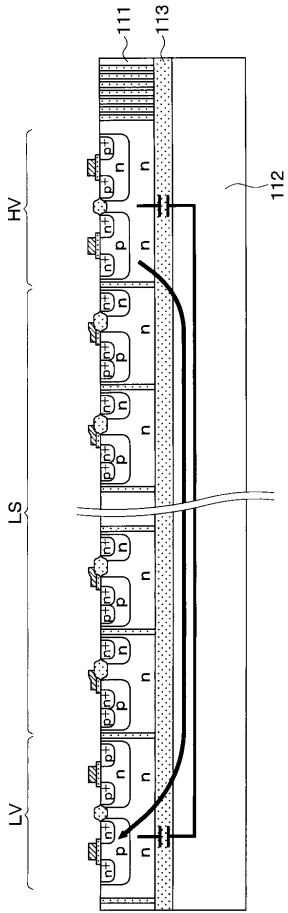
【図 8】



【図 10】



【 図 1 1 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 27/04	(2006.01)	H 0 1 L	29/78	6 2 3 A
		H 0 1 L	29/78	6 2 1
		H 0 1 L	27/12	K
		H 0 1 L	27/12	L
		H 0 1 L	27/04	H

Fターム(参考) 5F038 BH01 BH15 BH19 DF12 EZ06 EZ07 EZ12 EZ13 EZ20
 5F048 AA04 AA07 AB10 AC01 AC03 AC06 AC10 BA16 BB01 BB02
 BB16 BB20 BC03 BC05 BC19 BE02 BE03 BF18 BG02 BG06
 BG12 BG13 BH02 CC06
 5F110 AA21 AA30 BB04 BB05 BB12 CC02 DD05 DD13 DD14 DD17
 DD22 DD30 GG02 HM12 HM15 NN62 NN65 NN66 NN77 QQ17