

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03L 7/08 (2006.01)

H03B 1/04 (2006.01)



[12] 发明专利说明书

专利号 ZL 200310123962.8

[45] 授权公告日 2006年7月26日

[11] 授权公告号 CN 1266841C

[22] 申请日 2003.12.24

[21] 申请号 200310123962.8

[30] 优先权

[32] 2002.12.24 [33] JP [31] 371984/2002

[32] 2002.12.25 [33] JP [31] 374801/2002

[32] 2002.12.26 [33] JP [31] 377337/2002

[32] 2003.3.7 [33] JP [31] 061126/2003

[32] 2003.4.23 [33] JP [31] 118939/2003

[71] 专利权人 富士通株式会社

地址 日本神奈川县川崎市

[72] 发明人 宫田真次 冈田浩司 饭岛正男

齐藤辉彦 宫崎顺吏

审查员 刘力

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 李辉

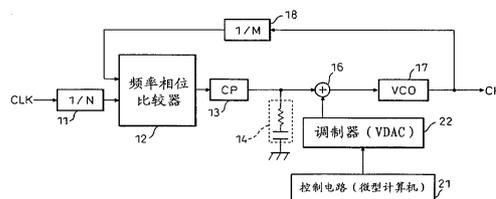
权利要求书 3 页 说明书 43 页 附图 62 页

[54] 发明名称

扩频时钟产生电路

[57] 摘要

扩频时钟产生电路、抖动产生电路和半导体器件。一种用简单的配置能进一步减小电磁辐射的扩频时钟产生电路，特别是在使用电流控制振荡器(ICO)的扩频时钟产生电路中，产生添加了其周期或振幅变化的扩频调制信号的差分信号，把差分信号施加到 ICO 并产生时钟。



1. 一种扩频时钟产生电路，包括：频率相位比较器，用于检测基准
时钟和产生的时钟之间的相位差；电荷泵，用于根据由频率相位比较器
5 检测的相位差产生充电/放电信号；环路滤波器，用于根据充电/放电信号产生差分信号；扩频调制电路，用于通过调制差分信号产生扩频调制
信号；以及时钟发生器，用于产生具有根据扩频调制信号的频率的所述
10 时钟，其中时钟发生器是电流控制振荡器，并且扩频调制电路包括：电
压-电流转换电路，用于将作为电压信号的差分信号转变成差分电流信
号；数字控制电路，用于产生其周期变化以便具有多个不同周期的输出
代码；用于根据差分电流信号产生次级差分电流信号的电路；以及加法
电路，用于根据输出代码选择性地将次级差分电流信号加入差分电流信
号。

2. 如权利要求1所述的扩频时钟产生电路，其中扩频调制信号具有
15 其信号值的局部最大值和/或局部最小值变化的波形。

3. 如权利要求1所述的扩频时钟产生电路，其中数字控制电路包括：
具有不同分频比率的多个分频器，用于对时钟进行分频；开关控制器，
用于依次选择多个分频器的输出；递增/递减计数器，用于对所选择的分
频时钟进行计数；以及计数器，用于通过对分频时钟进行计数，对每个
20 决定的计数值在递增/递减计数器的向上运算和向下运算之间切换。

4. 如权利要求1所述的扩频时钟产生电路，其中数字控制电路是由
程序控制的计算机系统。

5. 一种扩频时钟产生电路，包括：频率相位比较器，用于检测基准
时钟和产生的时钟之间的相位差；电荷泵，用于根据由频率相位比较器
25 检测的相位差产生充电/放电信号；环路滤波器，用于根据充电信号产生
差分电压信号；电压-电流转换电路，用于把差分电压信号转换为差分电
流信号；以及时钟发生器，用于产生具有根据差分电流信号的频率的所
述时钟，其中包括用于通过调制差分电流信号产生扩频调制信号的扩频
调制电路和用于放大扩频调制信号的放大器电路，并且放大的扩频调制

信号被加到差分电流信号并施加到时钟发生器。

6. 一种扩频时钟产生电路, 包括: 频率相位比较器, 用于检测基准时钟和产生的时钟之间的相位差; 电荷泵, 用于根据由频率相位比较器检测的相位差产生充电/放电信号; 环路滤波器, 用于根据充电信号产生
5 差分电压信号; 电压-电流转换电路, 用于把差分电压信号转换为差分电流信号; 以及时钟发生器, 用于产生具有根据差分电流信号的频率的所述时钟, 其中包括用于放大差分电流信号的放大器电路和用于通过调制放大的差分电流信号产生扩频调制信号的扩频调制电路, 并且扩频调制信号被加到差分电流信号并施加到时钟发生器。

10 7. 如权利要求5所述的扩频时钟产生电路, 其中扩频调制电路包括: 数字控制电路, 用于产生输出代码, 输出代码在最大值和最小值之间连续变化; 和电流数-模转换电路, 用于根据输出代码改变输入电流信号。

8. 如权利要求5所述的扩频时钟产生电路, 其中放大器电路包括: 数字控制电路, 用于产生恒定输出代码; 和电流数-模转换电路, 用于根
15 据输出代码将输入电流信号变为电流。

9. 如权利要求7所述的扩频时钟产生电路, 其中电流数-模转换电路是包括晶体管列的电路, 每个晶体管根据具有对应于输出代码的加权比率的输入电流产生电流, 并输出添加了从晶体管列输出的电流的输出电
20 流, 并且通过根据输出代码进行控制将晶体管列的每个晶体管的输出电流变为与输出代码一致的电流。

10. 如权利要求7所述的扩频时钟产生电路, 其中数字控制电路包括: 具有不同分频比率的多个分频器, 用于对时钟进行分频; 开关控制器, 用于依次选择多个分频器的输出; 递增/递减计数器, 用于对所选择的分
25 频时钟进行计数; 以及计数器, 用于通过对分频时钟进行计数, 对每个预定的计数值在递增/递减计数器的向上运算和向下运算之间切换。

11. 如权利要求7所述的扩频时钟产生电路, 其中数字控制电路是由程序控制的计算机系统。

12. 一种扩频时钟产生电路, 包括: 频率相位比较器, 用于检测基准时钟和产生的时钟之间的相位差; 电荷泵, 用于根据由频率相位比较

器检测的相位差产生充电/放电信号；环路滤波器，具有串联连接在电荷泵的输出和预定电势之间的电阻器和电容器，并且根据充电/放电信号产生差分信号；时钟发生器，用于产生具有根据差分信号的频率的所述时钟；电压-电流转换电路，用于将作为电压信号的差分信号转变为差分电
5 流信号；以及电流注入电路，连接到环路滤波器的电阻器和电容器的连接节点，并对电容器充电和放电，使得电容器的电压振幅变化小于电容器的电压，并且在比所产生时钟的周期长的扩频周期中变化，其中电流注入电路包括：推挽式电流源，用于根据从电压-电流转换电路输出的差分电流信号的充电或放电电流量对电容器充电和放电；和电流源控制电
10 路，用于控制推挽式电流源。

13. 如权利要求12所述的扩频时钟产生电路，其中时钟发生器是电流控制振荡电路，用于产生具有根据差分电流信号的频率的所述时钟。

14. 如权利要求12所述的扩频时钟产生电路，其中电流源控制电路是数字控制电路，用于产生输出代码，该输出代码以根据扩频调制周期的
15 周期变化；并且推挽式电流源是推挽式电流数-模转换（IDAC）电路，用于根据输出代码产生充电和放电电流。

15. 如权利要求12所述的扩频时钟产生电路，其中包括用于通过过滤从电压-电流转换电路输出的差分电流信号的高频分量产生滤波差分
20 电流信号的低通滤波器，并且推挽式电流源利用根据滤波差分电流信号的充电或放电电流量对电容器充电或放电。

16. 如权利要求12所述的扩频时钟产生电路，其中包括用于通过过滤来自差分电压信号的高频分量产生滤波差分电压信号的低通滤波器，
并且电压-电流转换电路将滤波差分电压信号转变为滤波差分电流信号，
以及推挽式电流数-模转换电路利用根据滤波差分电流信号的充电或放
25 电电流量对电容器充电或放电。

扩频时钟产生电路

5 技术领域

本发明涉及用于产生轻微地改变其周期以便减小电磁波辐射的时钟信号的扩频时钟产生电路、向时钟信号等添加抖动的抖动产生电路、以及使用该电路的半导体器件。

10 背景技术

近来，随着半导体器件的速度和集成度都在增加，由于来自器件的电磁波辐射的EMI（电磁干扰）问题已引起更多注意。由于操作频率增加，波长变得越来越短，连接电路或衬底内部的布线长度已经变得几乎与高频信号的波长一样短，因此布线等的连接部分可以用作天线，增加了电磁波辐射。使用工作在高时钟频率下的半导体器件的电子器件的电磁波辐射会引起副作用，例如，由于电子器件之间互相干扰所引起的故障和对通信装置的干扰。

为了解决这些问题，目前对引起电磁波辐射问题的电子器件采取了措施，其中通过改进电路的布置等来减少电磁波辐射，通过屏蔽电磁波来减少电磁波泄漏，等等。但是，由于要求便携式设备等更小型和更轻便，所以出现了难以充分地进行屏蔽以便减少电磁波辐射的问题。

因此，常常通过向时钟信号添加抖动来轻微地改变半导体器件的操作时钟频率和/或分散噪声的峰值。

在日本未审专利公开（Kokai）No. 2000-101424中已提出了一种扩频时钟产生（SSCG）电路，该扩频时钟产生（SSCG）电路进行扩频处理，用于轻微地改变半导体器件的操作时钟频率。

图1是示出常规SSCG电路的配置示例的图。该示例示出从基准时钟CLK产生时钟CK的电路，通过利用PLL（锁相环）电路，时钟CK的频率是基准时钟CLK的M/N倍。该电路由1/N分频器11、频率相位比较器12、电荷

泵 (CP) 13、环路滤波器14、压控振荡器 (VCO) 17、1/M分频器18、调制器15以及电压加法电路16构成。频率相位比较器12检测由因数N分频的CLK与由因数M分频的CK之间的相位差, 并根据该相位差输出信号以控制CP13。CP13根据该相位差输出信号以充电和放电环路滤波器14, 并且在环路滤波器14的一端产生根据相位差的差分电压。在不进行扩频调制的常规时钟产生电路中, 将差分电压施加到VCO 17, 由此产生具有恒定周期的时钟。但是, 在SSCG电路中, 调制器15输出具有小振幅和在预定的扩频调制周期中变化的频谱调制信号, 如图2所示, 把该频谱调制信号添加到电压加法电路16中的差分电压并施加到VCO 17。频谱调制信号的振幅充分地小于差分信号的振幅, 扩频调制周期充分地长于所产生的时钟CK的周期。结果, 产生的时钟CK的周期 (period) 在预定循环 (cycle) 中改变, 并且使基准时钟CLK的周期的M/N倍周期为中心。由调制器产生的频谱调制信号来确定周期的变化系数和循环。PLL电路的响应时间设为比频谱调制信号的周期足够地长的时间。

15 美国专利No. 5488627和日本未审专利公开 (Kokai) No. 9-98152建议使用图3所示的波形作为频谱调制信号。利用这种波形使峰值降低, 减少了电磁波辐射。

日本未审专利公开 (Kokai) No. 8-292820已经公开了其中随机地改变频谱调制信号周期的配置。通过随机地改变周期减少了电磁波辐射。

20 日本未审专利公开 (Kokai) No. 7-202652公开了向时钟信号添加抖动的时钟脉冲发生器。在日本未审专利公开 (Kokai) No. JP7-202652中所公开的时钟脉冲发生器包括多个串联连接的延迟电路和通过分接头 (tap) 连接到每个延迟电路的输出的多路复用器。通过分接头从每个延迟电路输入多路复用器的时钟信号分别变为相对于基准相位的相位延迟信号, 并且通过控制多路复用器来有选择地输出相位延迟信号中的任何一个。

此外, 日本未审专利公开 (Kokai) No. 11-110067公开了一种半导体器件, 其中时钟信号的周期是恒定的, 通过改变占空比来分散每个频率分量的EMI强度, 从而降低EMI强度的峰值。

发明内容

一般地，频谱调制信号使用如图2所示的三角波。换句话说，所产生的时钟CK改变它的频率，如图2所示。但是，当使用三角波时，因为峰值出现在由扩展产生的频谱宽度的两端，所以会出现在该部分的电磁波辐射增加的问题。

但是，不容易产生如图3所示的这种波形，并且产生这种波形的电路规模变得更大，这将导致成本增加的问题。

而且，如果随机地改变频谱调制信号的周期，那么可能存在短时间内显著地改变所产生的时钟周期的情况。从SSCG电路操作的角度看这些是不希望的。当所产生的时钟用在逻辑电路等中时，即使变化范围大，如果相对于时间的变化比率小，也不存在操作问题，但是如果周期突然地改变很大，那么就会出现不能确保正常操作的问题。

在该时钟脉冲发生器中，根据延迟电路设置固定的延迟时间。一般的半导体器件按照这样一种方法来设计，即，使它可以在预定范围内的不同时钟频率下工作。因此，当使用这种时钟脉冲发生器时，如果时钟频率改变了，那么就会出现不能根据频率添加合适抖动的问题。除延迟电路之外，时钟脉冲发生器还需要多路复用器和用来控制该多路复用器的电路，因此会出现电路配置变得更复杂的问题。

但是，该结构中改变占空比带来了以下问题：可以被分散的EMI的频谱范围较窄，和不能获得足够的降噪效果。

本发明的第一目的是利用简单的配置实现可以进一步降低电磁波辐射的扩频时钟产生电路。

本发明的第二目的是实现可以添加合适抖动和有效地降低辐射噪声的抖动产生电路和半导体器件。

为了实现上述第一目的，根据本发明第一方面的扩频时钟产生电路包括：频率相位比较器，用于检测基准时钟和产生的时钟之间的相位差；电荷泵，用于根据由频率相位比较器检测的相位差产生充电/放电信号；环路滤波器，用于根据充电/放电信号产生差分信号；扩频调制电路，用于通过调制差分信号产生扩频调制信号；以及时钟发生器，用于产生具

有根据扩频调制信号的频率的所述时钟，其中时钟发生器是电流控制振荡器，并且扩频调制电路包括：电压-电流转换电路，用于将作为电压信号的差分信号转变成差分电流信号；数字控制电路，用于产生其周期变化以便具有多个不同周期的输出代码；用于根据差分电流信号产生次级
5 差分电流信号的电路；以及加法电路，用于根据输出代码选择性地将次级差分电流信号加入差分电流信号。

图4是根据本发明第一方面的基于扩频时钟产生电路的原理的配置图。如图4所示，本发明的扩频时钟产生电路包括：频率相位比较器12，用于检测基准时钟CLK与产生时钟CK之间的相位差；电荷泵13，用于根据
10 所检测到的相位差产生充电/放电信号；环路滤波器14，用于产生差分信号；扩频调制电路19，用于调制差分信号和产生扩频调制信号；以及时钟发生器20，用于根据扩频调制信号产生具有频率的产生时钟，该时钟发生器20的特征在于：扩频调制电路19产生其周期改变以取得多个不同周期的扩频调制信号。

图5A和图5B是说明本发明第一方面的原理的图。在常规的SSCG电路中，将如图2所示按恒定周期变化的三角波形扩频调制信号添加到差分信号。因此，例如，如果用30kHz来调制10MHz的振荡频率，那么频谱分量以30kHz为间隔而隔开，即，9.91MHz、9.94MHz、9.97MHz、10.00MHz、
15 10.03MHz、10.06MHz、10.09MHz，而10MHz为中心，如图6A所示。与此相反，在本发明的第一方面，扩频调制信号的周期（频率）以 $t_{m1}=30\text{kHz}$ 、 $t_{m2}=27\text{kHz}$ 以及 $t_{m3}=33\text{kHz}$ 这样的方式改变，如图5A或5B所示。在此情况下，如图6B所示，频谱分量分为三组，即，一组以27kHz的间隔来隔开频谱分量，另一组以30kHz的间隔来隔开频谱分量，再一组以33kHz的间隔来隔开频谱分量，因此，与常规情况相比每个频谱的高度降低了。

如上所述，根据本发明的第一方面，由于扩频调制信号的周期改变为采用多个不同周期，与周期恒定的情况相比进一步扩展了频谱，所以可以进一步降低电磁波辐射。而且，由于扩频调制信号的周期对每个周期依次改变，所以周期不可能在短时间内迅速改变，并且作为相邻时钟脉冲之间的周期差的循环至循环（cycle-to-cycle）抖动小。因此，即
25

使当产生的时钟用于诸如逻辑电路的电路，也不会引起电路操作的问题。

也可以如图5A所示在过零点 (zero-crossing) 改变扩频调制信号的周期，或者如图5B所示在振幅最小的点改变周期。可以有各种修改情况，例如，在最大振幅的位置改变周期的情况和在振幅达到预定值的位置改变周期的情况。而且，可变周期的数目不局限于三个，而可以是四个或更多个，只要该数目大于一。

作为时钟发生器，可以使用压控振荡器 (VCO)。当VCO用作时钟发生器时，通过将在扩频调制电路中产生的扩频调制信号添加到在环路滤波器的一端产生的差分电压来获得扩频调制信号，并且把该信号施加到VCO。

当VCO用作时钟发生器时，通过利用模拟电路或数字电路可以实现扩频调制电路。当通过利用模拟电路来实现扩频调制电路时，例如，在模拟调制器中产生了其周期改变为采用多个不同周期的扩频模拟电压信号，并且在电压加法电路中将该扩频模拟电压信号相加到差分信号。模拟调制器可以实现为包括：多个不同的电容器；多个开关，用于选择多个不同电容器之一；恒流源，用于向选定电容器提供恒定电流或使恒定电流流出选定电容器；迟滞比较器，用于检测选定电容器的电压达到第一和第二预定电压事实；以及开关控制电路，用于在迟滞比较器检测到第一和第二预定电压的事实时切换选定的多个开关。

而且，当使用上述电路时，扩频调制的振幅的斜率平直，振幅变化的斜率由开关的选择来确定。因此，当按照扩频调制信号的预定周期来改变开关的选择时，可以获得图67所示的扩频调制信号。换言之，通过简单的结构可以获得与图3所示相类似的扩频调制信号。

当通过利用数字电路来实现扩频调制电路时，在数字控制电路中产生其周期改变以取得多个不同周期的输出代码，在数-模转换电压电路中产生根据该输出代码的扩频电压信号，在电压加法电路中把该扩频电压信号加给差分信号。

本发明可以应用于使用电流振荡器 (ICO) 代替VCO的扩频调制电路。该扩频调制电路具有如下配置，其中在电压-电流转换电路中将差分电压

转换为差分电流信号，该差分电流信号在电流可变电路中经历扩频调制，并且把该扩频调制信号施加给电流振荡器（ICO）。当本发明应用于使用ICO的扩频调制电路时，还包括将差分电压转换为差分电流信号的电压-电流转换电路，并且将ICO用作时钟发生器。扩频调制电路包括：数字控制电路，用于产生其周期改变以取得不同周期的输出代码；和电流可变电路，设置在电压-电流转换电路与ICO之间，用于根据所述输出代码来调制差分电流信号并产生扩频电流调制信号。

电流可变电路可以实现为包括：产生具有预定比率的差分电流信号的电路，和把输出代码转换为扩频电流信号并将其添加到具有预定比率的差分电流信号的数-模转换电流电路，其中所述扩频电流信号是模拟信号。对于电流可变电路优选的是还包括用于除去高频分量的低通滤波器。

数字控制电路可以实现为包括：多个具有不同分频比率的分频器，用于对时钟进行分频；开关控制器，用于依次选择所述多个分频器的输出；递增/递减计数器，用于对所选定的分频时钟进行计数；以及计数器，用于对分频时钟进行计数并且对于每个预定计数值在递增/递减计数器的递增操作与递减操作之间切换。

也可以通过利用由程序控制的计算机系统来实现数字控制电路。

当通过利用数字电路来实现扩频调制电路时，可以容易地获得图5A、5B和67中所示的扩频调制信号。

而且，为了实现上述第一目的，根据本发明第二方面的扩频时钟产生电路的特征在于：扩频调制电路调制差分信号并产生扩频调制信号，其中振幅的局部最大值和最小值改变了。例如，扩频调制信号具有三角波形，并且其振幅或平均电平在每个循环中都改变。

根据第二方面的扩频时钟产生电路也具有图4所示的配置，扩频调制电路19产生扩频调制信号，其中振幅的局部最大值和最小值改变了。

图7A至图7D是说明本发明第二方面的原理的示图，其中振幅改变了。如图7A所示，扩频调制信号的振幅改变了。在此情况下，频谱分量变成两端降低的一种，如图7D所示，这是如图7B所示的小振幅频谱和如图7C所示的大振幅频谱的合成频谱。

如上所述，根据本发明的第二方面，由于扩频调制信号的振幅改变得具有多个不同周期，所以与当振幅恒定时相比可以降低频谱的两端，并且可以进一步降低电磁波辐射。对于扩频调制信号振幅改变优选的是，在每个周期的相邻周期之间没有突然的变化。例如，当扩频调制信号改变以取得正、负电平时，使零电平作为中心，如图7A所示，当信号处于零电平时改变振幅。如果最小电平恒定，当电平最小时改变振幅。以此方式，扩频调制信号没有在途中突然改变电平，并且作为相邻时钟脉冲的周期之间的差别的循环至循环抖动也较小。因此，即使在所产生的时钟用于逻辑电路等时，也不存在电路操作的问题。

10 尽管图7A示出了两种振幅的组合，即大振幅和小振幅，但是也可以组合三种或更多种振幅。而且在各个循环中可以改变信号的平均电平，如图68所示。此外，也可利用第一和第二方面的组合。例如，扩频调制信号可以与扩频调制循环同时地改变其振幅和/或平均电平。图69示出了扩频调制信号的波形，其中同时改变了每个循环中的扩频调制信号的周
15 期和平均电平。在各种情况中，重要的是振幅要连续地改变。

当VCO用作时钟发生器时，通过把在扩频调制电路中产生的扩频调制信号添加到在环路滤波器的一端产生的差分电压来获得扩频调制信号，并将该信号施加给VCO。

当VCO用作时钟发生器时，可以通过利用模拟电路或数字电路来实现
20 扩频调制电路。当通过利用模拟电路来实现扩频调制电路时，例如，在模拟调制器中产生扩频模拟电压信号，其改变以取得多个不同振幅，在电压加法电路中把该扩频模拟电压信号加给差分信号。模拟调制器可以实现为包括：电容器；恒流源，用于在用恒定电流对电容器进行充电的一种状态与从电容器释放出恒定电流的另一种状态之间进行切换；和开
25 关控制电路，用于改变恒流源的开关周期（cycle）。

当通过数字电路来实现扩频调制电路时，扩频调制电路可以通过以下部分来实现：数字控制电路，用于产生在最大值与最小值之间连续地改变的输出代码，并且所述最大值和最小值中的至少一个依次对于每个周期改变以取得多个不同的值；电压数-模转换电路，用于根据输出代码

产生扩频调制电压；以及电压加法电路，用于把扩频电压信号加给差分电压。

也可以将本发明的第二方面应用于使用上述IC0的扩频调制电路。在此情况下，扩频调制电路包括：数字控制电路，用于产生在最大值与最小值之间连续地改变的输出代码，并且所述最大值和最小值中的至少一个依次对于每个周期改变以取得多个不同的值；电流可变电路，设置在电压-电流转换电路与电流控制振荡器之间，用于通过根据输出代码调制差分电流信号来产生扩频电流调制信号。

电流可变电路可以由数-模转换电流电路来实现，该数-模转换电流电路将输出代码转换为扩频电流信号，该扩频电流信号是模拟信号，并将该扩频电流信号添加到差分电流信号。对于电流可变电路优选的是还包括除去高频分量的低通滤波器。

扩频调制电路还可由数字控制电路、第一电流可变电路以及第二电流可变电路来实现，数字控制电路产生其值依次在预定周期内改变的频谱调制代码和其值依次对每个预定周期改变以取得多个不同值的电平变化代码，第一电流可变电路设置在电压-电流转换电路与电流控制振荡器之间，并根据频谱调制代码利用差分电流信号的预定比率来调制电流信号，第二电流可变电路根据电平变化代码并且通过把第二电流可变电路的输出添加至差分电流信号来放大第一电流可变电路的输出。而且，在该配置之前可以进行电平变化，在此情况下，第一电流可变电路根据电平变化代码利用差分电流信号的预定比率来放大电流信号，第二电流可变电路根据频谱调制代码来调制第一电流可变电路的输出。

可以使用其配置与第一方面中所用的配置相同的数字控制电路，也可以通过利用由程序控制的计算机系统来实现该数字控制电路。

此外，为了实现上述第一目的，根据本发明第三方面的扩频时钟产生电路组合了在数字处理中对电流信号进行扩频调制的扩频调制电路和放大器电路。

理想的是根据目的改变扩频调制的波形，但是组成数字处理型扩频调制电路的电流型数-模转换器（IDAC）固定在芯片中，并且为了为宽范

围的振幅提供预定的分辨率必须使用具有很多位的大规模IDAC，结果成本增加了。根据本发明的第三方面，可以在调制信号在放大器电路中放大至合适的振幅之后把在IDAC中经历了扩频调制的信号添加到差分电流信号，或者可以在IDAC中对放大到合适振幅的差分电流信号进行扩频调制，因此IDAC的分辨率总可以利用至最大。因此，可以使用具有相对较少位数的小规模IDAC。

此外，为了实现上述第一目的，根据本发明第四方面的扩频时钟产生电路以如下方式配置：频率相位比较器，用于检测基准时钟和产生的时钟之间的相位差；电荷泵，用于根据由频率相位比较器检测的相位差产生充电/放电信号；环路滤波器，具有串联连接在电荷泵的输出和预定电势之间的电阻器和电容器，并且根据充电/放电信号产生差分信号；时钟发生器，用于产生具有根据差分信号的频率的所述时钟；电压-电流转换电路，用于将作为电压信号的差分信号转变为差分电流信号；以及电流注入电路，连接到环路滤波器的电阻器和电容器的连接节点，并对电容器充电和放电，使得电容器的电压振幅变化小于电容器的电压，并且在比所产生时钟的周期长的扩频周期中变化，其中电流注入电路包括：推挽式电流源，用于根据从电压-电流转换电路输出的差分电流信号的充电或放电电流量对电容器充电和放电；和电流源控制电路，用于控制推挽式电流源。根据本发明的第四方面，通过利用简单的电路可以进行具有平滑变化的扩频调制。

此外，为了实现上述第二目的，在根据本发明第五方面的抖动产生电路中，通过切换电路的阈值电压，根据基准输入信号的周期相对于恒定间隔定时改变了输出电平的反转定时。以此方式，输出了作为已添加了抖动的基准输入信号的输出信号。在该配置中，可以利用比现有技术更简单的电路配置来将抖动添加到基准输入信号。另一方面，当基准输入信号的频率改变时，输出信号的抖动根据基准输入信号的频率而改变。

根据第五方面的抖动产生电路包括：具有迟滞特性的迟滞反相电路、没有迟滞特性的反相电路、以及分别设置在输出端子与迟滞反相电路之间和在输出端子与反相电路之间的开关电路，并且该抖动产生电路按如

下方式配置：通过利用所述开关电路将迟滞反相电路或反相电路连接到输出端。以此方式，切换阈值电压，可以在输出信号中产生抖动。

而且，将根据第五方面的抖动产生电路配置得包括由多个晶体管和用来关断该晶体管的开关构成的迟滞反相电路，提供这些以使迟滞反相
5 电路具有来自迟滞反相电路的迟滞现象。以此方式，切换阈值电压，从而在输出信号中产生抖动成为可能。

还通过如下方式来配置根据第五方面的抖动产生电路：并联连接其阈值电压不同的多个选通电路，并且通过利用分别设置在用以输出输出信号的输出端子与每个选通电路之间的开关电路将选通电路中的任何一
10 个有选择地连接到输出端子。以此方式，切换阈值电压，从而在输出信号中产生抖动成为可能。

在使用根据本发明第五方面的抖动产生电路的半导体器件中，从抖动产生电路输出已添加抖动的输出信号，并且根据该输出信号来运行内部电路，因此，有效地降低了内部电路运行过程中所产生的辐射噪声。
15 当在这种半导体器件中所产生的时钟信号以矩形波方式变化时，提供将时钟信号转换为正弦波信号的电路。从该时钟信号产生了切换阈值电压的选择信号。

此外，当半导体器件中的内部电路可以分为操作频率不同的多个组时，设置了添加不同抖动量的多个抖动产生电路，以根据操作频率来给
20 每个电路组提供抖动。也可以把没有添加抖动的时钟信号提供给操作定时精确和操作频率高的电路组。以此方式，由于可以根据操作频率来调整抖动量，所以可以增加电路操作的速度，并且同时可以降低辐射噪声。在此情况下，抖动产生电路可以是根据本发明第五方面的一种或其它种。

在此情况下，设置了分频电路，以便产生具有不同频率的时钟信号，
25 并且为每个抖动产生电路都设置了分频电路。

此外，根据内部电路的操作状态（例如，提供给内部电路的电源电压或内部电路的操作速度）可以使待加到时钟信号的抖动量可调节。

附图说明

从下面结合附图的详细说明中将更清楚地理解本发明的特征及优点，图中：

图1是示出常规扩频时钟产生（SSCG）电路的结构示例的示图；

图2是示出常规情况下的调制器输出（扩频调制信号）的示图；

5 图3是示出常规情况下的调制器输出（扩频调制信号）的另一示例的示图；

图4是示出基于第一和第二方面的原理的配置的图；

图5A和图5B是示出本发明第一方面的原理并且示出本发明的扩频调制信号的示例的示图；

10 图6A和图6B是示出当应用本发明第一方面时如何改进频谱的示图；

图7A至和图7D是示出本发明第二方面的原理并且示出本发明的扩频调制信号的示例的示图；

图8示出根据本发明第一实施例的SSCG的配置图；

图9是示出第一实施例中的控制电路的输出（代码改变）的示图；

15 图10示出根据本发明第二实施例的SSCG的配置图；

图11示出第二实施例中的模拟调制电路的电路配置图；

图12示出第二实施例中的模拟调制电路的操作示图；

图13示出根据本发明第三实施例的SSCG的配置图；

图14示出频率相位比较器的电路配置图；

20 图15示出电荷泵电路的电路配置图；

图16示出电压-电流转换（V-I转换）电路的电路配置图；

图17示出电流控制振荡电路（ICO）的电路配置图；

图18示出电流数-模转换器（IDAC）的电路配置图；

图19示出第三实施例中的控制电路的配置图；

25 图20是示出在第三实施例的控制电路中分频时钟产生的示图；

图21示出在第三实施例的控制电路中的递增/递减计数器的操作的示图；

图22示出本发明第四实施例中的SSCG的电路配置图；

图23示出具有低通滤波器的IDAC的电路配置图；

图24示出本发明第五实施例中的控制电路的输出（代码改变）的示图；

图25A和图25B示出用于通过利用逻辑电路来实现第五实施例中的控制电路的配置和操作的示图；

5 图26A和图26B示出本发明第六实施例中的SSCG的配置和操作的示图；

图27示出本发明第七实施例中的模拟调制电路的电路配置和操作的示图；

图28示出第七实施例中的第一IDAC的电路配置图；

10 图29示出第七实施例中的第二IDAC的电路配置图；

图30A至图30C是示出当通过利用IDAC改变振幅时的问题的示图；

图31A和图31B示出基于本发明第三方面的原理的配置图；

图32A和图32B是示出本发明第三方面的原理的示图；

图33示出本发明第八实施例中的SSCG的配置图；

15 图34A和图34B示出用于通过利用逻辑电路来实现第八实施例中的模式控制电路的配置和操作的示图；

图35示出本发明第九实施例中的SSCG的配置图；

图36A至图36C示出当使用IDAC时调制波形的示例的示图；

20 图37示出根据本发明第四方面的扩频时钟产生（SSCG）的基本配置图；

图38示出第四方面中所用的电流注入电路的基本配置图；

图39示出本发明第十实施例中的SSCG电路的基本配置图；

图40示出基准电流源电路的配置图；

图41示出电流源控制电路的配置图；

25 图42示出电流源电路的配置图；

图43A至图43D示出电流源控制信号、电流源输出电流以及VCO输入电压的操作波形的示图；

图44示出本发明第十一实施例中的SSCG电路的电路配置图；

图45示出本发明第十二实施例中的SSCG电路的电路配置图；

- 图46示出本发明第十三实施例中的SSCG电路的电路配置图；
图47示出本发明第十四实施例中的SSCG电路的电路配置图；
图48示出本发明第十四实施例的SSCG电路中使用的推挽式
(push-pull type) IDAC的电路配置图；
5 图49A至图49C是示出第十四实施例中的推挽式IDAC操作的示图；
图50示出本发明第十五实施例中的SSCG电路的电路配置图；
图51示出本发明第十六实施例中的SSCG电路的电路配置图；
图52示出本发明第十七实施例中的SSCG电路的电路配置图；
图53示出本发明第十八实施例中的半导体器件的配置图；
10 图54是第十八实施例中的抖动产生电路的操作波形图；
图55示出本发明第十九实施例中的抖动产生电路的配置图；
图56是第十九实施例中的抖动产生电路的操作波形图；
图57示出抖动产生电路的另一配置示例的示图；
图58示出抖动产生电路的另一配置示例的示图；
15 图59示出CR电路的示图；
图60示出使用抖动产生电路的常规半导体器件的配置图；
图61示出本发明第二十实施例中的半导体器件的配置图；
图62示出本发明第二十一实施例中的半导体器件的配置图；
图63示出本发明第二十二实施例中的半导体器件的配置图；
20 图64示出半导体器件的另一配置示例的示图；
图65示出半导体器件的另一配置示例的示图；以及
图66示出半导体器件的另一配置示例的示图；
图67示出本发明的扩频调制信号的示例的示图；
图68示出本发明的扩频调制信号的示例的示图；以及
25 图69示出本发明的扩频调制信号的示例的示图。

具体实施方式

图8示出了本发明第一实施例中的扩频时钟产生(SSCG)电路的配置图。如图所示,该电路是通过利用如图1中所示的PLL电路电路来从中产

生是基准时钟CLK的M/N倍的时钟CK的电路，但是不同于如图5A所示的常规电路，在该常规电路中，依次改变由调制器22产生的扩频调制信号的周期。

如图8所示，在第一实施例的SSCG电路中，控制电路21产生如图9所示的输出代码，并将该输出代码输出到调制器22。调制器22是电压数-模转换器（VDAC），其将输出代码转换为模拟电压信号。以此方式，获得如图5A所示的扩频调制模拟电压信号。当由于对应于输出代码的最小有效位的电压变化范围宽度而导致电压信号变化不平滑时，使用低通滤波器用于平滑。电压加法电路16把扩频调制模拟电压信号添加到在环路滤波器14的一端产生的差分电压。以此方式，待施加到VCO 17的电压以小振幅变化，同时周期依次改变，由VCO 17所产生的时钟CK的频率（周期）在预定周期中小范围内变化，而且变化周期依次改变。

如果不必改变待产生的输出代码，那么可以通过利用数字逻辑电路等来实现控制电路21，这里没有给出说明，因为该领域内的任何熟练技术人员都可以容易地设计这种电路配置。也可以通过利用由程序控制的计算机系统如微型电子计算机或DSP来实现控制电路21。在此情况下，也可以根据外部控制来改变输出代码。

图10示出了本发明第二实施例中的SSCG电路的配置图。尽管在第一实施例中扩频调制模拟电压信号由数字处理产生，但在第二实施例中扩频调制模拟电压信号由模拟处理产生。

图11示出了图10中所示的开关控制电路31和模拟调制器32的电路配置图，图12示出了模拟调制器的操作示图。如图11所示，在该电路中设置了具有不同电容量的三个电容器元件C1至C3，每个电容器元件的一端连接到地，另一端分别经过开关S1至S3共通地连接。由控制电路31来控制每个开关的导通状态或不导通状态。由标号33所指示的部分是电流源电路，其通过利用电流镜电路向与开关S1至S3共通地连接的端子提供（充电）等于在恒流电路中流动的电流I的电流，或者使该电流从所述端子流出（放电）。共通地连接开关S1至S3的端子是模拟调制器的输出端，其被连接到迟滞比较器34。迟滞比较器34将共通地连接开关S1至S3的端子

的输入电压与第一和第二参考值进行比较，接着根据比较结果来控制电流源电路的晶体管Tr1和Tr2，并且在充电状态与放电状态之间切换电流源电路。

下面参考图12来说明图11中所示的电路的操作。

- 5 首先，迟滞比较器34的输出变为“高电平(H)”，晶体管Tr1设为导通状态，Tr2设为非导通状态，电流源电路设为充电状态。开关控制电路31输出使S1变为导通状态并且使S2和S3变成非导通状态的选择信号。以此方式，把电流I提供给C1，模拟调制器的输出电压增加。当模拟调制输出电压达到第一预定值时，迟滞比较器34的输出变为“低电平(L)”，
- 10 Tr1设为非导通状态，Tr2设为导通状态，电流源电路设为充电状态。还把迟滞比较器34的输出变化通知给开关控制电路31。因此，从C1流出的电流I和模拟调制输出电压减小了。

- 当模拟调制器的输出电压达到第二预定值时，迟滞比较器34的输出变为“H”，Tr1设为导通状态，Tr2设为非导通状态，并且电流源电路设为充电状态。开关控制电路31根据迟滞比较器34的输出变化将S1切换为
- 15 非导通状态，将S2切换为导通状态。S3保持非导通状态。因此，如同C1的情况那样，C2充电开始，并且当模拟调制器的输出电压达到第一预定值时，迟滞比较器34的输出变为“L”，而电流源电路设为充电状态。然后，模拟调制器的输出电压达到第二预定值。

- 20 由于C1的电容量不同于C2的电容量，所以充电和放电所需的时间不同，因此获得了具有不同周期的三角波。C3重复相似的操作。以此方式，如图11所示，获得了具有相同振幅但是不同周期的三个模拟调制器输出。

- 尽管这里描述了使用三个电容器元件的情况，但是也可以使用四个或更多个电容器元件，通过控制两个或更多个开关以使它们同时达到
- 25 导通状态，可以利用多个电容器元件的电容量值之和产生角形波。

图13示出了本发明第三实施例的SSCG电路的配置图，该图是本发明应用于在上述日本专利申请No. 2002-266631中公开的配置的实施例。如图13所示，该配置类似于图8所示的第一实施例中的电路，但是不同之处在于：利用由电压-电流转换(V-I转换)电路42、电流数-模转换

器 (IDAC) 43和电流振荡器 (ICO) 44构成的电流振荡电路41替换了电压加法电路16、VC0 17、控制电路21以及调制器 (VDAC) 22。电流振荡电路41由控制电路45控制。V-I转换电路42将环路滤波器14的端子电压 (差分电压) 转换为差分电流信号。对应于电流可变电路的IDAC 43根据来自控制电路45的输出代码对差分电流信号进行扩频调制, 并将调制后的扩频调制电流信号施加到电流振荡器 (ICO) 44。

图14示出了频率相位比较器的电路配置图, 图15示出了电荷泵13的配置图。这些电路可用于第一至第三实施例。因为这些电路是广泛公知的, 所以这里不进行说明。

图16示出了第三实施例中使用的V-I转换电路的电路配置。图17示出了待用于第三实施例的ICO电路的配置, 图18示出了待用于第三实施例的IDAC电路的电路配置。

图19示出了控制电路41的配置。如图所示, 控制电路41包括: 三个分频器51至53, 用于利用不同的分频比率 (这里是1/9、1/10以及1/11) 来对控制时钟进行分频; 开关55至57, 用于选择分频器中的任何一个的输出; 开关控制部分54, 用于选择开关; 递增/递减计数器58, 用于对选定的分频时钟进行计数; 以及分频计数器59, 用于控制递增/递减计数器58。递增/递减计数器58以n位二进制码输出计数值。

图20示出了开关控制部分54和分频器的操作示图。分频器51至53输出三种分频时钟, 每个都是利用各个分频比率进行分频的控制时钟。如图20所示, 开关控制部分54选择开关55, 以便使开关55变为导通状态, 同时对控制时钟进行计数至 9×16 时钟。因此, 在此期间输出1/9分频时钟。在对控制时钟进行计数至 9×16 时钟之后, 开关控制部分54使开关56变为导通状态, 同时对控制时钟进行计数至 10×16 时钟, 然后当对控制时钟进行计数至 11×16 时钟时, 开关控制部分54使开关57变为导通状态, 由此重复相同的操作。以此方式, 为递增/递减计数器58和分频计数器59按如下对应次序提供了1/9分频时钟、1/10分频时钟和1/11分频时钟。

图21示出了递增/递减计数器58和分频计数器59的操作示图。分频计数器59对所选定的分频时钟进行计数, 并且当计数值达到预定值时, 切

换递增/递减计数器58的递增计数操作和递减计数操作，并且重复该操作。图21示出了当计数到八时切换递增计数操作和递减计数操作的示例。当产生如图9所示的输出代码时，每当计数到14时切换操作。递增/递减计数器58对所选定的分频时钟进行计数，并以n位二进制码输出该计数值。如上所述，因为待提供的分频时钟的周期改变，所以待产生的输出代码的一个循环的长度（周期）相应地也不同。从递增/递减计数器58输出的代码施加到IDAC 43。

如图18所示，IDAC 43包括由晶体管Tr11至Tr15、Tr20、以及Tr30至Tr3n构成的电流镜电路。如图所示，通过适当地设置晶体管的尺寸，从V-I转换电路42输出的电流Iref的90%流过Tr20，Iref的10%流过Tr3n，Iref的 $(20 \times 1/2^{n-2})\%$ 流过Tr32，Iref的 $(20 \times 1/2^{n-1})\%$ 流过Tr31，以及Iref的 $(20 \times 1/2^n)\%$ 流过Tr30。当通过输出代码的位数据/D0至/Dn使Tr4n至Tr40变为导通状态时，电流流过对应的Tr3n至Tr30。因此，当Tr4n至Tr40都变为不导通状态时，输出了流过Tr20的90%Iref的电流，并且当Tr4n至Tr40都变为导通状态时，除了流过Tr20的90%Iref的电流之外还有电流流过Tr3n至Tr30，结果，输出了约110%Iref的电流。换句话说，通过将输出代码的位数据/D0至/Dn设置为合适值，结果输出了约90%至110%的Iref的电流。

因此，通过把以图21所示的这样一种方式变化的递增/递减计数器58的输出代码应用于图18所示的IDAC 43，可以按约2.5%的增量从90%至约110%分九级来改变Iref，并且与此同时可以分三级来改变变化的周期。据此，IC0 44在±10%的范围内按约2.5%增量和减量重复增加和减小频率（周期），并产生其变化周期改变的时钟CK。当使用按如图9所示的这种方式改变的输出代码时，可以获得以约1.4%的增量分十五级变化的信号。

图22示出了本发明第四实施例中的SSCG电路的配置图。在第四实施例中的SSCG电路与第三实施例中的SSCG电路的不同之处在于：第三实施例中的控制电路45由微型计算机或DSP构成，产生如图8所示的代码，并且使用如图23所示具有低通滤波器的IDAC来代替所述IDAC。

当使用由程序控制的计算机系统如微型计算机或DSP时，可以容易地产生如图8所示的代码。而且，如果计算机系统具有足够的存储器容量并且及能够产生许多代码，那么可以根据使用条件来选择待输出的代码。再有，也可以根据使用条件重新编写程序，以输出希望的代码。

- 5 图23所示的IDAC是这样一种电路，在其中，由电阻器R和电容器C构成的低通滤波器（LPF）设置在图17所示的IDAC的电流输出部分，并且图23所示的IDAC的输出还是来自电流镜电路的输出。得益于该电路，可以使由在输出代码的最小有效位/Dn中的变化引起的输出电流变化平滑，并且减少假信号（噪声）。如果把具有假信号的电流信号提供给IOC，那么该IOC将根据所述假信号输出高频信号。因此，PLL变得脱离锁定状态并且产生不能实现对基准频率的聚焦的问题，但是如果使用具有LPF的IDAC，可以避免这种问题。
- 10

- 在第一至第四实施例中，当所述值处于图5A所示的平均电平时改变了扩频调制信号的周期。不过，当该值位于图5B所示的最大值或最小值时也可以改变扩频调制信号的周期。例如，在图11所示的电路结构中，当模拟调制输出变为第一或第二预定值时切换开关，然后，可以获得图5B所示的扩频调制信号。而且，很显然在第一、第三和第四实施例中可以容易地获得图5B所示的扩频调制信号。而且，很显然在第一、第三和第四实施例也可以获得图67所示的扩频调制信号。
- 15

- 20 在本发明第五实施例中将要说明的扩频时钟产生（SSCG）电路具有类似于图8所示的第一实施例中的SSCG电路的配置，但与第一实施例中的配置的不同之处在于：按图7A所示的顺序改变由调制器22产生的扩频调制信号的振幅。

- 在第五实施例的SSCG电路中，控制电路21产生如图24所示的输出代码，并将该输出代码输出到调制器22。在第一周期中，该输出代码的值从中间值增加到第一最大值接着减小到第一最小值，然后再次增加。当达到所述中间值时该周期进入第二周期，在该值从中间值增加到第二最大值后，又减小到第二最小值，然后再次增加。当达到中间值时，该周期再次进入第一周期，并重复相同的操作。在该示例中，第一周期的一
- 25

个周期的长度不同于第二周期的一个周期的长度。如果因为对应于输出代码的最小有效位的电压变化宽度造成电压信号没有平滑地变化，那么使用低通滤波器来进行平滑。以此方式，待施加到VCO 17的电压以小振幅变化，并且对每个周期都改变振幅和周期。因此，在每个周期中由VCO 5 17所产生的时钟CK的频率（周期）在小范围内连续地变化，并且对于每个周期都改变周期的频率的最大值和最小值。而且，结果周期本身也变化了。

控制电路21可以通过由程序控制的计算机系统例如微型电子计算机和DSP来实现，并且在此情况下可以根据外部控制来改变输出代码。

10 可以由数字逻辑电路等来实现控制电路21。图25A和图25B示出了由数字逻辑电路实现的控制电路21的配置和操作的示图。如图25A所示，控制电路21包括：递增/递减计数器60，用于对时钟进行计数；和开关计数器61，用于控制递增/递减计数器60。递增/递减计数器60以n位二进制码来输出计数值。如图25B所示，开关计数器61对时钟进行计数，并且当计数值达到预定值时，切换递增/递减计数器60的递增计数操作和递减计数操作，并且预定值按照顺序变为13、14、13和12，之后重复该操作。以此方式，获得了按如图7所示方式变化的输出代码。希望待输出的计数值的最小值作为控制输出为零，但是该值可以是任意的并不受具体限制。例如，可以交替地重复第一周期和第二周期，在第一周期中最小值是零、20 最大值是15，在第二周期中最小值是1、最大值是14，但是该值可以是任意的并且也可以交替地重复其他第一周期和第二周期，例如在第一周期中最小值是5、最大值是30，在第二周期中最小值是7、最大值是28。

根据扩频调制的变化系数相对于在环路滤波器14的一端产生的差分电压来调整由调制器22根据代码输出的电压电平。

25 图26A示出了本发明第六实施例中的SSCG电路中的模拟调制器的配置图，图26B示出了模拟调制器的操作的示图。在第五实施例中扩频调制模拟电压信号由数字处理来产生，而在第六实施例中，扩频调制模拟电压信号由模拟处理来产生。

如图26A所示，该电路提供有电容值为C1的电容器元件，该电容器元

件的一端连接到地。由标号36指示的部分是电流源电路，如图11所示的模拟调制器，该电流源电路通过利用电流镜电路来向电容器提供（充电）电流或从电容器提取（放电）电流，该电流等于流过恒流电路的电流 I ，通过开关控制电路35的控制来切换充电和放电。当电流源电路变为充电状态时，利用电流 I 对电容器充电，电容器端部的电压（模拟调制器输出电压）增加。然后，当电流源电路变为放电状态时，从电容器释放出电流 I ，并且模拟调制器输出电压减小。由于电容值和电流值恒定，如果改变了充电时间和放电时间，相应地将改变最大电压和最小电压。如图26B所示，当电压到达中间值而它还在增加时，如果进行充电并持续对应于1/4周期的充电时间 t_1 ，那么电压将到达最大电压 V_{H1} 。然后，如果进行放电并持续放电时间 $2t_1$ ，那么电压将到达最小电压 V_{L1} 。接着，如果进行充电并持续充电时间 t_1 ，那么电压将到达中间电压。此后，如果进行充电并持续比 t_1 短的充电时间 t_2 ，那么电压将到达小于 V_{H1} 的最大电压 V_{H2} 。然后，如果进行放电并持续充电时间 $2t_2$ ，那么电压将到达高于 V_{L1} 的最小电压 V_{L2} 。最后，如果进行充电并持续充电时间 t_2 ，那么电压将到达中间电压。重复相同的操作。

以此方式，获得了对于每个周期振幅都改变的扩频电压信号。同样在第二实施例中，扩频电压信号的振幅和周期都改变了。为了产生其中仅振幅变化而周期不变的扩频电压信号，在图26A所示的电路中提供了可以用不同的电流进行充电或放电的恒流电源，并且对于每个周期都切换待提供的电流。在此情况下，开关控制电路35按照预定周期在充电与放电之间对电源进行开关。

而且，在上述电路中也可以获得图67所示的扩频调制信号。在此情况下，在每个循环内都切换待提供的电流。

尽管这里示出了在两个振幅之间进行切换的情况，但也可以在三个或更多振幅之间进行切换。

如上所述，第五和第六实施例中的SSCG电路具有类似于第一和第二实施例的配置，其中扩频调制信号的振幅在改变。也可以通过利用第三和第四实施例中的SSCG电路来改变扩频调制信号的振幅。由于本领域内

的任何熟练的工程师都很容易理解在此情况下的配置和操作，所以这里不再给出详细说明。如果使用具有很多位分辨率的IDAC，那么也可以仅改变振幅而不改变周期。

在第五和第六实施例中，当信号值与基准电平相交时，进行振幅的
5 切换，如图7A所示。但是，也可以改变每个循环中的扩频调制信号值的局部最大值和/或局部最小值。例如，在图25A所示的电路中，沿一个方向（增加或减小）改变用于切换递增和递减操作的预定值，获得了如图68所示的扩频调制信号。换句话说，可以获得在每个循环中平均电平都改变的扩频调制信号。而且，通过改变图26A所示电路的开关定时，可以
10 获得信号值的局部最大值和/或局部最小值变化的扩频调制信号。同样清楚的是，这种扩频调制信号可以由数字控制的调制器容易地获得。

此外，通过上述电路的组合可以获得其中信号值的局部最大值和/或局部最小值和周期都变化的扩频调制信号。很显然通过数字控制的调制器也可以容易地获得这种扩频调制信号。

15 图27示出了本发明第七实施例中的SSCG电路的配置图。在第五和第六实施例中，扩频调制信号的振幅和周期都改变了。尽管通过利用上述具有高分辨率的IDAC也可以仅改变振幅而不改变周期，但在第七实施例中，通过利用另一种方法也仅改变了振幅而没有改变周期。

如图27所示，在第七实施例的SSCG中，当通过利用第四实施例中的
20 SSCG电路来改变振幅时，设置了第一IDAC 63、第二IDAC 64以及用于控制这些IDAC的控制电路，并且把从V-I转换电路42的输出分叉出来并经过扩频调制的信号加到原来的V-I转换电路42的输出并施加到IC0 44。

图28示出了第一IDAC 63的配置图，图29示出了第二IDAC 64的配置图。第一IDAC 63是由图18所示的IDAC通过以下处理修改得来的：除去
25 Tr12、Tr14和Tr20并把Tr13的Tr尺寸比设为X，电流输入Iref可以控制在n位的从零到 $I_{ref} (1-1/2^n) / X$ 的范围内。同样，第二IDAC 64可以把电流输入Iref控制在m位的从 $I_{ref} / (2^m Y)$ 至 I_{ref} / Y 的范围内。结果，通过适当地设置Y和m位代码，可以在该范围内利用任意的放大因数进行放大。

在第七实施例中，根据从控制电路65输出的控制代码，第一IDAC 63

照常对具有固定振幅和周期的 $1/X I_{ref}$ 的电流进行扩频调制。第二IDAC 64在扩频调制的一个周期内利用固定放大因数进行放大，并且当该周期变化时改变放大因数。以此方式，获得对于每个周期其周期都恒定并且仅振幅改变的扩频调制信号。将该扩频调制信号加到来自V-I转换电路42的 I_{ref} （仅通过连接信号线来完成该操作）并施加到IC0 44。

也可以反转第一IDAC 63和第二IDAC 64的布置，首先通过改变用于每个周期的放大因数来进行放大，然后对放大后的电流信号进行扩频调制。

如上所述，在第一至第七实施例的SSCG电路中，可以利用简单的配置来实现能够进行优良的扩频调制的扩频时钟产生电路。

使用上述IDAC的SSCG电路的特征在于：加法电路等的配置简单，可以用数字方式来控制振荡频率的变化，并且所述控制是精确的和容易的。图18所示的IDAC通过将约20%的变化范围分为n位可以控制待输出的电流量。换句话说，最小分辨率是 $20/2^n\%$ 。例如，当 $n=9$ ， $2^9=512$ 时，通过将20%分为500级，获得了0.04%的分辨率，可以从80%至100%用0.04%的间距来对输出电流进行控制。

通常，以芯片的形式或其中集成了其他电路的芯片的形式来使用SSCG电路。对于进行扩频调制的SSCG电路，根据其使用目的来改变扩频调制的振幅是必要的。例如，当电磁波辐射比周期变化更重要时，扩频调制的振幅需要设得更大，而当要求周期变化要小时，扩频调制的振幅需要设得更小。因此，这使得任意地设置控制电路输出的输出代码以便增加SSCG电路芯片的灵活性和处理各种目的成为可能。

尽管可以任意地设置待施加到IDAC的输出代码，但是IDAC本身的配置固定在芯片中，并且输入电流 I_{ref} 可以改变的范围和用于改变的最小级（分辨率）是固定的。图30A至图30C示出了当振幅改变时输出代码的变化，并且根据该输出代码的变化，可以获得电流变化和按如图所示方式变化的差分电流。如图30A所示，当振幅较大时，振幅与最小级相比更大，电流以相对平滑的方式变化。与此相反，当振幅减半时，与图30A所示的情况相比，如图30B所示所述变化变得较不平滑。如果振幅再减半，

即，当振幅是原振幅的1/4时，差分电流信号的变化变得更不平滑，如图30C所示。因为差分电流信号的变化变得不平滑，待施加到IC0的电流的高频分量增加了并且对PLL的操作产生负面的影响。

为了获得即使当振幅较小时也能够以足够平滑的方式变化的差分电
5 流信号，必须通过增加晶体管的数目来增加输出代码的位数。例如，为了能够调整具有五位的振幅，即，能够在从100%至3%的范围内调整振幅，需要九位输出代码，对于最小振幅需要四位分辨率，即，分辨率可以按15级来调整。在图18所示的电路配置中，当 $n=9$ 时，必须使具有最大尺寸的晶体管的尺寸是具有最小尺寸的晶体管的尺寸的 $2^8=256$ 倍，并且使
10 芯片面积是具有最小尺寸的晶体管的面积的 $2^9=512$ 倍。因此， Tr_{3n} 和 Tr_{4n} 的尺寸是 Tr_{30} 和 Tr_{40} 的256倍。由于具有最小尺寸的晶体管的尺寸由制造工艺来确定，所以出现了具有最大尺寸的晶体管的尺寸变得非常大并且尺寸需要的面积也变得更大的问题。

通过并联形成多个具有最小尺寸的晶体管和以2的幂改变具有最小
15 尺寸的晶体管的数量来实现具有图18所示的电路尺寸比的晶体管链，亦即，由具有最小尺寸的晶体管之一形成最小尺寸晶体管，通过并联连接两个该具有最小尺寸的晶体管形成第二最小尺寸晶体管，通过并联连接四个该具有最小尺寸的晶体管形成第三最小尺寸晶体管，等等。在此情况下，如果 $n=9$ ，那么最大尺寸的晶体管通过并联连接256个该具有最小
20 尺寸的晶体管来形成。因此，为了从 Tr_3 和 Tr_{4n} 组实现 Tr_{30} 和 Tr_{40} 组，需要512组 Tr_{30} 和 Tr_{40} 。

总之，当输出代码的位数增加时，晶体管的尺寸以二的幂次的速度增加，因此，出现了电路规模和成本增加的问题。

下面要说明的根据本发明第三方面的扩频时钟产生（SSCG）电路可
25 以确保即使对于最小振幅也有宽的振幅可调范围和足够的分辨率，而电路规模却不会增加这么多。

图31A和图31B示出了基于根据本发明第三方面的SSCG电路的原理的配置图。

如图31A所示，本发明的扩频时钟产生电路设有扩频调制电路71和放

大电路72，独立地经历扩频调制和振幅调整之后，把差分电流信号添加到初始差分电流信号。具体而言，把扩频调制电路71和放大电路72级联起来，在扩频调制电路71中调制从电压-电流（V-I）转换电路42输出的差分电流信号之后，在放大电路72中放大该扩频调制信号并对其振幅进行调整，然后把振幅经过调整的信号添加到初始差分电流信号并施加到IC0 44。

如图31A和图31B所示，扩频调制电路71和放大电路72的次序可以颠倒。

图32A和图32B是示出本发明第三方面的原理的示图：图32A示出了在扩频调制电路71中对具有振幅A的差分电流信号进行n位模式调整之后的调制电流信号；图32B示出了图32A所示的信号，已经采用因数k/m对其振幅进行放大（衰减）。即使采用因数k/m来放大振幅，分辨率（级数）也没有改变。

在本发明第三方面的SSCG电路中，由于模式调制和振幅调整是独立地进行的，所以输出了与振幅调整无关的具有恒定分辨率的调制电流。如上所述，对于图3的常规配置中的最小振幅，为了实现5位振幅调整和4位分辨率，当n=9时，需要为最小尺寸晶体管组Tr30和Tr40的尺寸的 $2^9=512$ 倍的面积，以从Tr30获得Tr3n，从Tr40获得Tr4n。与此相比，在本发明的扩频时钟产生电路中，只需要为所述尺寸的 $2^5+2^4=48$ 倍的面积，因此，可以减小电路规模。

如果将图27所示的第七实施例中的SSCG电路与图31A所示的第三方面的SSCG电路进行比较，将发现这两个具有相同的配置。换句话说，第七实施例中的SSCG电路实现了第三方面。

如上所述，IDAC也作为放大电路进行操作，因此，可以通过利用图18所示的电流数-模转换电路（IDAC）来实现扩频调制电路71和放大电路72。

图33示出了本发明第八实施例中的扩频时钟产生（SSCG）电路的配置图，如图所示，第八实施例中的SSCG电路具有类似于第七实施例中的SSCG电路的配置，模式IDAC 73具有类似于图28所示的第一IDAC 63的配

置，电平IDAC 74具有类似于图29所示的第二IDAC 64的配置。

如图33所示，在第八实施例的SSCG电路中，把在电流振荡电路41中的V-I转换器42输出的差分电流信号施加到IC0 44，并且同时输入到模式IDAC 73。模式IDAC 73根据从模式控制电路75输出的输出代码对差分电
5 流信号进行扩频调制并产生扩频调制信号。电平IDAC 74根据从电平控制电路76输出的输出代码来放大（衰减）扩频调制信号并调整振幅。

从电平控制电路76输出的输出代码根据使用目的由外部进行调整，并且具有恒定值。

模式控制电路75输出扩频调制代码。

10 图34A和图34B示出了通过利用数字逻辑电路实现的模式控制电路33的配置和操作的示图。如图34A所示，模式控制电路75包括：递增/递减计数器77，用于对时钟进行计数；以及分频计数器78，用于控制递增/递减计数器77。递增/递减计数器77以n位二进制码输出计数值。如图34B所示，分频计数器78对时钟进行计数，并且当计数值达到预定值时，切换
15 所述递增/递减计数器的递增计数操作和递减计数操作。以此方式，获得了按图34B所示方式变化的输出代码。这里，希望计数值在由位数规定的最大值与最小值之间变化。

图35示出了本发明第九实施例中的SSCG电路的配置图。尽管在第八实施例中通过利用逻辑电路实现了模式控制电路75和电平控制电路76，
20 但是在第九实施例中通过利用计算机系统例如微型电子计算机和DSP实现了这些。其他部分与第八实施例中的相同。

如上所述，根据第八和第九实施例，可以利用小的电路规模来实现扩频时钟产生电路，其确保了用于小振幅的宽振幅可调范围和足够的分辨率，并且以低成本可以获得具有高灵活性的扩频时钟产生电路。

25 在使用如上所述的IDAC的SSCG电路中，通常改变待输入到IC0 44的电流，以便具有如图36A所示的三角波。在IDAC具有2位配置的情况下，电流仅以四级变化，如图36B所示。在IDAC具有3位配置的情况下，电流仅以八级变化，如图36C所示。如上所述，如果IDAC的位数小，那么电流变化的级宽就变得如图36B和图36C所示那样宽，待施加到IC0的电流中的

高频分量也就增加了，出现了不利地影响PLL操作并且同时没有充分地降低电磁辐射的问题。

为了在具有该配置>IDAC中使待输入到ICO的电流平滑变化和充分地降低IDAC中的电磁辐射，必需增加IDAC的位数。例如，IDAC具有5位配置，采用该配置电流变为32级，但是这仍然不够，必需进一步增加IDAC 17的位数。但是，如果IDAC的位数增加，那么IDAC的尺寸和控制电路的电路规模相应地变得更大，由此产生了成本增加的问题。

在本发明第四方面的扩频产生(SSCG)电路中，利用简单配置可以进一步降低电磁辐射。

10 图37示出了本发明第四方面中的SSCG电路的基本配置图。

如图37所示，在本发明第四方面中的SSCG电路中，电流注入电路81连接到组成环路滤波器14的电阻器R和电容器C的连接节点，并且充电和放电按如下方式进行：电容器C的电压在比所产生的时钟周期长的扩频周期中以小于电容器电压的电压振幅变化。

15 图38示出了电流注入电路81的基本配置的示图。如图38所示，该电流注入电路包括：在高电势电源侧的恒流源82与低电势电源侧的恒流源83之间串联连接的两个开关84和85，并且该电流注入电路通过利用成互补关系的充电信号和放电信号来控制开关84和85。当开关84处于连接状态并且开关85处于断开状态时进行充电，当开关84处于断开状态并且开
20 关85处于连接状态时进行放电。

根据本发明的第四方面，当VCO或电流振荡电路的输入电压(差分电压信号)改变时，VCO或电流振荡电路的控制电压也变化，因此，通过实现由VCO或电流振荡电路产生的时钟的振荡频率的转变，可以实现能够降低电磁辐射的时钟产生电路。在本发明中，由于通过对组成环路滤波器的电容器进行充电和放电来改变电容器的电压，如果用于充电和放电的
25 电流恒定，那么电容器的电压以恒定速率增加或降低，因此变化是平滑的，如图36A所示。因此，电流注入电路81仅需使用小规模电流源电路和用于在充电周期与放电周期之间进行切换的简单电流源控制电路，即使整个SSCG电路规模做得较小，也可以减少由分级(step-wise)变化引

起的假信号。如果用于充电和放电的电流恒定，那么通过控制充电和放电时间就可以改变电容器电压变化的周期和振幅。如到此所述，采用数字方法可以容易地控制用作电流注入电路81的电流源，并且与使用通用的D/A转换器作为VCO进行扩频处理相比，可以更准确和更精确地实现频率转变。

图39示出了本发明第十实施例中的SSCG电路的配置图。与图13中的SSCG电路相比可以明显看出，第十实施例中的SSCG电路具有由第三实施例中的SSCG电路配置按如下操作修改过的配置：除去IDAC 17和控制电路19，并且将由电流源控制电路86、基准电流源87和电流源88构成的电流注入电路连接到组成环路滤波器14的电阻器R和电容器C的节点。因此，这里不再给出关于频率相位比较器12、电荷泵13、V-I转换电路16、IC0电路18等的说明。

图40示出了基准电流源电路87的电路配置图，图41示出了电流源控制电路86的电路配置图，图42示出了电流源电路88的电路配置图。

基准电流源电路87是广泛公知的电流镜电路，并且输出电流量恒定的基准电流。电流源控制电路86包括1/K分频电路89，通过利用因数1/K对基准时钟CLK进行分频而在扩频调制周期中产生具有50%占空比的时钟信号。输出所产生的时钟信号作为充电信号，同时在反相器90反相，并输出作为放电信号。因此，充电信号和放电信号是互补信号。

在电流源电路88中，由晶体管Tr71至Tr75组成电流镜电路，并且晶体管Tr74用作充有从基准电流源87输出的基准电流的恒流源，晶体管Tr75用作释放出所述基准电流的恒流源。在晶体管Tr74与Tr75之间，串联连接晶体管Tr76和Tr77，并且经过反相器把充电信号施加到晶体管Tr76的栅极，把放电信号施加到晶体管Tr77的栅极。当充电信号处于“高电平(H)”而放电信号处于“低电平(L)”时，晶体管Tr76设为通(ON)态，晶体管Tr77设为断(OFF)态，经过晶体管Tr74和Tr76输出了依照基准电流的电流，以便对电容器C进行充电。当充电信号处于“L”而放电信号处于“H”时，晶体管Tr76设为断态，晶体管Tr77设为通态，经过晶体管Tr76和Tr75排出依照基准电流的电流，以便对电容器C进行放电。

图43A至图43D示出了根据充电信号和放电信号流过电流源88的电流变化和组成环路滤波器14的电阻器R和电容器C的连接节点的电压（VCO控制电压）变化的示图。如图所示，当充电信号处于“H”而放电信号处于“L”时，电流源88输出恒定电流，据此，VCO控制电压增加；而当充电信号切换为“L”并且放电信号切换为“H”时，电流源88排出恒定电流，据此，电流振荡电路41的控制电压降低，变为三角波形状。据此，电流振荡电路41产生的时钟CK的频率发生变化。

图44示出了本发明第十一实施例中的SSCG电路的配置图。如图所示，第十一实施例中的SSCG电路不同于前述SSCG电路，在第十一实施例中的SSCG电路中，除去了基准电流源87，并且把V-I转换电路42的输出输入作为电流源88的基准电流。

在第十实施例中的SSCG电路中，基准电路是恒定的，并且与VCO控制电压无关，以预定方式改变待提供给电容器或要从电容器排出的电流，并且扩频电压是恒定的。因此，扩频电压与VCO控制电压的比率随VCO控制电压而不同。结果，如果假定振荡频率与VCO控制电压成比例，那么根据扩频调制而改变的频率比率在低频与高频之间不同。与此相反，在第二实施例的SSCG电路中，由于基准电流根据VCO控制电压而改变，所以根据扩频调制而改变的频率比率对于低频和高频都相同。因此，在第十一实施例的SSCG电路中，对于每个振荡频率可以以相同比率进行扩频调制。

而且，在第十和第十一实施例的SSCG电路中，以反馈在电流振荡电路41中产生的时钟CK的方式来形成PLL电路。因此，即使因为制造工艺偏差、温度变化或电流源电压变化，作为单个单元的IC0 44的特性或电流振荡电路41变化了，最终也会产生与基准时钟CLK的频率一致的时钟CK。但是，在第十实施例中，由于在进行扩频调制处理的电路部分没有进行反馈，所以扩频调制处理受这种变化影响。与此相反，在第二实施例中，由于通过反馈输出电流作为电流源88的基准电流而在电流源输出电流中反馈V-I转换器42的输出电流，亦即，由于对扩频调制处理也进行反馈，所以电流振荡电路41的控制电压不受所述变化的影响，从而输出了具有希望的扩展宽度的时钟CK。

图45示出了本发明第十二实施例中的SSCG电路的配置图。如图所示，第十二实施例中的SSCG电路不同于第十一实施例中的SSCG电路，在第十二实施例的SSCG电路中，在由低通滤波器（LPF）91进行滤波以便除去高频分量之后，输入V-I转换电路42的输出作为电流源88的基准电流。因此，
5 不同于第十一实施例，可以从V-I转换电路42的输出除去扩频分量，并且可以始终以恒定扩频速率进行扩频调制。

图46示出了本发明第十三实施例中的SSCG电路的配置图。如图所示，在第十三实施例的SSCG电路中，在从LPF 92分流并由LPF 92滤波之后，在V-I转换电路93中将待输入到VCO 17'的VCO控制电压转换为电流信号
10 并反馈作为电流源88的基准电流。在第十三实施例中，由于对电压信号进行了滤波，通过利用电容器和电阻器的简单电路可以实现LPF 92，并且可以减小电路尺寸，同时获得与第十二实施例相同的效果。

图47示出了本发明第十四实施例中的SSCG电路的配置图。如图所示，第十四实施例中的SSCG电路与第十实施例中的SSCG电路不同之处在于：
15 在第十四实施例的SSCG电路中，设有IDAC控制电路94和IDAC电路96来代替电流源控制电路86和电流源88。

图48示出IDAC电路96的配置图。在第十四实施例中所用的IDAC电路96是推挽式的，其不仅输出电流而且排出（抽出）电流。这里不进行详细说明。

20 图49A至图49C示出了环路滤波器的电容器C的电压变化与图48所示IDAC电路96的控制数据DU0至DU2和DD0至DD2的变化的比较图：图49A示出一位驱动的情况，图49B示出两位驱动的情况，图49C示出三位驱动的情况。

如图49A所示，在一位驱动的情况下，DU0以如图所示的方式变化，
25 而DU1和DU2保持“H（高电平）”状态。DD0和DU0是相等的信号，DD1和DD2保持“L（低电平）”状态。以此方式，只有图48所示的Tr87和Tr90重复导通（ON）和断开（OFF）状态，因此，从或通过IDAC 96把少量电流提供给电容器C或从电容器C排出少量电流，并且电容器C的电压以小振幅的三角波形式变化。

如图49B所示，在两位驱动的情况下，DU0和DU1以如图所示的方式变化，DU2保持“H”状态。DD0和DD1分别是等同于DU0和DU1的信号，DD2保持“L”状态。以此方式，图48所示的Tr87、Tr88、Tr90和Tr91重复导通和断开状态，因此，从或通过IDAC96把中量电流提供给电容器C或从电容器C排出中量电流，并且电容器C的电压以中振幅的三角波形式变化。

如图49C所示，在三位驱动的情况下，DU0至DU2以如图所示方式变化，DD0至DD2分别是等同于DU0至DU2的信号。以此方式，图48所示的Tr87至Tr89和Tr90和Tr92重复导通和断开状态。因此，从或通过IDAC 96把大量电流提供给电容器C或从电容器C排出大量电流，并且电容器C的电压以具有大振幅的三角波形式改变。

如上所述，在第十四实施例的SSCG电路中，可以改变用于对电容器C进行充电和放电的电流流量。

IDAC控制电路94输出如图49A至图49C中所示的控制数据DU0至DU2和DD0至DD2。尽管可以通过利用专用逻辑电路来实现IDAC控制电路94，但也可以通过利用微型电子计算机或DSP来实现IDAC控制电路94。而且，基准电流源95具有与图40所示电路相类似的配置。

因此可以说第十实施例中的电流源88代表第十四实施例中的IDAC变为一位配置的情况。

图50示出了本发明第十五实施例中的SSCG电路的配置图。第十五实施例中的SSCG电路具有从第十一实施例中的SSCG电路经如下操作修改后的配置：用第十四实施例中的IDAC控制电路94和IDAC电路96代替电流源控制电路86和电流源88。因此，该SSCG电路除具有第十一实施例的特性之外还具有第十四实施例的特性。

图51示出了本发明第十六实施例中的SSCG电路的配置图。第十六实施例中的SSCG电路具有从第十二实施例中的SSCG电路经过如下步骤修改过的配置：用第十四实施例中的IDAC控制电路94和IDAC电路96代替电流源控制电路86和电流源88。因此，该SSCG电路除具有第十二实施例的特性之外还具有第十四实施例的特性。

图52示出了本发明第十七实施例中的SSCG电路的配置图。第十七实

实施例中的SSCG电路具有从第十三实施例中的SSCG电路经过如下步骤修改过的配置：用第十四实施例中的IDAC控制电路94和IDAC电路96代替电流源控制电路86和电流源88。因此，该SSCG电路除具有第十三实施例的特性之外还具有第十四实施例的特性。

5 图53示出了本发明第十八实施例的具有抖动产生电路的半导体器件的配置图。如图53所示，第十八实施例中的半导体器件101包括：时钟产生电路102、抖动产生电路103、选择信号产生电路104和内部电路105。时钟产生电路102根据晶体振荡器的振动信号产生并输出作为基准输入信号输入时钟信CLKIN。这里，从时钟产生电路102输出的输入时钟信号
10 CLKIN以恒定周期T按正弦波形变化，如图54所示。

抖动产生电路103设置在时钟产生电路102与内部电路105之间，抖动产生电路103把输出时钟信号CLKOUT输出到内部电路105，该输出时钟信号CLKOUT是由抖动产生电路103添加了抖动（在时间轴方向的抖动）的来自时钟产生电路102的输入时钟信号CLKIN。

15 内部电路105包括广泛公知的CPU 105a和外围电路105b（例如，RAM、ROM、输入/输出电路），该内部电路105根据来自抖动产生电路103的输出时钟信号CLKOUT进行操作。

选择信号产生电路104包括未示出的触发电路，该选择信号产生电路104根据来自时钟产生电路102的输入时钟信号CLKIN来产生选择信号
20 VTSEL，并且将该选择信号VTSEL输出到抖动产生电路103。如图54所示，选择信号VTSEL的电压电平随着根据输入时钟信号CLKIN的周期T的定时（具体而言，输入时钟信号CLKIN的电平达到最大值的定时）变为H电平或L电平。

第十八实施例中的抖动产生电路103包括：不具有迟滞特性的普通反
25 相电路106，具有迟滞特性的迟滞反相电路107，以及开关电路108。抖动产生电路103设有：第一输入端子103a，用于输入来自时钟产生电路102的输入时钟信号；第二输入端103b，用于输入来自选择信号产生电路104的选择信号VTSEL；以及输出端子103c；用于输出所述输出时钟信号CLKOUT。

在抖动产生电路103中，反相电路106和迟滞反相电路107连接到第一输入端103a，时钟信号CLKIN输入到反相电路106和107中的每一个。此外，反相电路106和迟滞反相电路107通过开关电路108连接到输出端子103c。

5 如上所述，在第十至第十七实施例中进行电流控制型的扩频调制处理，因此可以获得以下效果。

(1) 通过有效地扩展振荡频率的频谱可以降低电磁波辐射。

(2) 可以随意地设置振荡频率的频谱度。

(3) 可以精确地进行振荡频率转变，以及

(4) 可以减小工艺、温度、电源电压等变化的影响。

10 而且，与使用图18所示的IDAC的情况相比，可以获得如下的效果：

(5) 可以利用小规模电路配置进行更准确的扩频调制处理。

当输出从H电平（第一电平）切换到L电平（第二电平）时，迟滞反相电路107的阈值电压大于反相电路106的阈值电压；而当输出从L电平切换到H电平时迟滞反相电路107的阈值电压小于反相电路106的阈值电压。

15 在图54中，当输入时钟信号CLKIN超过电压值VH1时，反相电路106的输出从H电平变至L电平；而当输入时钟信号CLKIN降到电压值VL1之下时，反相电路106的输出从L电平变至H电平。另一方面，当输入时钟信号CLKIN超过电压值VH2时，迟滞反相电路107的输出从H电平变至L电平；而当输入时钟信号CLKIN降到电压值VL2之下时迟滞反相电路107的输出从L
20 电平变至H电平。各个电压值的关系如下： $VH2 > VH1 > VL1 > VL2$ 。

开关电路108根据选择信号VTSEL的电压电平将反相电路106和迟滞反相电路107之一连接到输出端子103c。具体来说，当选择信号VTSEL处于H电平时，开关电路108把反相电路106连接到输出端子103c，而当选择信号VTSEL处于L电平时，开关电路108把迟滞反相电路107连接到输出端
25 子103c。

因此，在抖动产生电路103中，如图54所示，输出时钟信号CLKOUT根据输入时钟信号CLKIN变至H电平或L电平。确切地说，在时间t1之前，选择信号VTSEL处于H电平，并且反相电路106通过开关电路108连接到输出端子103c。因此，当输入时钟信号CLKIN的电压电平超过电压值VH1时，

在时间t1处输出时钟信号CLKOUT从H电平变至L电平。

然后，当输入时钟信号CLKIN的电压电平降到电压值VL2之下时，在时间t2处选择信号VTSEL变至L电平，并且输出时钟信号CLKOUT从L电平变至H电平，因为迟滞反相电路107通过开关电路108连接到输出端子103c。

- 5 在随后的时间t3处，当输入时钟信号CLKIN的电压电平超过电压值VH2时，输出时钟信号CLKOUT从H电平变至L电平。

因为在时间t3与时间t4之间选择信号VTSEL变至H电平，并且反相电路106通过开关电路108连接到输出端子103c，所以在时间t4处当输入时钟信号CLKIN的电压电平降到电压值VL1之下时，输出时钟信号CLKOUT从L
10 电平变至H电平。然后，在时间t5处也与在时间t1处一样，当输入时钟信号CLKIN的电压电平超过电压值VH1时，输出时钟信号CLKOUT从H电平变至L电平。此外，在时间t6处，当输入时钟信号CLKIN的电压电平降到电压值VL2之下时，输出时钟信号CLKOUT从L电平变至H电平。

换句话说，在时间t1与t2之间的T1时段内，抖动产生电路103中的输出信号CLKOUT变至L电平，在时间t2与t3之间的T2时段内，该输出信号
15 CLKOUT变至H电平。同样，在时间t3与t4之间的T3时段内该输出信号CLKOUT变至L电平，在时间t4与t5之间的T4时段内该输出信号CLKOUT变至H电平，在时间t5与t6之间的T5时段内该输出信号CLKOUT变至L电平。时段T1比时段T2长，时段T2比时段T3长（ $T1 > T2 > T3$ ）。时段T4等于时段T2，
20 时段T5等于时段T1。

以此方式，在第十八实施例的抖动产生电路103中，根据选择信号VTSEL切换开关电路108的连接位置，并且把每个都具有彼此不同的阈值电压的反相电路106和107之一连接到输出端103子c。因此，改变了抖动产生电路103的阈值电压，并且相对于根据输入时钟信号CLKIN的周期T的
25 恒定间隔定时，输出电平的反相定时也改变了。结果，从抖动产生电路103输出了添加有抖动的输出时钟信号CLKOUT。

如上所述，第十八实施例中的电路具有下列效果。

(1) 抖动产生电路103由反相电路106、迟滞反相电路107和开关电路108组成。在此情况下，与现有技术相比可以利用更简单的电路配置来

添加抖动。而且，当根据半导体器件101的使用目的而改变输入时钟信号CLKIN的频率时，输出时钟信号CLKOUT的抖动根据该频率而变化，并且抖动与输入时钟信号CLKIN的比率可以几乎保持恒定。因此，可以有效地降低半导体器件101的辐射噪声。

5 (2) 由于抖动产生电路103可以由简单的电路组成，所以可以降低半导体器件101的制造成本。

 (3) 选择信号电路104根据来自时钟产生电路102的输入时钟信号CLKIN产生选择信号VTSEL，并且根据该选择信号VTSEL来切换开关电路108的连接位置。因此，在该配置中，根据输入时钟信号CLKIN可以精确地产生选择信号VTSEL。而且，由于选择信号产生电路104具有使用触发电路的较简单电路配置，所以对于实际使用是优选的。

10 接着，下面说明本发明的第十九实施例。第十九实施例中的半导体器件包括代替第十八实施例中的抖动产生电路103的图55所示的抖动产生电路111。由于组成半导体器件的时钟产生电路102、选择信号产生电路104和内部电路105与第十八实施例中的这些相同，所以这里不再详细说明。

 如图55所示，抖动产生电路111设有：第一输入端子111a，用于输入来自时钟产生电路102的输入时钟信号CLKIN；第二输入端子111b，用于输入来自选择信号产生电路的选择信号VTSEL；以及输出端子111c，用于输出所述输出时钟信号CLKOUT。

20 抖动产生电路111由P沟道MOS晶体管TP1至TP4和N沟道MOS晶体管TN1至TN4组成。在抖动产生电路111中，P沟道MOS晶体管TP1和TP2及N沟道MOS晶体管TN1和TN2串联连接在电源V_{cc}与地GND之间。这些晶体管TP1、TP2、TN1和TN2中的每个栅极端子都连接到第一输入端子111a，并且输入时钟信号CLKIN输入到每个栅极端子。晶体管TP1和晶体管TP2的连接点经过P沟道MOS晶体管TP3和N沟道MOS晶体管TN4连接到地GND。另一方面，晶体管TN1和晶体管TN2的连接点经过N沟道MOS晶体管TN3和P沟道MOS晶体管TP4连接到电源V_{cc}。

 晶体管TP3的栅极端子连接到晶体管TN3的栅极端子，其连接点连接

到晶体管TP2和晶体管TN1的连接点，并且连接到输出端子111c。晶体管TN4和晶体管TP4的栅极端子连接到第二输入端子111b，并且，在选择信号产生电路104中产生的选择信号VTSEL输入到这些栅极端子。

在抖动产生电路111中，除去晶体管TP3、TP4、TN3及TN4的电路，即，
5 由晶体管TP1、TP2、TN1和TN2构成的电路，起普通反相电路的作用。在抖动产生电路111中，当除去晶体管TN4、晶体管TP3连接到地GND、除去晶体管TP4、以及晶体管TN3连接到电源Vcc时，电路起迟滞反相电路的作用。晶体管TP3和晶体管TN3用作向由晶体管TP1、TP2、TN1和TN2构成的反相电路提供迟滞特性的晶体管。另一方面，晶体管TN4和晶体管TP4用
10 作从反相电路断开晶体管TP3和晶体管TN3的开关。

在抖动产生电路111中，当选择信号VTSEL处于H电平并且晶体管TN4导通时，输出时钟信号CLKOUT从L电平变至H电平的阈值电压降低了。另一方面，当选择信号VTSEL处于L电平并且晶体管TP4导通时，输出时钟信号CLKOUT从H电平变至L电平的阈值电压升高了。

确切地说，当把处于H电平的选择信号VTSEL输入到抖动产生电路111
15 时，晶体管TN4导通而晶体管TP4截止。在该状态下，当输入时钟信号CLKIN的电压电平高而输出端子111c（输出时钟信号CLKOUT）处于L电平时，晶体管TP3导通。因此，输出端子111c从L电平变至H电平的阈值电压变得低于由晶体管TP1、TP2、TN1和TN2构成的反相电路的阈值电压。另一方面，
20 当输入时钟信号CLKIN的电压电平低而输出端子111c处于H电平时，晶体管TP3截止。此时，由于晶体管TP4处于断态，所以电源Vcc没有提供给晶体管TN3，即，晶体管TN3处于从反相电路断开的状态。因此，输出端子111c从H电平变至L电平的阈值电压等于由晶体管TP1、TP2、TN1和TN2构成的反相电路的阈值电压。

另一方面，当把处于L电平的选择信号VTSEL输入到抖动产生电路111
25 时，晶体管TN4截止而晶体管TP4导通。在该状态，输出端子111c从H电平变至L电平的阈值电压高于由晶体管TP1、TP2、TN1和TN2构成的反相电路的阈值电压。输出端子111c从L电平变至H电平的阈值电压等于由晶体管TP1、TP2、TN1和TN2构成的反相电路的阈值电压。

因此，在抖动产生电路111中，当选择信号VTSEL处于H电平而输入时钟信号CLKIN超过电压值VH1时（时间t11和t15），输出时钟信号CLKOUT从H电平变至L电平，如图56所示。当选择信号VTSEL处于H电平而输入时钟信号CLKIN降到电压值VL2之下时（时间t14），输出时钟信号CLKOUT从L电平变至H电平。

另一方面，当选择信号VTSEL处于L电平而输入时钟信号CLKIN超过电压值VH2时（时间t13），输出时钟信号CLKOUT从H电平变至L电平。当选择信号VTSEL处于L电平而输入时钟信号CLKIN降到电压值VL1之下时（时间t12和t16），输出时钟信号CLKOUT从L电平变至H电平。

换句话说，在时间t11与t12之间的时段T11内抖动产生电路111中的输出时钟信号CLKOUT处于L电平，在时间t12与t13之间的时段T12内该输出时钟信号CLKOUT处于H电平。同样，在时间t13与t14之间的时段T13内输出时钟信号CLKOUT处于L电平，在时间t14与t15之间的时段T14内该输出信号CLKOUT处于H电平，在时间t15与t16之间的时段T15内该输出信号CLKOUT处于L电平。时段T11等于时段T13和时段T15，并且比时段T12短（ $T11=T13=T15<T12$ ）。时段T14比时段T11短（ $T11>T14$ ）。

以此方式，在本发明的抖动产生电路111中，阈值电压根据选择信号VTSEL而改变，因此，相对于根据输入时钟信号CLKIN的周期T的恒定间隔定时，输出电平的反转时间改变了。结果，输出了添加有抖动的输出时钟信号CLKOUT。

如上所述，第十九实施例的电路具有下列效果。

（1）抖动产生电路111由MOS晶体管TP1至TP4和TN1至TN4组成。在此情况下，与现有技术相比可以利用更简单的电路配置来添加抖动。而且，当输入时钟信号CLKIN的频率改变时，输出时钟信号CLKOUT的抖动根据该频率而改变，因此，可以有效地降低半导体器件101的辐射噪声。

可以对第十八和第十九实施例进行如下修改。可以使用图57中所示的抖动产生电路121和图58中所示的抖动产生电路131，来代替抖动产生电路103和111。

确切地说，图57中所示的抖动产生电路121包括：不具有迟滞特性的

普通NAND（“与非”）电路122、具有迟滞特性的NAND电路123、以及反相电路124。抖动产生电路121设有：第一输入端子121a，用于输入输入时钟信号CLKIN；第二输入端子121b，用于输入控制信号CNTL；以及输出端子121c，用于输出输出时钟信号CLKOUT。第一输入端子121a连接到NAND
5 电路122和NAND电路123的输入端子之一，第二输入端子121b连接到NAND电路122的另一输入端子，并且同时经过反相电路124连接到NAND电路123的另一输入端子。NAND电路122和NAND电路123连接到输出端子121c。

在该抖动产生电路121中，阈值电压同样根据控制信号CNTL的电压电平而改变，如同上面所述的每个实施例，并且可以输出添加了抖动的输出时钟信号CLKOUT。
10

图58所示的抖动产生电路131包括：第一反相电路132，由P沟道MOS晶体管TP5和N沟道MOS晶体管TN5构成；第二反相电路133，由P沟道MOS晶体管TP6和N沟道MOS晶体管TN6构成；以及开关电路134。而且，抖动产生电路131设有：第一输入端子131a，用于输入来自时钟产生电路102的输入时钟信号CLKIN；第二输入端子131b，用于输入来自选择信号产生电路104的选择信号VTSEL；以及输出端子131c，用于输出输出时钟信号CLKOUT。第一和第二反相电路132和133连接到第一输入端子131a，电路132和133每个都经过开关电路134连接到输出端子131c。开关电路134根据选择信号VTSEL的电压电平将第一和第二反相电路132和133之一连接到输出端子131c。
15
20

而且，在抖动产生电路131中，第一反相电路132的阈值电压 V_{th1} 设得高于第二反相电路133的阈值电压 V_{th2} 。具体来说，在第一反相电路132中，晶体管TP5的驱动性能设得低于晶体管TN5的驱动性能，在第二反相电路133中，晶体管TP6的驱动性能设得高于晶体管TN6的驱动性能。通过
25 改变栅极长度调整每个晶体管TP5、TP6、TN5和TN6的驱动性能。

在该抖动产生电路131中，阈值电压同样根据选择信号VTSEL的电压电平而改变，如同上面所述的每个实施例，并且可以输出添加了抖动的输出信号CLKOUT。

抖动产生电路131由并联连接的两个反相电路132和133组成，每个都

具有不同的阈值电压，但是也可以按如下方式来配置抖动产生电路，其中并联连接三个或更多个反相电路，每个反相电路都具有不同的阈值电压。在该配置中，也在输出端子与每个反相电路之间设置了开关电路，并且通过开关电路把反相电路之一由选择地连接到输出端子。

- 5 当时钟产生电路102中产生的时钟信号具有矩形波形状时，在时钟产生电路102与抖动电路103、111、121和131中的每一个之间都提供了由电容器C和电阻器R构成的CR电路141。以此方式，当具有矩形波形状的时钟信号CLK流过CR电路141之时，它逐渐将其形状改变为正弦波形状。结果，可以在抖动产生电路103、111、121和131中根据时钟信号CLK来添加合适
- 10 的抖动。

第十八和第十九实施例以及它们的改进适用于运行内部电路105（CPU 105a及其外围电路105b）的时钟信号，但它们可以应用于其他信号，例如数据通信中所用的同步信号。

- 具有抖动产生电路的常规半导体器件具有例如如图60所示的配置。
- 15 如图60所示，在半导体器件151中，时钟信号CLK输入到抖动产生电路152，并且抖动被添加到时钟信号CLK。然后，从抖动产生电路152把添加了抖动的时钟信号GCLK提供到CPU 153及其外围电路（例如，串口IO 154，RAM 155，计数器156，定时器157和并口IO 158）。在这种配置中，可以降低辐射噪声的峰值。

- 20 但是，在图60所示的半导体器件中，添加了抖动的时钟信号GCLK被提供给包括CPU 153和外围电路的整个系统，因此，该系统根据包含相同抖动的时钟信号GCLK运行。不过，CPU 153和串口IO 154是受精确的操作定时控制的电路，因此，包含大抖动的时钟信号GCLK不可能操作它们。结果，由于可以预想到的电路的误操作，出现了不能添加大抖动的问题，
- 25 也就是说，不能把降低辐射噪声的最佳抖动添加到时钟信号CLK。在如下所述的实施例中，可以解决这种问题。

图61示出了第二十实施例中的半导体器件151的配置图。半导体器件151包括：抖动产生电路152、CPU 153、串行接口（串口IO）154、RAM 155、计数器156、定时器157和并行接口（并口IO）158。

在包含在半导体器件151的电路之中，CPU 153、串口IO 154和RAM 155是受精确的操作定时控制的电路（第一内部电路），计数器156、定时器157和并口IO 158是受相对不精确的操作定时控制的电路（第二内部电路）。

5 在半导体器件151中，把来自外部的时钟信号输入到抖动产生电路152、CPU 153、串口IO 154和RAM 155。抖动产生电路152将抖动添加到时钟信号CLK，并把添加了抖动的时钟信号GCLK提供到计数器156、定时器157和并口IO 158。对于第十八和第十九实施例中的抖动产生电路，可以使用第一至第十七实施例中的SSCG电路和通用抖动产生电路来代替抖
10 动产生电路152。

在半导体151中，把作为抖动产生电路的输入信号的时钟信号（即，没有添加抖动的精确时钟信号CLK）提供给受精确的操作定时控制的第一内部电路（CPU153、串口IO 154、RAM155），因此，可以以高速操作电路153、154和155中的每一个。

15 将在抖动产生电路152中添加了抖动的时钟信号GCLK提供给受相对不精确的操作定时控制的第二内部电路（计数器156、定时器157、并口IO 158）。当通过如在图60所示的常规半导体器件中那样利用添加了抖动的时钟信号GCLK来操作整个系统时，可以添加给时钟信号CLK的抖动量限于相对小的范围。与此相反，在第二十实施例的半导体器件中，添加
20 了抖动的时钟信号GCLK仅提供给受相对不精确的操作定时控制的电路，因此，可以把更大的抖动量添加给时钟信号GCLK，从而有效地降低辐射噪声。

如上所述，在第二十实施例的半导体器件151中，不仅可以增加电路操作速度而且可以降低辐射噪声。

25 图62示出了第二十一实施例中的半导体器件151的配置图。在第二十一实施例中，相同的符号用于与第二十实施例中的配置相同的配置。下面仅说明与第二十实施例的差别。

换句话说，除了第二十实施例20中的各个电路（抖动产生电路152、CPU 153、串口IO 154、RAM 155、计数器156、定时器157、并口IO 158）

之外，半导体器件151还包括分频电路162和163。

在半导体器件151中，来自外部的时钟信号CLK输入到分频电路162。分频电路162按预定的分频比率对时钟信号CLK进行分频，并且输出时钟信号CLK 1，其频率低于时钟信号CLK的频率。从分频电路162输出的时钟信号CLK 1输入到抖动产生电路152。抖动产生电路152把抖动添加到来自分频电路162的时钟信号CLK 1并将时钟信号GCLK 1提供到计数器156、定时器157和分频电路163。

分频电路163按预定的分频比率对时钟信号GCLK 1进行分频，并输出时钟信号GCLK 2，其频率低于时钟信号GCLK 1的频率。时钟信号GCLK 2输入到并口IO 158。

根据从外部输入的时钟信号CLK，半导体器件151中的CPU 153、串口IO 154和RAM 155以高速操作。根据添加了抖动的时钟信号GCLK 1，计数器156和定时器157以低速操作。而且，根据时钟信号GCLK 2，并口IO 158以比计数器156和定时器157更低的速度操作。

换句话说，在第二十一实施例中的第二内部电路（计数器156、定时器157、并口IO 158）是其操作速度低于第一内部电路（CPU 153、串口IO 154、RAM 155）的电路，并且抖动被添加到用于操作第二内部电路的时钟信号GCLK 1和GCLK 2。在此情况下，时钟信号GCLK 1和GCLK 2的频率低于时钟信号CLK的频率，因此，可以加入更大量的抖动。结果，可以有效地降低辐射噪声。

图63示出了第二十二实施例中的半导体器件151的配置图。相同的符号用于与第二十一实施例中的配置相同的配置。下面仅说明与第二十一实施例的差别。

第二十二实施例中的半导体器件151包括两个抖动产生电路，即，抖动产生电路152和抖动产生电路166，并且该半导体器件151按如下方式进行配置：根据内部电路的操作速度来改变待加到时钟信号的抖动量。

确切地说，在半导体器件151中，从分频电路162输出的时钟信号CLK 1被输入到分频电路163。分频电路163按预定的分频比率来对时钟CLK 1进行分频，并输出CLK 2，其频率低于时钟信号CLK 1的频率。

抖动产生电路152将抖动添加到来自分频电路162的时钟信号CLK 1，并把时钟信号GCLK 1提供给计数器156和定时器157。另一方面，抖动产生电路166将抖动添加到来自分频电路163的时钟信号CLK 2，并把时钟信号GCLK 2提供给并口IO 158。抖动产生电路166比抖动产生电路152添加更大量的抖动。

根据半导体器件151，可以根据内部电路的操作速度把合适的抖动添加到时钟信号CLK 1和CLK 2。在此情况下，还可以增加基于添加了抖动的时钟信号GCLK 1和GCLK 2来操作的内部电路的比例。结果，可以更有效地降低半导体器件的辐射噪声。

第二十至第二十二实施例可以进行如下修改。可以为半导体器件151中的抖动产生电路152和166提供用于根据内部电路的操作状态来调整抖动量的功能。

具体来说，下面说明为第二十二实施例中的抖动产生电路151提供用于调整抖动量的功能的情况。

如图64所示，半导体器件151中的抖动产生电路152包括第一产生部分152a和第二产生部分152b，根据从CPU 153输出的模式信号MODE来激活产生部分152a和152b之一。在抖动产生电路152中，当激活第一产生部分152a时，把小抖动加到时钟信号CLK，当激活第二产生部分152b时，把大抖动加到时钟信号CLK。

半导体器件151的操作模式包括各种工作模式，例如测试模式、休眠模式、高速操作模式以及低速工作模式。CPU 153不时判断操作模式，并且根据当前的操作模式来输出模式信号MODE。例如，当半导体器件151中的操作模式从高速操作模式变至低速操作模式时，从CPU 153输出的模式信号MODE从H电平反转为L电平。然后，根据该模式信号MODE，失活抖动产生电路152中的第一产生部分152a，同时激活第二产生部分152b。结果，可以把大的抖动添加给时钟信号CLK。

如上所述，通过根据半导体151的操作状态来调整抖动量，可以有效地降低半导体器件151的辐射噪声。而且，通过根据测试模式信号来改变抖动量，可以容易地进行半导体器件151的测试。

也可以如此配置：根据如图65所示的半导体器件151中的源电压来调整抖动量。换句话说，半导体器件151设有源电压监控电路159，用于监控提供给诸如CPU 153的电路的源电压，并且从源电压监控电路159输出与源电压的电平一致的控制信号CON。根据控制信号CON，激活产生部分5 152a和152b之一。

例如，当电源电压降到预定值之下时，控制信号CON从L电平反转到H电平。然后，根据控制信号CON，激活抖动产生电路152中的第一产生部分152a，同时失活第二产生部分152b。结果，可以把小抖动添加到时钟信号CLK。换句话说，当半导体器件151在低电压状态下操作时，减小待加到时钟信号CKL的抖动量，而当半导体器件151在高电压状态下操作时，增加待加到时钟信号CKL的抖动量。

当半导体器件151设为低电压状态时，降低了辐射噪声，并且减小了电路的运算速度余量。因此，通过减小抖动量可以防止电路误操作。另一方面，当半导体器件151设为高电压状态时，增加了辐射噪声，并且增加了电路的运算速度余量。因此，通过增加抖动量可以有效地降低辐射噪声。

此外，还可以按如下方式来配置：在半导体器件151中设置用于检测时钟信号CLK的频率的检测电路，并且根据检测结果来调整抖动量。而且，还可以按如下方式来配置：根据CPU 153获得的有关源电压等的信息来调整抖动量。

半导体器件151中的抖动产生电路152包括两个产生部分152a和152b，并且具有在两级之间切换待加到时钟信号CLK的抖动量的配置，但是还可以提供包括三个或更多个产生部分并且在多级之间切换抖动量的配置。可以根据从外部输入的设置信号来任意地调整抖动量的抖动产生电路已投入实际使用。当使用这种抖动产生电路时，可以按基于根据每种操作模式的设置信号来调整抖动量的方式来进行配置。

在第二十二实施例中的半导体器件151包括两个抖动产生电路152和166，并且具有如下配置：其中把两个不同的抖动加到在每个产生电路中尚未添加抖动的精确时钟信号CLK 1和CLK 2，但是配置不局限于此。例

如，也可以按如下方式来配置：在第一抖动产生电路152中把抖动添加到时钟信号，并且在第二抖动产生电路166中进一步添加抖动，如在图66所示的半导体器件151中那样。换句话说，半导体器件151中的第二抖动产生电路166用作抖动增加电路，用于增加待加到时钟信号的抖动量。

- 5 根据该半导体器件，与彼此独立地产生抖动的半导体器件相比可以减小第二抖动产生电路166的电路规模。而且，无疑也可以使待加到用于操作计数器156和定时器157的时钟信号GCLK 1的抖动量不同于待加到用于操作并口IO 158的时钟信号GCLK 2的抖动量。

在图63和图66所示的半导体器件中，提供了两个抖动产生电路152
10 和166，但是也可以提供三个或更多个抖动产生电路。

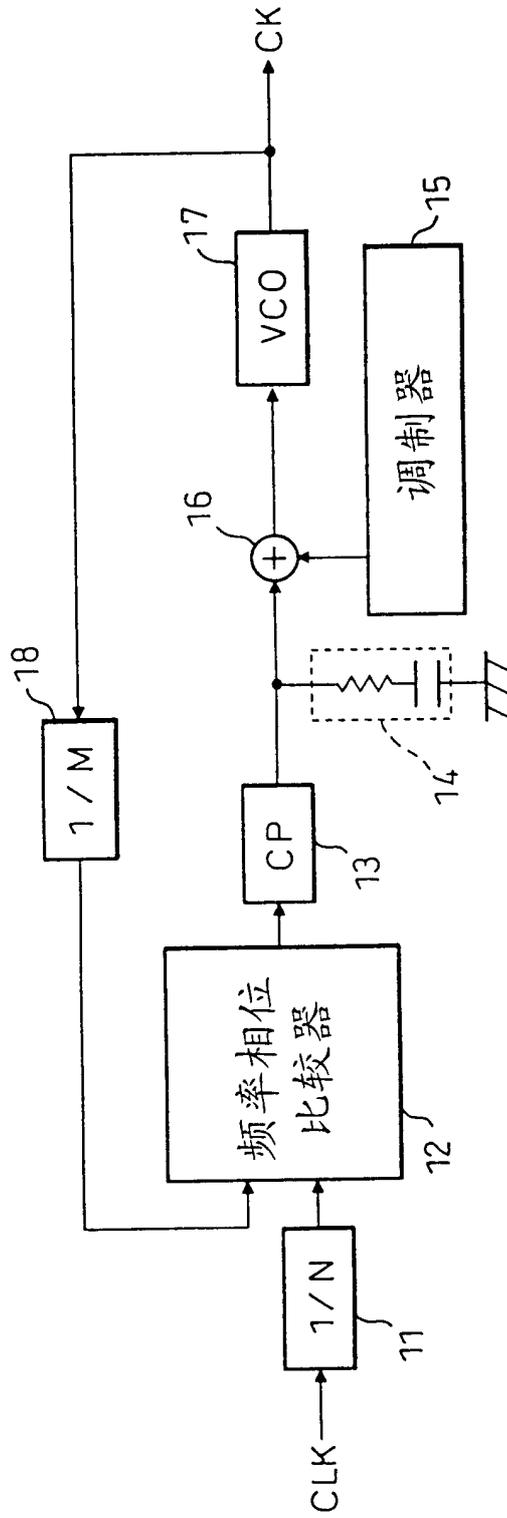


图1

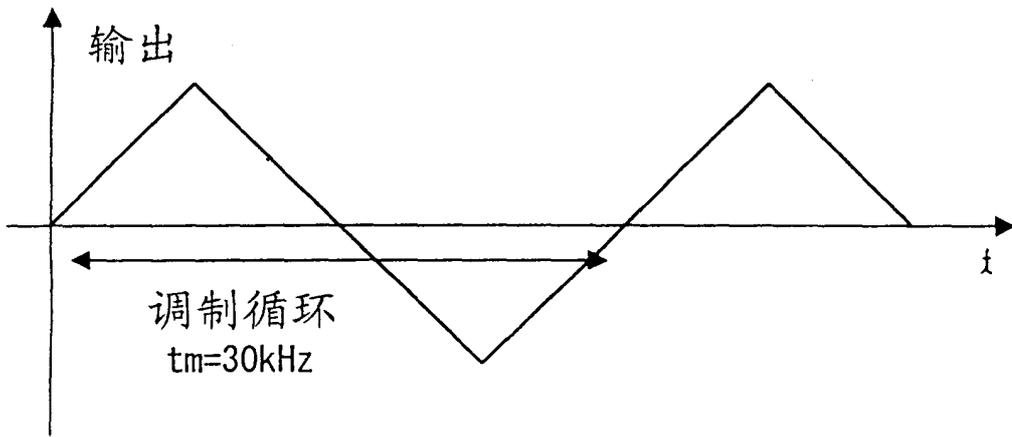


图2

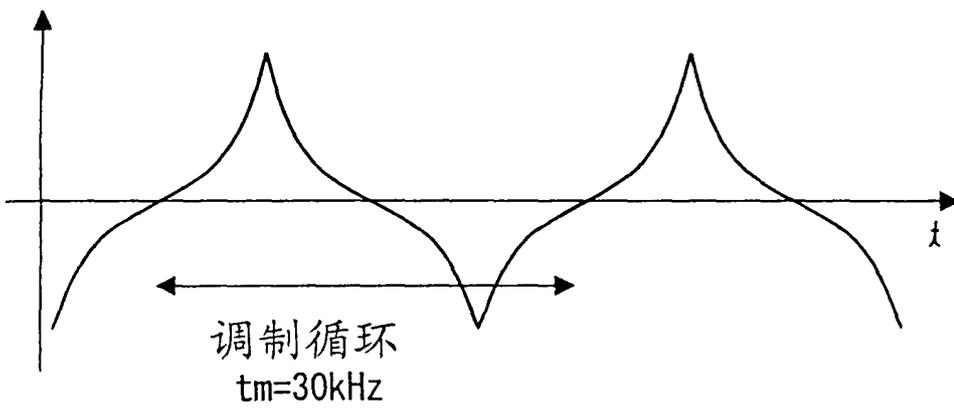


图3

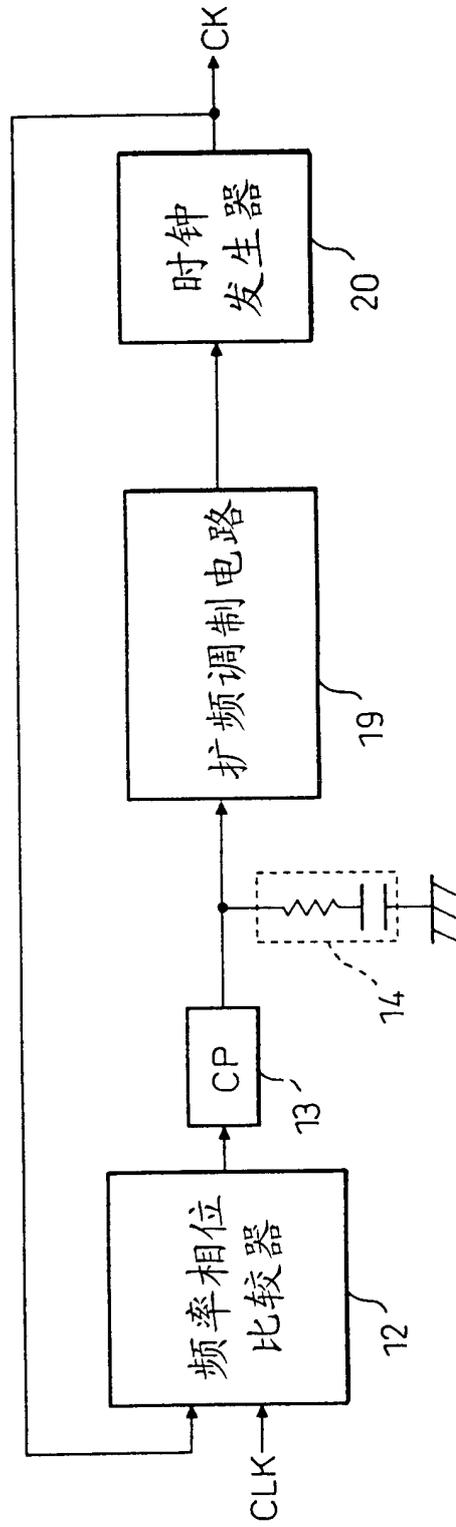


图4

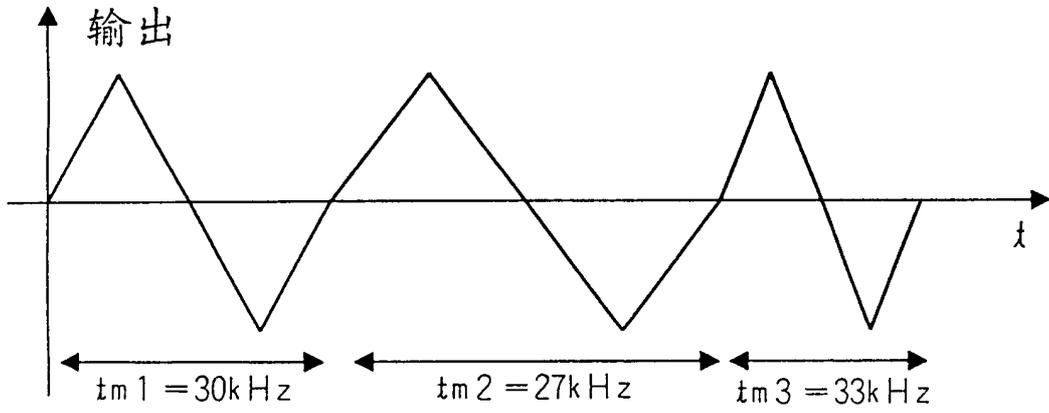


图 5A

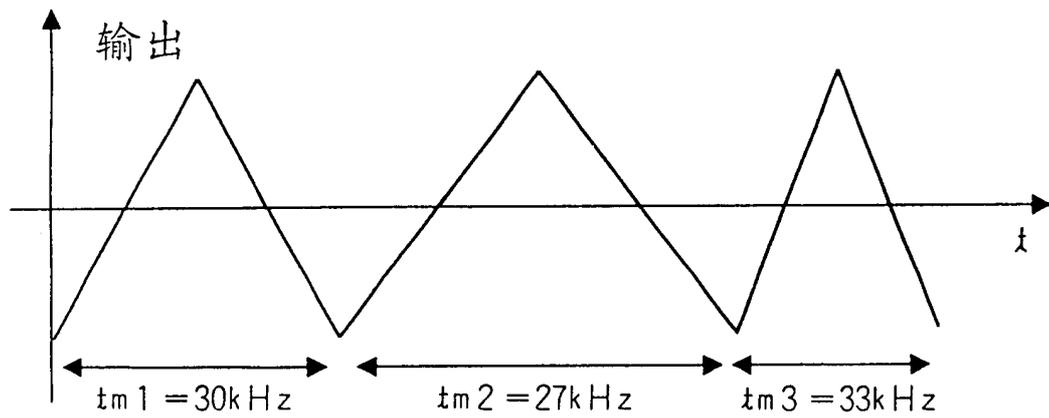


图 5B

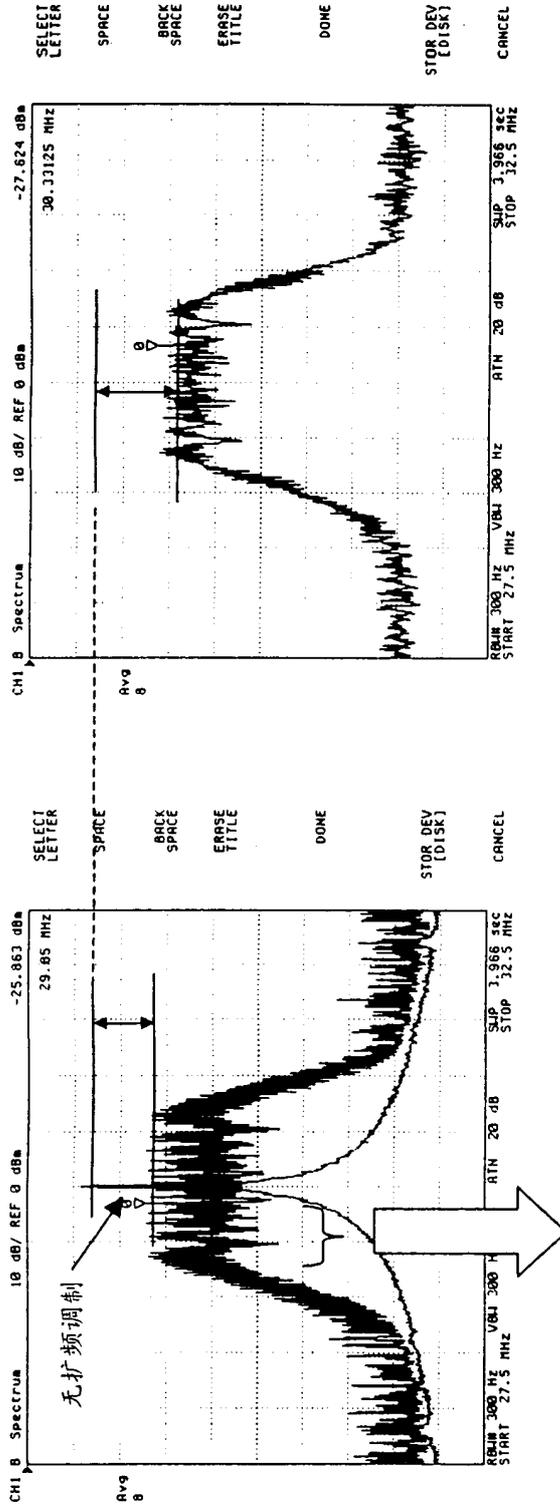


图6A

图6B

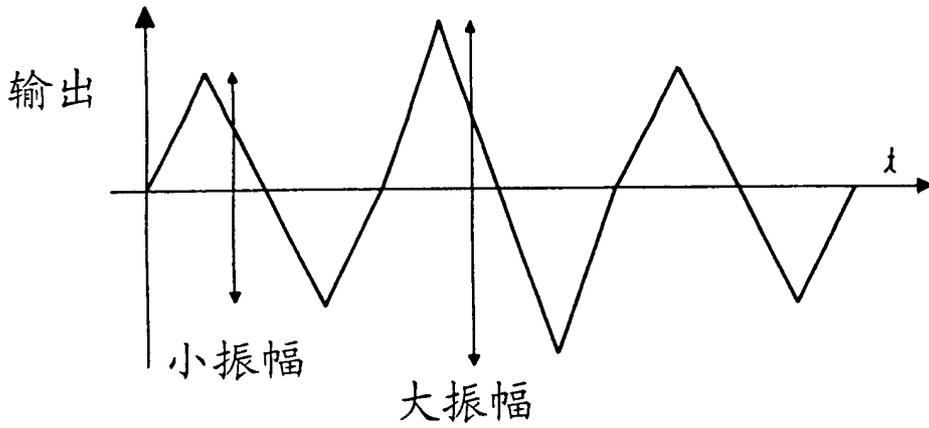


图 7A

当应用小振幅时的频谱

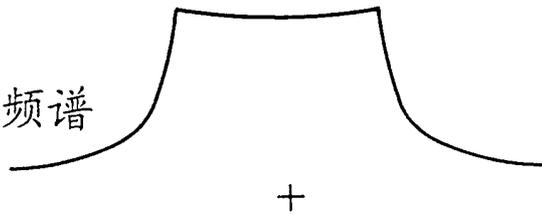


图 7B

当应用大振幅时的频谱

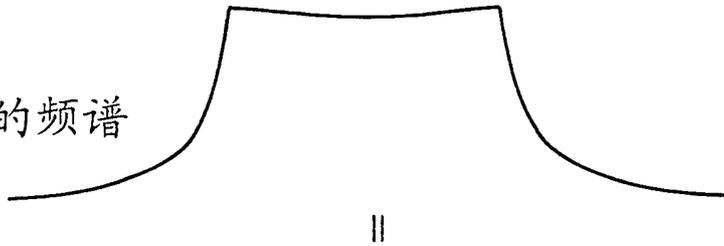


图 7C

合成后的频谱



图 7D

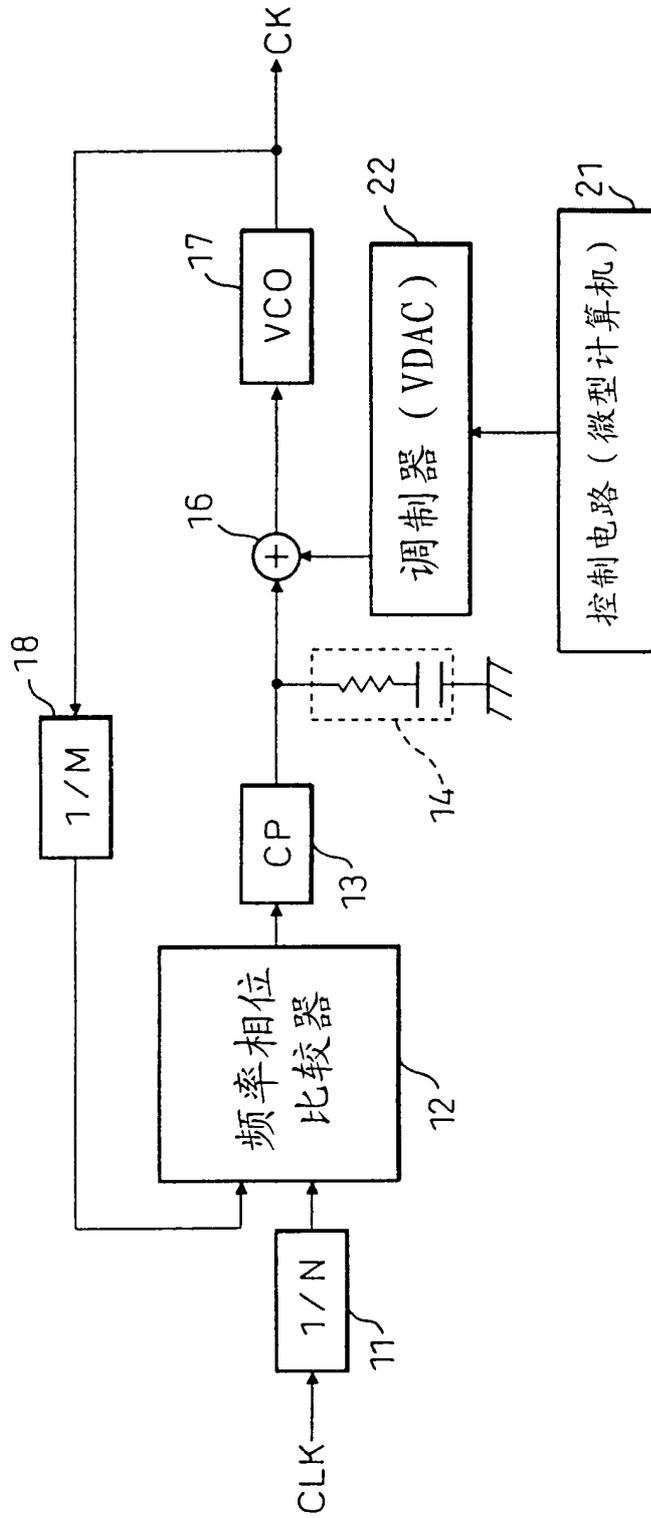


图8

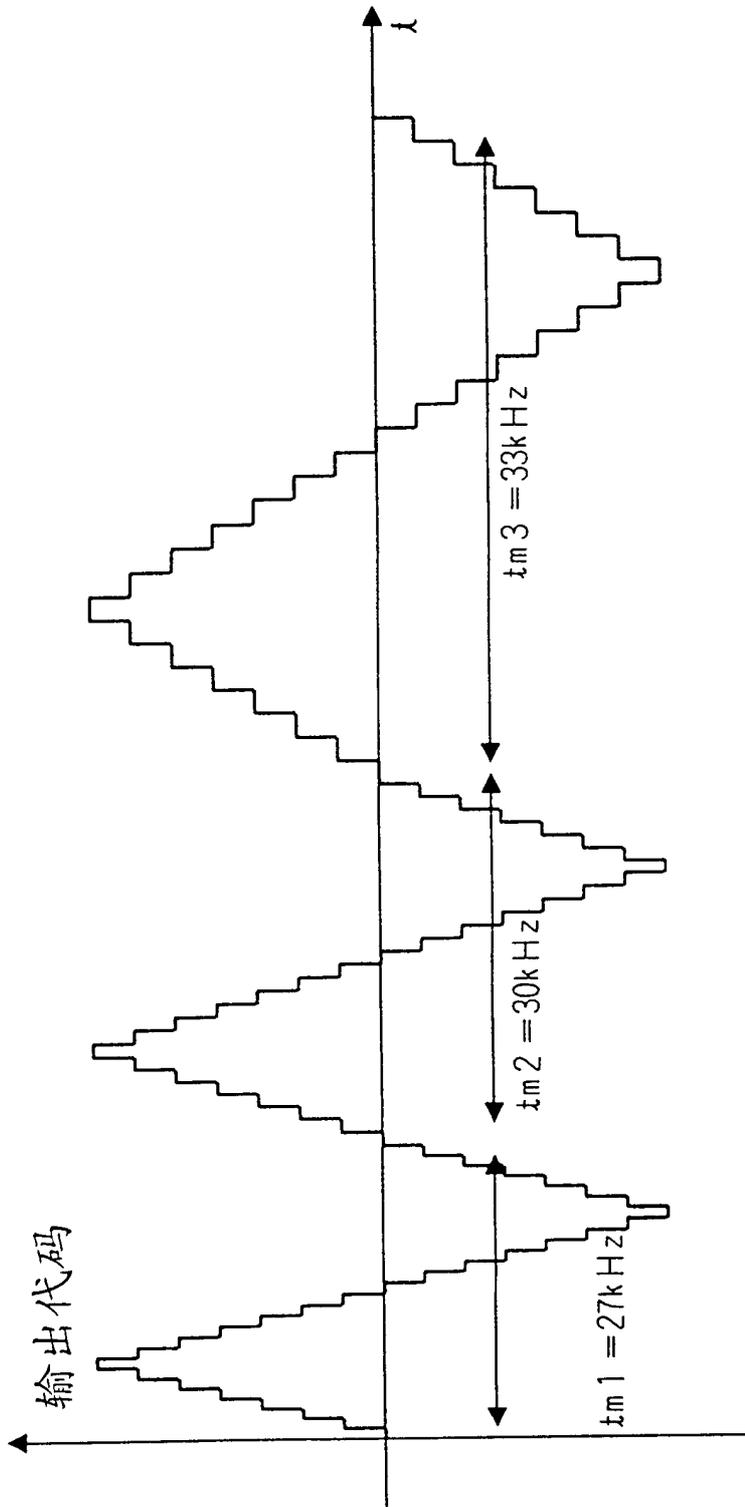


图9

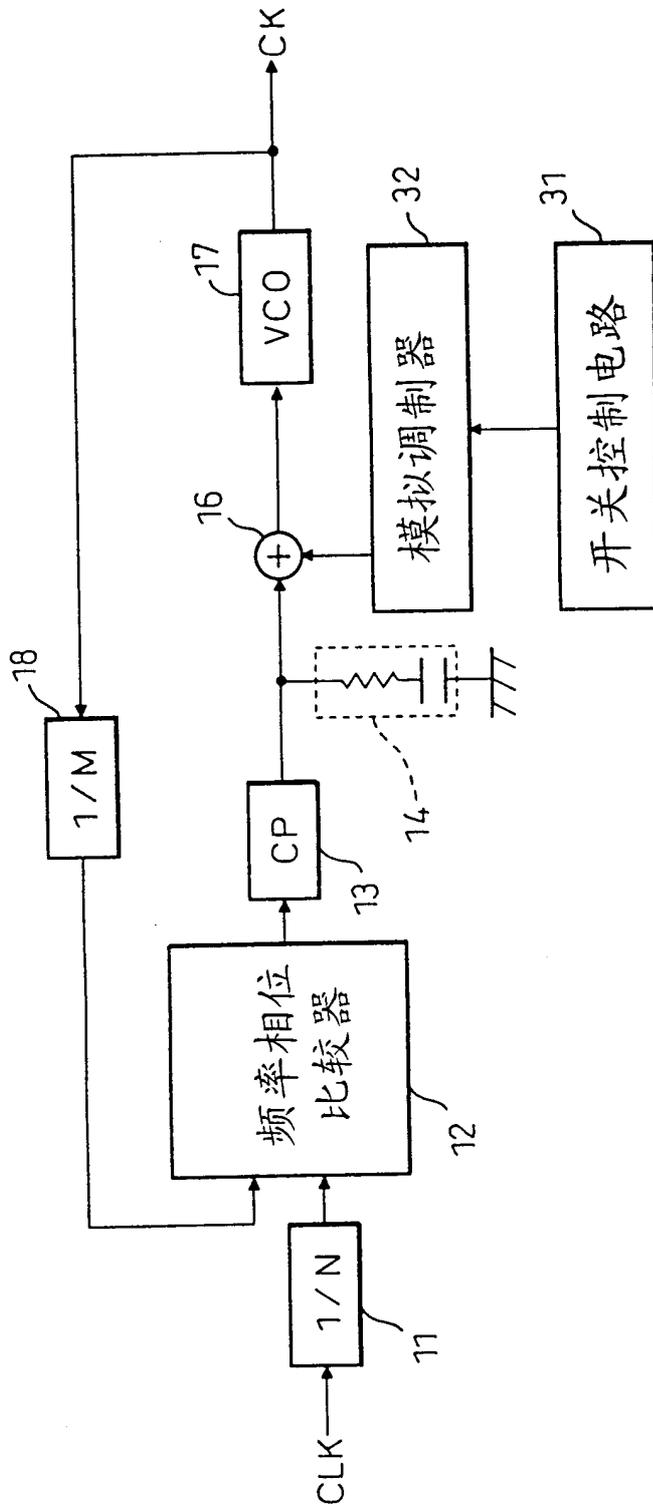


图10

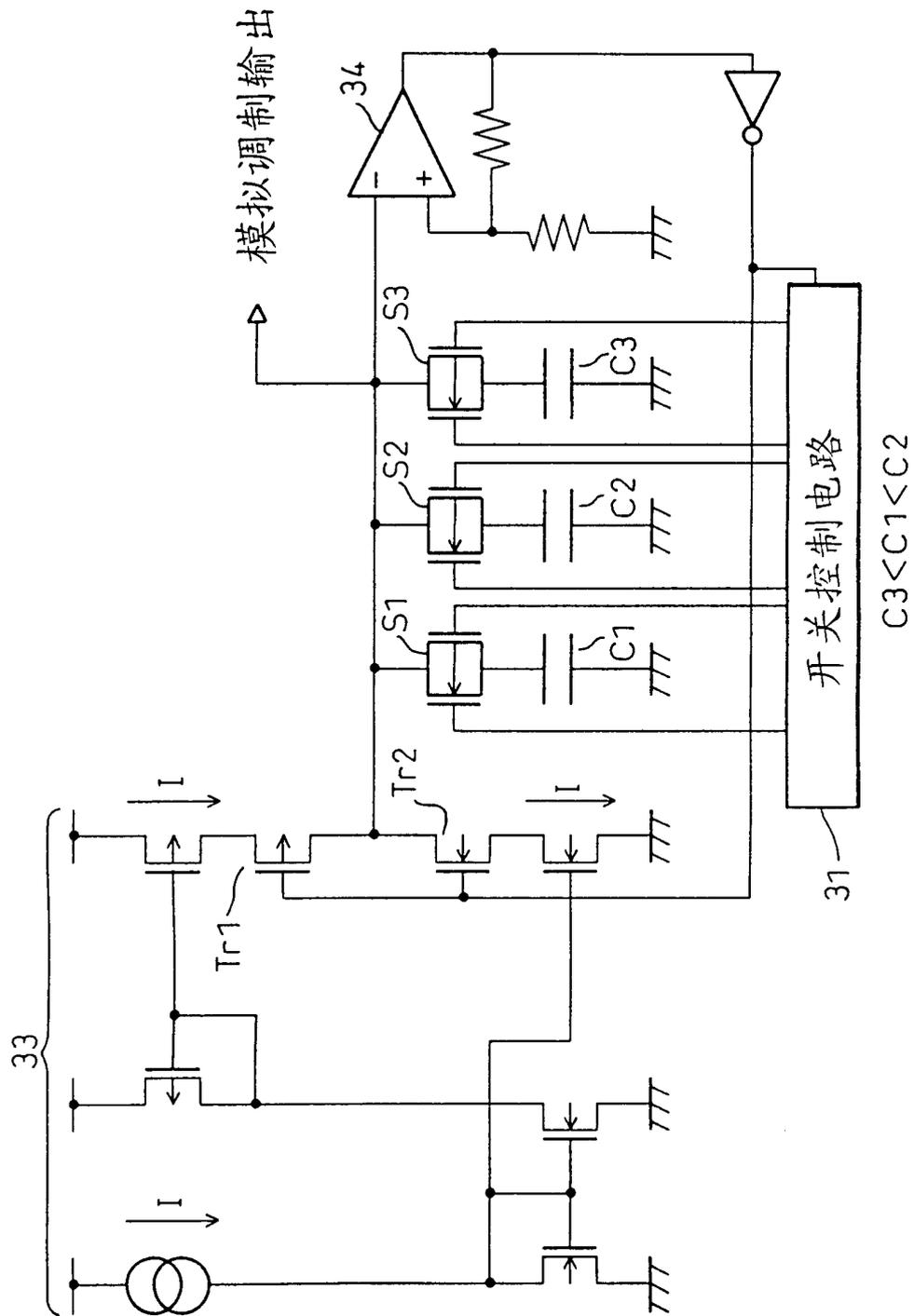


图11

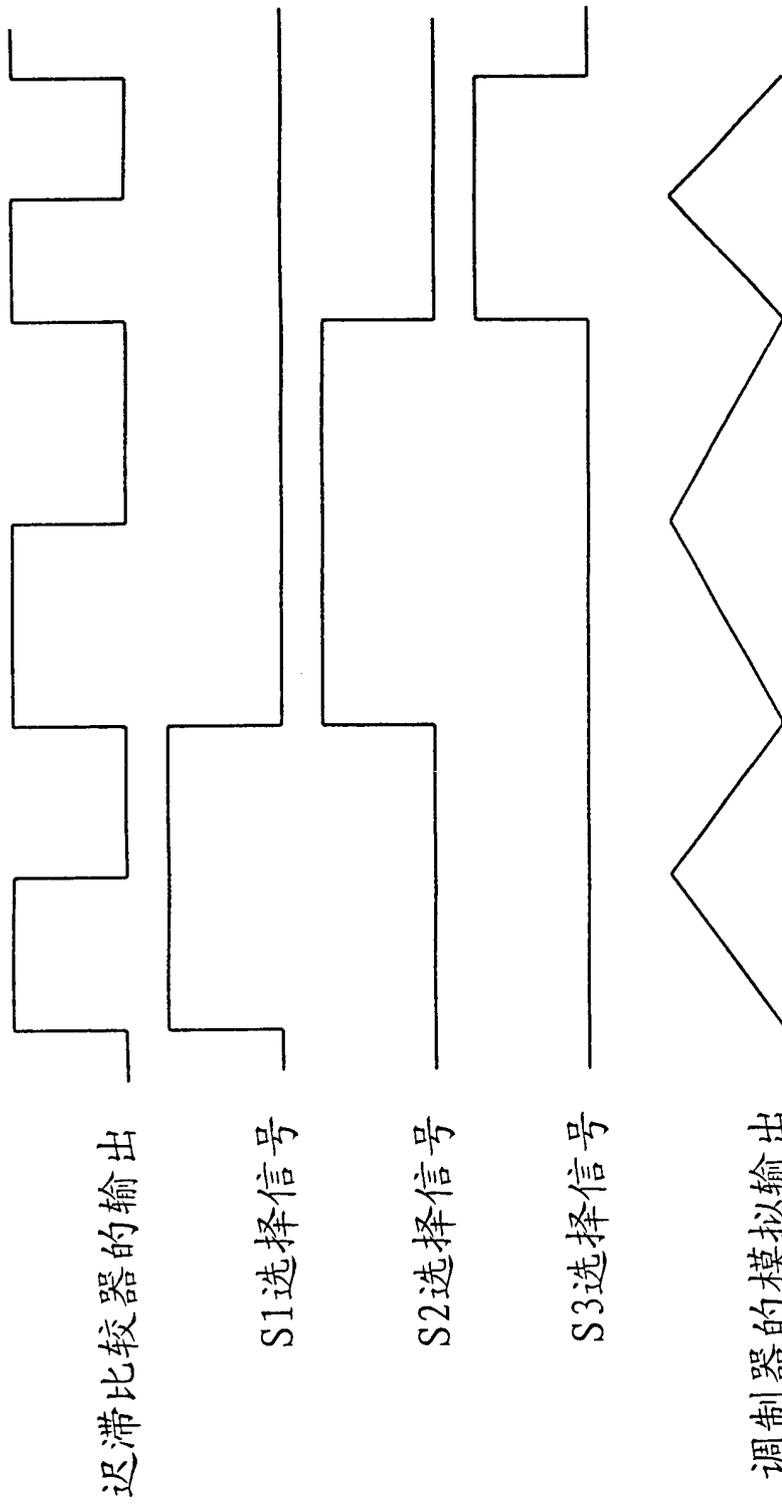


图12

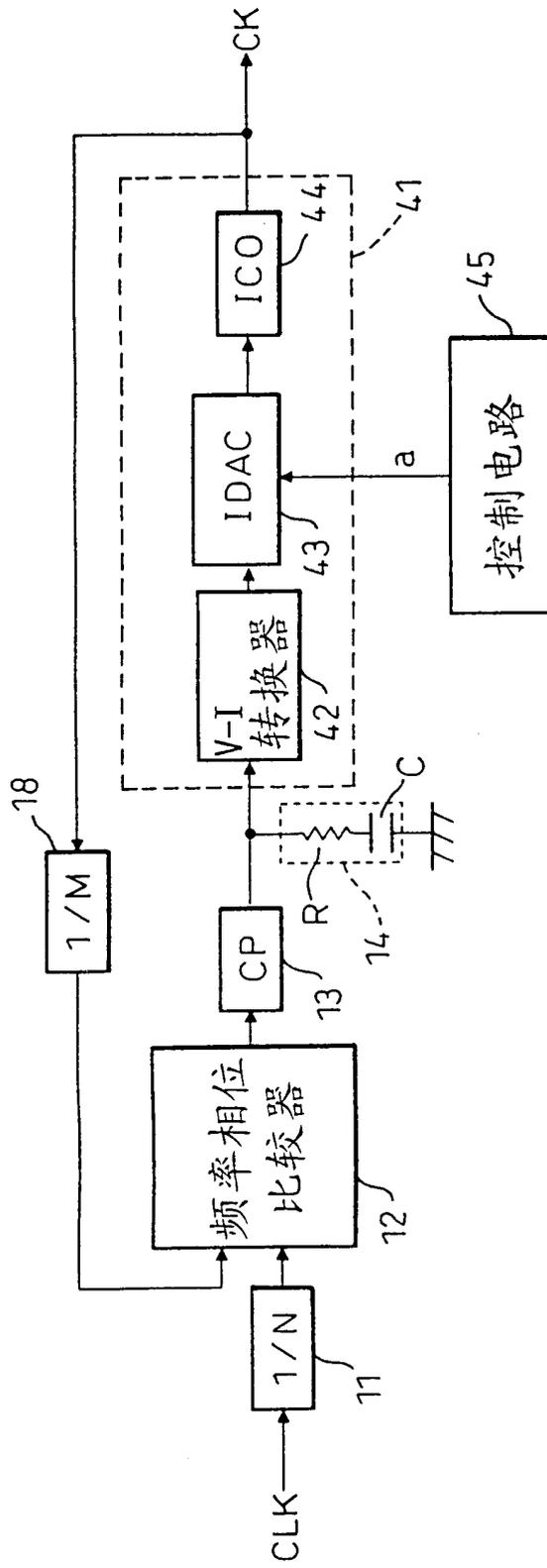


图13

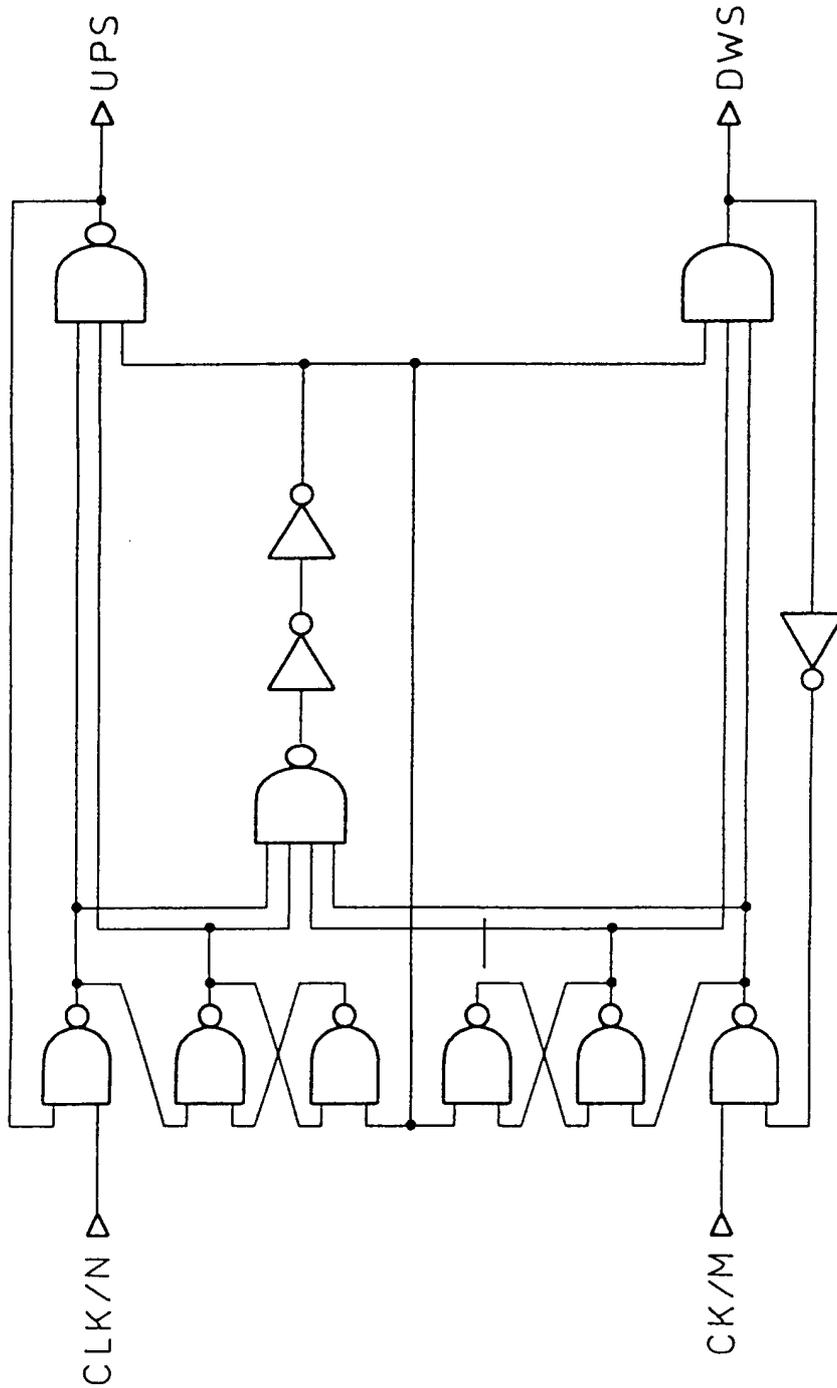


图14

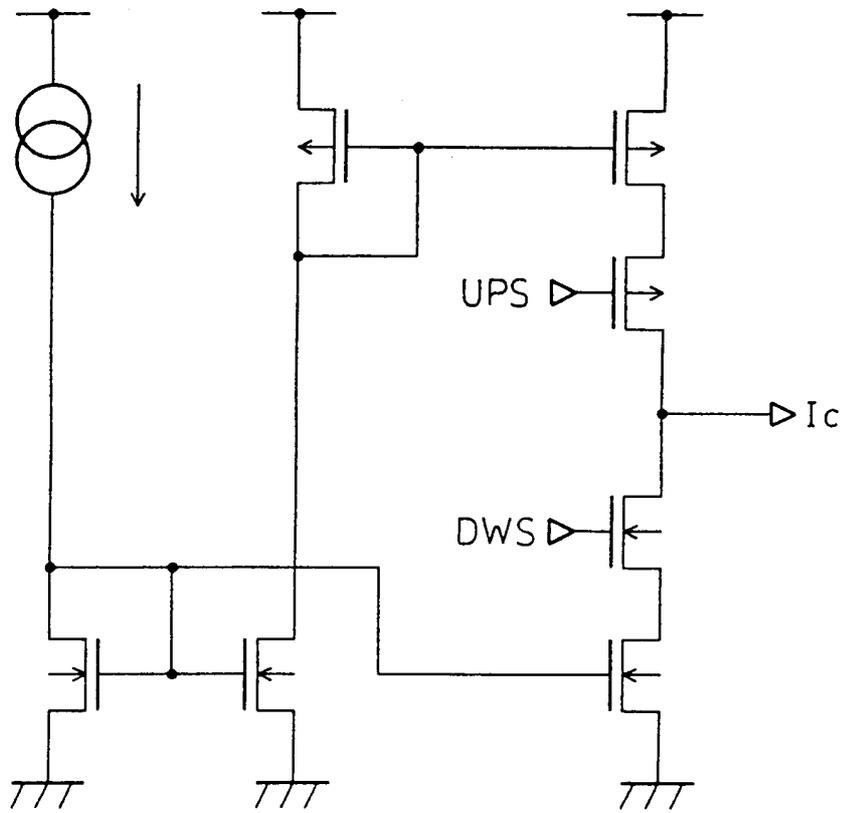


图 15

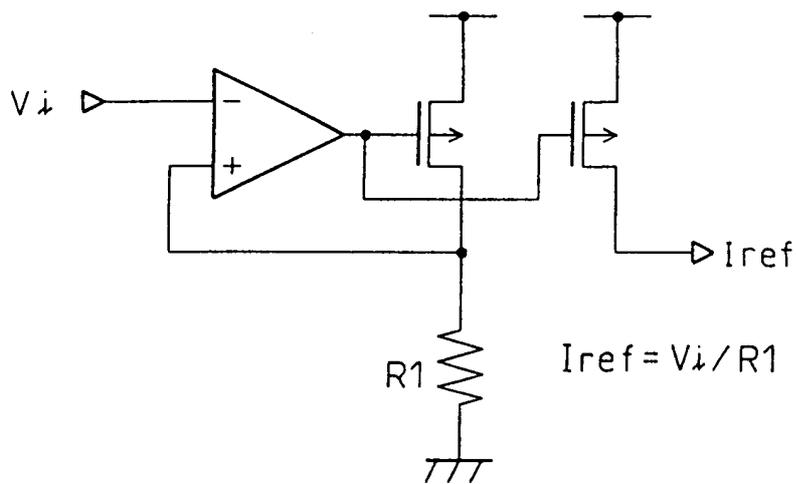


图 16

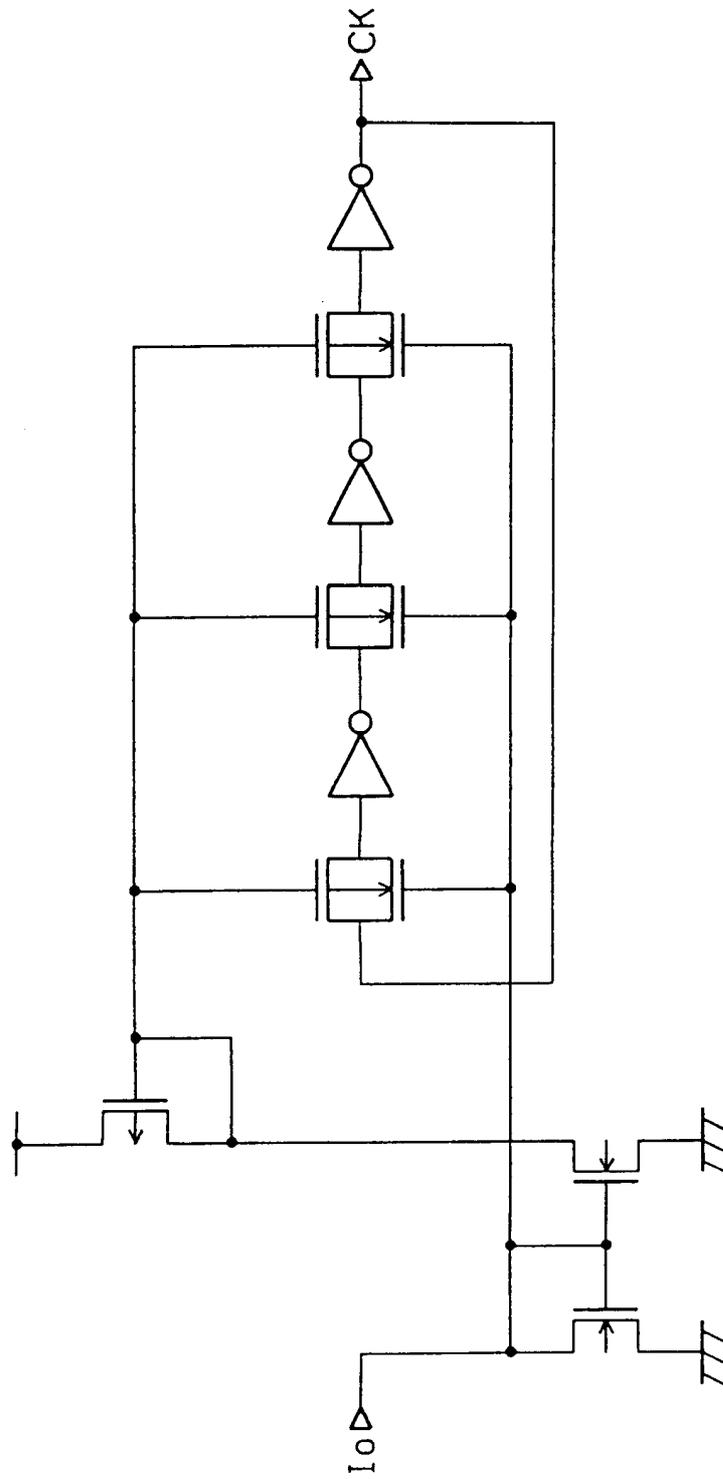


图17

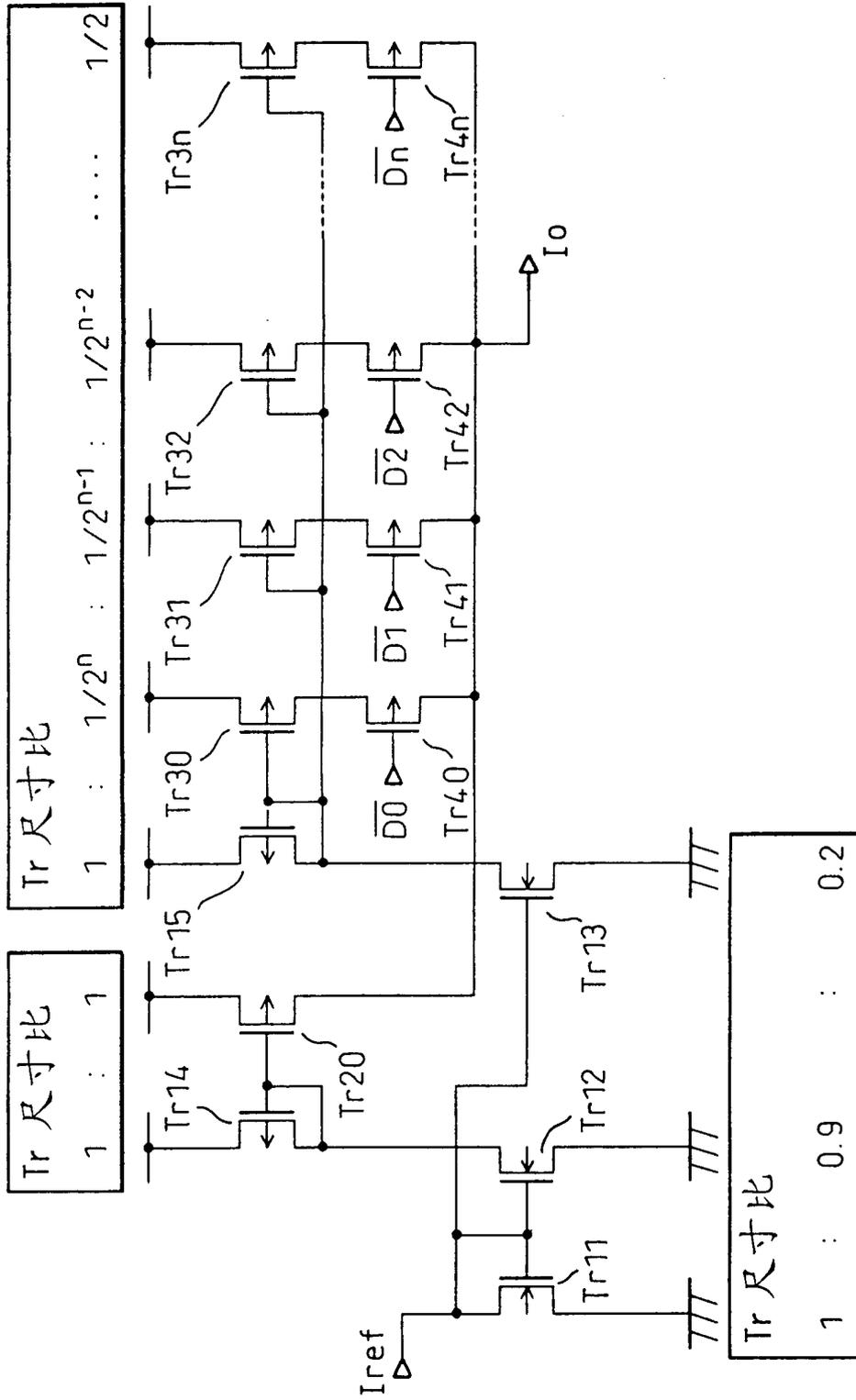


图18

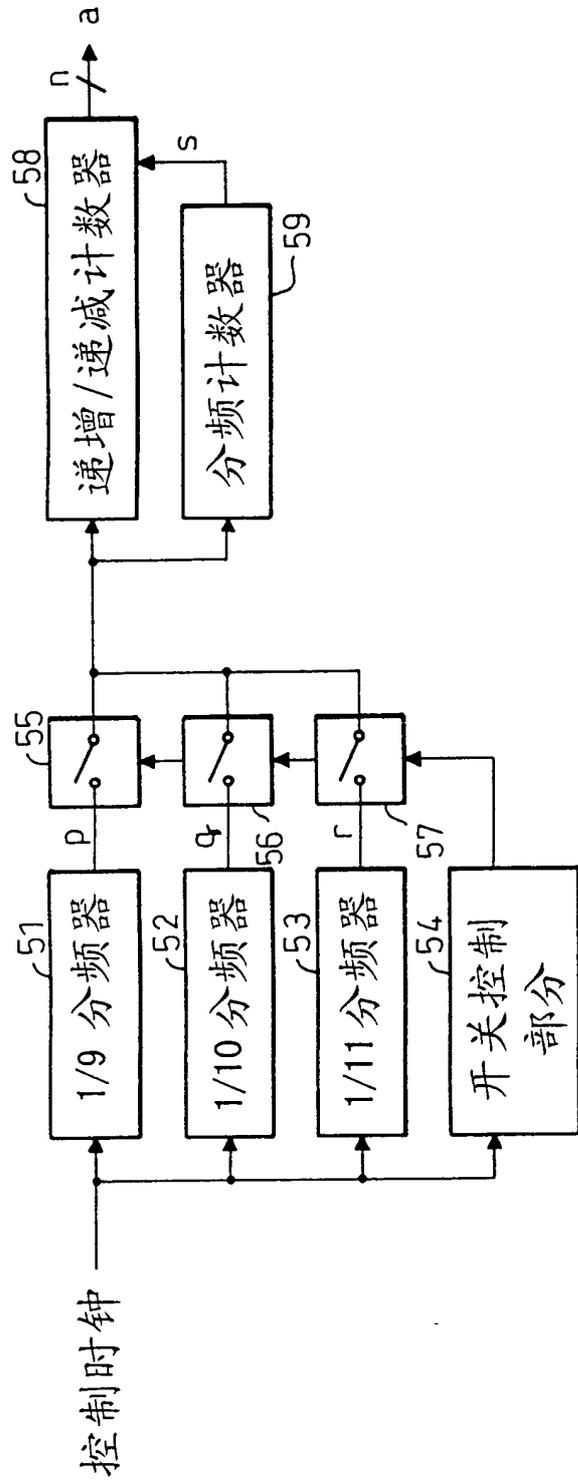


图19

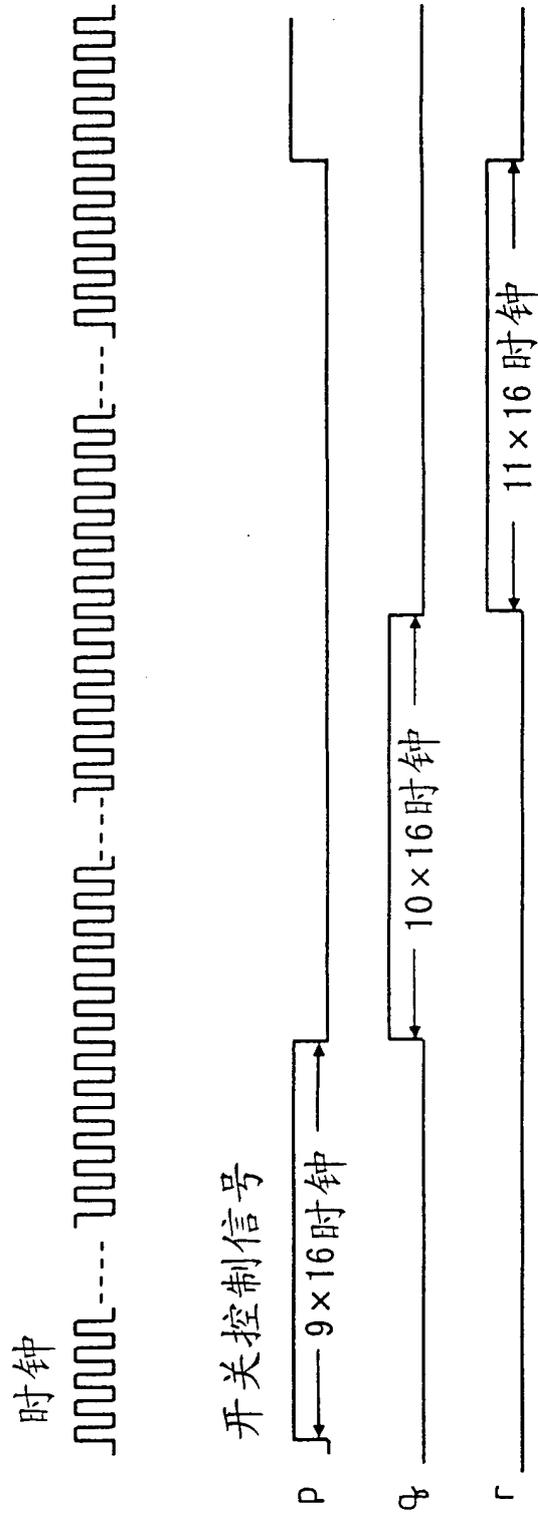


图20

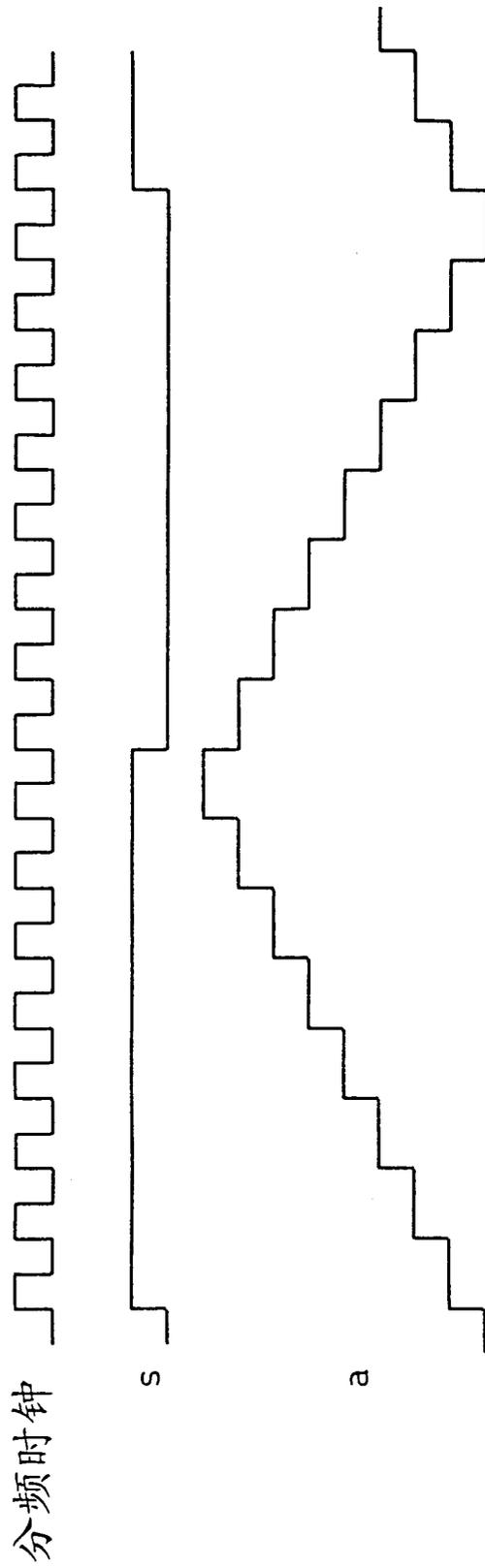


图21

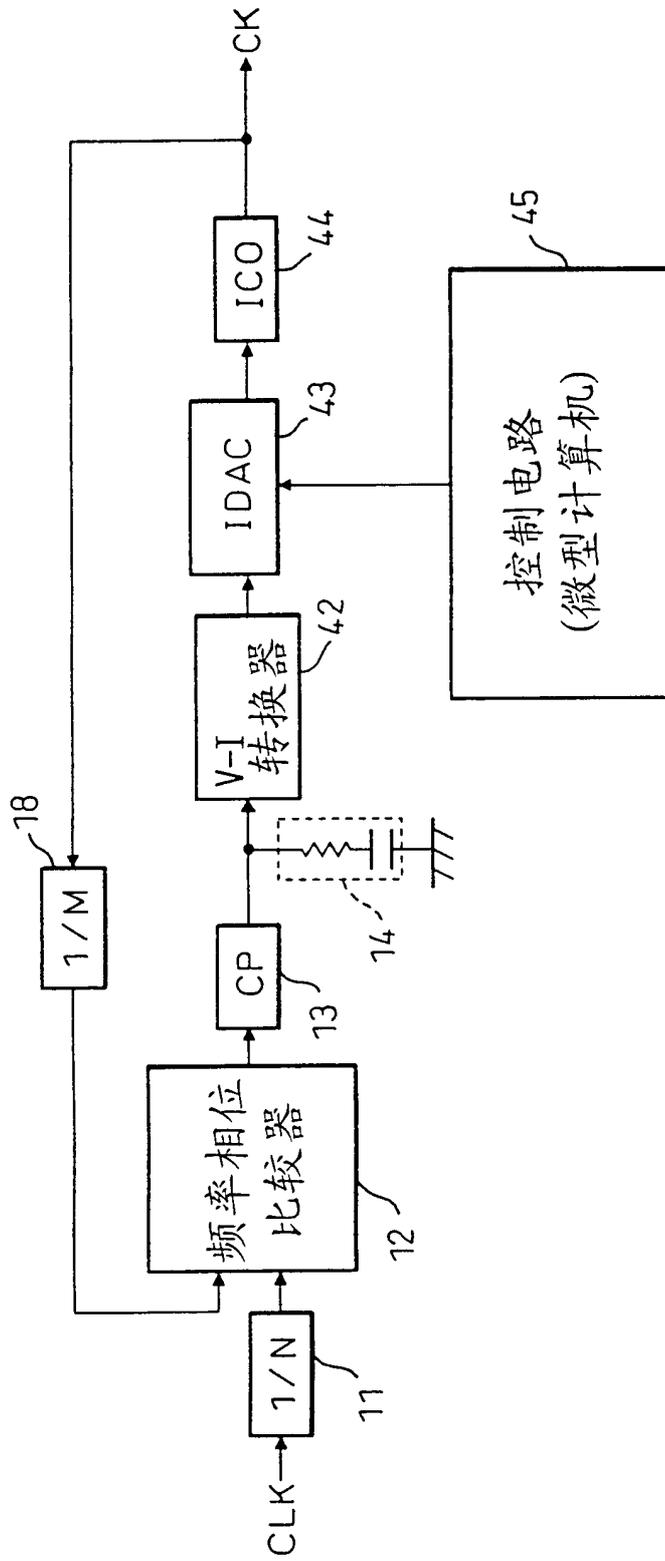


图22

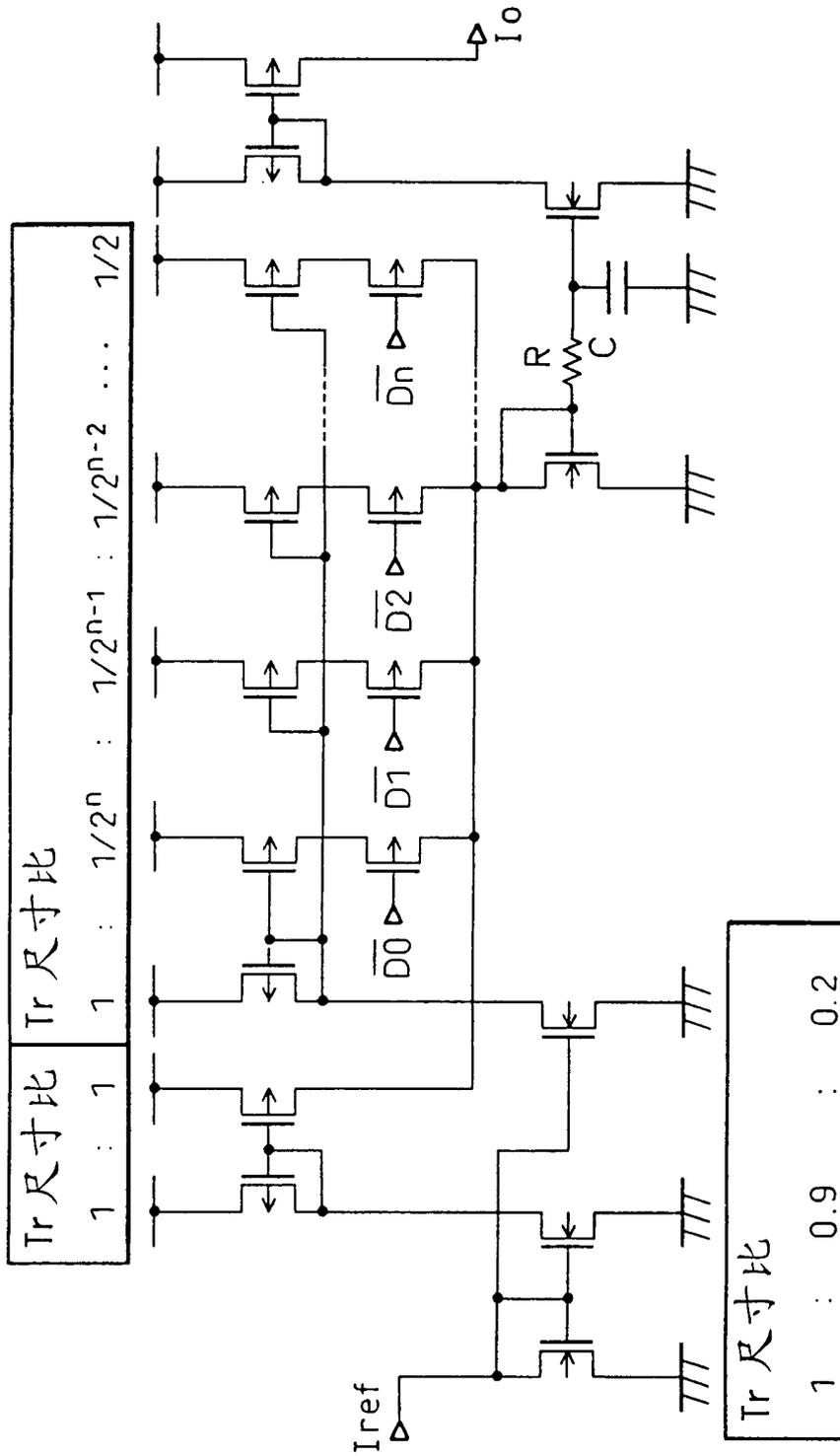


图23

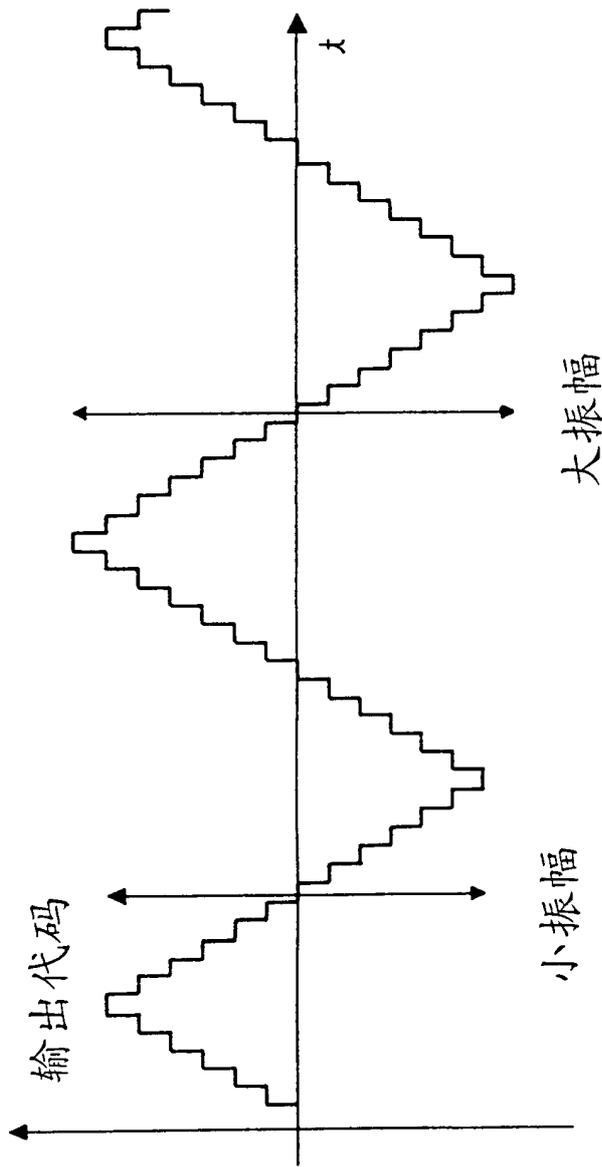


图24

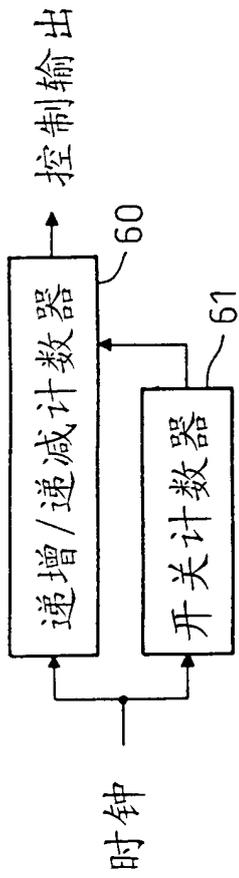


图25A

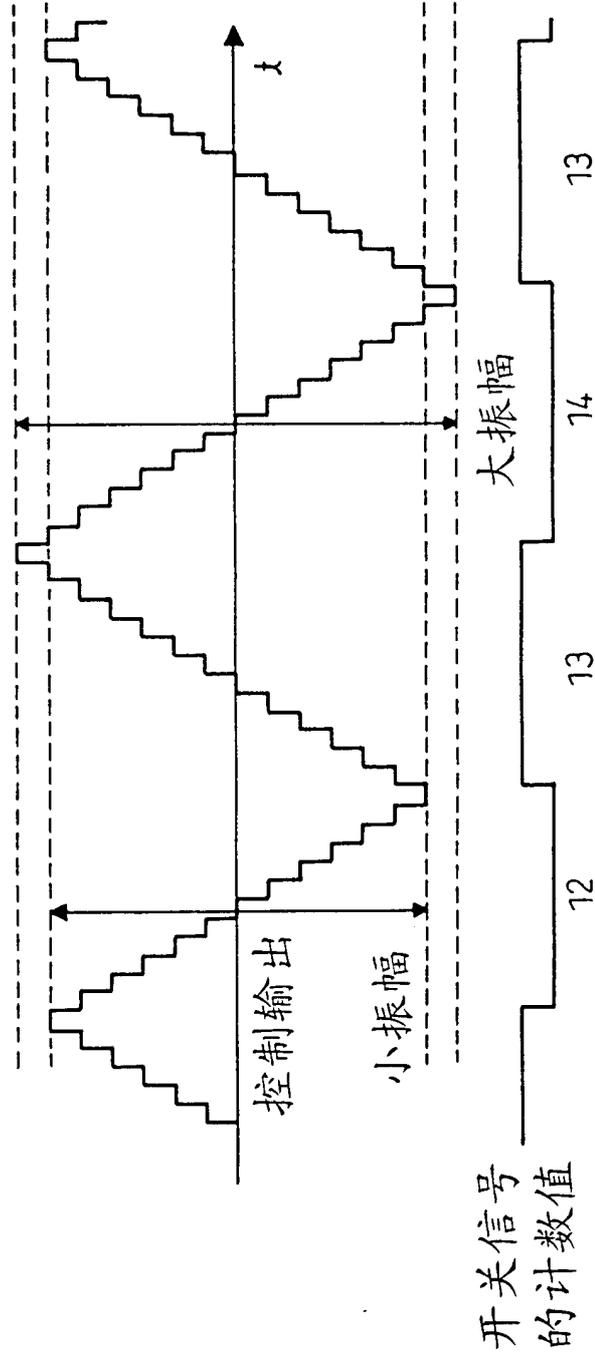


图25B

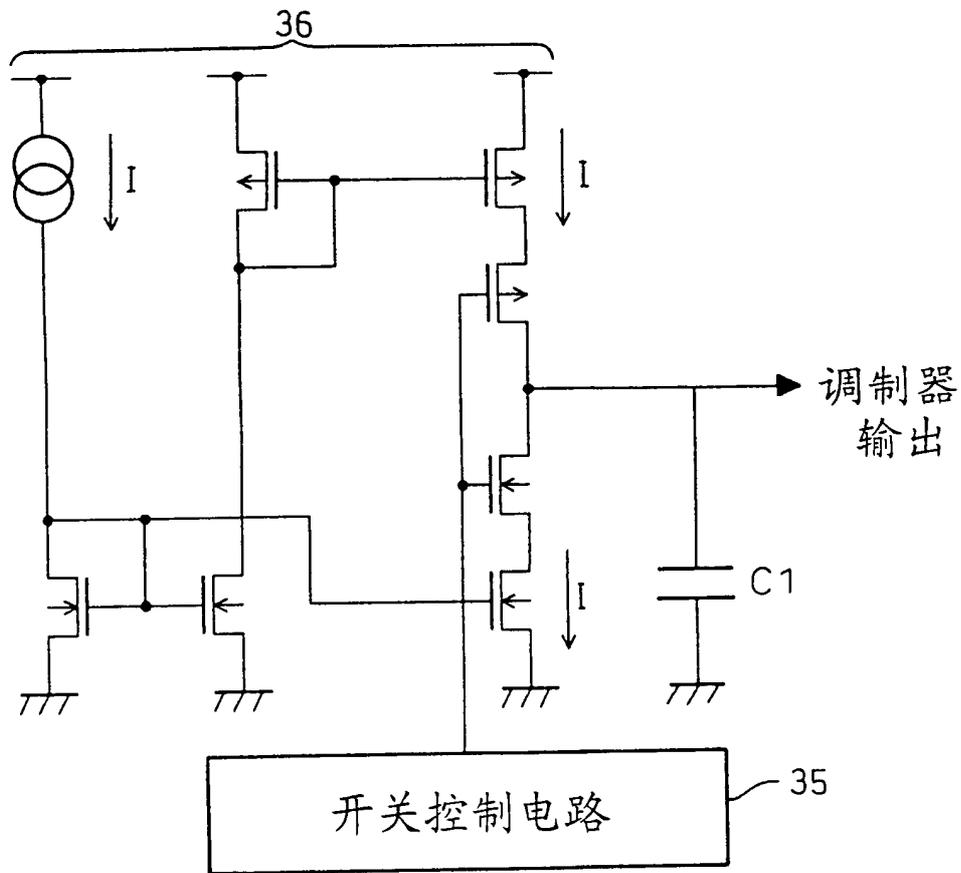


图26A

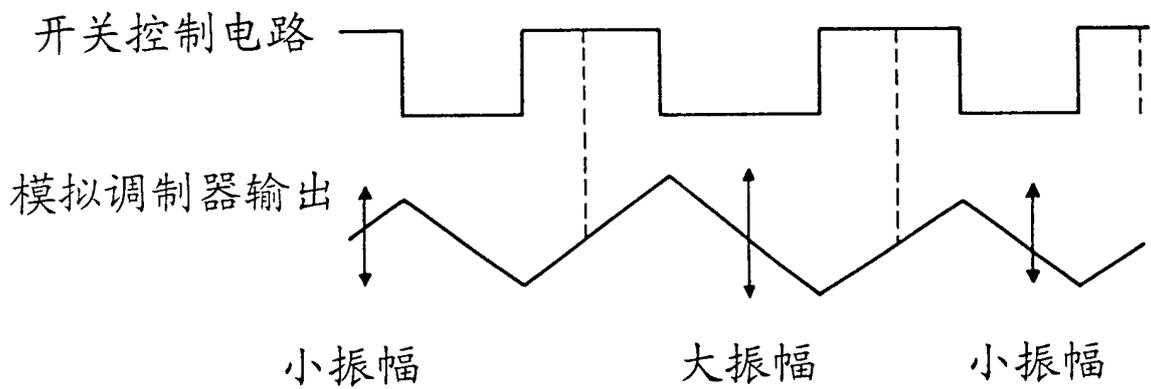


图26B

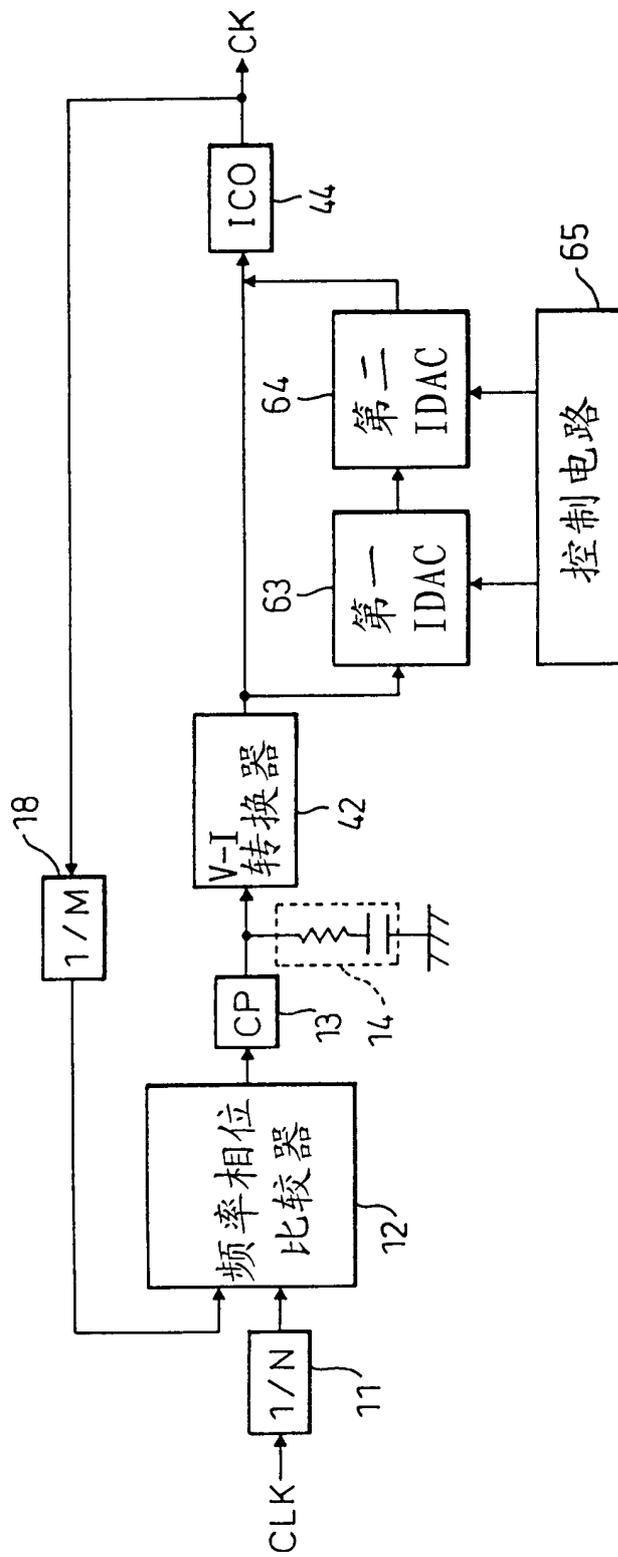


图 27

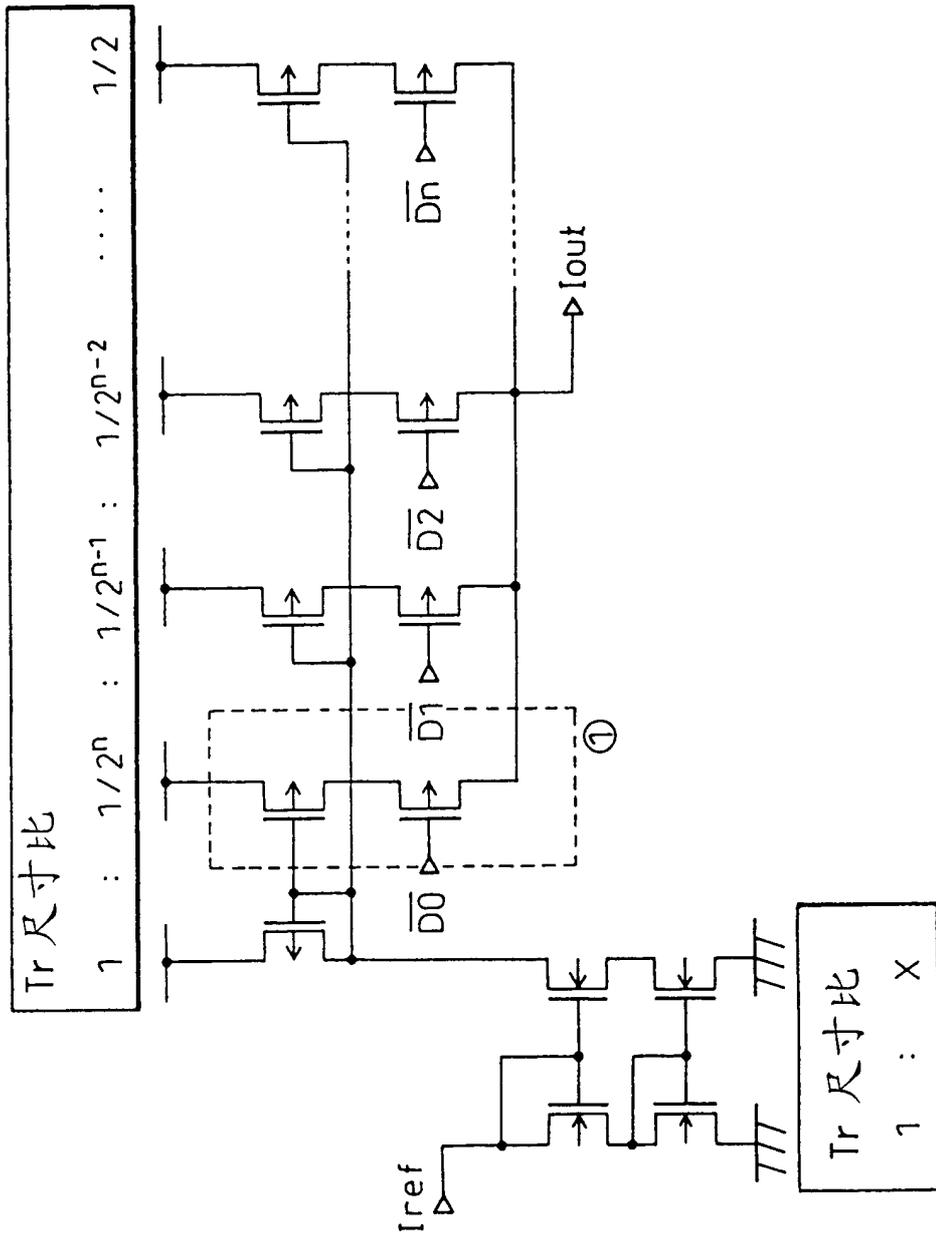


图 28

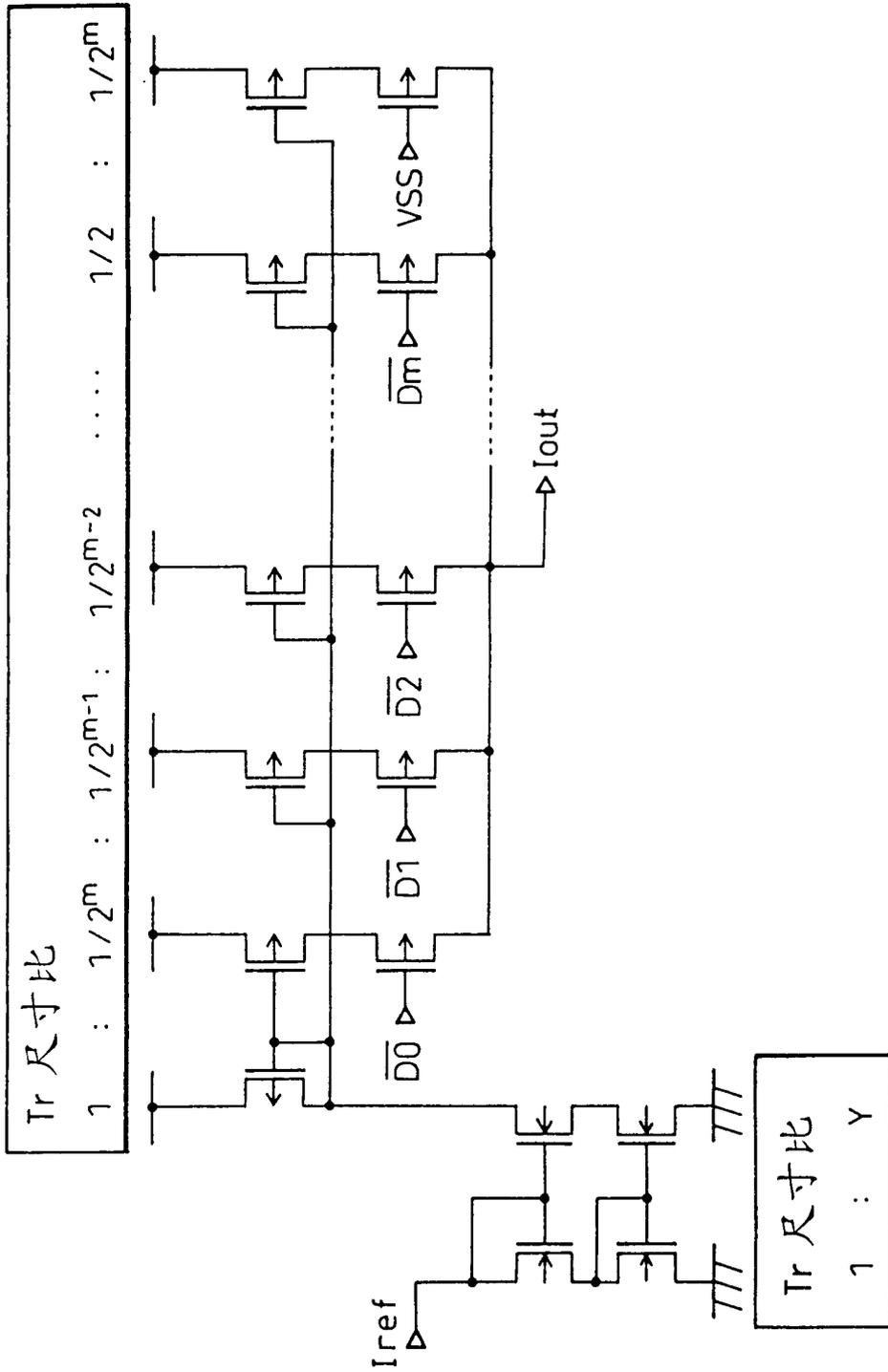


图 29

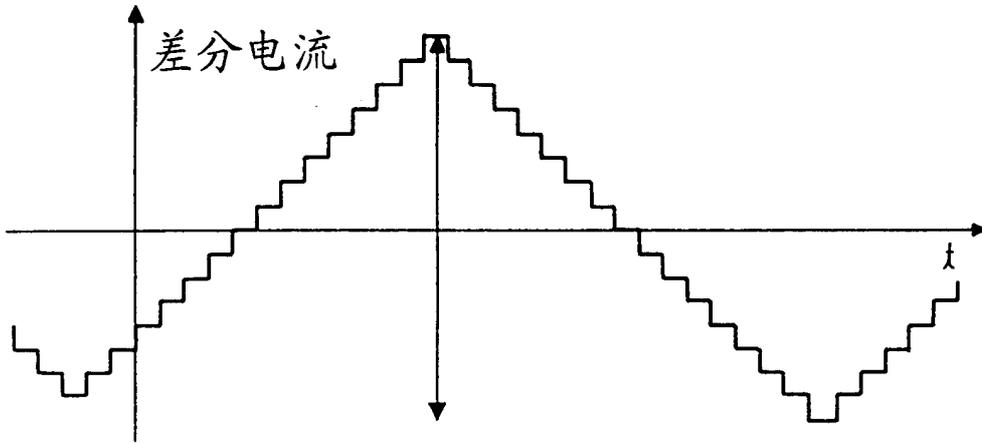


图 30A

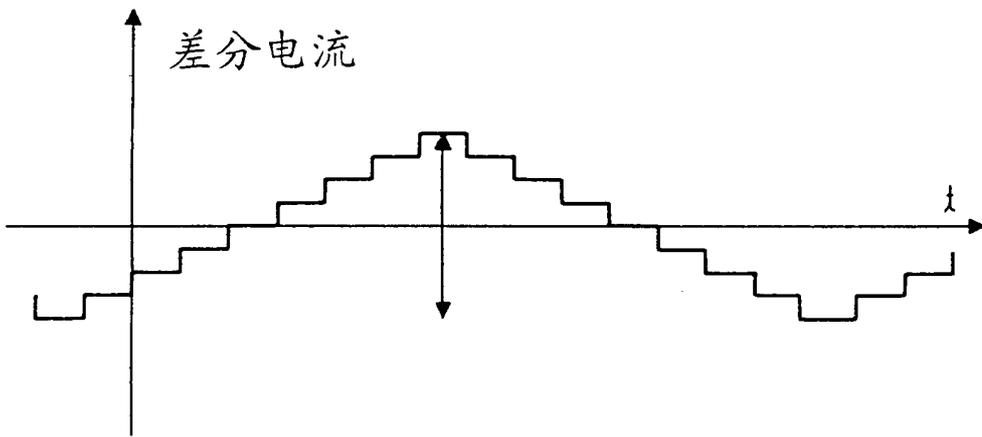


图 30B

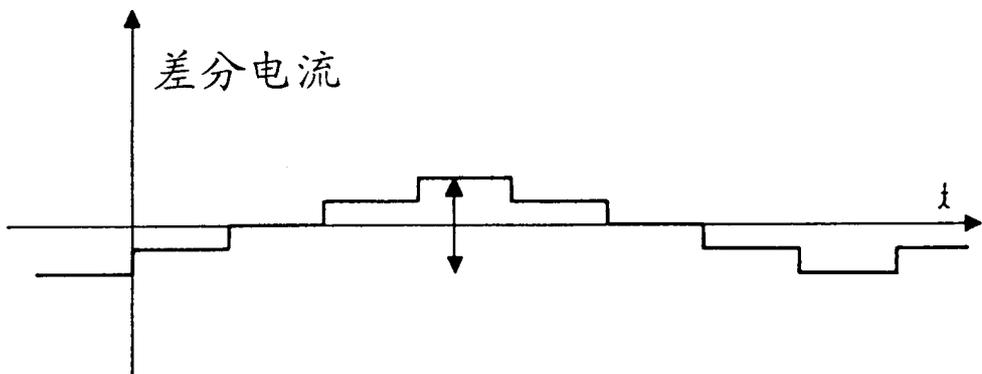


图 30C

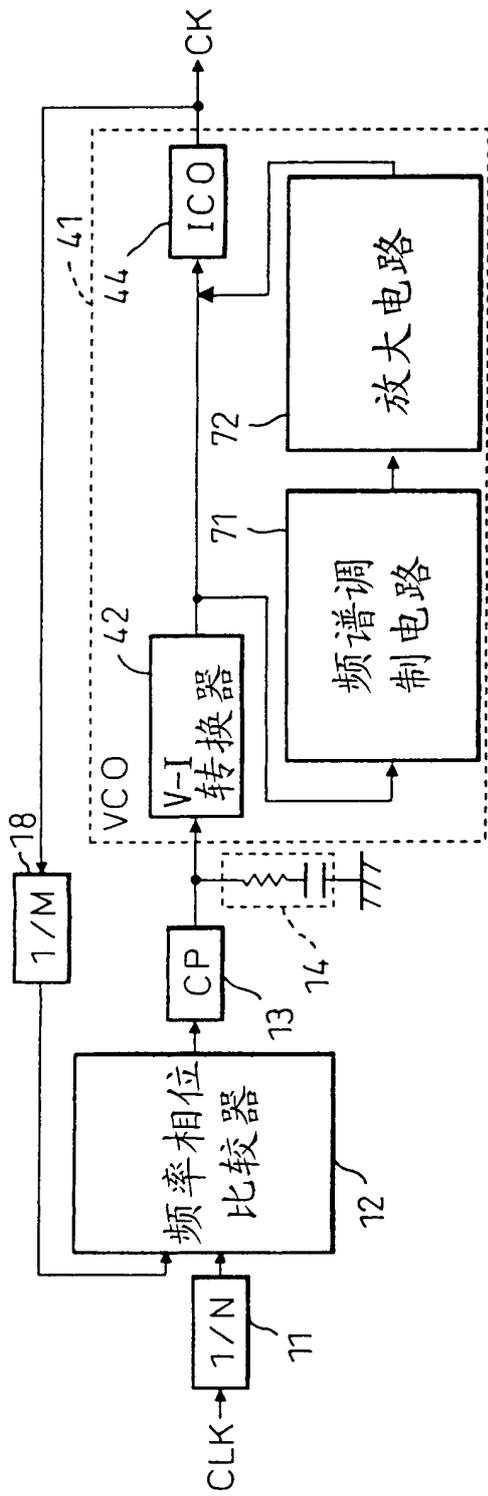


图 31A

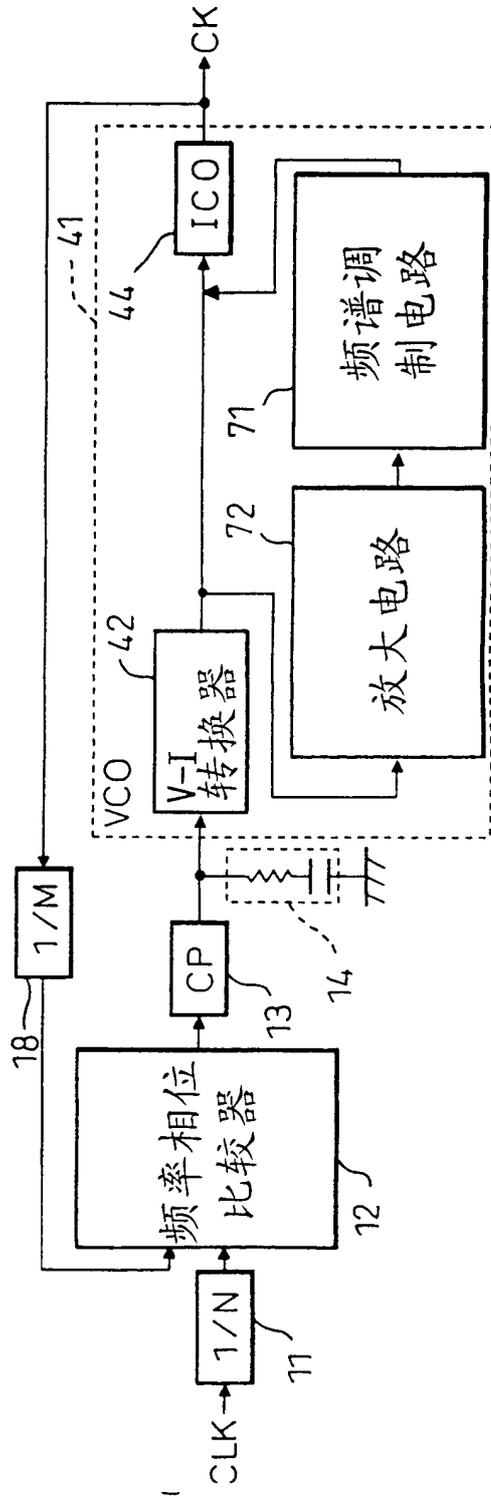


图 31B

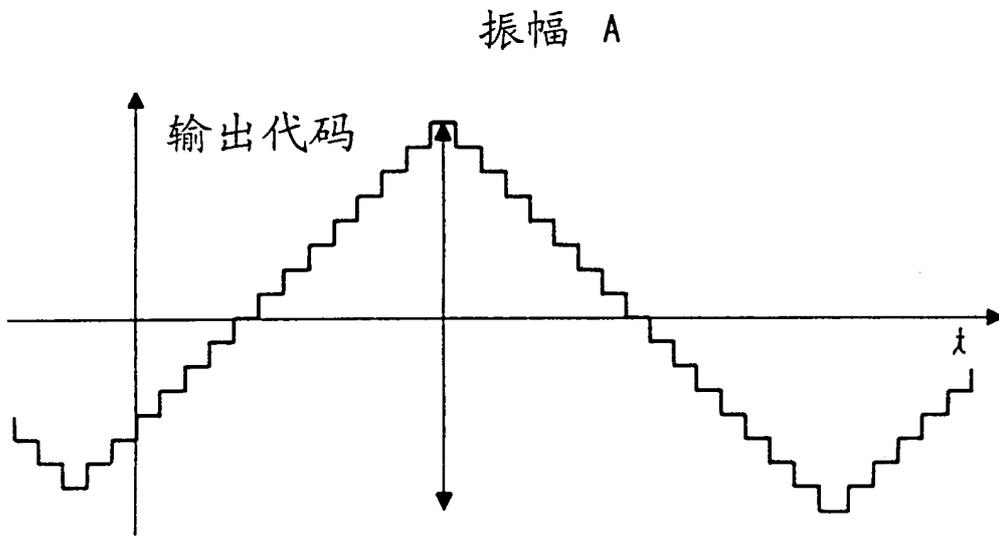


图 32A

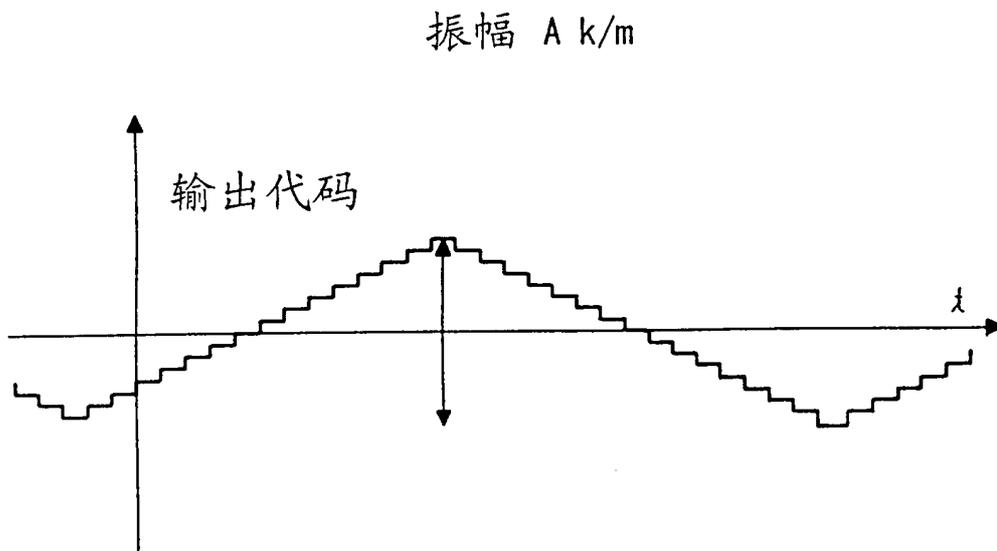


图 32B

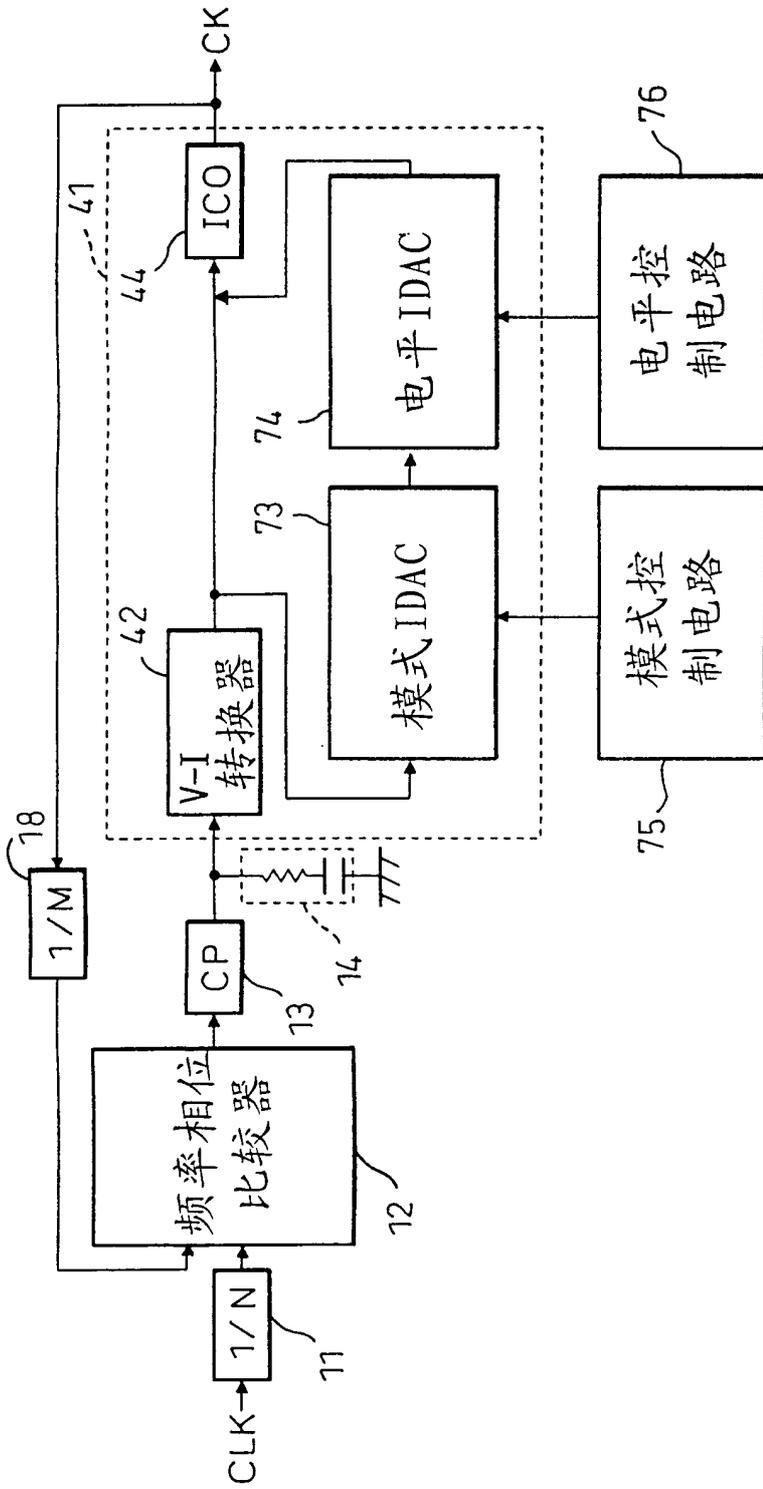


图33

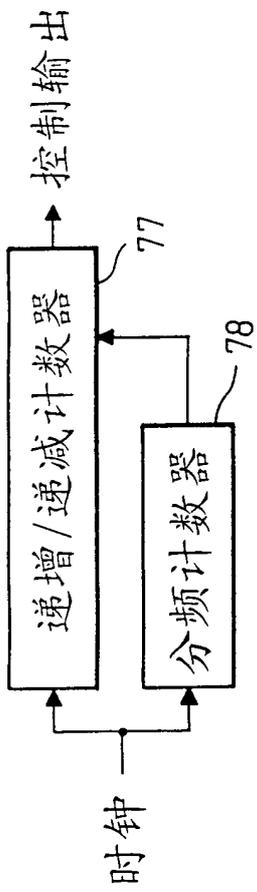


图 34A

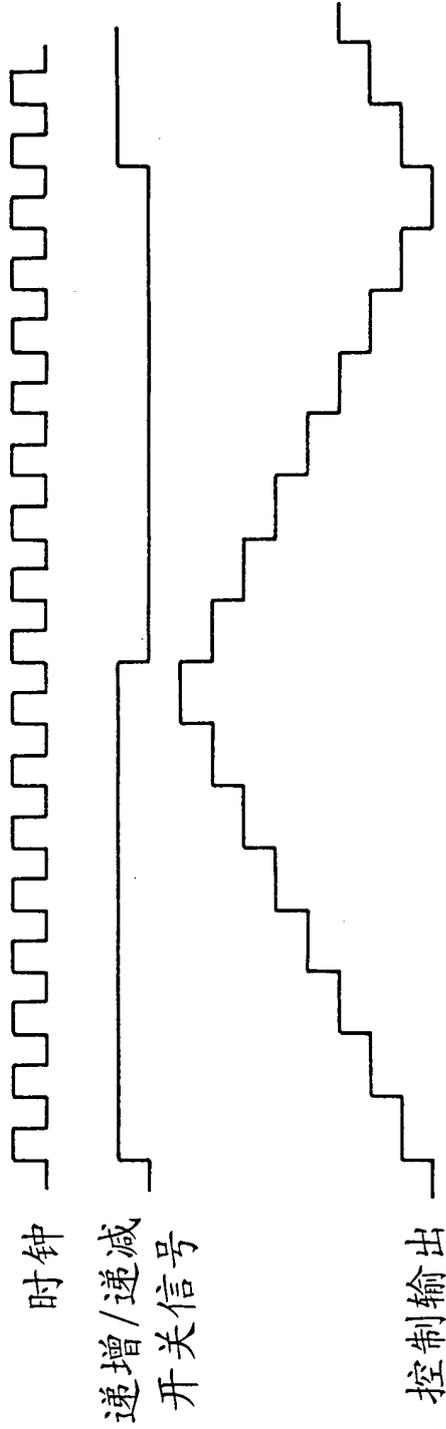


图 34B

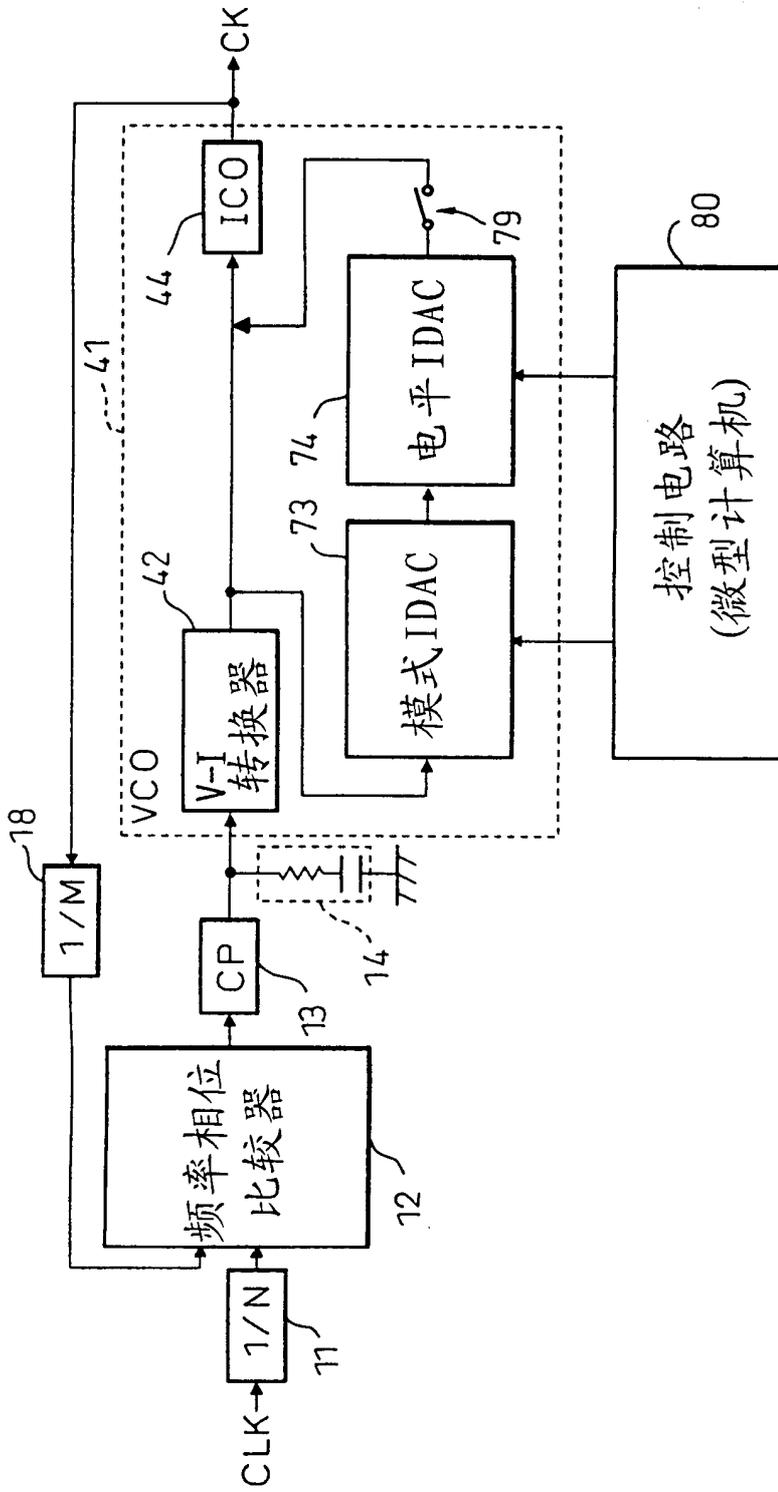


图 35

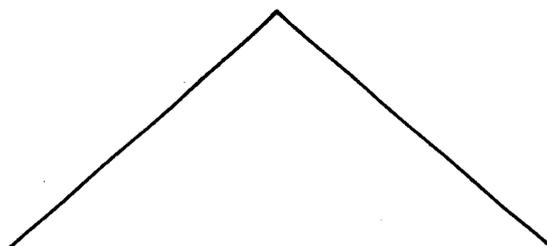


图 36A

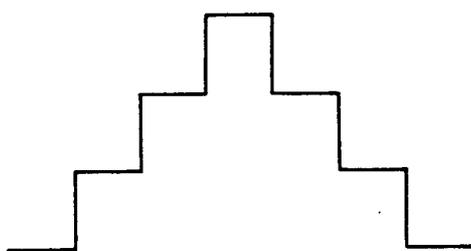


图 36B

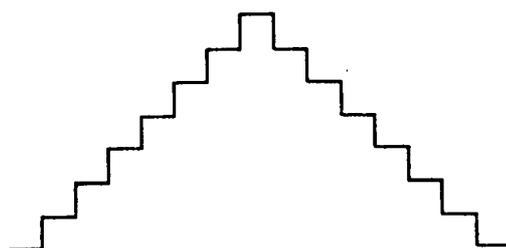


图 36C

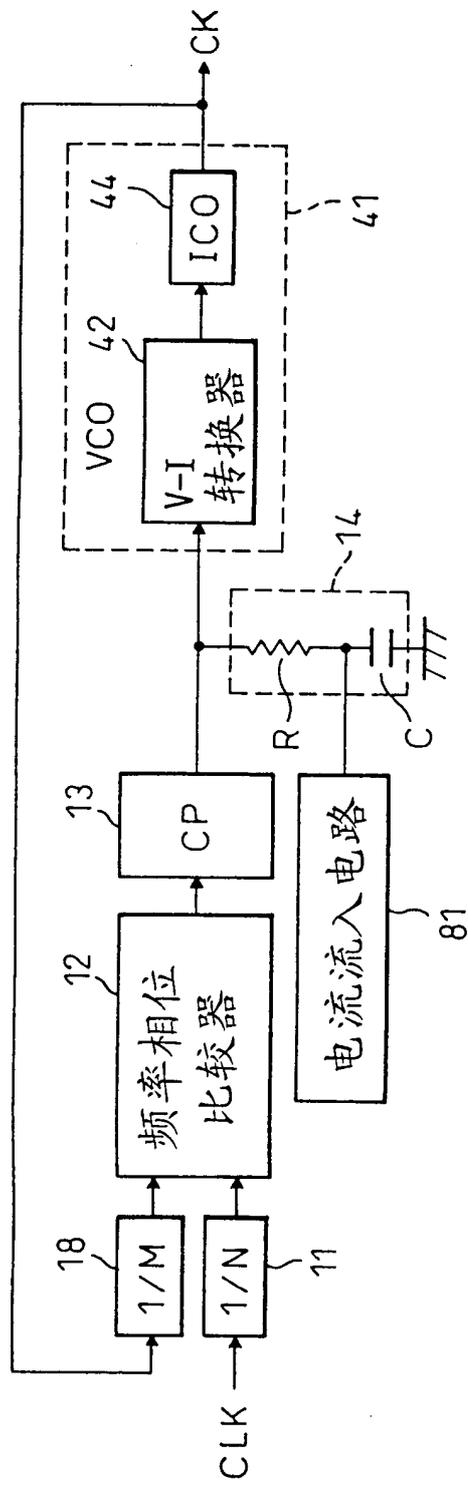


图37

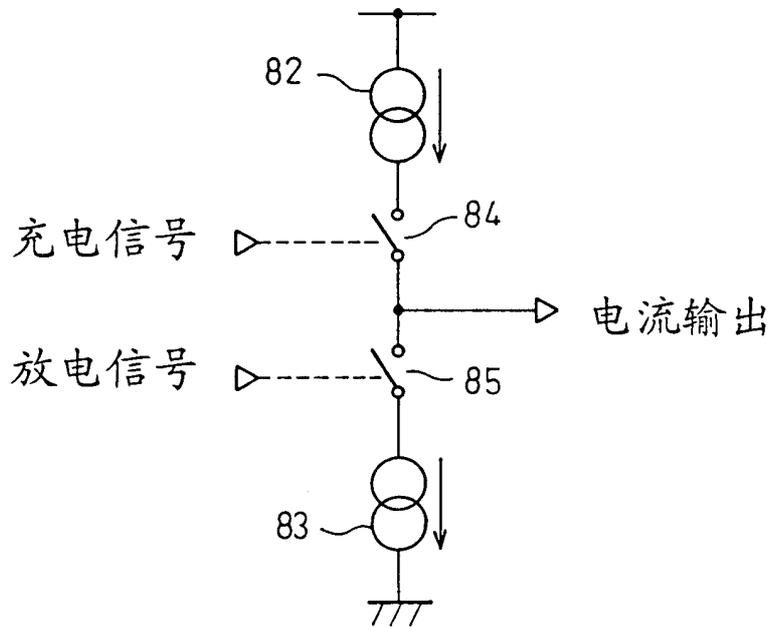


图 38

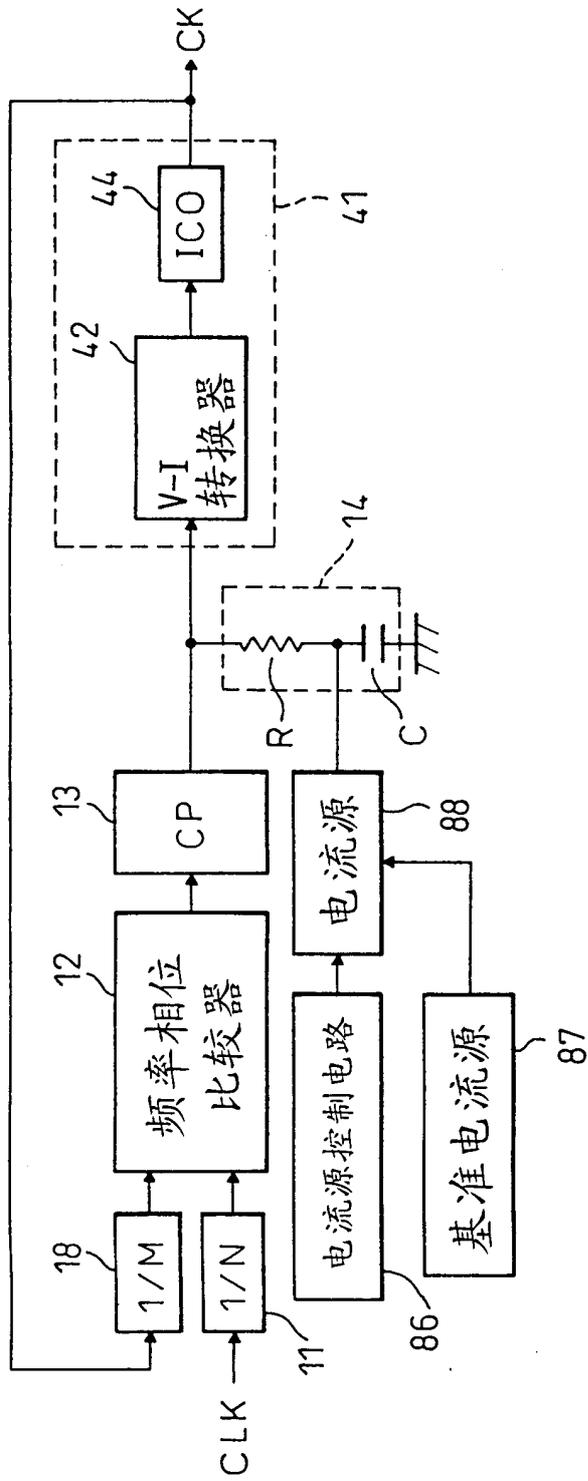


图 39

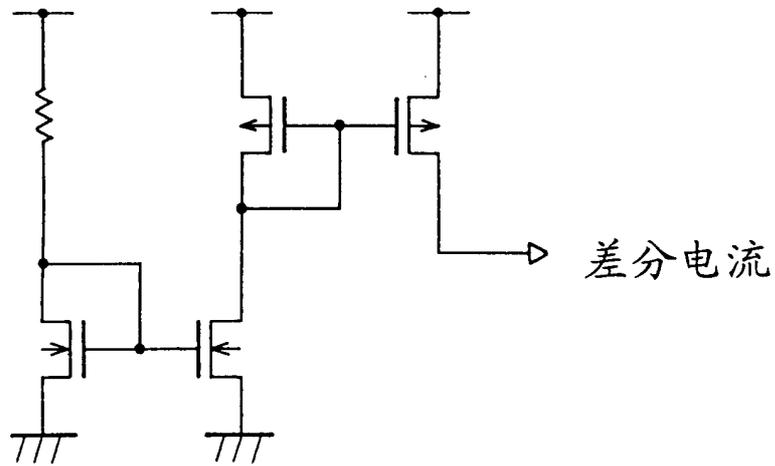


图 40

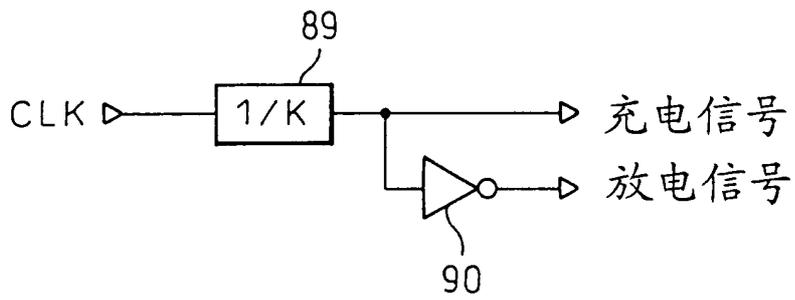


图 41

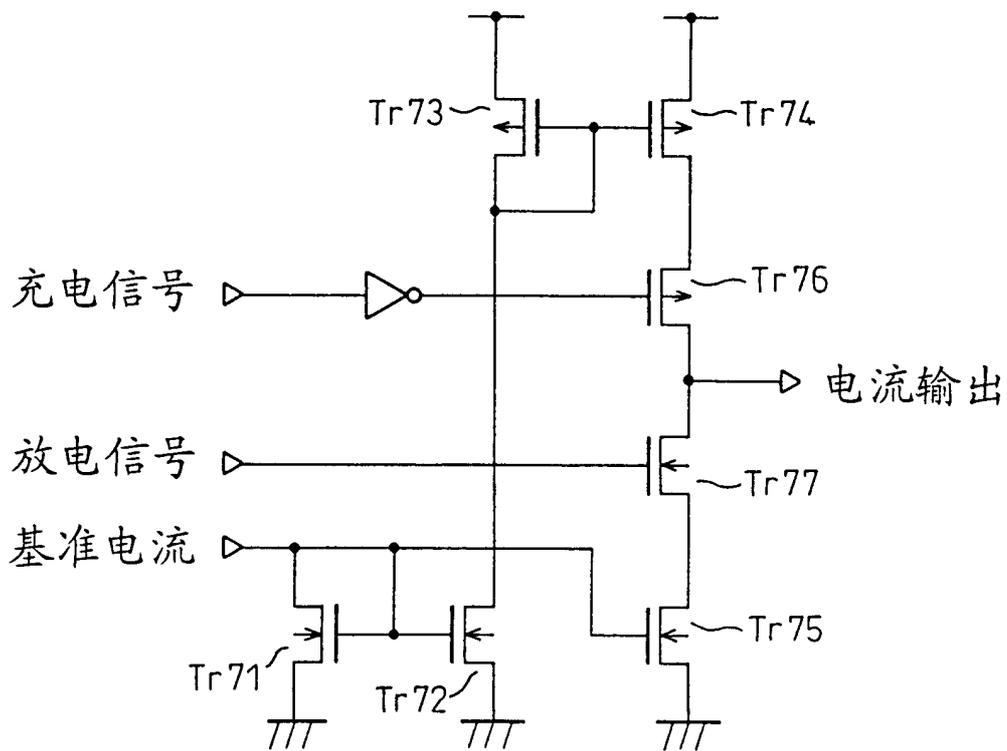


图42

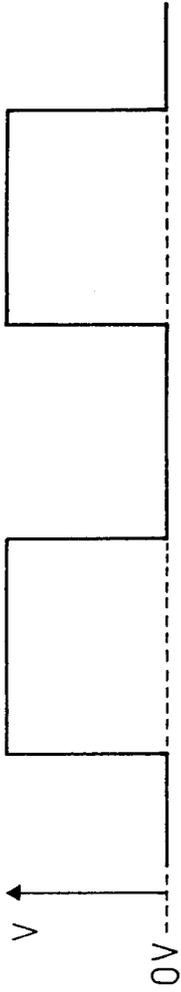


图43A
充电信号

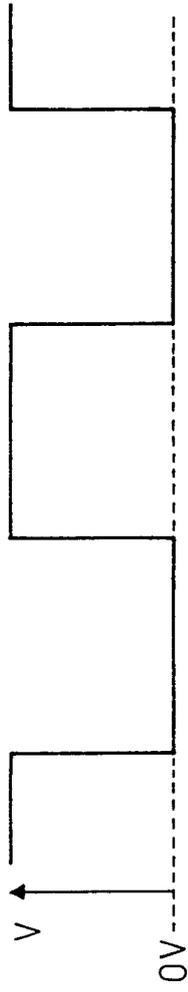


图43B
放电信号

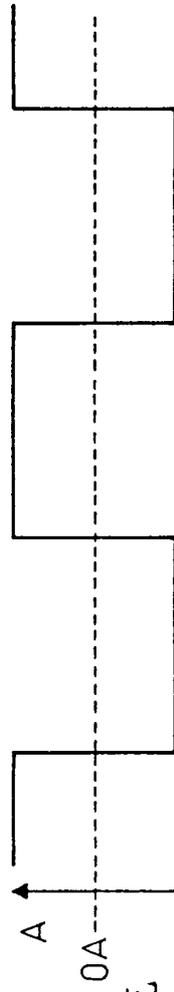


图43C
电流源的电流

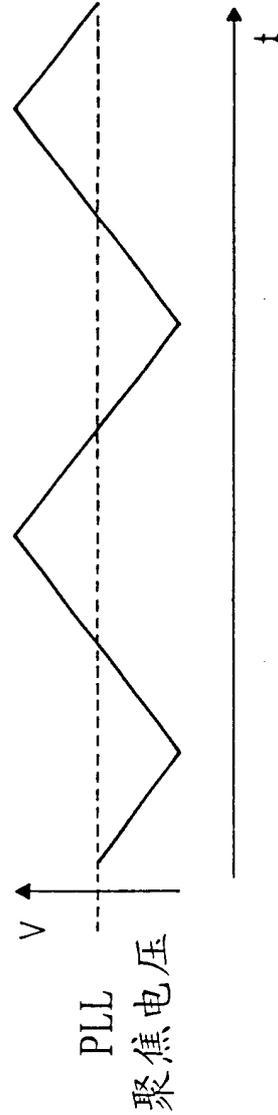


图43D
环路滤波器与
电容电阻器之间
的节点电压
(VCO 控制电压)

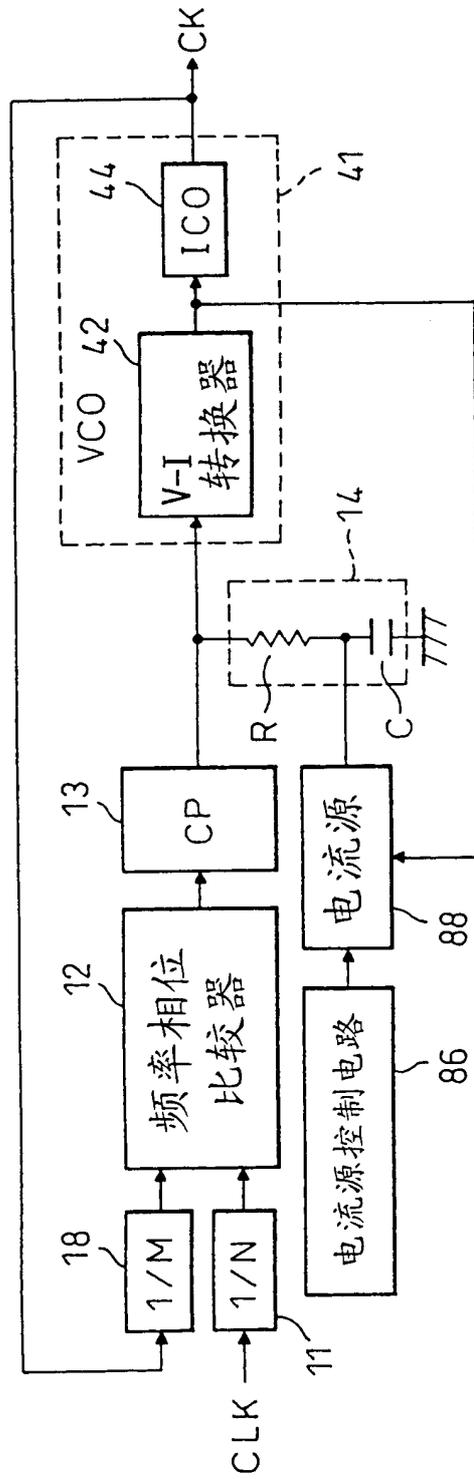


图44

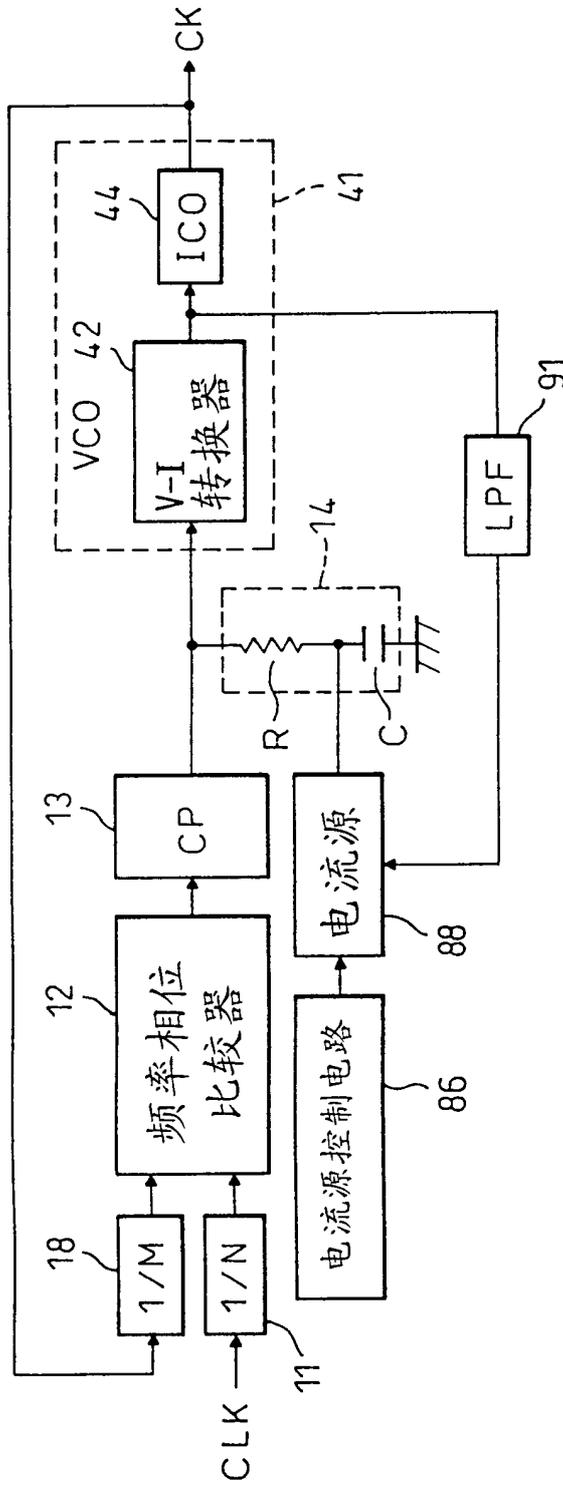


图45

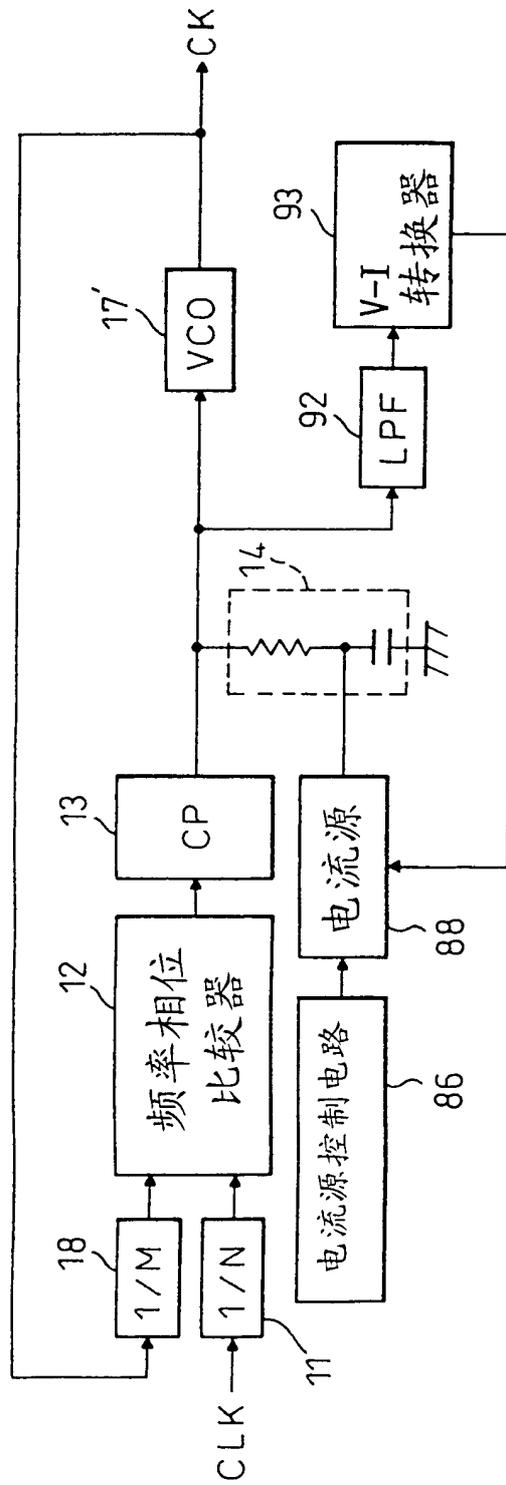


图46

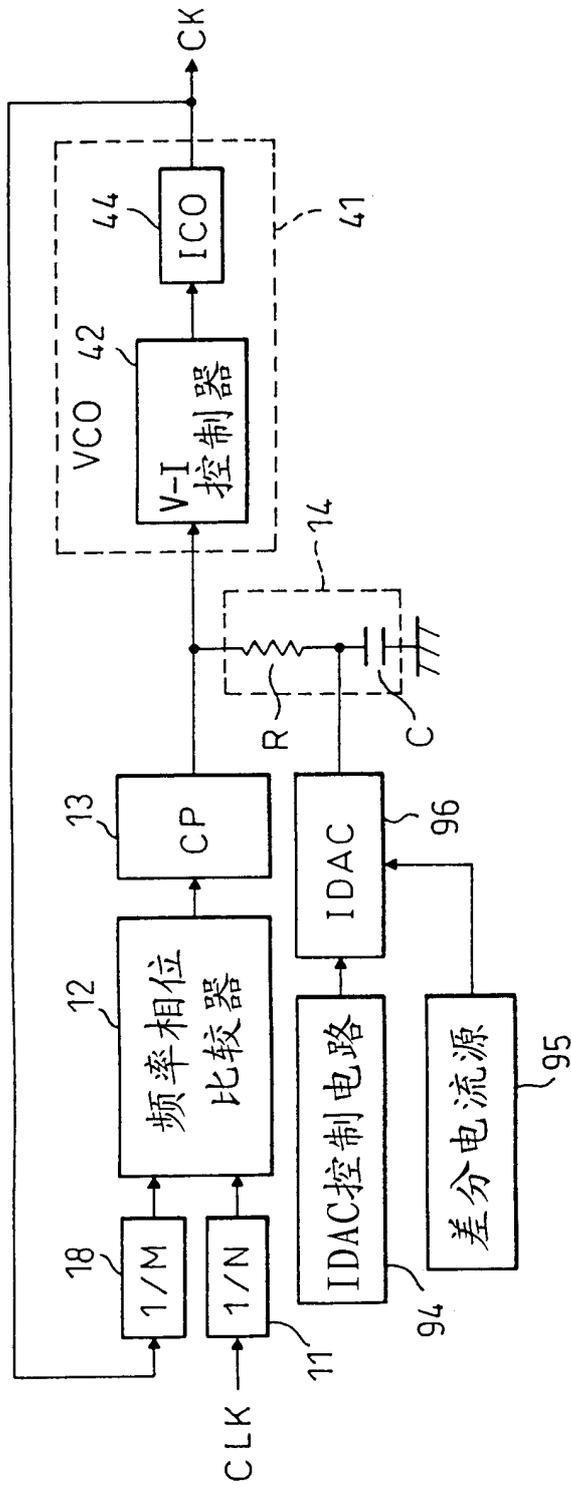


图47

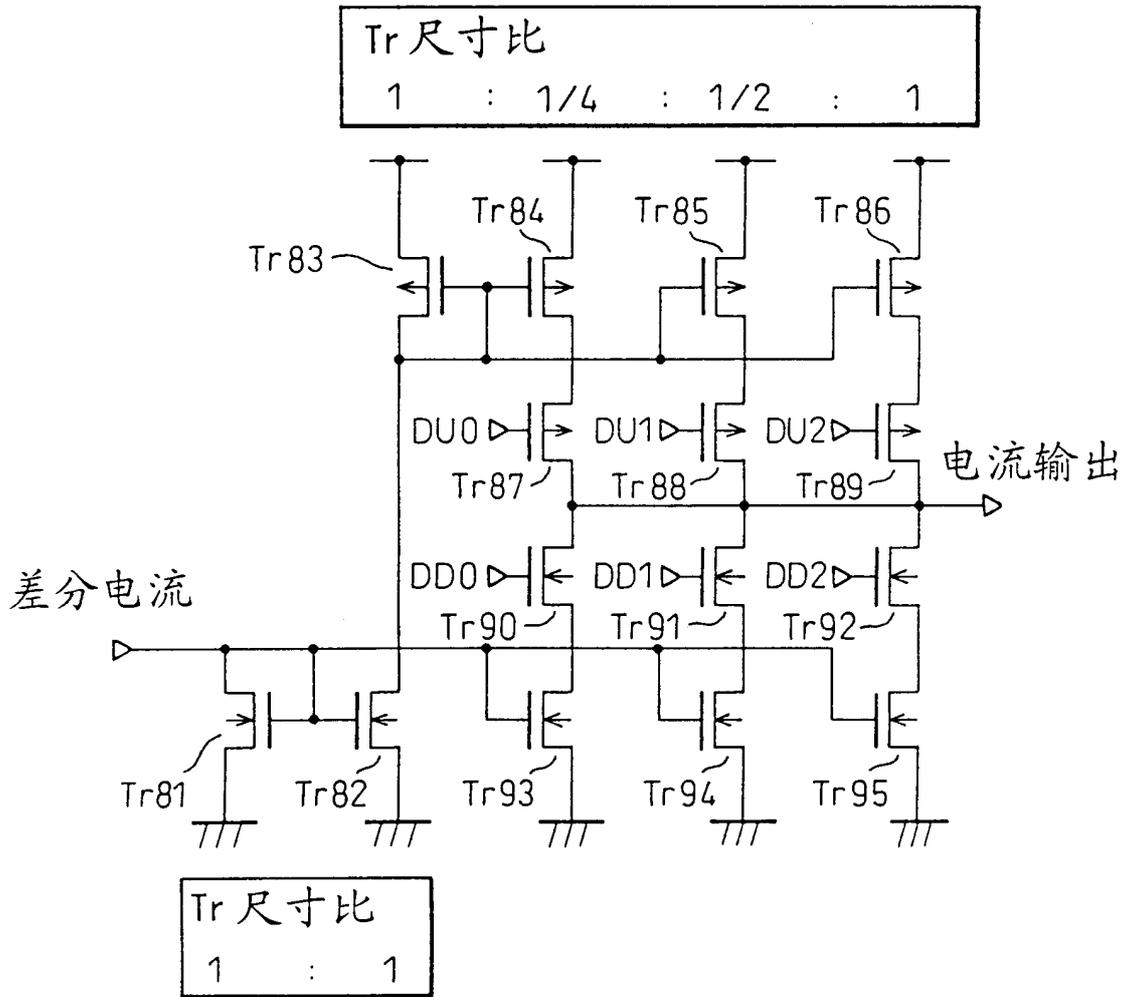


图 48

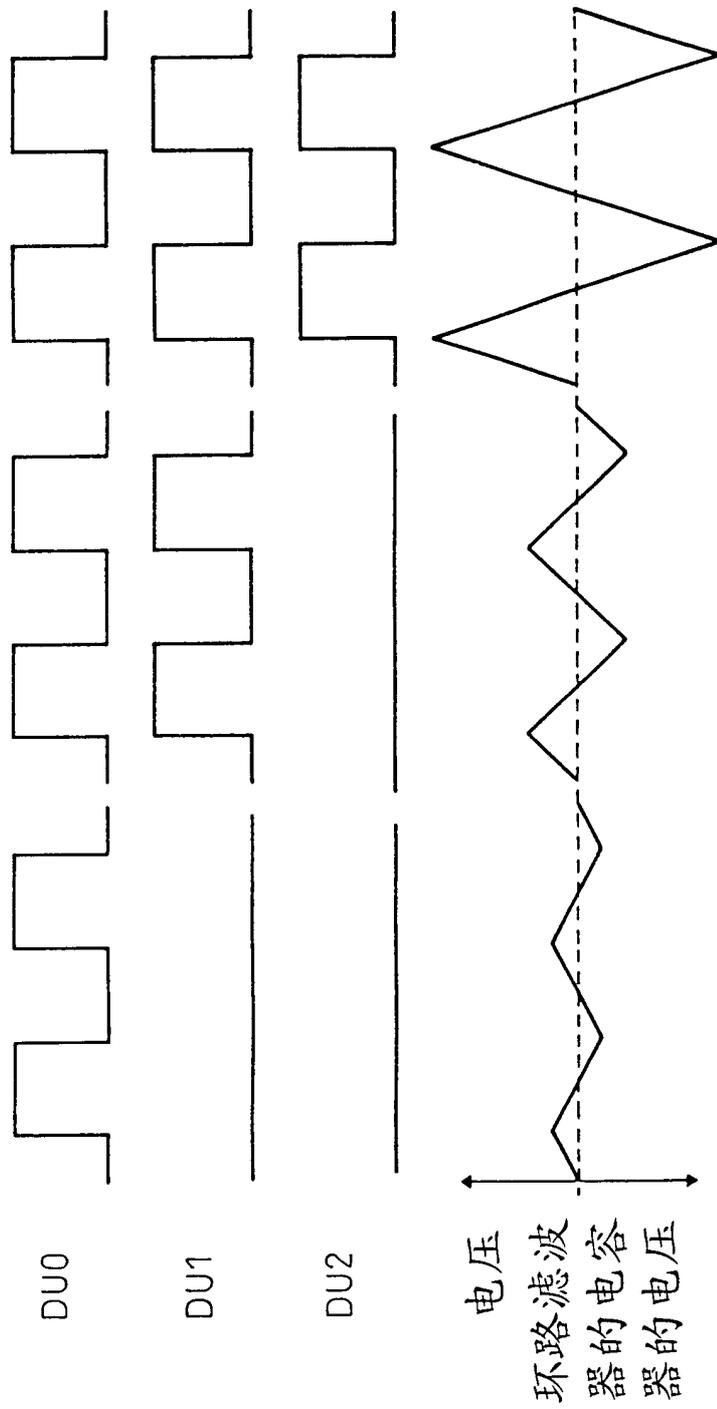


图49C

图49B

图49A

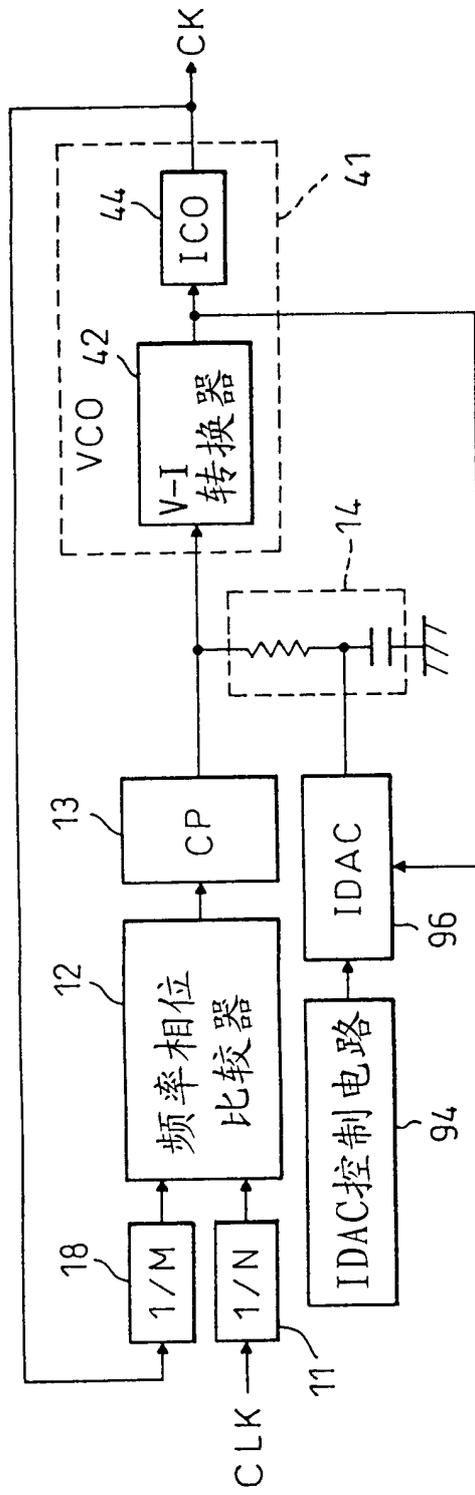


图50

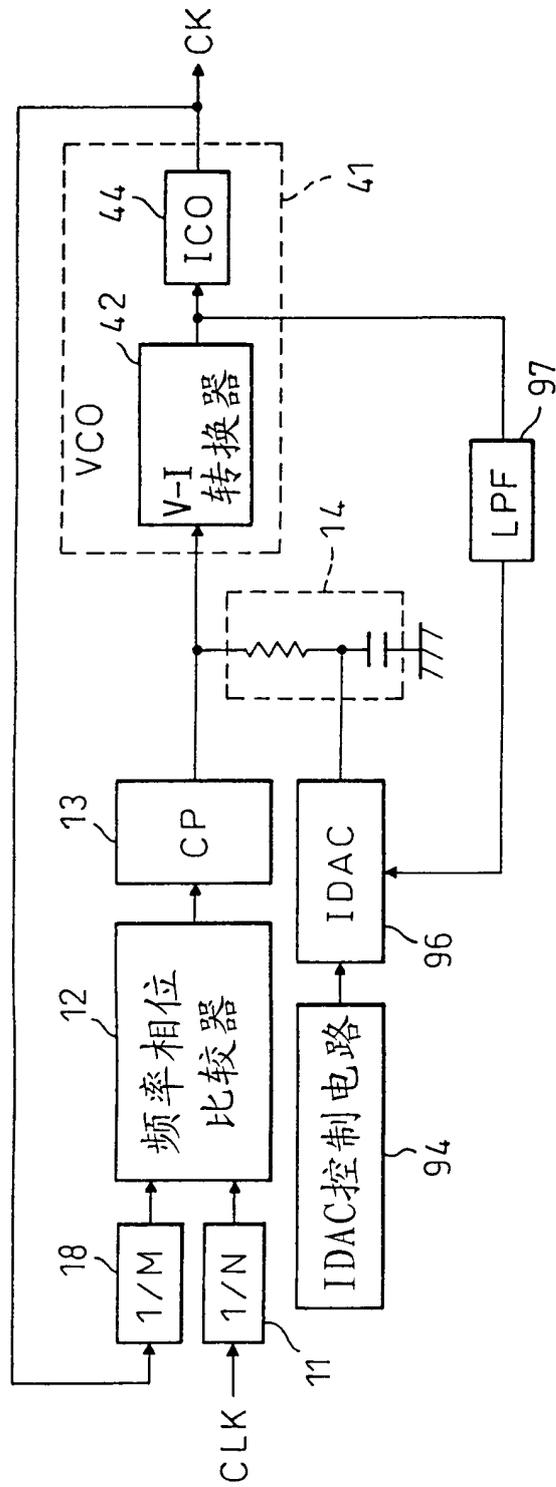


图51

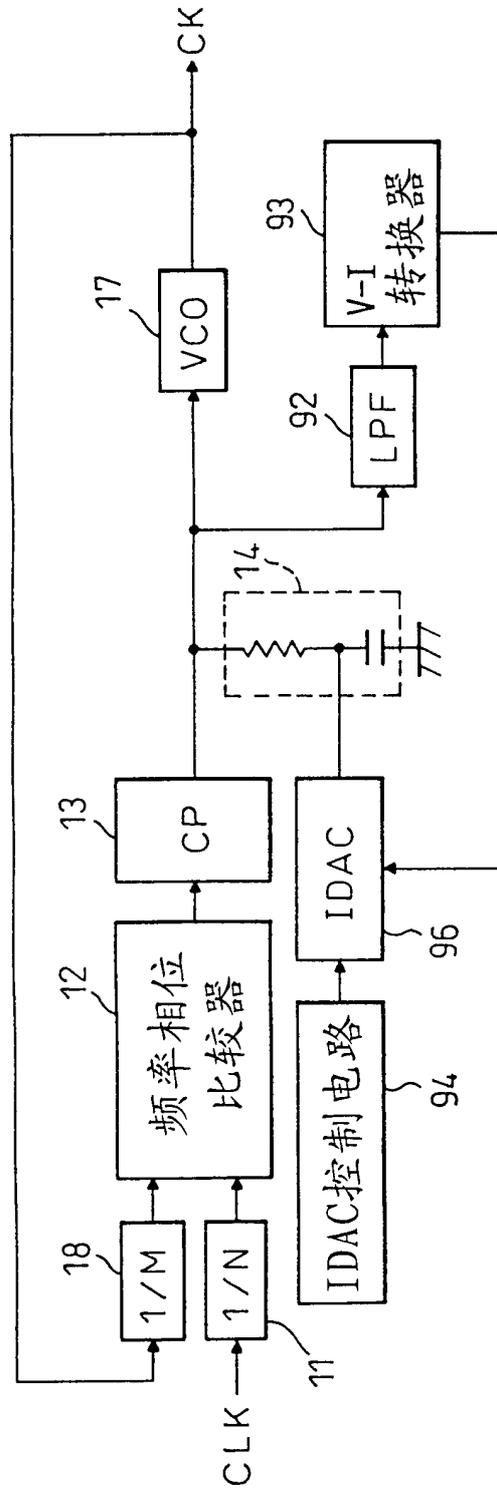


图52

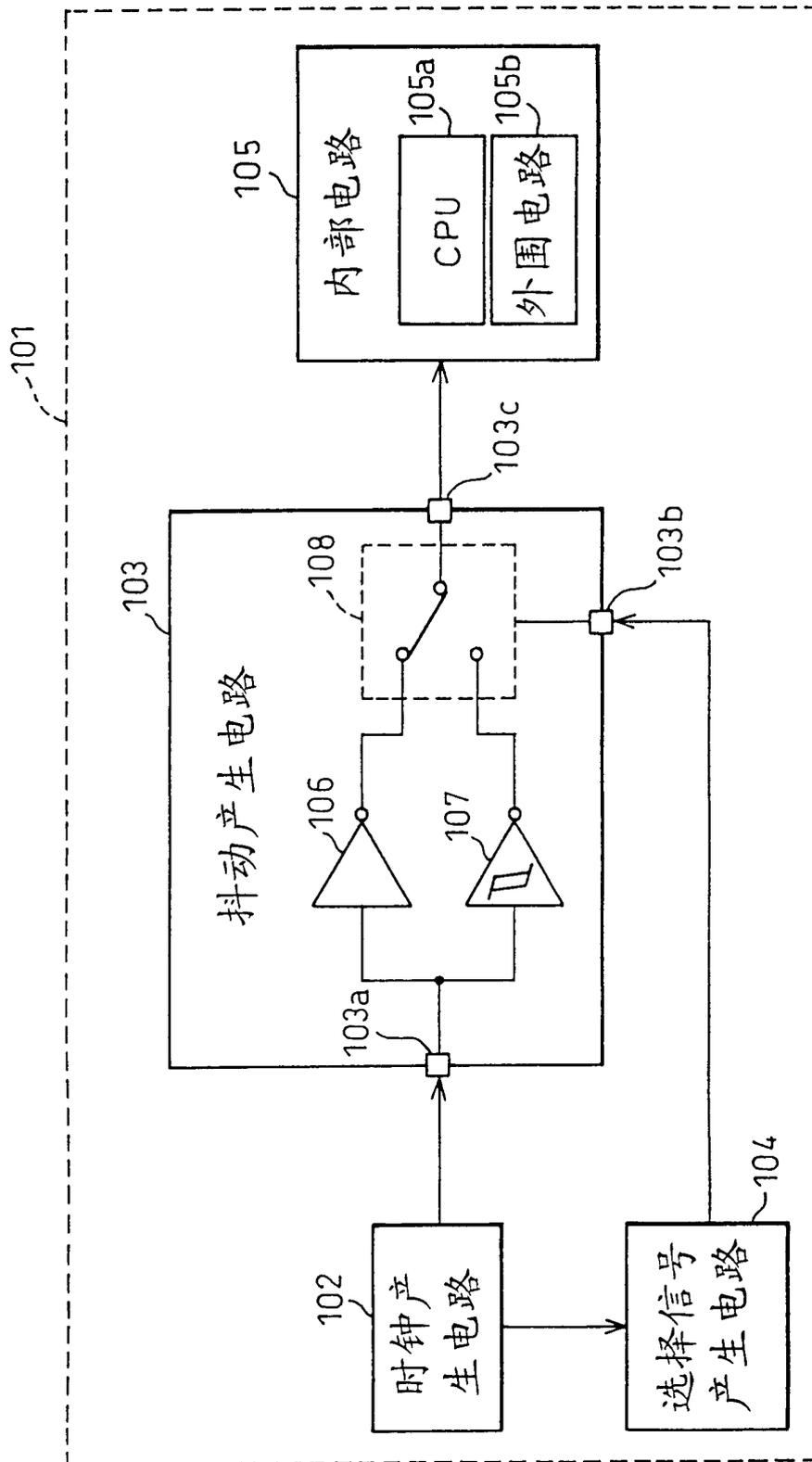


图 53

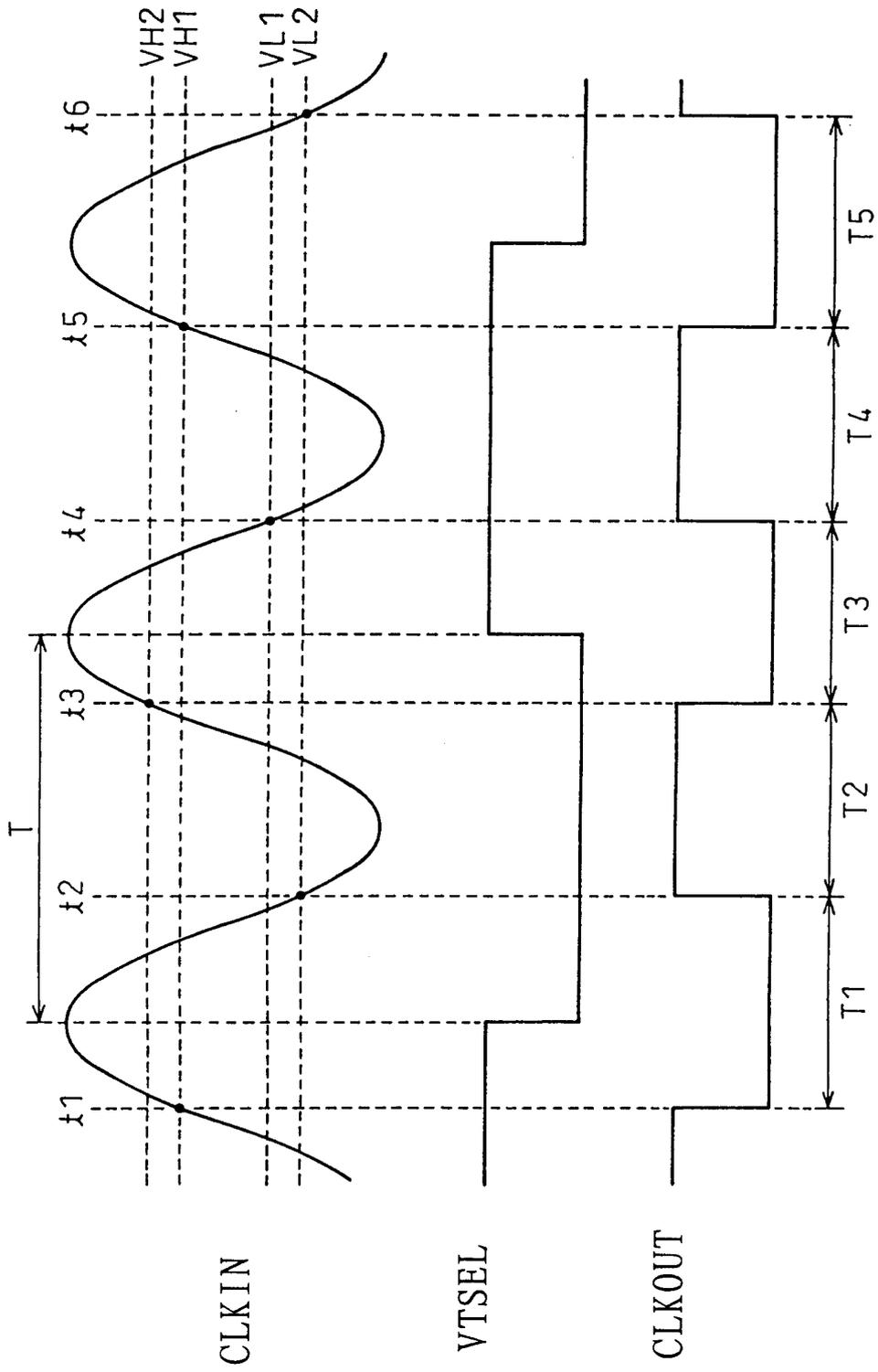


图 54

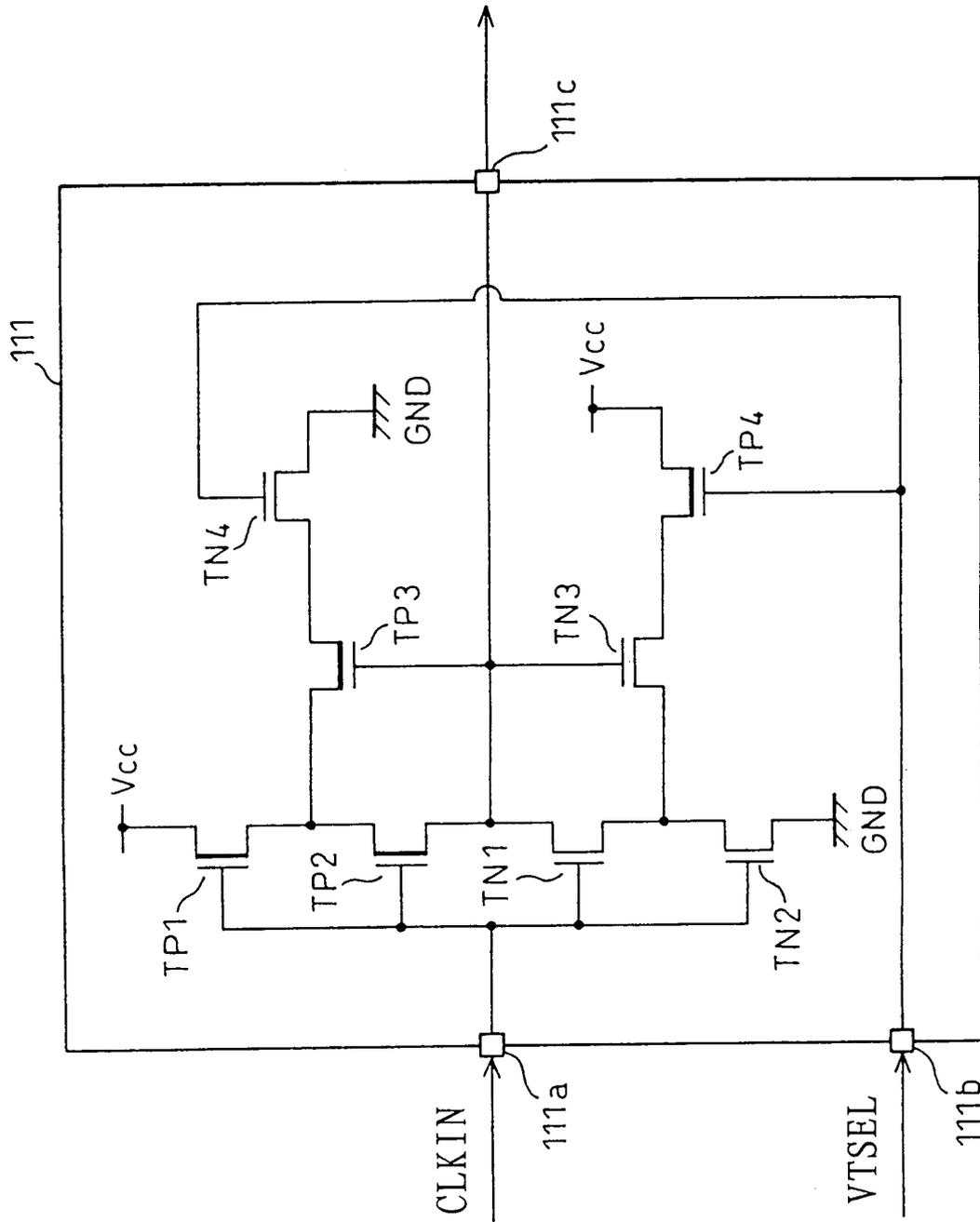


图 55

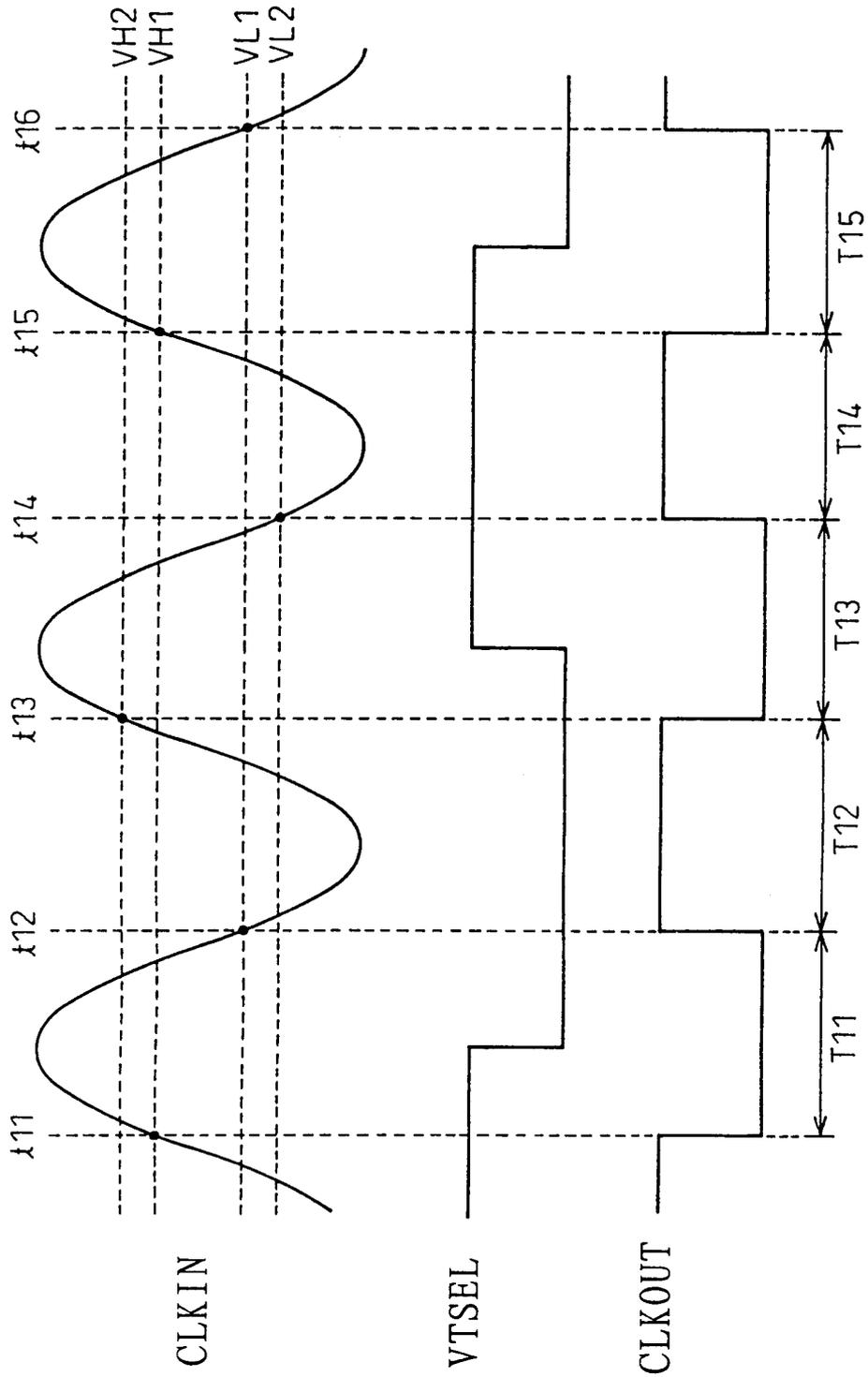


图56

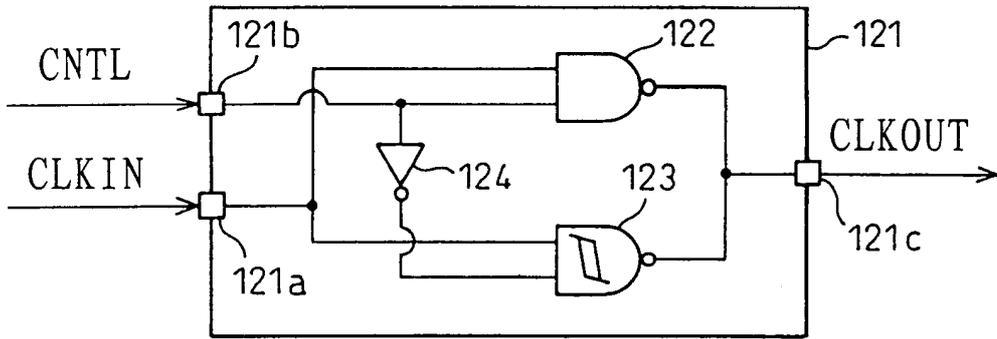


图57

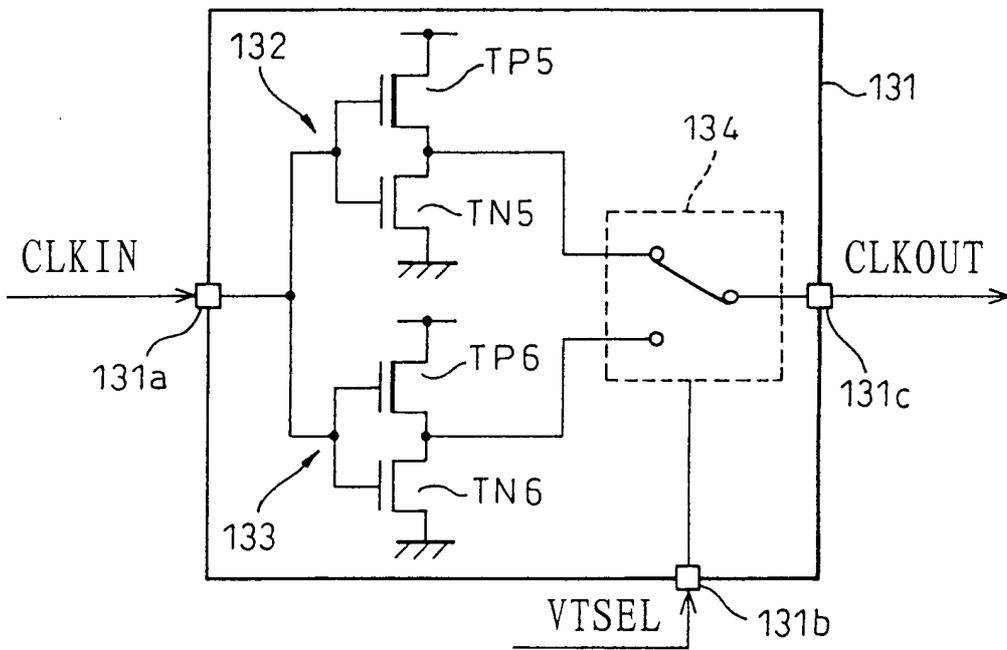


图58

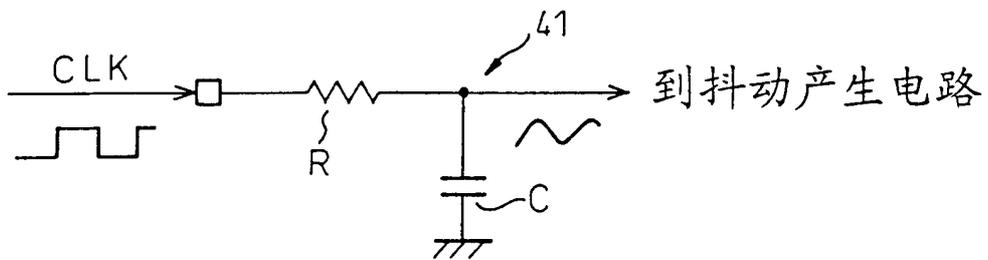


图59

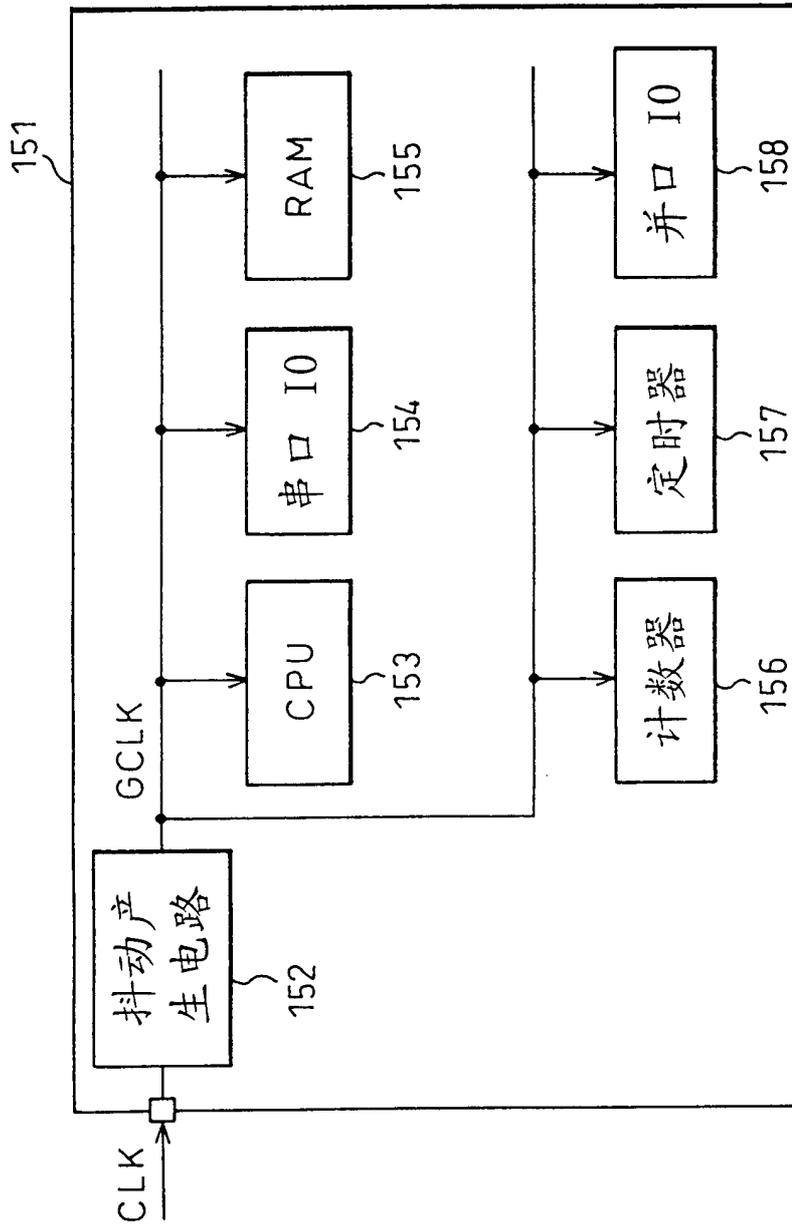


图60

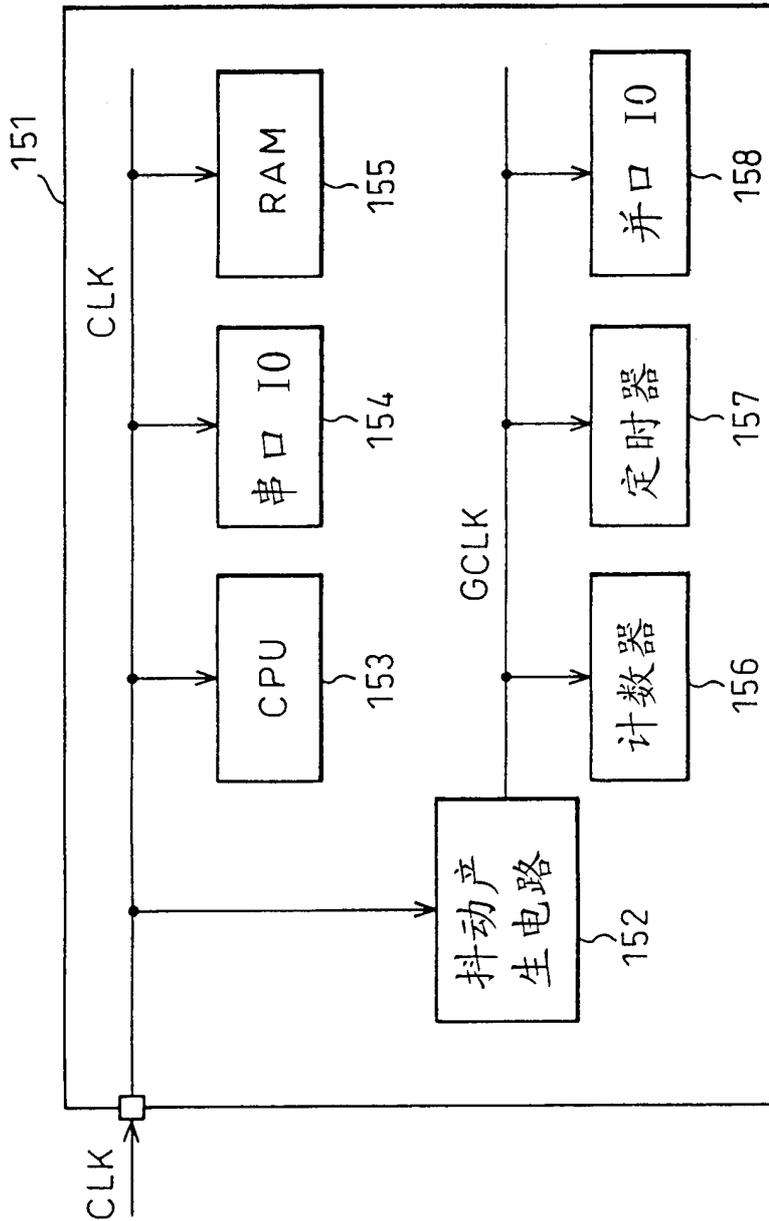


图61

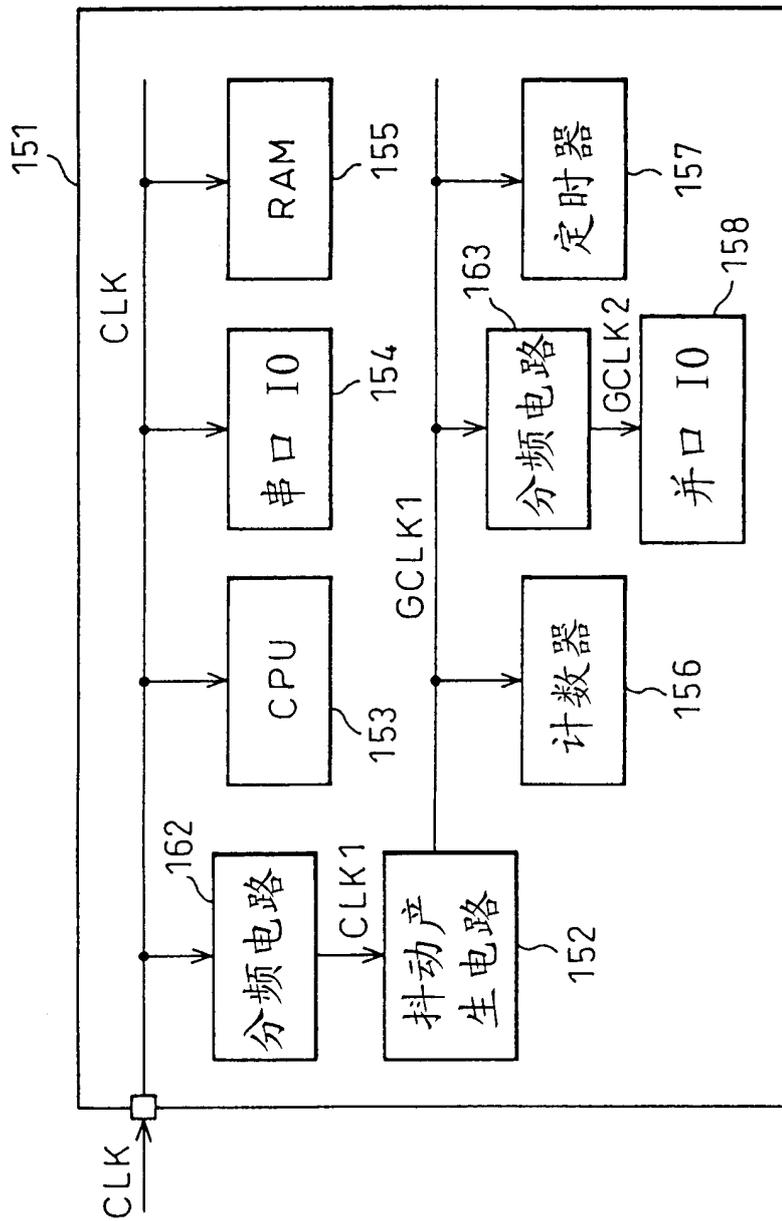


图62

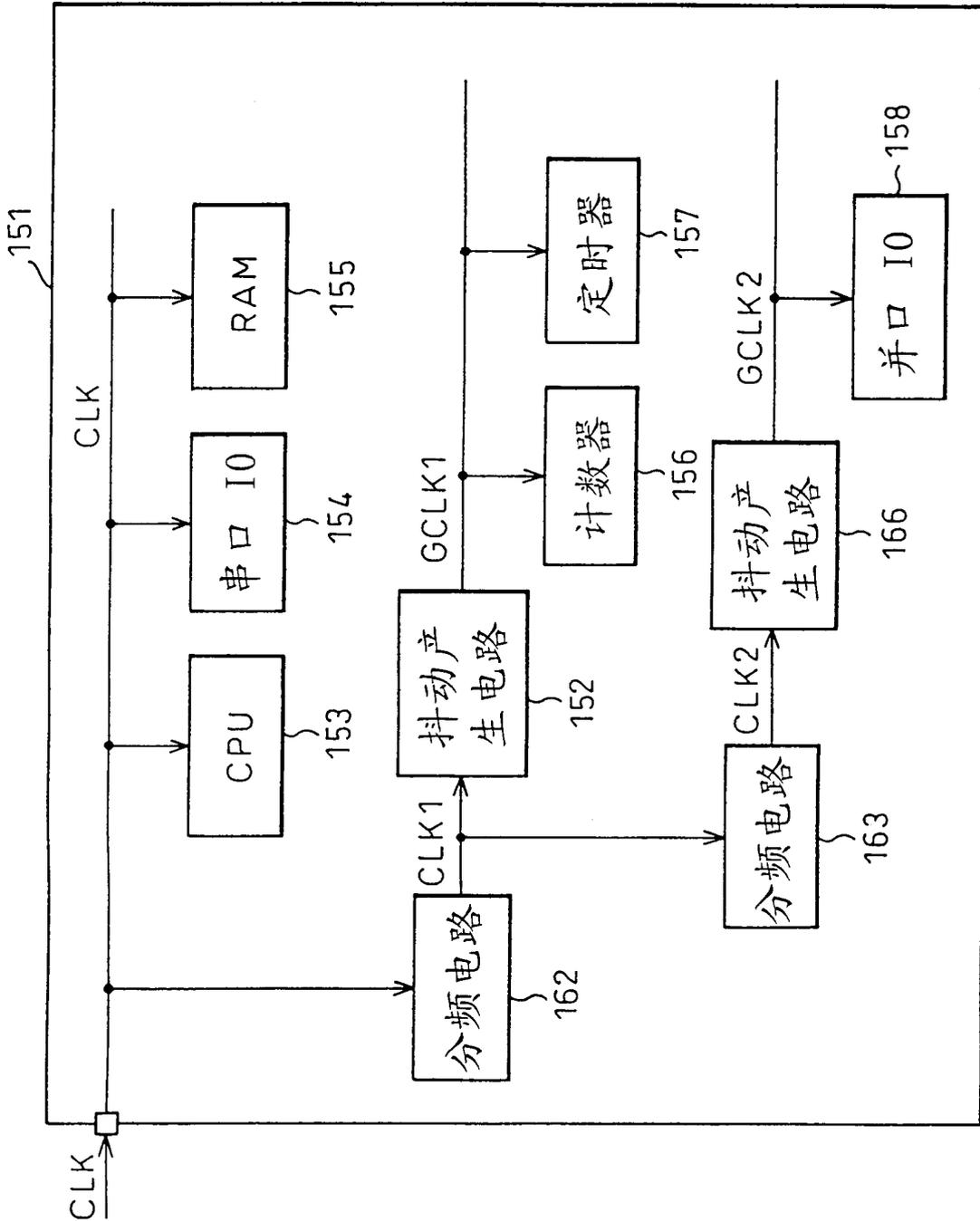


图63

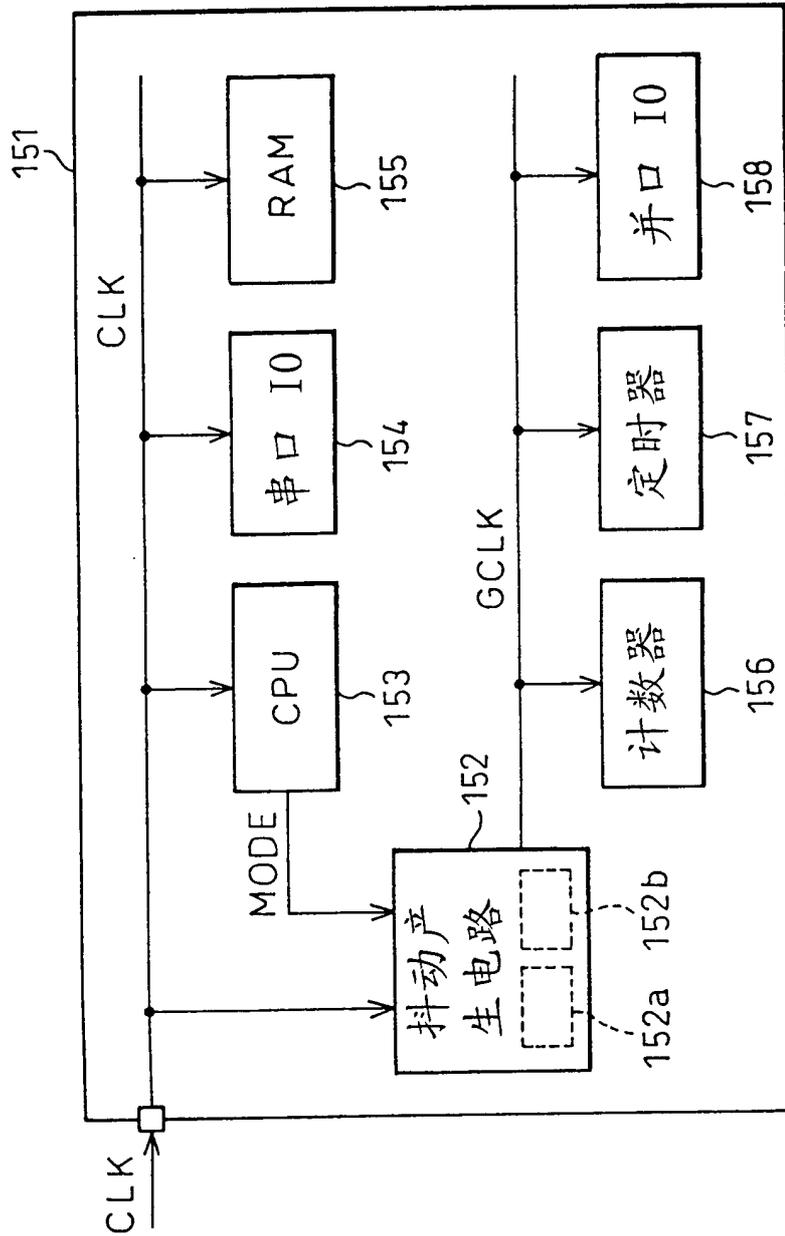


图64

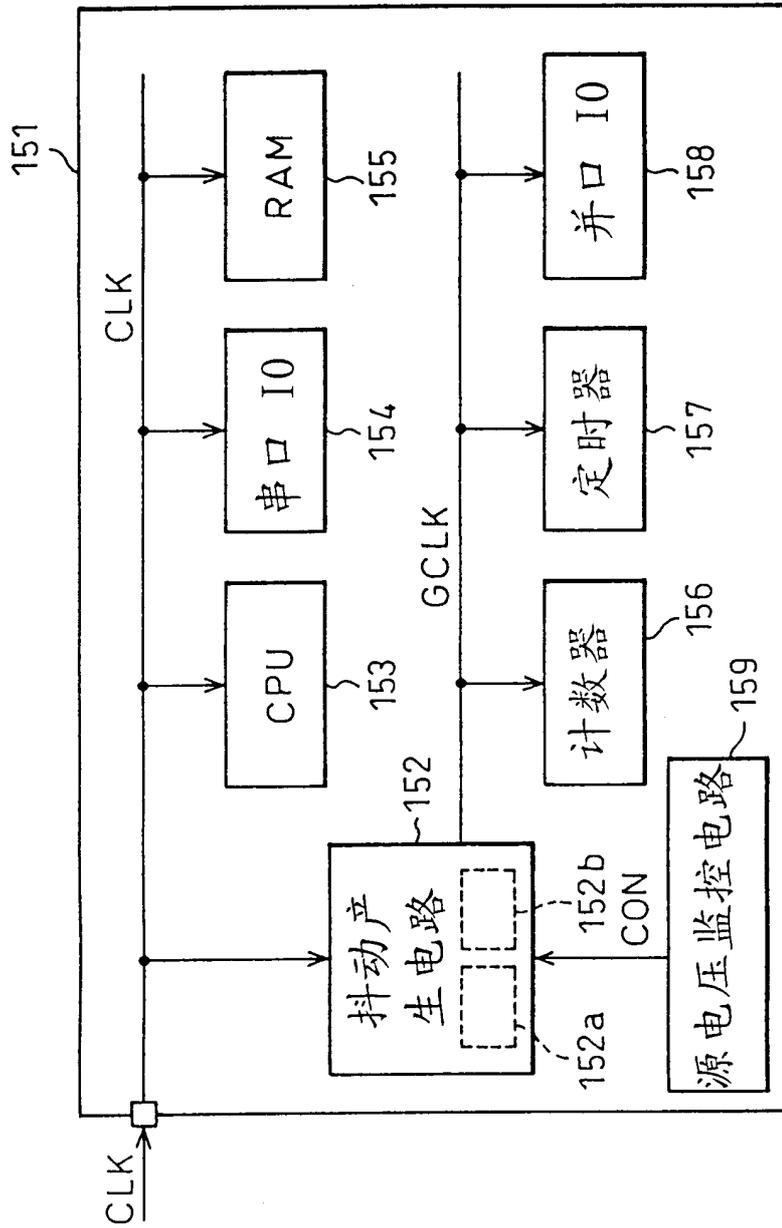


图65

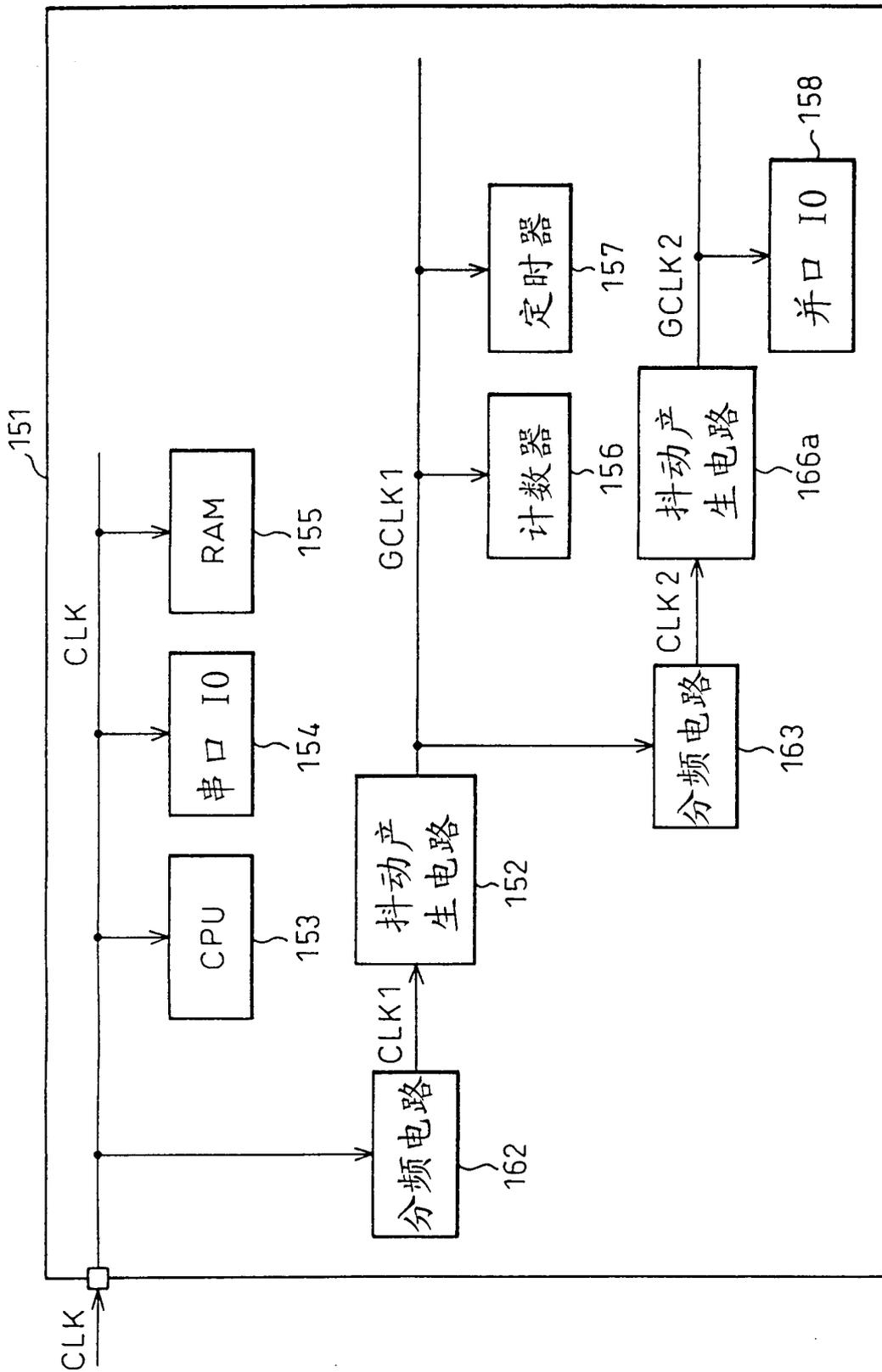


图66

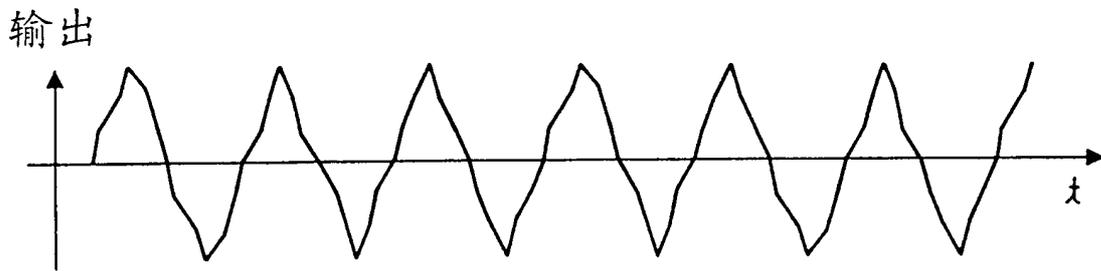


图67

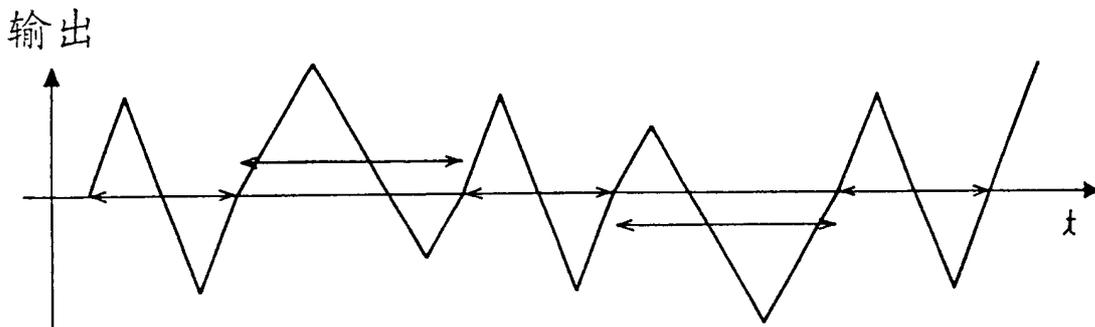


图68

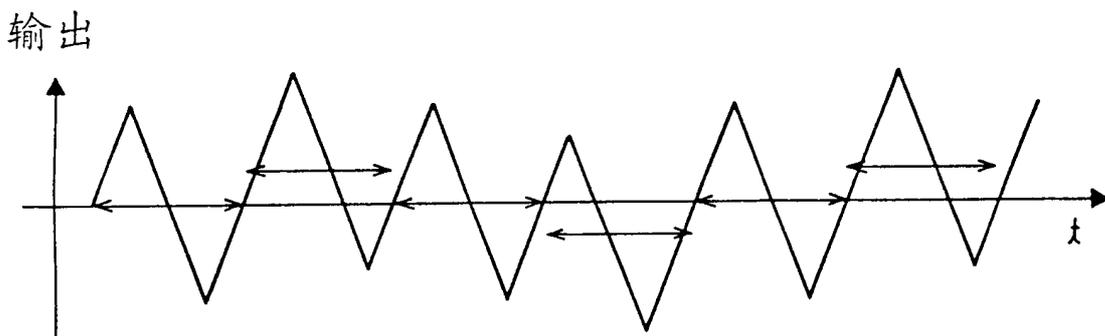


图69