

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成25年4月11日(2013.4.11)

【公表番号】特表2012-527659(P2012-527659A)

【公表日】平成24年11月8日(2012.11.8)

【年通号数】公開・登録公報2012-046

【出願番号】特願2012-511096(P2012-511096)

【国際特許分類】

G 06 F 13/42 (2006.01)

【F I】

G 06 F 13/42 350 A

【手続補正書】

【提出日】平成25年2月22日(2013.2.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

U S B ハブのリピータ回路における再クロッキングエラーに起因する、同期された U S B デバイスのローカルクロックにおけるジッタを低減する方法であって、当該 U S B ハブに、当該 U S B デバイスが接続されるものであり、当該方法が、

前記 U S B ハブを使用して、或るデータストリームビットレートを有する U S B データストリームを観測する(observing)ステップと、

前記 U S B ハブが前記 U S B データストリームの中の周期信号構造(periodic signal structure)を復号する(decoding)ステップと、

前記 U S B ハブが、前記周期信号構造を復号したことに応答してイベント信号を生成するステップと、

前記 U S B ハブが、前記 U S B ハブの前記ローカルクロックの周波数を前記周期イベント信号にロックするステップとを備え、

前記 U S B ハブの前記ローカルクロックは、前記 U S B ハブの前記リピータ回路のためのクロック制御源(clocking source)となるように適合され(adapted to)、前記ローカルクロックは、前記データストリームビットレートの周波数の実質的に整数倍(integer multiple)となるように制御される周波数を有し、又は、前記ローカルクロック周波数と前記データストリームビットレート周波数の間のビート周波数が、フィルタレベルより大きいようにされる、

方法。

【請求項2】

前記 U S B ハブの前記クロックの前記周波数は、前記 U S B ビットストリームデータレートの実質的に整数倍に同期され、前記 U S B データストリームと前記 U S B ハブの前記クロックの間に一定の位相関係が存在する請求項1に記載の方法。

【請求項3】

前記 U S B ハブの前記クロックの前記周波数は、前記 U S B ビットストリームデータレートの実質的に半整数倍(half integer multiple)に同期され、前記周期信号構造のそれぞれの後続の(subsequent)構造(structure)の受信時に、前記 U S B データストリームと前記 U S B ハブの前記クロックの間に急速に(rapidly)変化する位相関係が存在する請求項1に記載の方法。

【請求項 4】

前記 U S B ハブの前記ローカルクロックが統計的技術(statistical techniques)または電気フィルタを使用して、前記 U S B ハブの前記ローカルクロックの前記ジッタを低減するステップを備える請求項1に記載の方法。

【請求項 5】

請求項 1 に記載の方法であって、更に、

前記 U S B ネットワーク内の前記 U S B ハブの層を特定するステップと、

或る事前定義されたレベルの範囲内に、前記 U S B ハブにすぐ上流の U S B データストリームのデータビットレートの周波数を整合させることを回避するように、前記 U S B ネットワーク内の前記 U S B ハブの前記層(layer)に依存して、前記 U S B ハブのローカルクロックの前記周波数を設定するステップとを備える方法。

【請求項 6】

前記事前定義されたレベルは、1 k H z であるか、又は、1 0 0 k H z である、請求項5に記載の方法。

【請求項 7】

前記 U S B ハブの前記層を前記特定するステップは、

i) 前記 U S B ハブのルーティング文字列アドレスのクエリ(querying)を行うステップと、

i i) 前記 U S B ハブの物理接続層についての情報を求めて、前記 U S B ネットワークが接続された U S B ホストコントローラのオペレーティングシステムにソフトウェアを使用してクエリを行うステップと、

i i i) 前記 U S B ハブの上流ポートで前記 U S B データストリームの周波数を測定するステップとを備える請求項5に記載の方法。

【請求項 8】

U S B ハブ回路内の再クロッキングエラーに起因する、同期された U S B アーキテクチャ内の U S B デバイスのローカルクロックにおけるジッタを低減するための装置であって、

当該 U S B ハブ回路に、前記 U S B デバイスが接続されるものであり、当該装置が、

ローカルクロックと、上流ポートと、複数の下流ポートと、前記上流ポート経由でホストコントローラに向けて通信するため、および前記複数の下流ポート経由で複数の U S B デバイスに向けて通信するための回路とを有する U S B ハブ回路と、

或るビットレートを有する U S B データストリームを観測するように適合されたモニタと、

前記 U S B データストリームの中の周期データ構造を復号するように適合された復号器と、

前記周期データ構造を復号したことに応答してイベント信号を生成するように適合された信号ジェネレータと、

前記イベント信号の周波数に対して前記 U S B ハブ回路の前記ローカルクロックの周波数をロックするように適合された回路とを備え、

前記 U S B ハブ回路の前記ローカルクロックは、前記 U S B ハブ回路のためのクロック制御源となるように適合され、前記ローカルクロックが、前記 U S B データストリームビットレートの周波数の実質的に倍数(multiple)となるように制御される周波数を有し、又は、前記ローカルクロック周波数と前記データストリームビットレート周波数の間のビート周波数が、フィルタレベルより大きいようにされる、

装置。

【請求項 9】

前記 U S B ハブ回路の前記ローカルクロックの前記周波数は、前記 U S B ビットストリームデータレートの実質的に整数倍に同期され、前記 U S B データストリームと前記 U S B ハブ回路の前記ローカルクロックの間に一定の位相関係が存在する請求項8に記載の装置。

【請求項 10】

前記 U S B ハブ回路の前記ローカルクロックの前記周波数は、前記 U S B ビットストリームデータ率の実質的に半整数倍に同期され、前記周期信号構造のそれぞれの後続の構造の受信時に、前記 U S B データストリームと前記 U S B ハブ回路の前記ローカルクロックの間に急速に変化する位相関係が存在する請求項 8 に記載の装置。

【請求項 11】

U S B ハブ又は U S B ハブ回路における再クロッキングエラーに起因する、同期された U S B デバイスのローカルクロックにおけるジッタを低減するためのシステムであって、当該 U S B ハブ又は U S B ハブ回路に当該 U S B デバイスが接続されるものであり、当該システムが、

或るビットレートを有する U S B データストリームを観測するように適合されたモニタと、

前記 U S B データストリームの中の周期データ構造を復号するように適合された復号器と、

前記周期データ構造を復号したことに応答してイベント信号を生成するように適合された信号ジェネレータと、

クロックを有する U S B ハブまたは U S B ハブ回路と、

前記 U S B ハブまたは前記 U S B ハブ回路の前記クロックの周波数と、前記 U S B データストリームの周波数を比較して、その結果、前記ビットレートを算出する回路と、

前記イベント信号の周波数に対して前記 U S B ハブまたは前記 U S B ハブ回路の前記クロックの周波数をロックするように適合された回路とを備え、

前記 U S B ハブまたは前記 U S B ハブ回路の前記クロックは、前記 U S B ハブのためのクロック制御源 (clocking source) となるように適合され、前記クロックは、前記 U S B データストリームの前記ビットレートの周波数の実質的に倍数になるように制御される周波数を有し、又は、前記クロック周波数と前記データストリームビットレート周波数とのビート周波数が、フィルタレベルより大きいようにされる、

システム。

【請求項 12】

前記 U S B ハブまたは前記 U S B ハブ回路の前記クロックの前記周波数は、前記ビットレートの実質的に整数倍に同期され、前記 U S B データストリームと、前記 U S B ハブまたは前記 U S B ハブ回路の前記クロックの間に一定の位相関係が存在する請求項 11 に記載のシステム。

【請求項 13】

前記 U S B ハブまたは前記 U S B ハブ回路の前記クロックの前記周波数は、前記ビットレートの実質的に半整数倍に同期され、前記周期信号構造のそれぞれの後続の (subsequent) 構造の受信時に、前記 U S B データストリームと、前記 U S B ハブまたは前記 U S B ハブ回路の前記クロックの間に急速に (rapidly) 变化する位相関係が存在する請求項 12 に記載のシステム。

【請求項 14】

U S B ハブのリピータ回路における再クロッキングエラーに起因する、同期された U S B デバイスのローカルクロックにおけるジッタを低減する方法であって、当該 U S B ハブに、当該 U S B デバイスが接続されるものであり、当該方法が、

前記 U S B ハブの上流に接続された U S B ホストからの U S B データストリームのビットレートに関して前記ローカルクロックの位相をランダム化する制御信号を利用することによって、前記 U S B ハブの前記ローカルクロックの周波数を制御するステップを備え、前記ローカルクロックは、前記 U S B ハブの前記リピータ回路のためのクロック制御源となるように適合される方法。

【請求項 15】

前記 U S B ハブの前記ローカルクロックの前記周波数を、前記上流 U S B データストリームビットレートの周波数である中心周波数の辺りに制御するステップを含む請求項 14

に記載の方法。

【請求項 16】

前記ローカルクロックの前記周波数が、正弦波形、鋸歯状波形、または三角波形の制御信号を利用することによって制御される、請求項14に記載の方法。

【請求項 17】

前記ローカルクロックの前記周波数が、雑音を制御信号として利用することによって制御される、請求項14に記載の方法。

【請求項 18】

同期されたＵＳＢアーキテクチャにおいてクロック制御ジッタを低減するための装置であって、

クロックと、

クロックコントローラまたはクロックコントローラ回路とを備え、

前記クロックコントローラまたは前記クロックコントローラ回路は、上流ＵＳＢデータストリームのビットレートに関してクロックの位相をランダム化する制御信号を利用することによって前記クロックを制御するように適合される装置。

【請求項 19】

前記クロックコントローラ、又は、クロックコントローラ回路が、前記クロックの供給電圧を調整することによって、前記クロックを制御する、請求項18に記載の装置。

【請求項 20】

請求項18に記載の装置であって、更に、

フィードバック制御によって前記クロックの前記周波数を安定させるように適合されたフィードバック安定器と、

を備え、

前記クロックコントローラまたは前記クロックコントローラ回路は、前記クロックの前記フィードバック安定器に外乱(perturbation)信号を導入することによって前記クロックを制御するように適合される装置。