

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 13 日(13.12.2012)



(10) 国際公開番号

WO 2012/169000 A1

- (51) 国際特許分類:
G06F 17/50 (2006.01)
- (21) 国際出願番号: PCT/JP2011/062981
- (22) 国際出願日: 2011 年 6 月 6 日(06.06.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 松原 聡 (MATSUBARA, Satoshi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関 3 丁目 2 番 5 号 霞が関ビルディング 20 階 酒井総合特許事務所 Tokyo (JP).

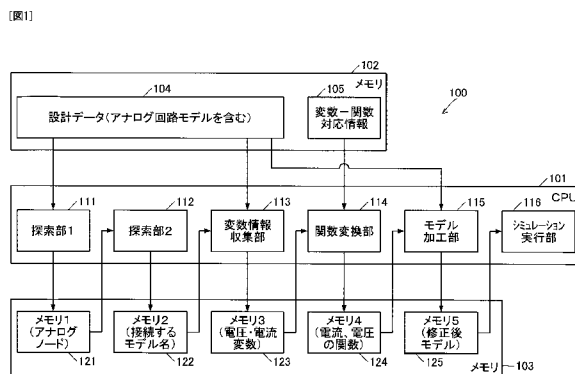
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: ANALOG CIRCUIT SIMULATOR AND ANALOG CIRCUIT VERIFICATION METHOD

(54) 発明の名称: アナログ回路シミュレータおよびアナログ回路検証方法



- 102, 103 Memory
104 Design data (including analog circuit model)
105 Variable-function correspondence relationship information
111, 112 Search unit
113 Variable information collection unit
114 Function conversion unit
115 Model processing unit
116 Simulation execution unit
121 Memory 1 (analog node)
122 Memory 2 (name of model to connect)
123 Memory 3 (voltage/current variables)
124 Memory 4 (functions for current and voltage)
125 Memory 5 (model after correction)

(57) Abstract: This analog circuit simulator (100) includes search units (111 and 112) for retrieving an analog circuit from design data in order to retrieve an analog node in which analog circuits are connected to each other, a variable information collection unit (113) for collecting variable information for a voltage and a current related to input and output of the retrieved analog node, a function conversion unit (114) for converting variable information for an analog node to a function of time, and a simulation execution unit (116) which computes the function of time at each time of occurrence of a predetermined event in order to perform a simulation of the analog node.

(57) 要約: アナログ回路シミュレータ (100) は、設計データからアナログ回路を探検し、アナログ回路同士が接続されるアナログノードを探検する探索部 (111, 112) と、探索されたアナログノードの入出力に関する電圧と電流の変数情報を収集する変数情報収集部 (113) と、アナログノードの変数情報を時間関数に変換する関数変換部 (114) と、所定のイベント発生時毎に前記時間関数の演算をおこない、前記アナログノードのシミュレーションを実行するシミュレーション実行部 (116) と、を含む。

明 細 書

発明の名称：

アナログ回路シミュレータおよびアナログ回路検証方法

技術分野

[0001] 本発明は、アナログ回路を機能検証するアナログ回路シミュレータおよびアナログ回路検証方法に関する。

背景技術

[0002] 従来、アナログ回路の機能検証には、SPICE (Simulation Program with Integrated Circuit Emphasis、登録商標) などのアナログ回路シミュレータが使用されている。このようなアナログ回路シミュレータは、アナログ特性を高精度に計算できるが、演算のために、膨大なメモリを使用する。また、計算ステップ数が細かいため、通常の動作モデルでの検証時間の数万倍以上もかかり、大規模回路の検証には使えなかった。このため、アナログ回路をハードウェア記述言語で表記した動作モデルを用いるのが一般的におこなわれている。

[0003] たとえば、回路をブロック分割する回路分割型シミュレーションの行列定数化方式について、ブロック分割された回路をコンパイルし、ブロックの外部ノード間に電流変数独立な素子の電流変数をブロックの内部変数から除外しシミュレーションをおこなう技術がある（たとえば、下記特許文献1参照）。また、アナログ回路とデジタル回路が混在する回路における信号波形の過渡状態を数値演算によりシミュレーションするために、アナログ回路を複数の回路ブロックに分割し、モデル化する技術がある（たとえば、下記特許文献2参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開平6－124317号公報

特許文献2：特開2010－92434号公報

発明の概要

発明が解決しようとする課題

- [0005] しかしながら、アナログ回路の機能検証には、アナログ回路をハードウェア記述言語で記述した、高抽象度な動作モデルに置き換えて、シミュレーションする必要がある。しかし、大規模検証で用いられているハードウェア記述言語では、`input`と`output`定義により信号が流れる方向が明確に定められるため、モデル外部との相互作用や、インピーダンスをもつ回路の機能をハードウェア記述言語では表現できないという課題があった。
- [0006] たとえば、オペアンプの出力`output`に、接地された抵抗の`input`が接続されて所定のインピーダンスをもつ回路構成の場合、オペアンプの`output`の接続先回路が決まらなると、`output`と`input`のノードの電圧・電流が定まらないことになる。このため、たとえば、インピーダンスをもつ回路の機能検証は、アナログ回路シミュレータが使用されることとなり、膨大な時間がかかっていた。
- [0007] 開示のアナログ回路シミュレータおよびアナログ回路検証方法は、上述した問題点を解消するものであり、インピーダンスをもつアナログ回路を簡単かつ短時間で機能検証できることを目的とする。

課題を解決するための手段

- [0008] 上述した課題を解決し、目的を達成するため、開示技術は、設計データからアナログ回路を探索し、前記アナログ回路同士が接続されるアナログノードを探索する探索部と、前記探索されたアナログノードの入出力に関する電圧と電流の変数情報を収集する変数情報収集部と、前記アナログノードの変数情報を時間関数に変換する関数変換部と、所定のイベント発生時毎に前記時間関数の演算をおこない、前記アナログノードのシミュレーションを実行するシミュレーション実行部と、を含む。

発明の効果

- [0009] 開示のアナログ回路シミュレータおよびアナログ回路検証方法によれば、

インピーダンスをもつアナログ回路を簡単かつ短時間で機能検証できるという効果を奏する。

図面の簡単な説明

- [0010] [図1] 図 1 は、実施の形態によるアナログ回路シミュレータの構成を示すブロック図である。
- [図2] 図 2 は、実施の形態によるアナログ回路シミュレータの処理動作を示すフローチャートである。
- [図3] 図 3 は、アナログモデルの一例を示す図である。
- [図4] 図 4 は、シミュレータの動作を示すタイミングチャートである。
- [図5-1] 図 5 - 1 は、関数化のモデル例を示す回路図である。
- [図5-2] 図 5 - 2 は、図 5 - 1 の上位階層の関数化を説明する図である。
- [図5-3] 図 5 - 3 は、図 5 - 2 の電流波形を示す図である。
- [図6] 図 6 は、関数化の他のモデル例を示す回路図である。
- [図7-1] 図 7 - 1 は、関数化のさらに他のモデル例を示す回路図である。
- [図7-2] 図 7 - 2 は、図 7 - 1 の上位階層の関数化を説明する図である。
- [図7-3] 図 7 - 3 は、図 7 - 2 の電流波形を示す図である。
- [図8] 図 8 は、関数化のさらに他のモデル例を示す回路図である。
- [図9] 図 9 は、アナログ回路の離散モデル化を示すタイミングチャートである。

発明を実施するための形態

[0011] (装置構成)

以下に添付図面を参照して、開示技術の好適な実施の形態を詳細に説明する。図 1 は、実施の形態によるアナログ回路シミュレータの構成を示すブロック図である。アナログ回路シミュレータ 100 は、CPU 101 と、メモリ 102、103 等を含み構成される。CPU 101 は、ROM 等のメモリ（不図示）に格納されたアナログ回路検証用のプログラム（不図示）を実行することにより、装置をアナログ回路シミュレータとして動作させる。

- [0012] 図示の第 1 メモリ 102 には、設計した回路の設計データ 104 と、変数

関数対応情報 105 が格納される。設計データ 104 は、回路に含まれるデジタル回路モデル、およびアナログ回路モデルからなる。

- [0013] CPU 101 は、プログラム実行により、設計データ 104 を読み出し、回路をモデル化して、シミュレーション実行する各機能を有する。機能別に説明すると、探索部 1 (111) は、ネットリスト等の設計データ 104 を読み出し、この検証対象回路の最上位階層でアナログ回路を探索し、さらに、アナログポート（前段のアナログ回路の output と後段のアナログ回路の input）同士が接続されるアナログノードを探索し、抽出したアナログノードをメモリ 1 (121) に格納する。
- [0014] 探索部 2 (112) は、メモリ 1 (121) に格納されたアナログノードを順次探索し、一つ一つのアナログノードに対応したモデル名を探索し、探索したモデル名をメモリ 2 (122) に格納する。
- [0015] 変数情報収集部 113 は、メモリ 2 (122) に格納されたモデル名に対応する変数情報をあらかじめ用意されたモデルに対応する変数情報群から収集し、メモリ 3 (123) に格納する。この変数情報とは、モデル名に対応してあらかじめ定められた電圧変数と、電流変数からなる。変数情報収集部 113 は、モデル名に対応する変数情報（電圧変数および電流変数）をメモリ 3 (123) に格納する。
- [0016] 関数変換部 114 は、メモリ 3 (123) からモデル名に対応した変数情報（電圧変数および電流変数）を読み出し、この変数に対応してあらかじめ定められた時間の関数に変換する。モデルの電圧変数、電流変数の情報から回路構成が決まるため、関数変換部 114 は、モデルに対応する電圧、電流の時間関数が定まる。そして、アナログノードの電圧、電流を時間の関数に変換し、変換した関数をメモリ 4 (124) に格納する。関数への変換処理は、必ず必要ではなく、複数のモデルに対応した関数があらかじめ用意され、モデルに対応した関数を選択する構成としてもよい。
- [0017] モデル加工部 115 は、メモリ 4 (124) から電流、電圧の関数を読み出し、所定のイベント発生時におけるモデルの電流値、電圧値を得るために

、関数変換部 114 で得られた関数のうち、イベント発生時の値のみを抽出する。この所定のイベント発生時とは、シミュレーション実行部 116 がおこなうシミュレーションにおいて、たとえば、モデルの次段でのイベント発生時におけるモデルの電流値、電圧値をシミュレーション実行部 116 に出力することを指す。たとえば、モデルのアナログ回路動作のサイクル動作にあわせて、次段の FF 回路のサイクル動作の起点時のみの電圧値、および電流値の関数を抽出し、修正後のモデルは、メモリ 5 (125) に格納される。

[0018] シミュレーション実行部 116 は、アナログ回路を機能検証するシミュレーションを実行するものであり、メモリ 5 (125) に格納された修正後のモデルにより、イベント発生時のみの電圧値および電流値の関数に基づく演算を実行する。たとえば、シミュレーション実行部 116 は、汎用のヴェリログ (Verilog) 等のハードウェア記述言語で表現されたモデルを用いてシミュレーションを実行することができる。但し、アナログ回路における過渡的な状態の連続解析はおこなわず、所定のイベント発生時のみの解析をおこなう。これにより、アナログ回路について、時間的に離散的でありながら、インピーダンス (電圧および電流) を考慮したイベントドリブンな電圧、電流解析がおこなえ、機能検証を高速におこなう。

[0019] (装置動作)

図 2 は、実施の形態によるアナログ回路シミュレータの処理動作を示すフローチャートである。図 2 に示す処理は、シミュレーション実行部 116 におけるシミュレーション実行をおこなう以前の前処理について記載したものである。はじめに、探索部 1 (111) によりメモリ 102 から設計データ 104 を読み出し、この検証対象回路の最上位階層でアナログ回路を探索し、さらに、アナログポート (前段の output と後段の input) 同士が接続されるアナログノードを探索する (ステップ S201)。抽出したアナログノードをメモリ 1 (121) に格納する。

[0020] つぎに、探索部 2 (112) により、メモリ 1 (121) に格納されたア

ナログノードを順次探索し、一つ一つのアナログノードに対応したモデル名を探索する（ステップS 2 0 2）。探索したモデル名はメモリ 2（1 2 2）に格納する。

[0021] その後、変数情報収集部 1 1 3により、メモリ 2（1 2 2）に格納されたモデル名に対応する変数情報を収集する（ステップS 2 0 3）。収集した変数情報はメモリ 3（1 2 3）に格納する。

[0022] そして、関数変換部 1 1 4は、メモリ 3（1 2 3）からモデル名に対応した変数情報（電圧変数および電流変数）を読み出し、この変数に対応してあらかじめ定められた時間の関数に変換する（ステップS 2 0 4）。これにより、変換後のアナログノードの電圧、電流は時間の関数に変換され、変換した関数はメモリ 4（1 2 4）に格納される。以上により前処理は終了する。

[0023] 前処理の後には、シミュレーション実行部 1 1 6におけるシミュレーション実行がおこなわれる。この際、モデル加工部 1 1 5により、メモリ 4（1 2 4）から電流、電圧の関数を読み出し、所定のイベント発生時毎に、関数変換部 1 1 4で得られた関数のうち、イベント発生時の値をシミュレーション実行部 1 1 6に出力する。これにより、シミュレーション実行部 1 1 6は、汎用のシミュレータの機能を有すればよく、イベント発生時のみの電圧値および電流値の関数に基づく演算を実行し、演算結果を出力できる。

[0024] 上述したように、本実施の形態によりアナログ回路シミュレータは、アナログ回路モデルと、シミュレータの連携により実現されている。

1－1. アナログ回路モデルでは、各アナログ回路のアナログポートに電圧変数と、電流変数を与える。

1－2. 検証対象回路の最上位階層で、アナログポート同士が接続されるアナログノードを探索する。

1－3. そして、各アナログノードに接続されている全モデルの電圧変数と電流変数の関係から、アナログノードの電圧、電流を時間の関数に変換する。

2. シミュレータでは、イベント発生時に、必要なアナログ値（電圧値、電

流値)を関数により演算し、検証結果を得る。

[0025] (アナログモデルについて)

上述した各構成部の処理内容について説明する。はじめにアナログモデルについて説明する。図3は、アナログモデルの一例を示す図である。図示のモデル300は、電源301aと、オペアンプ301bからなるモデル1(301)のアナログポートoutputに、接地された抵抗302aを有するモデル2(302)のアナログポートinputが接続された例である。このモデル300では、R2が入カインピーダンス、R1が出カインピーダンスとなる。探索部1(111)～変数情報収集部(113)では、モデル1のoutputポートについて、電圧変数 $V_1 - (I_1 \times R_1)$ と、電流変数 I_1 を探索して得る。また、モデル2のinputポートについて、電圧変数 $I_2 \times R_2$ と、電流変数 I_2 を得る。

[0026] (シミュレータの動作について)

図4は、シミュレータの動作を示すタイミングチャートである。図3のモデル300に示したように、シミュレーション実行部116によるシミュレーション実行時に、電圧、電流の変化が1サイクル以内に留まる場合の例について説明する。このときの電圧の過渡変化 $V(t)$ は、下記の関数

$$V(t) = V_1 + (V_2 - V_1) [1/2 + (ft - t_k) - 1/2) \times (-1)^k]$$

で表される。

[0027] モデル300に対する入力の結果、出力は基準電圧 V_1 に対し過渡的に電圧が V_2 までRC特性の関数にしたがって増大する。ここで、シミュレーション実行部116は、次段のFF入力クロックの立ち上がり時に対応した1サイクルの周期にあわせて、イベント発生時として時期 $t_0, t_1, t_2, t_3, \dots$ の時期のみ上記関数の値を計算すればよい。このように、シミュレーション実行部116は、過渡特性全体を計算するのではなく、メモリ5(125)に格納された加工後のモデルにしたがい、指定されたイベントのタイミング $t_0, t_1, t_2, t_3, \dots$ のときのみ関数演算 $f(t)$ をおこな

うことにより、シミュレーション実行部 116 の計算を簡単に低負荷で実行できるようになる。

[0028] また、他のモデルへの対応例について説明する。シミュレーション実行時に、電圧、電流の変化（関数値）が複数サイクルにまたがり、他のサイクルに影響する場合には、下記の関数を用いる。1. 影響が無限に続く場合には、下記式で表せる。（-1）は、波形の反転に相当する。

[0029] [数1]

$$V_n(t) = V_1 + (V_2 - V_1) \sum_{k=0}^n f(t - t_k) * (-1)^k$$

[0030] また、影響が3サイクルまで及ぶ場合には、

$$V_n(t) = V_1 + (V_2 - V_1) \{ (-1)^n (f(t - t_n) - f(t - t_{n-1})) + f(t - t_{n-2}) \}$$

とすればよい。このように、影響が及ぶサイクル数だけ関数を加算していけばよい。

[0031] （関数化の具体例について）

図5-1は、関数化のモデル例を示す回路図である。図示のモデル500は、電源501aと、オペアンプ501bからなるモデル1（501）のアナログポートoutputに、接地された容量502aを有するモデル2（502）のアナログポートinputが接続された例である。この例では、出力インピーダンスR1と総容量C2で構成される。探索部1（111）～変数情報収集部（113）では、モデル1のoutputポートについて、電圧変数 $V_1 = I_1 \times R_1$ と、電流変数 I_1 を探索して得る。また、モデル2のinputポートについて、電圧変数 $I_2 / j\omega C_2$ と、電流変数 I_2 を探索して得る。そして、関数変換部114では、上位階層での関数に変換する。

[0032] 図5-2は、図5-1の上位階層の関数化を説明する図、図5-3は、図5-2の電流波形を示す図である。図5-2に示すように、上位階層で表し

た関数では、電源501aにスイッチ510を介して抵抗R1が接続されるとともに、接地された容量C2が接続されてなる。このモデル500の電圧V1は、

[0033] [数2]

$$V_1 = R_1 i + \frac{1}{C_2} \int i dt$$

[0034] と表すことができ、両辺を微分して、

$$R_1 (di/dt) + 1/C_2 \cdot i = 0$$

$$1/i \cdot (di/dt) = -1/C_2 R_1$$

両辺を積分して、

$$\ln |i| = -t/C_2 R_1 + A \quad (A: \text{積分定数})$$

$$i = e^A \cdot e^{-(t/C_2 R_1)}$$

[0035] [数3]

$$i = \frac{V_1}{R_1} \cdot e^{-\frac{t}{C_2 R_1}}$$

[0036] $V = V_1 - R i$ から

[0037] [数4]

$$V = V_1 \left(1 - e^{-\frac{t}{C_2 R_1}} \right)$$

[0038] となる。関数変換部114では、電圧Vと電流iをそれぞれ時間の関数に変換する。そして、シミュレーション実行部116によるシミュレーション実

行時に、次段でのイベント発生時（図４参照）に、モデル出力として上記の関数を適用した値を出力し、シミュレーション実行させる。なお、図５－２に示すスイッチ５１０は、イベント実行毎に開閉するスイッチ動作を繰り返すことにより、図４のモデルの出力に相当する波形が得られる。

[0039] 図６は、関数化の他のモデル例を示す回路図である。図示のモデル６００のモデル１（６０１）は、電源６０１ａと、オペアンプ６０１ｂからなるモデル１（６０１）のアナログポートoutputに、モデル２（６０２Ａ～６０２Ｎ）のアナログポートinputとして、並列に複数Ｎ個の容量６０２ａが接続されている。このように、並列に接続する場合、モデル２は、容量６０２ａの容量値の総和Ｃで関数化すればよい。すなわち、容量 $C = C_2 \times N$ とする。これにより、関数変換部１１４は、電圧 V と、電流 i について、

[0040] [数５]

$$V = V_1 \left(1 - e^{-\frac{t}{CR_1}} \right)$$

$$i = \frac{V_1}{R_1} \cdot e^{-\frac{t}{CR_1}}$$

[0041] とする時間の関数に変換する。

[0042] 図７－１は、関数化のさらに他のモデル例を示す回路図である。図示のモデル７００は、電源７０１ａと、オペアンプ７０１ｂからなるモデル１（７０１）のアナログポートoutputに、接地された分圧抵抗７０２ａを有するモデル２（７０２）のアナログポートinputが接続された例である。探索部１（１１１）～変数情報収集部（１１３）では、モデル１のout

putポートについて、電圧変数 $V_1 - I_1 \times R_1$ と、電流変数 I_1 を探索して得る。また、モデル2のinputポートについて、電圧変数 $I_2 \times R_2$ と、電流変数 I_2 を探索して得る。そして、関数変換部114では、上位階層での関数に変換する。

[0043] 図7-2は、図7-1の上位階層の関数化を説明する図、図7-3は、図7-2の電流波形を示す図である。図7-2に示すモデル700は、

$$\text{電圧 } V \text{ は、 } V = (R_2 \cdot V_1) / (R_1 + R_2)$$

$$\text{電流 } i \text{ は、 } i = V_1 / (R_1 + R_2)$$

で示される。関数変換部114は、上記の電流 i 、電圧 V を関数として用いる。図7-3に示すように、このモデル700は、電流、および電圧は、時間に独立なDC値（時間に依存しない値）となる。

[0044] 図8は、関数化のさらに他のモデル例を示す図である。図示のモデル800は、電源801aと、オペアンプ801bからなるモデル1（801）のアナログポートoutputに、入力負荷が何もついていないオペアンプ802aのモデル2（802）のアナログポートinputが接続された例である。このモデル800のように、ノードにおいてインピーダンスの影響が生じないモデル、あるいはインピーダンスを算出する必要がない場合においても関数化を適用することができる。このように、インピーダンス演算が必要ない場合においては、モデル出力をそのまま使用することができる。

[0045] 図8の構成の場合、探索部1（111）～変数情報収集部（113）では、モデル1のoutputポートについて、電圧変数 $V = V_1$ と、電流変数 $i = V_1 / R_1$ を探索して得るだけでよい。そして、関数変換部114では、モデル1のoutputポートの電圧、電流をそのまま上位階層での関数として用いることができる。

[0046] 図9は、アナログ回路の離散モデル化を示すタイミングチャートである。上述したように、探索部1（111）～モデル加工部115の各構成により、インピーダンスをもつアナログ回路について、時間的に離散モデル化をおこなう。これにより、シミュレーション実行部116は、イベント発生時に

のみ演算をおこなえばよい。ため、検証時間を大幅に短縮することができるようになる。従来のシミュレーション（たとえば、Verilog-A）では、図7に示す縦軸の電圧変動に対し、横軸の時間について連続的に検証をおこなっている。これに対し、上記実施の形態では、アナログ回路の離散モデル化により、次段回路（FF）等での動作タイミング毎などのイベント発生時のみ（図中点で示すポイント毎に）、前段のモデル出力に対して、求めた関数を適用した値を出力として演算をおこなうだけでよい。これにより、検証時間を大幅に短縮することができるようになる。

[0047] 以上説明した開示技術によれば、アナログ回路をモデル化し、入出力ポートを接続したときのインピーダンスをもつ回路について、電流と電圧の変数を収集し、上位階層でこれら電流と電圧を時間的に変化する関数に変換する。これにより、インピーダンスをもつアナログ回路を簡単かつ短時間で機能検証できるようになる。また、イベント発生時だけシミュレーションの演算をおこなうことにより、検証時間を大幅に短縮できるようになる。これらにより、デジタル回路だけではなく、アナログ回路を含む大規模なミックスドシグナル設計に対する機能検証が可能となる。また、汎用のシミュレーション演算の手法を用いてアナログ回路の機能検証をおこなうことができる。

符号の説明

[0048] 100 アナログ回路シミュレータ
 101 CPU
 102, 103 メモリ
 104 設計データ
 105 変数－関数対応情報
 111 探索部1
 112 探索部2
 113 変数情報収集部
 114 関数変換部
 115 モデル加工部

1 1 6 シミュレーション実行部

1 2 1 ~ 1 2 5 メモリ 1 ~ 5

請求の範囲

- [請求項1] 設計データからアナログ回路を探索し、前記アナログ回路同士が接続されるアナログノードを探索する探索部と、
- 前記探索されたアナログノードの入出力に関する電圧と電流の変数情報を収集する変数情報収集部と、
- 前記アナログノードの変数情報を時間関数に変換する関数変換部と、
- 、
- 所定のイベント発生時毎に前記時間関数の演算をおこない、前記アナログノードのシミュレーションを実行するシミュレーション実行部と、
- を備えたことを特徴とするアナログ回路シミュレータ。
- [請求項2] 前記探索部は、あらかじめ用意された前記アナログノードに対応するモデル名および電圧と電流の変数情報を用いて前記モデル名に対応する前記変数情報を探索することを特徴とする請求項1に記載のアナログ回路シミュレータ。
- [請求項3] 前記関数変換部は、前記アナログノードを前記モデルの上位階層で、電圧および電流の前記変数情報を集計し、前記変数情報に対応してあらかじめ用意した時間の関数に変換することを特徴とする請求項1に記載のアナログ回路シミュレータ。
- [請求項4] 前記シミュレーション実行部は、対象とする前記アナログノードの次段回路のイベント発生周期で前記時間関数の演算をおこなうことを特徴とする請求項1に記載のアナログ回路シミュレータ。
- [請求項5] 前記シミュレーション実行部は、前記イベント発生周期の1サイクル内で前記アナログノードの関数値が収束する場合には、1サイクル単位で演算することを特徴とする請求項4に記載のアナログ回路シミュレータ。
- [請求項6] 前記シミュレーション実行部は、前記アナログノードの関数値の収束が前記イベント発生周期の複数サイクルにまたがる場合には、前

記またがるサイクル数分の関数を加算し演算することを特徴とする請求項4に記載のアナログ回路シミュレータ。

[請求項7]

設計データからアナログ回路を探索し、前記アナログ回路同士が接続されるアナログノードを探索する探索工程と、

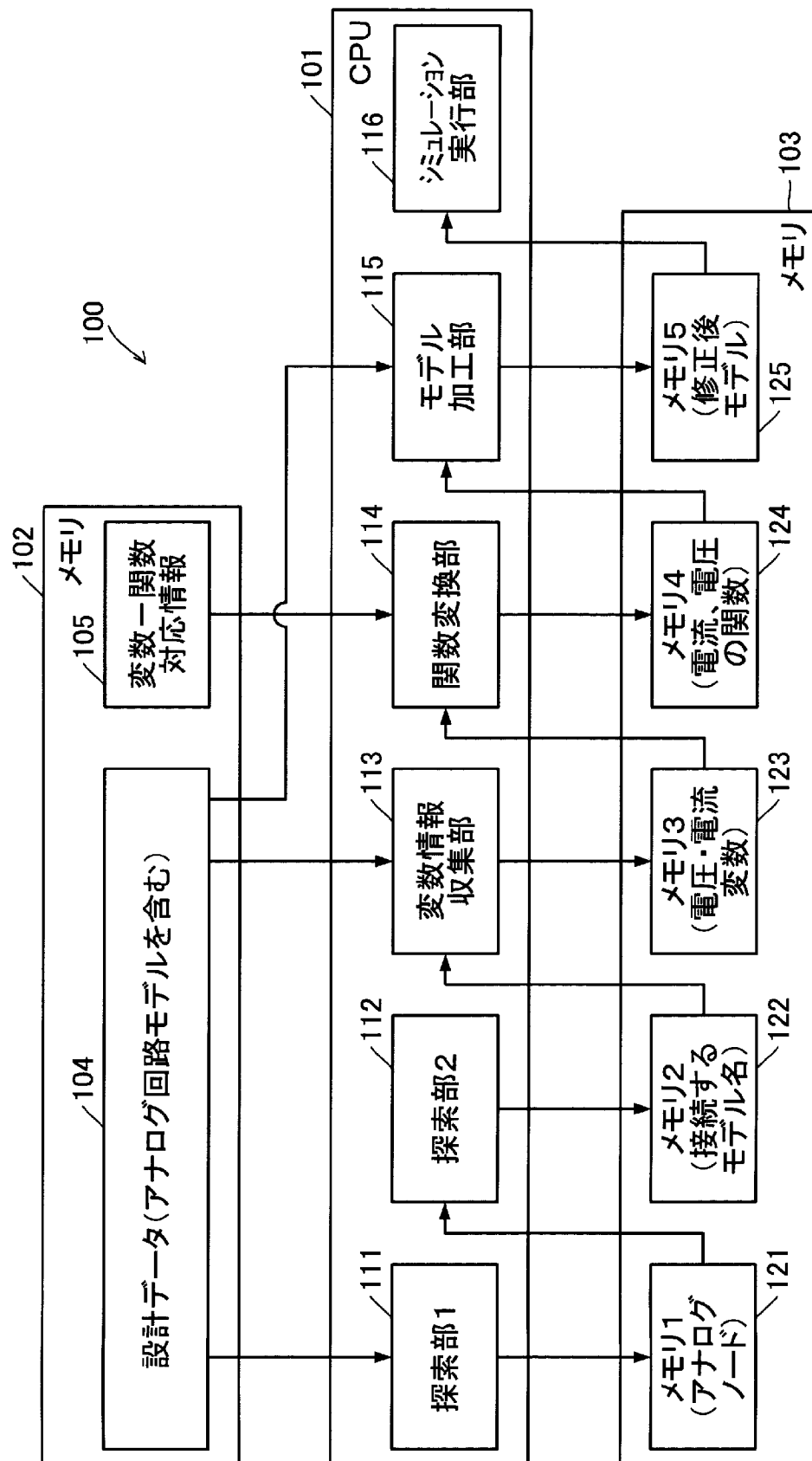
前記探索されたアナログノードの入出力に関する電圧と電流の変数情報を収集する変数情報収集工程と、

前記アナログノードの変数情報を時間関数に変換する関数変換工程と、

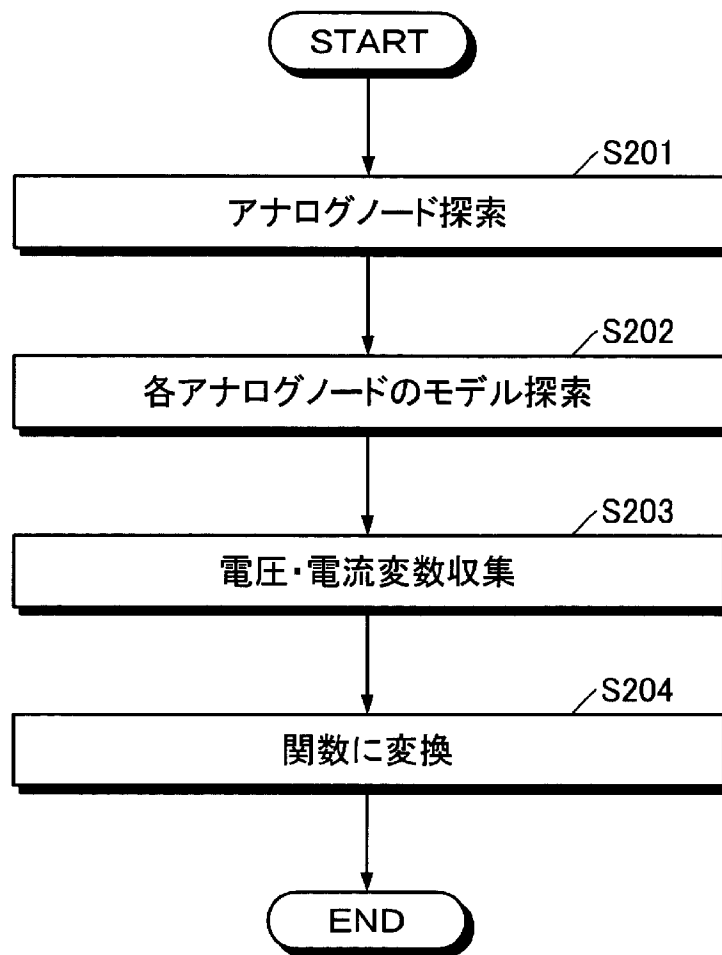
所定のイベント発生時毎に前記時間関数の演算をおこない、前記アナログノードのシミュレーションを実行するシミュレーション実行工程と、

を含むことを特徴とするアナログ回路検証方法。

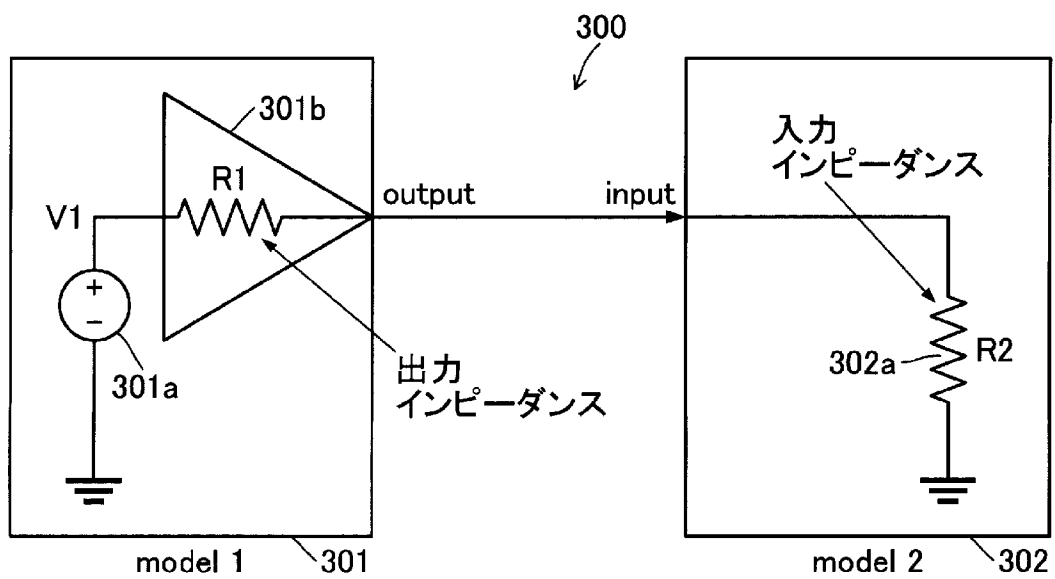
[図1]



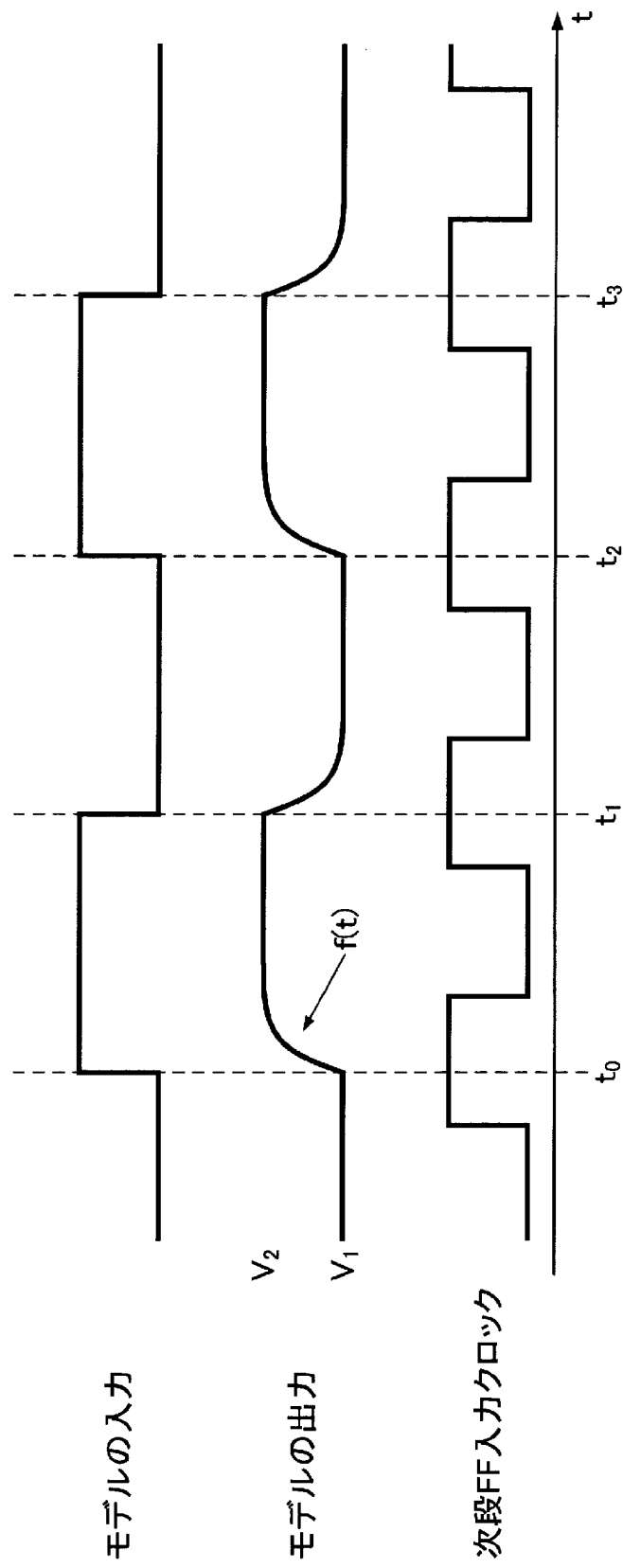
[図2]



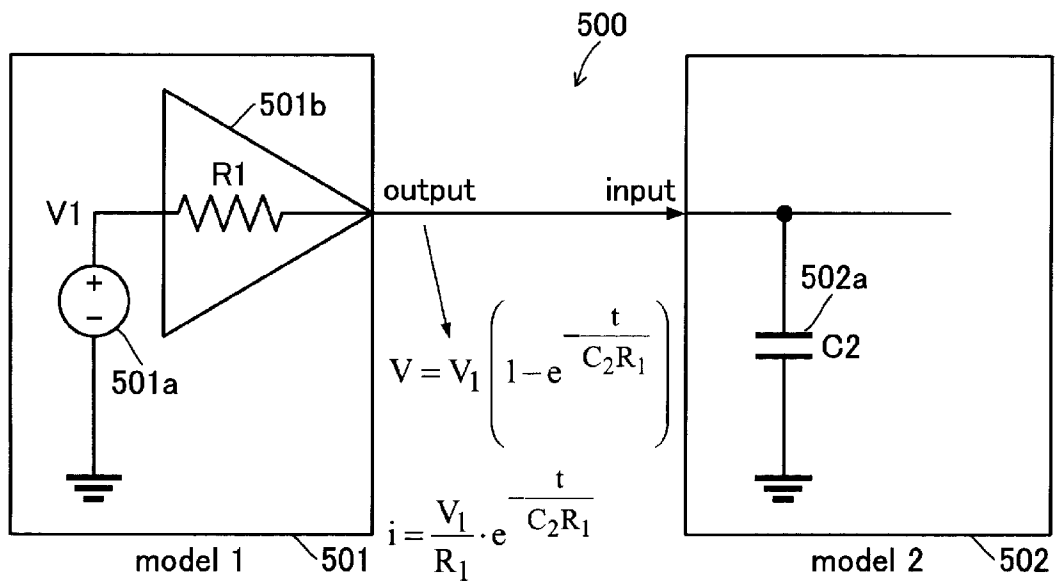
[図3]



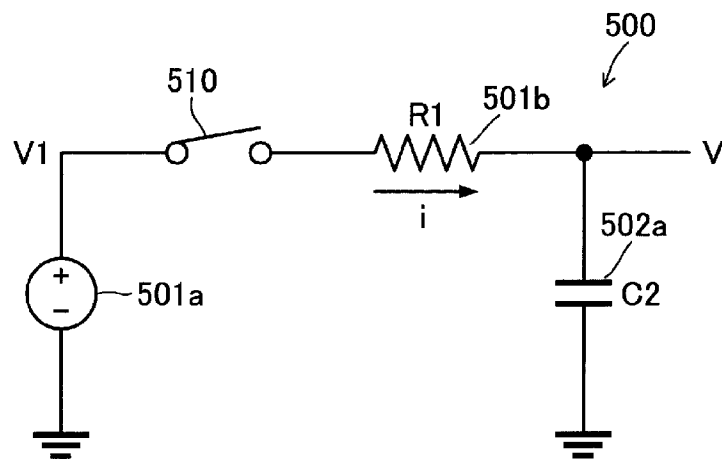
[図4]



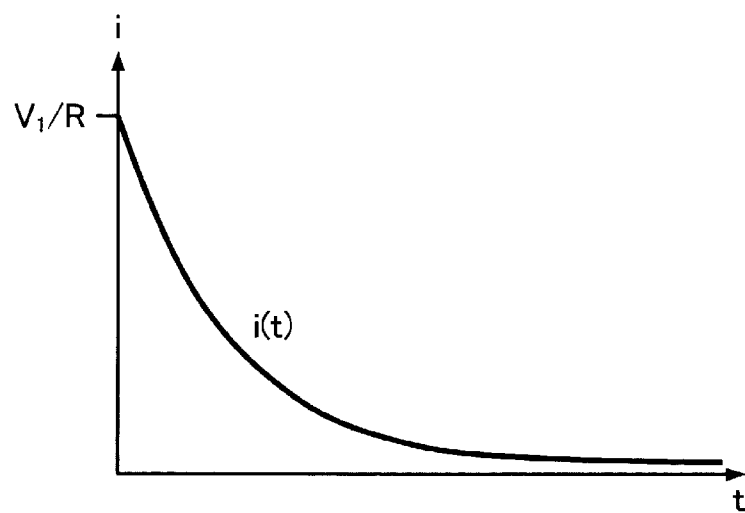
[図5-1]



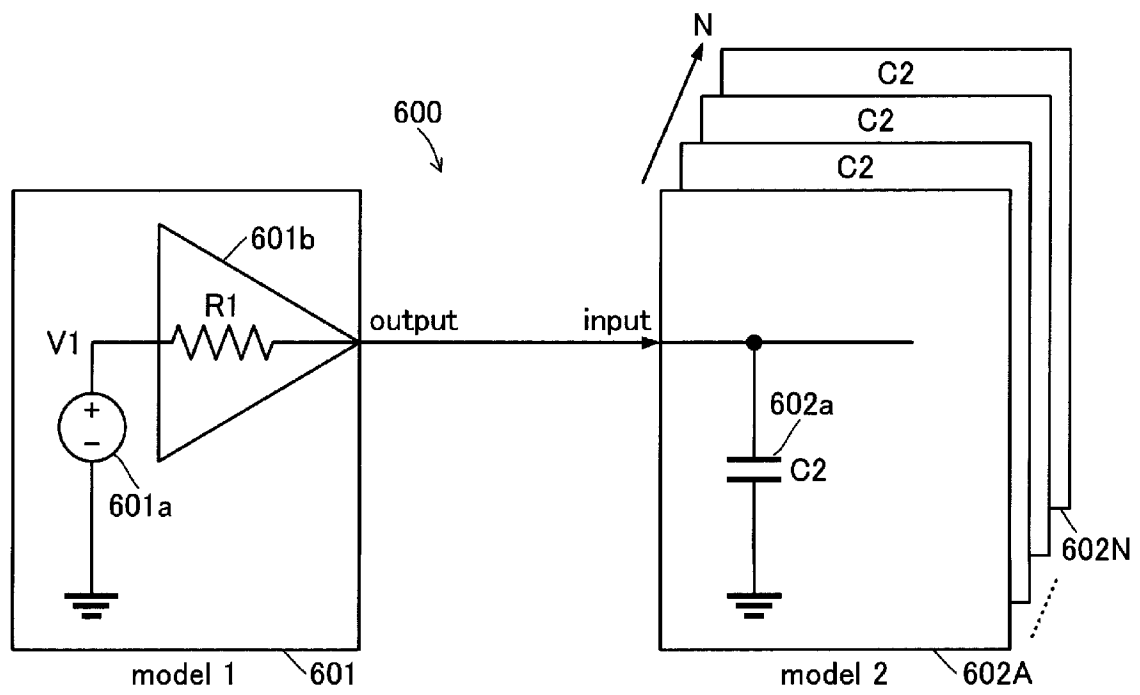
[図5-2]



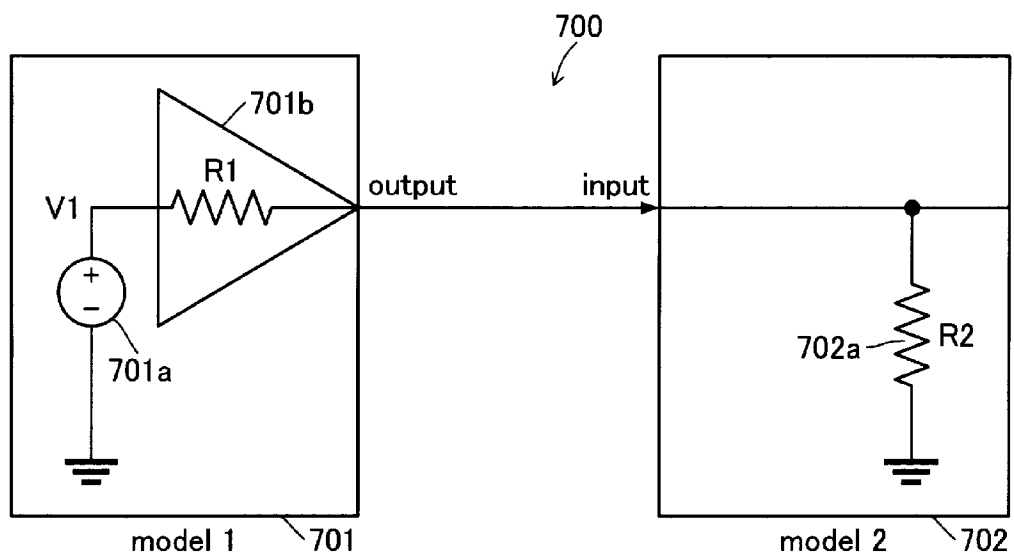
[図5-3]



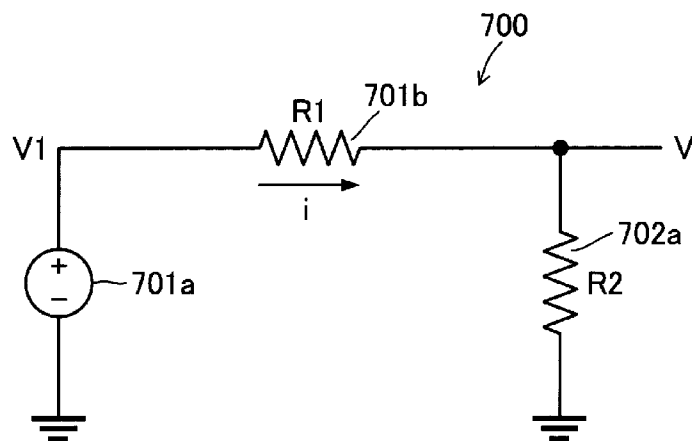
[図6]



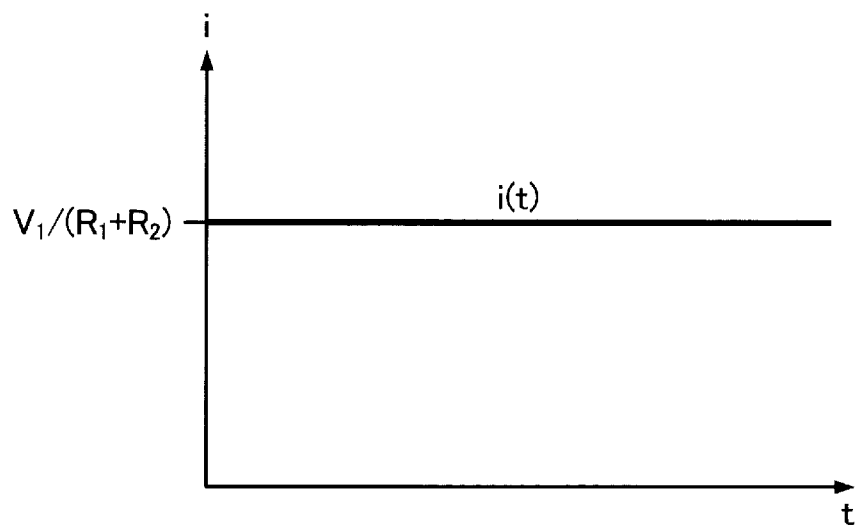
[図7-1]



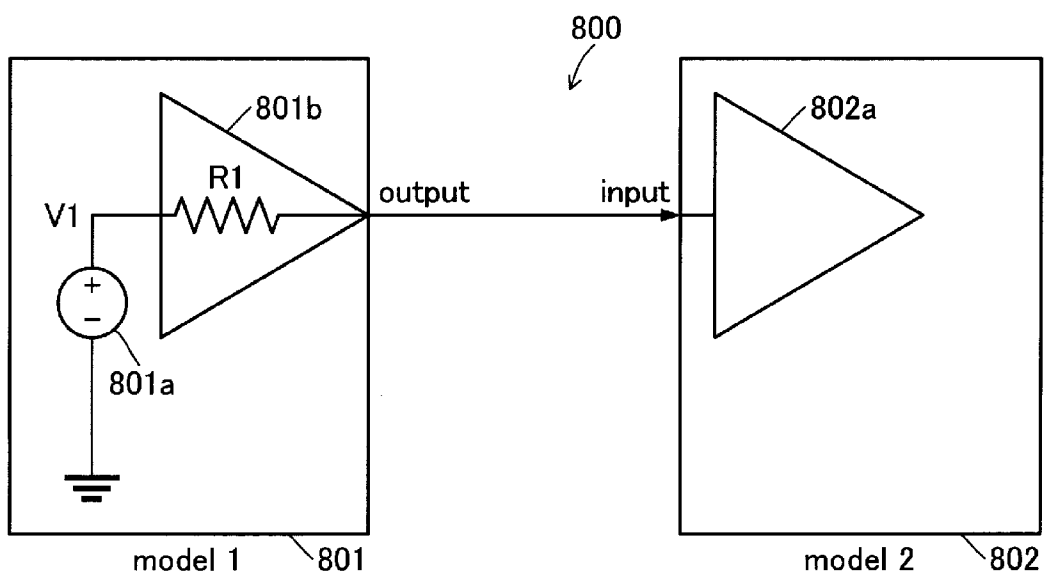
[図7-2]



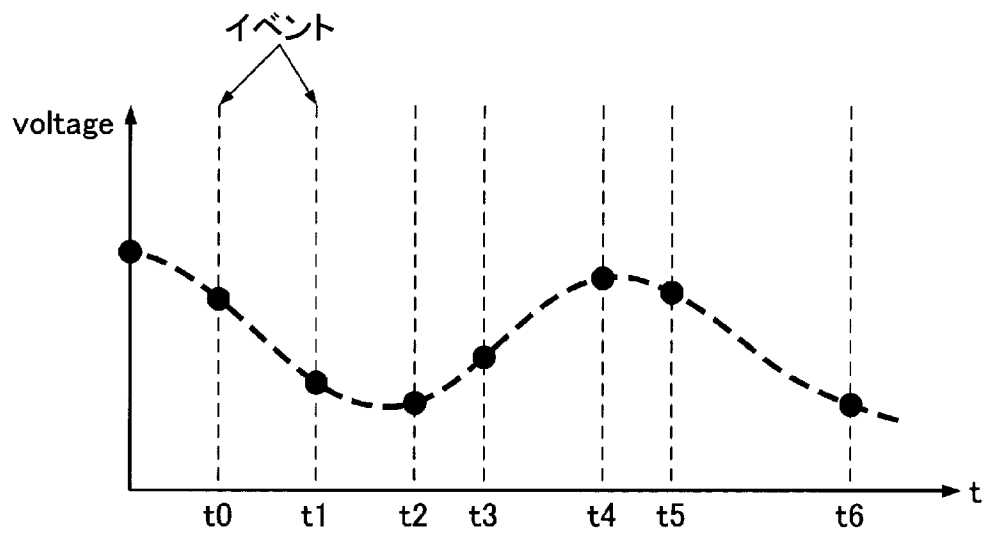
[図7-3]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/062981

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-167140 A (Matsushita Electronics Corp.), 22 June 2001 (22.06.2001), claims (Family: none)	1, 3, 7 2, 4-6
Y A	JP 3-166751 A (Kawasaki Steel Corp.), 18 July 1991 (18.07.1991), claims (Family: none)	1, 3, 7 2, 4-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
18 August, 2011 (18.08.11)

Date of mailing of the international search report
30 August, 2011 (30.08.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F17/50 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2001-167140 A (松下電子工業株式会社) 2001.06.22, 特許請求の範囲 (ファミリーなし)	1, 3, 7 2, 4-6
Y A	JP 3-166751 A (川崎製鉄株式会社) 1991.07.18, 特許請求の範囲 (ファミリーなし)	1, 3, 7 2, 4-6

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 8 . 2 0 1 1

国際調査報告の発送日

3 0 . 0 8 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 幸雄

5 H

9 1 9 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 1