(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 11 月 21 日(21.11.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/172059 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/12* (2006.01)
H01L 21/76 (2006.01) *H01L 29/739* (2006.01)

(21) 国際出願番号: PCT/JP2013/052576

(22) 国際出願日: 2013 年 2 月 5 日(05.02.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-111192 2012 年 5 月 15 日(15.05.2012) JP

(71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 吉川 功(YOSHIKAWA, Koh); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 脇本 博樹(WAKIMOTO, Hiroki); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 荻野 正明(OGINO, Masaaki); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関３丁目２番５号 霞が関ビルディング２０階 酒井総合特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

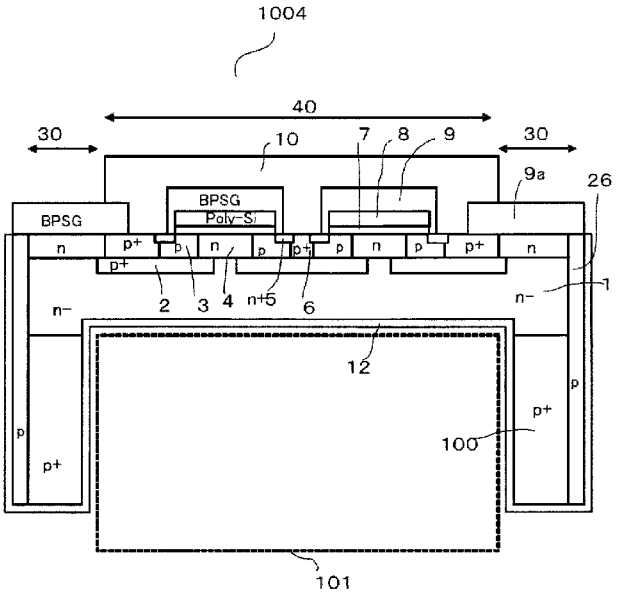
添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置

[図1]



(57) **Abstract**: This SiC reverse blocking MOSFET (1004) is provided with: an active region (40) containing a MOS gate structure at the obverse surface side of an SiC n^- type drift layer (1) grown at one primary surface of a p^+ type SiC substrate (100); and a voltage-resistant structure section (30) that encircles the outer periphery of the active region (40). At the lateral surface of the SiC n^- type drift layer (1), a p-type separation region (26) is provided that encircles the outer periphery of the voltage-resistant structure section (30) and extends from the front lateral surface of the SiC n^- type drift layer (1) to the p^+ type SiC substrate (100). At the region of the other primary surface of the p^+ type SiC substrate (100) opposite the active region (40), a concavity (101) is provided that has a bottom surface area corresponding to the surface area of the active region (40) and that penetrates the p^+ type SiC substrate (100) extending to the SiC n^- type drift layer (1). At the inner wall of the concavity (101), a metal film (12) is provided that contacts the SiC n^- type drift layer (1) at the floor of the concavity (101) and forms a Schottky connection.

(57) 要約:

[続葉有]

WO 2013/172059 A1

ＳｉＣ逆阻止ＭＯＳＦＥＴ（１００４）は、ｐ+型ＳｉＣ基板（１００）の一方の主面に成長させたＳｉＣ－ｎ-型ドリフト層（１）の表面側に、ＭＯＳゲート構造を含む活性領域（４０）と、活性領域（４０）の外周を取り巻く耐圧構造部（３０）とを備える。ＳｉＣ－ｎ-型ドリフト層（１）の側面には、耐圧構造部（３０）の外周を取り巻き、ＳｉＣ－ｎ-型ドリフト層（１）のおもて面側からｐ+型ＳｉＣ基板（１００）に達するｐ型分離領域（２６）が設けられる。ｐ+型ＳｉＣ基板（１００）の他方の主面の活性領域（４０）に対向する領域には、ｐ+型ＳｉＣ基板（１００）を貫通してＳｉＣ－ｎ-型ドリフト層（１）に達し、かつ活性領域（４０）の面積に対応する底面積を有する凹部（１０１）が設けられる。凹部（１０１）の内壁には、凹部（１０１）の底部でＳｉＣ－ｎ-型ドリフト層（１）と接触してショットキー接合を形成する金属膜（１２）が設けられる。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] 最近、電力変換装置においてＡＣ（交流）／ＡＣ変換、ＡＣ／ＤＣ（直流）変換、ＤＣ／ＡＣ変換等を行うにあたって、回路の小型化、軽量化、高効率化、高速応答化および低コスト化等の観点から、直接リンク形変換回路等のマトリックスコンバータが注目されている。その理由の一つに、次の点が挙げられる。通常のインバータ／コンバータからなる電力変換装置は、コンバータにより交流電圧から直流中間電圧を生成した後、インバータにより直流中間電圧を交流電圧に変換する方式であり、コンバータとインバータとの中間部に直流中間電圧を平滑化する直流平滑コンデンサーを必要とする。しかも、この直流平滑コンデンサーとして使用される電界コンデンサーの寿命によって、電力変換装置の寿命が決まる傾向にある。これに対して、マトリックスコンバータは、交流電圧から交流電圧を直接生成するため、通常のインバータ／コンバータからなる電力変換装置よりも電力変換効率が高い。さらに、マトリックスコンバータは、直流中間電圧を生成しないため、直流平滑コンデンサーを必要としないからである。

[0003] マトリックスコンバータに使用される好適なデバイスは、双方向に電流を制御することができる双方向スイッチング素子である。図１４は、一般的な双方向スイッチング素子の等価回路を示す回路図である。このような双方向スイッチング素子は、図１４（ａ）の等価回路図に示すように２個のダイオード１００２と２個のトランジスタ１００１とによって表すことができる。この構成では、スイッチング素子であるトランジスタ１００１に印加される逆方向電圧を阻止するために、トランジスタ１００１にダイオード１００２を直列接続する必要がある。トランジスタ１００１としては、ゲート電圧に

よってオンオフの切り替えと電流制御とが可能な電圧駆動型のＩＧＢＴ（絶縁ゲートバイポーラトランジスタ）またはＭＯＳＦＥＴ（絶縁ゲート型電界効果トランジスタ）などが好適に用いられる。

[0004] 図１４（ａ）に示す２個のトランジスタ１００１で構成された一般的な双方向スイッチング素子において、上述したように逆方向電圧を阻止するためのダイオード１００２を必要とする理由は、通常のＩＧＢＴやＭＯＳＦＥＴなどは逆方向の耐圧信頼性（逆阻止能力）を確保するようには設計されていない、また、逆阻止能力が確保されるように製造することが容易でないからである。従って、通常のＩＧＢＴやＭＯＳＦＥＴなどにおいて耐圧と言えば、順方向耐圧のことである。最近では、通常のＩＧＢＴが備える順方向耐圧（順阻止能力）に加えて逆阻止能力も確保した逆阻止ＩＧＢＴ（ＲＢ－ＩＧＢＴ）と呼ばれるパワーデバイスも開発されるようになった（例えば、下記特許文献１参照。）。

[0005] この逆阻止ＩＧＢＴを用いた双方向スイッチング素子の等価回路図を図１４（ｂ）に示す。図１４（ｂ）に示す双方向スイッチング素子は２個の逆阻止ＩＧＢＴ１００３を逆並列接続することで、より簡単に構成することができる。この図１４（ｂ）に示す２個の逆阻止ＩＧＢＴ１００３で構成された双方向スイッチング素子は、図１４（ａ）に示す２個のダイオード１００２と２個のトランジスタ１００１とで構成された双方向スイッチング素子と比較すれば分かるようにダイオードが不要となる。このため、図１４（ｂ）に示す双方向スイッチング素子は、ダイオードを備えない分だけ電力損失も小さく、かつコンパクトになる。従って、図１４（ｂ）に示す双方向スイッチング素子を用いることにより、マトリックスコンバータをコンパクトなサイズで、かつ低コストで提供することができるようになる。

[0006] 従来の逆阻止ＩＧＢＴについて、シリコン（Ｓｉ）を基板材料（以下、Ｓｉ基板とする）に用いた場合（以下、シリコン逆阻止ＩＧＢＴとする）を例に説明する。図１５は、従来のシリコン逆阻止ＩＧＢＴの構成を模式的に示す断面図である。図１５に示すように、n^-型ドリフト層５２となるシリコン

でできた半導体基板表面の領域には、オン状態のときに主電流が流れる活性領域４２と、順方向耐圧を確保する耐圧構造部３２とが設けられている。活性領域４２の構成は、基本的には一般的なＩＧＢＴと同じである。エミッタ電極５１はｐベース領域５５の表面およびn^+エミッタ領域５６の表面にオーミック接触することにより電気的に接続される。ゲート電極５８は、n^+エミッタ領域５６表面とn^-型ドリフト層５２表面との間に挟まれた部分のｐベース領域５５の表面上にゲート絶縁膜５７を介して形成され、ＭＯＳゲート（金属－酸化膜－半導体からなる絶縁ゲート）構造を構成する。コレクタ電極６０は、半導体基板の裏面側に形成されるｐコレクタ層５９の表面にオーミック接触して電気的に接続されている。

[0007] 半導体基板の側面には、基板裏面側のｐコレクタ層５９と基板おもて面側のｐ型チャネルストッパー領域５４とに接触し、基板の両主面を繋ぐように基板裏面から基板おもて面に達するｐ型の分離領域５３が設けられている。このように分離領域５３を設けることによって、半導体基板の裏面から側面にわたってｐｎ接合６１が形成される。ｐｎ接合６１は、デバイスの活性領域４２に形成されているＭＯＳゲート構造を包むような形状の接合面となる。このｐｎ接合６１は、デバイスの逆方向耐圧を負担する機能を有する。このため、デバイスに逆方向の電圧が印加された（エミッタ端子Ｅに印加される電圧がコレクタ端子Ｃに印加される電圧よりも高い）場合、破線で示される空乏層６２は逆方向印加電圧の上昇とともに、ｐｎ接合６１から主としてn^-型ドリフト層５２側に広がる。

[0008] 逆方向電圧印加時に、ｐｎ接合６１から広がる空乏層６２の端部が半導体基板おもて面と交差する部分（すなわち、n^-型ドリフト層５２の、ｐベース領域５５とｐ型チャネルストッパー領域５４とに挟まれた部分）は絶縁保護膜（図示しない）により保護される。この絶縁保護膜により保護される半導体基板おもて面の領域は耐圧構造部３２となる。この耐圧構造部３２に、図示しないＦＬＲ（Ｆｉｅｌｄ　Ｌｉｍｉｔｉｎｇ　Ｒｉｎｇ）などの耐圧構造を設けて、半導体基板おもて面近傍で高くなり易い電界強度を緩和し、活

性領域４２下のｐコレクタ層５９近傍のｐｎ接合６１における電界強度よりも小さくすることによって半導体デバイスの逆方向耐圧の信頼性を高くすることが提案されている（例えば、下記特許文献１，２参照。）。

[0009] 一方、炭化珪素（ＳｉＣ）半導体や窒化ガリウム（ＧａＮ）半導体は、バンドギャップがシリコン（Ｓｉ）半導体の約３倍であり、絶縁破壊電界強度が約１０倍という優れた特性を有する。このため、ＳｉＣ半導体やＧａＮ半導体は、Ｓｉ半導体に比べて、同じ耐圧で、より低オン電圧化および高速スイッチング化を図ることができる。例えば、ＳｉＣやＧａＮを基板材料（以下、ＳｉＣ基板、ＧａＮ基板とする）に用いたパワーデバイスは、Ｓｉ基板を用いた同じ耐圧のパワーデバイスと比較してｎ$^-$型ドリフト層５２（図１５）の厚さを約１／１０にすることが可能となる。詳細には、ＳｉＣ基板やＧａＮ基板を用いた縦型パワーデバイスのｎ$^-$型ドリフト層５２の厚さ、すなわち基板厚さは、耐圧１２００Ｖ級とするために必要な１５μｍ程度、耐圧６００Ｖ級とするために必要な１０μｍ以下程度の厚さに薄くすることができる。

[0010] しかしながら、ＳｉＣやＧａＮは、上述したようにＳｉよりもバンドギャップが広い（以下、ワイドバンドギャップ：Ｗｉｄｅ Ｂａｎｄ Ｇａｐとする）ため、ＳｉＣ基板やＧａＮ基板を用いてＩＧＢＴを構成した場合、ｐｎ接合のビルトイン電位（３Ｖ程度）がＳｉ基板を用いた場合のｐｎ接合のビルトイン電位（０．７Ｖ程度）よりも大きくなる。これによって、６００Ｖ級や１２００Ｖ級の耐圧程度のデバイスでは低オン電圧のメリットが得られにくい。そのため、この程度の耐圧クラスのトランジスタデバイスをＳｉＣ基板やＧａＮ基板を用いて構成するために、オン時に主電流が横切るｐｎ接合を有していない（すなわちビルトイン電位の影響が無い）または逆方向耐圧特性を備えないＭＯＳＦＥＴやＪ－ＦＥＴ（Ｊｕｎｃｔｉｏｎ－Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）の開発から進められている。

[0011] また、別の逆阻止デバイスとして、次の装置が提案されている。低抵抗で厚いＳｉ基板（サブストレート）のおもて面上に、ＡｌＮ（窒化アルミニウ

ム）層などのバッファ層を介してＧａＮ層が設けられている。ＧａＮ層の表面（Ｓｉ基板側に対して反対側の表面）にＭＯＳゲート構造などが設けられている。Ｓｉ基板の裏面側からＧａＮ層に到達する深いトレンチが設けられている。トレンチの内部には、トレンチ内壁面にショットキー接合を形成する金属電極が埋設され、逆阻止ＭＯＳＦＥＴ（以下、ＧａＮ逆阻止ＭＯＳＦＥＴとする）が構成されている。このＧａＮ逆阻止ＭＯＳＦＥＴは、トレンチ底部のショットキー接合により逆阻止能力を確保する構造を備える（例えば、下記特許文献２参照。）。

[0012] また、別の逆阻止デバイスとして、次の装置が提案されている。Ｓｉ基板のおもて面上に、バッファ層を介して高濃度のＧａＮ層と低濃度のＧａＮ層とが順に積層されている。Ｓｉ基板裏面から高濃度のＧａＮ層に達するトレンチが設けられている。トレンチの内部にはショットキーバリア金属が埋め込まれ、ショットキーバリアダイオードが構成されている（例えば、下記特許文献３参照。）。

[0013] また、別の逆阻止デバイスとして、p^+Ｓｉ基板裏面からコレクタ層を貫通してn^-型ドリフト層に達するトレンチが設けられており、トレンチの内部に埋め込まれた導電体とn^-型ドリフト層とがショットキー接触する構成のＩＧＢＴが提案されている（例えば、下記特許文献４参照。）。

[0014] さらに、別の逆阻止デバイスとして、次の装置が提案されている。図１６は、従来のｐチャネル型の逆阻止ＩＧＢＴの構成を示す断面図である。図１６は、下記特許文献５の図７である。図１６に示すように、低抵抗の厚いn^-ＳｉＣ基板７０のおもて面上に、低濃度p^-ＳｉＣ層７１がエピタキシャル成長されている。低濃度p^-ＳｉＣ層７１の表面（n^-ＳｉＣ基板７０側に対して反対側の表面）にＭＯＳゲート構造７２などが設けられている。低抵抗の厚いn^-ＳｉＣ基板７０の裏面側からn^-ＳｉＣ基板７０を貫通して低濃度p^-ＳｉＣ層７１に到達する深いトレンチ７３が設けられている。トレンチ７３の内壁に沿って低濃度p^-ＳｉＣ層７１表面にショットキー接合を形成する金属電極７４が埋設されて、ｐチャネル型ＩＧＢＴ１０１１が構成されている（例

えば、下記特許文献５参照。）。

[0015] また、別の逆阻止デバイスとして、半導体基板の一方の主面側の中央部に、少なくとも耐圧に必要な厚さをもち、炭化珪素または窒化ガリウムからなる半導体層を備え、他方の主面側に、前記中央部に対向する位置に凹部を備えることにより、低オン抵抗と基板強度とを備え、ウェハプロセスにおけるウェハ割れを少なくした装置が提案されている（例えば、下記特許文献６参照。）。

[0016] また、別の逆阻止デバイスとして、第１端子が形成されている基板おもて面側にワイドバンドギャップ半導体を用いたスイッチ素子を有し、第２端子が形成されている基板裏面側に逆方向電流を阻止するヘテロ接合ダイオード要素を有する逆阻止型のスイッチング素子であって、基板側面（チップ切断面）に裏面からおもて面に達するようにヘテロ接合を延在させることで分離領域が構成された装置が提案されている（例えば、下記特許文献７参照。）。

[0017] また、別の逆阻止デバイスとして、ＧａＮ半導体またはＳｉＣ半導体を主たる半導体結晶とする半導体基板からなるｎ⁻型ドリフト層のおもて面側にゲート電極とエミッタ電極とを含むＭＯＳゲート構造を備え、チップ化のための切断面が、ｎ⁻型ドリフト層のおもて面と裏面とを連結するｐ型分離領域を有し、ｎ⁻型ドリフト層の裏面に接触するコレクタ電極がショットキー性金属膜を有する装置が提案されている（例えば、下記特許文献８参照。）。

[0018] 下記特許文献７，８では、逆方向電圧が印加されたときに、基板側面の分離領域を介して基板おもて面にドレイン電位があらわれる。そして、空乏層は、基板裏面からおもて面にまで達する逆方向耐圧を確保するための接合によって基板裏面側からおもて面側へと広がり、基板側面には到達しない。このため、逆方向漏れ電流が小さくなる。また、下記特許文献７では、基板おもて面側に設けられたＦＬＲやフィールドプレート（ＦＰ）などからなる逆方向耐圧構造により、十分な逆方向耐圧が得られる。

先行技術文献

特許文献

[0019] 特許文献1：特開２００２－３１９６７６号公報（第０００７～０００８段落）

特許文献2：特開２０１０－２５８３２７号公報（第０００４～０００５，００２１段落、第１６図）

特許文献3：特開２００９－５４６５９号公報（第１図、第００１８段落）

特許文献4：米国特許第７１３２３２１号明細書（第８図）

特許文献5：特開２０１０－２０６００２号公報（第７図、要約）

特許文献6：特開２００７－２４３０８０号公報（要約、第１図～第３図）

特許文献7：特開２００７－２８８１７２号公報

特許文献8：特開２００９－１２３９１４号公報

発明の概要

発明が解決しようとする課題

[0020] しかしながら、通常のＭＯＳＦＥＴやＪ－ＦＥＴは、逆方向耐圧を確保するためのｐｎ接合を備えておらず、逆阻止能力を有していない。従って、ＭＯＳＦＥＴやＪ－ＦＥＴなどを単体で上述した逆阻止デバイスとするために、基板裏面からドレイン層を貫通してｎ$^-$型ドリフト層に達するトレンチの内壁にドレイン電極とｎ$^-$型ドリフト層とのショットキー接合を設けて逆方向耐圧を確保するための接合とする構造が知られている。しかしながら、ＳｉＣ基板やＧａＮ基板を用いて耐圧６００Ｖ～１２００Ｖ級のデバイスを構成する場合、上述したようにデバイスに必要とされるｎ$^-$型ドリフト層の厚さは１０μｍ～１５μｍ程度にすぎない。このため、半導体基板の厚さが薄くなりすぎてウェハ割れなどが起きやすくなり、通常のウェハプロセスが極めて困難になることが問題である。

[0021] また、上記特許文献５では、低抵抗の厚いｎ$^-$ＳｉＣ基板７０を貫通して低濃度ｐ$^-$ＳｉＣ層７１に到達する深いトレンチ７３の内壁に沿ってショットキー接合を有しているため、トレンチ７３の底部では構造的に電流集中や電界集中が生じ易いという問題点がある。また、トレンチ７３の底部に露出する

低濃度ｐ⁻ＳｉＣ７１層の表面のエッチングダメージを取り除くことが難しく、低濃度ｐ⁻ＳｉＣ層７１の表面のエッチングダメージが耐圧低下の要因の一つとなる。さらに、トレンチ７３の幅は数μｍと狭いため、アスペクト比の高いトレンチ７３を形成した後に、トレンチ７３の内壁に沿ってショットキー接合を形成することは構造的に困難であるという問題点もある。

[0022] 上記特許文献７では、基板おもて面から深さ方向に垂直にトレンチを形成し、このトレンチ内部にＳｉ層を埋め込むことにより分離領域を形成する。このため、特に高耐圧デバイスを作製（製造）する場合、半導体基板の厚さが厚くなることでトレンチのアスペクト比が高くなり、製造が困難になるという問題がある。また、上記特許文献７では、逆方向耐圧構造部に不純物拡散法によりＦＬＲを設けているため、不純物が拡散しにくいワイドバンドギャップ半導体で構成されたデバイスでは、ＦＬＲのドリフト層とのｐｎ接合部の曲率半径が小さくなり、逆方向耐圧構造の長さが長くなる傾向にある。さらに、上記特許文献７では、順方向耐圧構造部および逆方向耐圧構造部ともにＦＬＲを設け、かつ順方向耐圧構造部と逆方向耐圧構造部との境界に順方向耐圧構造部と逆方向耐圧構造部とを分離するｎ型高濃度領域を設けているため、耐圧構造部の長さが長くなるという問題がある。また、上記特許文献８では、逆方向耐圧構造部が設けられていないため、十分な逆方向耐圧を得にくいという問題がある。

[0023] 本発明は、上述した従来技術による問題点を解消するため、ＳｉＣやＧａＮなどのシリコンよりもバンドギャップの広い半導体材料（ワイドバンドギャップ半導体）からなる半導体基板を用いた場合に、パワーデバイスとして十分な大電流を低オン電圧で流すことができ、高信頼性の順阻止能力および逆阻止能力を備える半導体装置を提供することを目的とする。

課題を解決するための手段

[0024] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第２導電型の半導体基板の一方の主面には、シリコンよりもバンドギャップの広い半導体材料からなる第１導電型半

導体層が設けられている。前記第１導電型半導体層の前記半導体基板側に対して反対側の表面側に、絶縁ゲート構造を含む活性領域が設けられている。前記活性領域の外周を取り巻く耐圧構造部が設けられている。前記半導体基板の他方の主面の前記活性領域に対して反対側の領域に、前記半導体基板を貫通して前記第１導電型半導体層に達する深さで、前記活性領域の面積に対応する面積を有する凹部が設けられている。前記凹部の内壁に沿って金属膜が設けられている。前記金属膜は、前記凹部の底部で前記第１導電型半導体層と接触してショットキー接合を形成する。

[0025] また、この発明にかかる半導体装置は、上述した発明において、前記活性領域と前記凹部との間の前記第１導電型半導体層に流れる主電流の最外周側の電流経路が、前記第１導電型半導体層の前記半導体基板側に対して反対側の表面となす角度は４５度以上であることを特徴とする。

[0026] また、この発明にかかる半導体装置は、上述した発明において、前記第１導電型半導体層の、前記耐圧構造部の外周を取り巻く部分に設けられた、前記第１導電型半導体層を深さ方向に貫通して前記半導体基板に達する第２導電型分離層をさらに備えることを特徴とする。

[0027] また、この発明にかかる半導体装置は、上述した発明において、前記第２導電型分離層が、前記半導体基板の他方の主面から前記第１導電型半導体層の前記半導体基板側に対して反対側の表面に達する深さのトレンチの側壁に沿って配置されていることを特徴とする。

[0028] また、この発明にかかる半導体装置は、上述した発明において、前記金属膜は、前記半導体基板の他方の主面から前記トレンチの内壁にわたって設けられ、前記トレンチの側壁で前記第２導電型分離層に接続されていることを特徴とする。

[0029] また、この発明にかかる半導体装置は、上述した発明において、前記金属膜は、さらに、前記半導体基板の他方の主面から前記第１導電型半導体層の前記半導体基板側に対して反対側の表面に達する深さのトレンチの側壁に沿って配置されていることを特徴とする。

[0030] また、この発明にかかる半導体装置は、上述した発明において、前記金属膜は、前記トレンチの側壁で前記第１導電型半導体層と接触してショットキー接合を形成していることを特徴とする。

[0031] また、この発明にかかる半導体装置は、上述した発明において、前記耐圧構造部は、順方向耐圧構造部と逆方向耐圧構造部と、からなる。前記順方向耐圧構造部は、前記第１導電型半導体層の前記半導体基板側に対して反対側の表面層に設けられ、順方向電圧が印加されたときに前記活性領域側から伸びる空乏層を外周側へ広げる第２導電型の第１接合終端領域を有する。前記逆方向耐圧構造部は、前記第１導電型半導体層の前記半導体基板側に対して反対側の表面層の、前記第１接合終端領域よりも外周側に設けられ、逆方向電圧が印加されたときに外周側から伸びる空乏層を前記活性領域側へ広げる第２導電型の第２接合終端領域を有することを特徴とする。

[0032] また、この発明にかかる半導体装置は、上述した発明において、前記第１接合終端領域の内部に、前記第１接合終端領域よりも不純物濃度が高い第２導電型の第３接合終端領域が設けられている。前記第２接合終端領域の内部に、前記第２接合終端領域よりも不純物濃度が高い第２導電型の第４接合終端領域が設けられていることを特徴とする。

[0033] また、この発明にかかる半導体装置は、上述した発明において、前記第１導電型半導体層の、前記第１接合終端領域と前記第２接合終端領域とに挟まれた部分は、前記順方向耐圧構造部と前記逆方向耐圧構造部とを兼ねることを特徴とする。

[0034] また、この発明にかかる半導体装置は、上述した発明において、前記第１導電型半導体層が窒化ガリウム半導体層であることを特徴とする。

[0035] また、この発明にかかる半導体装置は、上述した発明において、金属－酸化膜－半導体からなる前記絶縁ゲート構造、または、金属－絶縁膜－半導体からなる前記絶縁ゲート構造を有する絶縁ゲート型電界効果トランジスタであることを特徴とする。

発明の効果

[0036] 本発明にかかる半導体装置によれば、ＳｉＣやＧａＮなどのワイドバンドギャップ半導体からなる半導体基板を用いた場合に、半導体基板の他方の主面から半導体基板を貫通して第１導電型半導体層に達する凹部の底部に、第１導電型半導体層とのショットキー接合を形成する金属膜を形成することで、パワーデバイスとして十分な大電流を低オン電圧で流すことができ、高信頼性の順阻止能力および逆阻止能力を確保することができるという効果を奏する。

図面の簡単な説明

[0037] [図1]図１は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの活性領域の要部を模式的に示す断面図である。

[図2]図２は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの製造工程を模式的に示す要部断面図である（その１）。

[図3]図３は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの製造工程を模式的に示す要部断面図である（その２）。

[図4]図４は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの製造工程を模式的に示す要部断面図である（その３）。

[図5]図５は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの製造工程を模式的に示す要部断面図である（その４）。

[図6]図６は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの製造工程を模式的に示す要部断面図である（その５）。

[図7]図７は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの耐圧構造部近傍の概略を示す断面図である。

[図8]図８は、図７のＳｉＣ逆阻止ＭＯＳＦＥＴのチップ全体の平面レイアウトを示す平面図である。

[図9]図９は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの耐圧特性を示す特性図である。

[図10]図１０は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴのオン時のＩ－Ｖ特性を示す特性図である。

[図11]図１１は、従来のシリコン逆阻止ＩＧＢＴの活性領域の要部を示す断面図である。

[図12]図１２は、従来のシリコン逆阻止ＩＧＢＴの耐圧構造部近傍の概略を示す断面図である。

[図13]図１３は、本発明の実施の形態２にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの活性領域の要部を示す断面図である。

[図14]図１４は、一般的な双方向スイッチング素子の等価回路を示す回路図である。

[図15]図１５は、従来のシリコン逆阻止ＩＧＢＴの構成を模式的に示す断面図である。

[図16]図１６は、従来のｐチャネル型の逆阻止ＩＧＢＴの構成を示す断面図である。

[図17]図１７は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの主要な製造工程の概要を示すフローチャートである。

[図18]図１８は、本発明の実施の形態３にかかるワイドバンドギャップ逆阻止ＭＯＳ型半導体装置の構成を示す断面図である。

[図19]図１９は、図１８の耐圧構造部を拡大して示す断面図である。

[図20]図２０は、従来のワイドバンドギャップ逆阻止ＭＯＳ型半導体装置の耐圧構造部を示す断面図である。

[図21]図２１は、本発明の実施の形態４にかかるワイドバンドギャップ逆阻止ＭＯＳ型半導体装置の耐圧構造部を示す断面図である。

[図22]図２２は、本発明の実施の形態５にかかるワイドバンドギャップ逆阻止ＭＯＳ型半導体装置の耐圧構造部を示す断面図である。

[図23]図２３は、本発明の実施の形態６にかかるワイドバンドギャップ逆阻止ＭＯＳ型半導体装置の構成を示す断面図である。

[図24]図２４は、図２３の耐圧構造部を拡大して示す断面図である。

発明を実施するための形態

[0038] 以下に添付図面を参照して、本発明にかかる半導体装置の好適な実施の形

態を詳細に説明する。本発明はその要旨を超えない限り、以下に説明する実施の形態に限定されるものではない。本明細書および添付図面においては、ｎまたはｐを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、ｎやｐに付す＋およびーは、それぞれそれが付されていない層や領域よりも相対的に不純物濃度が高いまたは低いことを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、実施の形態で説明される添付図面は、本発明の構成を見易くまたは理解し易くするために正確なスケール、寸法比で描かれていない。

[0039]（実施の形態１）

本発明の実施の形態１にかかるシリコンよりもバンドギャップの広い半導体材料からなる逆阻止絶縁ゲート型半導体装置（ワイドバンドギャップ逆阻止ＭＯＳ型半導体装置）について、図１～図６を参照して詳細に説明する。まず、実施の形態１にかかるワイドバンドギャップ逆阻止ＭＯＳ型半導体装置の構成について、炭化珪素（ＳｉＣ）を半導体材料として用いた逆阻止ＭＯＳＦＥＴ（以下、ＳｉＣ逆阻止ＭＯＳＦＥＴとする）を例に説明する。図１は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの活性領域の要部を模式的に示す断面図である。図１には、ＳｉＣ逆阻止ＭＯＳＦＥＴ１００４の主として活性領域４０を中心とする部分を示す。

[0040] 図１に示すように、実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴ１００４は、p^+型ＳｉＣ基板１００と、その一方の主面に接して積層されp^+型ＳｉＣ基板１００より低濃度のＳｉＣ－n^-型ドリフト層１とを備える。このＳｉＣ－n^-型ドリフト層１の表面層（p^+型ＳｉＣ基板１００側に対して反対側の表面層）には、イオン注入により形成されたＳｉＣ－p^+型ベース領域２が選択的に設けられている。

[0041] ＳｉＣ－n^-型ドリフト層１の表面には、ＳｉＣ－p^+型ベース領域２を覆うように、ＳｉＣ－ｐ型エピタキシャル層が堆積されている。ＳｉＣ－ｐ型エピタキシャル層には、ＭＯＳゲート（金属ー酸化膜ー半導体からなる絶縁ゲ

ート）構造の一部を構成するＳｉＣ－ｐ型エピタキシャル領域３、ＳｉＣ－ｎ型Ｊ－ＦＥＴ領域４、ＳｉＣ－n^+型ソース領域５および$SiC-p^+$型ボディ領域６が選択イオン注入により所定のパターンで配置されている。

[0042] ＳｉＣ－ｎ型Ｊ－ＦＥＴ領域４を挟むように配置されたＳｉＣ－ｎ型Ｊ－ＦＥＴ領域４の両側のＳｉＣ－ｐ型エピタキシャル領域３の表面（ＳｉＣ－n^-型ドリフト層１側に対して反対側の表面）には、ゲート絶縁膜７を介してｐｏｌｙ－Ｓｉゲート電極８が設けられている。ｐｏｌｙ－Ｓｉゲート電極８は、ＢＰＳＧ（Ｂｏｒｏ Ｐｈｏｓｐｈｏ Ｓｉｌｉｃａｔｅ Ｇｌａｓｓ；層間絶縁膜）９を介してソース電極１０により覆われる。ソース電極１０は、ＢＰＳＧ９に設けられた開口部を介して$SiC-n^+$型ソース領域５および$SiC-p^+$型ボディ領域６に接触し、その下層の$SiC-p^+$型ベース領域２に導電接続される。

[0043] さらに、p^+型ＳｉＣ基板１００には、ＭＯＳゲート構造が形成される活性領域４０に対向する反対側の他方の主面（裏面）からp^+型ＳｉＣ基板１００を貫通して$SiC-n^-$型ドリフト層１に達する深さで凹部１０１が設けられている。凹部１０１の面積は、ＭＯＳゲート構造の形成領域（すなわち活性領域４０）の面積とほぼ同程度である。凹部１０１の面積とは、凹部１０１の底部（底面）の面積である。凹部１０１の詳細な説明については後述する。この凹部１０１の内壁を含む他方の主面側の表面には、ドレイン電極１２となる導電膜（金属膜）が設けられている。ドレイン電極１２となる金属膜は、$SiC-n^-$型ドリフト層１とのショットキー接合を形成しており、ショットキー電極として機能する。そのような金属膜は、例えば、ショットキーバリア金属材料となるチタン（Ｔｉ）膜をスパッタにより形成し、その上にニッケル（Ｎｉ）膜と金（Ａｕ）膜とを順にめっきにより積層することにより得られる。

[0044] さらに、$SiC-n^-$型ドリフト層１の表面（p^+型ＳｉＣ基板１００側に対して反対側の表面）には、ＭＯＳゲート構造側の活性領域４０の外周を取り巻く耐圧構造部３０が設けられている。耐圧構造部３０の外周には、耐圧構

造部３０を取り巻き、ＳｉＣ－ｎ⁻型ドリフト層１の表面（ｐ⁺型ＳｉＣ基板１００側に対して反対側の表面）からＳｉＣ－ｎ⁻型ドリフト層１を貫通してｐ⁺型ＳｉＣ基板１００に達するｐ型分離領域２６が設けられている。ｐ型分離領域２６は、ＳｉＣ－ｎ⁻型ドリフト層１の表面からｐ⁺型ＳｉＣ基板１００の裏面にまで達していてもよい。耐圧構造部３０のＳｉＣ－ｎ⁻型ドリフト層１上にはＢＰＳＧ９が設けられている。耐圧構造部３０においてＳｉＣ－ｎ⁻型ドリフト層１を被覆するＢＰＳＧ９は、フィールド絶縁膜（絶縁保護膜）９ａとして機能する。

[0045] 次に、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴ１００４の製造方法を説明する。図２～図６は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの製造工程を模式的に示す要部断面図である。図１７は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの主要な製造工程の概要を示すフローチャートである。まず、７５ｍｍ径、３００μｍ厚で、かつ主面が（０００１）Ｓｉ面である４Ｈ－ｐ⁺型ＳｉＣ基板１００を準備する（図１７（ａ））。次に、ｐ⁺型ＳｉＣ基板１００の一方の主面（おもて面）上に、周知の技術であるＣＶＤ法（化学的気相成長法）によってＳｉＣ－ｎ⁻型ドリフト層１をエピタキシャル成長によって厚さ１５μｍに形成する（図１７（ｂ））。ここまでの状態が図２に示されている。

[0046] 図１７（ｂ）の工程において、ＳｉＣ－ｎ⁻型ドリフト層１の不純物濃度は、例えば１．８×10^{16}ｃｍ$^{-3}$とした。ＳｉＣ－ｎ⁻型ドリフト層１を形成するためのエピタキシャル成長のシリコン材料として例えばシラン（SiH_4）ガス、炭素材料として例えばプロパン（C_3H_8）ガスを用いる。また、ＳｉＣ－ｎ⁻型ドリフト層１となるエピタキシャル層をｎ型化するために、ドーパント材料として例えばアルシン（AsH_3）およびスチビン（SbH_3）ガスを用いる。

[0047] 次に、フォトリソグラフィ工程により、ＳｉＣ－ｎ⁻型ドリフト層１の表面に、ＳｉＣ－ｐ⁺型ベース領域２の形成領域に対応する部分が所定のパターンで開口するフォトレジストパターン（不図示）を形成する。このフォトレジ

ストパターンをマスクとして、例えばアルミニウム（Ａｌ）イオンを６００℃の温度で１×１０^{15}ｃｍ$^{-2}$程度のドーズ量を照射し、ＳｉＣ－ｎ$^{-}$型ドリフト層１に選択的にイオン注入する。フォトレジストパターンを除去した後に、１７００℃の温度で２分程度のラピッドサーマルアニール（以降、ＲＴＡ）を行うことにより、ＳｉＣ－ｎ$^{-}$型ドリフト層１に注入したＡｌイオンを活性化させることにより、所定のパターンでＳｉＣ－ｐ$^{+}$型ベース領域２を形成する。

[0048] 次に、ＣＶＤ法によって、ＳｉＣ－ｐ型エピタキシャル領域３をエピタキシャル成長によって厚さ１μｍ～５μｍで、ＳｉＣ－ｎ$^{-}$型ドリフト層１の表面全面に堆積する。ＳｉＣ－ｐ型エピタキシャル領域３を形成するためのエピタキシャル成長は、例えば、ドーパントガスとしてトリメチルインジウム（Ｉｎ（ＣＨ$_3$）$_3$）を用いて、ＳｉＣ－ｐ型エピタキシャル領域３の不純物濃度が５×１０^{15}ｃｍ$^{-3}$となるように行う。次に、フォトリソグラフィ工程、高温イオン注入工程およびＲＴＡ工程により、ＳｉＣ－ｐ型エピタキシャル領域３の表面に、ＳｉＣ－ｎ型Ｊ－ＦＥＴ領域４、ＳｉＣ－ｎ$^{+}$型ソース領域５およびＳｉＣ－ｐ$^{+}$型ボディ領域６を所定のパターンで順次形成する。ここまでの状態が図３に示されている。

[0049] ＳｉＣ－ｎ型Ｊ－ＦＥＴ領域４、ＳｉＣ－ｎ$^{+}$型ソース領域５およびＳｉＣ－ｐ$^{+}$型ボディ領域６の形成順序は種々変更可能である。これらＳｉＣ－ｎ型Ｊ－ＦＥＴ領域４、ＳｉＣ－ｎ$^{+}$型ソース領域５およびＳｉＣ－ｐ$^{+}$型ボディ領域６の不純物濃度は、例えば、それぞれ順に約２×１０^{16}ｃｍ$^{-3}$、約３×１０^{20}ｃｍ$^{-3}$、および約１×１０^{19}ｃｍ$^{-3}$とする。ＳｉＣ－ｎ型Ｊ－ＦＥＴ領域４およびＳｉＣ－ｐ$^{+}$型ボディ領域６を形成するためのイオン注入は、例えば、加速エネルギーを４０ｋｅＶから４６０ｋｅＶまで変化させることで深い領域までイオン種が到達されるように行う。

[0050] ＲＴＡ工程は、例えば１７００℃の温度で２分間行う。また、ＲＴＡ工程は、ＳｉＣ－ｎ型Ｊ－ＦＥＴ領域４、ＳｉＣ－ｎ$^{+}$型ソース領域５およびＳｉＣ－ｐ$^{+}$型ボディ領域６を形成するためのイオン注入ごとに行ってもよいし、

これらのイオン注入がすべて終わった後に１回行ってもよい。次に、ＲＴＡ工程後に、ｐ+型ＳｉＣ基板１００、ＳｉＣ－ｎ-型ドリフト層１およびＳｉＣ－ｐ型エピタキシャル領域３が積層されてなる半導体基板（以下、ＳｉＣ基板とする）を酸化雰囲気で熱処理することで、ＳｉＣ基板のＳｉＣ－ｐ型エピタキシャル領域３側の表面（以下、おもて面とする）にゲート絶縁膜７を７０ｎｍの厚さで形成する。

[0051] 次に、ゲート絶縁膜７上にＣＶＤ法によって高不純物濃度ポリシリコンを０．５μｍの厚さで形成する。次に、フォトリソグラフィ工程およびエッチング工程によって、高不純物濃度ポリシリコンを所定のパターン形状にエッチングしてｐｏｌｙ－Ｓｉゲート電極８とする。このように、ＳｉＣ基板のＳｉＣ－ｐ型エピタキシャル領域３側の表面に、ＳｉＣ－ｎ型Ｊ－ＦＥＴ領域４、ＳｉＣ－ｎ+型ソース領域５、ＳｉＣ－ｐ+型ボディ領域６、ゲート絶縁膜７およびｐｏｌｙ－Ｓｉゲート電極８からなるＭＯＳゲート構造を形成する（図１７（ｃ））。

[0052] 次に、ＣＶＤ法によって、ｐｏｌｙ－Ｓｉゲート電極８を覆う厚さ１．０μｍのＢＰＳＧ９を層間絶縁膜として形成する。次に、フォトリソグラフィ工程およびエッチング工程によってＢＰＳＧ９をパターニングし、ＳｉＣ－ｎ+型ソース領域５表面とＳｉＣ－ｐ+型ボディ領域６表面とを選択的に露出させる開口パターンをＢＰＳＧ９に形成する。次に、ソース電極１０としてニッケル（Ｎｉ）膜とチタン（Ｔｉ）膜との積層膜をＳｉＣ－ｎ+型ソース領域５表面とＳｉＣ－ｐ+型ボディ領域６の表面とにオーミック接触するように形成する。ここまでの状態が図４に示されている。

[0053] 次に、ｐ+型ＳｉＣ基板１００のＭＯＳゲート構造側の表面（すなわちＳｉＣ基板のおもて面）に図示しない支持基板を貼り付けた後、厚さ３００μｍのｐ+型ＳｉＣ基板１００の裏面をバックグラインドして、ｐ+型ＳｉＣ基板１００の厚さを例えば５０μｍにまで減厚する（図１７（ｄ））。実施の形態１では、後工程となるｐ+型ＳｉＣ基板１００の裏面からのトレンチエッチング工程の所要時間を短縮するためにバックグラインドをするが、バックグラ

インド工程前のｐ+型ＳｉＣ基板１００の厚さが３００μｍより十分に薄い場合、例えば５０μｍに近い厚さの場合にはバックグラインド工程を省略してもよい。

[0054] 次に、ｐ+型ＳｉＣ基板１００のＭＯＳゲート構造側の表面に貼り付けた図示しない支持基板を残したままで、ｐ+型ＳｉＣ基板１００のバックグラインドした裏面全面にニッケル膜１１を１μｍ程度の厚さに被着する（図１７（ｅ））。次に、フォトリソグラフィ工程およびエッチング工程によって、素子内周部１３のニッケル膜１１をマスクとして残し、素子周辺部１４のニッケル膜１１を除去する（図１７（ｆ））。次に、ニッケル膜１１の残部をエッチングマスクとして用いて、ｐ+型ＳｉＣ基板１００を裏面からエッチングし、ｐ+型ＳｉＣ基板１００の素子周辺部１４に、ＳｉＣ基板のおもて面に到達するトレンチ溝１０５を形成する（図１７（ｇ））。素子内周部１３とは、活性領域４０、耐圧構造部３０およびｐ型分離領域２６が形成される部分である。素子周辺部１４とは素子内周部１３の外周を囲む部分であり、素子周辺部１４にはチップエッジ部（チップ側面）が露出される。

[0055] 次に、トレンチ溝１０５のエッチングマスクとして使用したニッケル膜１１の残部をイオン注入マスクとしてｐ+型ＳｉＣ基板１００の裏面から斜めイオン注入工程およびレーザーアニール工程を行い（図１７（ｊ））、トレンチ溝１０５の側壁にｐ型分離領域２６を形成する（図１７（ｈ））。この際、斜めイオン注入工程後、レーザーアニール工程の前に、ｐ+型ＳｉＣ基板１００裏面のニッケル膜１１を一旦全部除去しておく（図１７（ｉ））。ｐ型分離領域２６の不純物濃度は、例えば約１×１０^{18}ｃｍ$^{-3}$とする。ｐ型分離領域２６のイオン注入は、例えば４０ｋｅＶ、１００ｋｅＶおよび１５０ｋｅＶの３つの加速エネルギーで行い、比較的深い領域までイオン種が到達されるように行う。ここまでの状態が図５（ａ）に示されている。

[0056] 次に、ｐ+型ＳｉＣ基板１００の裏面に再度ニッケル膜１１ａを１μｍ程度の厚さに堆積する（図１７（ｋ））。次に、フォトリソグラフィ工程およびエッチング工程によって、活性領域４０に対応する基板裏面側のニッケル膜

１１ａを除去し、活性領域４０を取り巻く外周部に対応する基板裏面側のニッケル膜１１ａを残す（図１７（ｌ））。ここまでの状態が図５（ｂ）に示されている。次に、ニッケル膜１１ａの残部をエッチングマスクとして用いてｐ$^{+}$型ＳｉＣ基板１００を裏面からエッチングし、素子内周部１３の活性領域４０に対応する基板裏面部分に凹部１０１を形成する（図１７（ｍ））。この時、凹部１０１のエッチングの深さを、ｐ$^{+}$型ＳｉＣ基板１００の厚さを超えてＳｉＣ－ｎ$^{-}$型ドリフト層１に達する深さとすることにより、凹部１０１の先端（底部）にＳｉＣ－ｎ$^{-}$型ドリフト層１が現れるようにする。次に、ニッケル膜１１ａを除去し、ｐ$^{+}$型ＳｉＣ基板１００の裏面（凹部１０１の内壁も含む）に、ドレイン電極１２としてＴｉ膜、Ｎｉ膜、Ａｕ膜を順に蒸着によって積層する（図１７（ｎ））。ここまでの状態が図６に示されている。次に、ＳｉＣ基板おもて面側の支持基板を剥離する（図１７（ｏ））。これによって、実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴ１００４が完成する（図１７（ｐ））。

[0057] ＳｉＣ逆阻止ＭＯＳＦＥＴ１００４において、凹部１０１内壁にドレイン電極１２として形成されたＴｉ膜とＳｉＣ－ｎ$^{-}$型ドリフト層１とがショットキー接合を形成する。このショットキー接合がドレイン電極１２とソース電極１０との間にドレイン電極１２側が負の電位になるような電圧（すなわち逆方向電圧）が印加された場合に、逆方向電圧を負担する。このように、この実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴ１００４では、ｐ$^{+}$型ＳｉＣ基板１００の裏面の活性領域４０に対応する部分全面にＳｉＣ－ｎ$^{-}$型ドリフト層１に達する深さの凹部１０１を形成し、凹部１０１の先端（底部）で、平坦なＳｉＣ－ｎ$^{-}$型ドリフト層１とショットキー接合を形成するＴｉ膜を設けることで、電流集中や電界集中が発生しないという効果を奏する。

[0058] 図７は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの耐圧構造部近傍の概略を示す断面図である。図７には、ＳｉＣ逆阻止ＭＯＳＦＥＴ１００４の耐圧構造部３０および活性領域４０の一部を含むＳｉＣ基板（チップ）のチップ端部側の断面構成を示す。図８は、図７のＳｉＣ逆阻止Ｍ

ＯＳＦＥＴのチップ全体の平面レイアウトを示す平面図である。以下、ＳｉＣ基板の裏面から基板深さ方向にエッチングにより形成する凹部１０１について説明する。図７に示すように、ＳｉＣ－p^+型ベース領域２の最外周の開口部１９の外側の端部と、凹部１０１底部の最外周側の端部とを結ぶ一点鎖線１５と基板表面とのなす角度が４５度以上となるように凹部１０１を配置することが本発明では好ましい。ＳｉＣ－p^+型ベース領域２の開口部１９とは、隣り合うＳｉＣ－p^+型ベース領域２間に挟まれた、ＳｉＣ－p^+型ベース領域２が設けられていない所定幅のＳｉＣ－n^-型ドリフト層１部分である。上述したように、凹部１０１は、ＳｉＣ基板の裏面からp^+型ＳｉＣ基板１００を貫通してＳｉＣ－n^-型ドリフト層１に達する深さを有する。このため、凹部１０１をこのような配置にすることで、外周側のＭＯＳゲート構造に最外周の開口部１９より外側の部分の開口部１９を介する電流が集中しないようにすることが可能となる。前記一点鎖線１５と基板おもて面とのなす角度を４５度に近い９０度以下とした場合、図８のＳｉＣ逆阻止ＭＯＳＦＥＴ１００４の上面図に示すように、基板裏面の凹部１０１（破線）の面積２０２が、主電流の流れる活性領域４０の面積より大きくなる。前記角度を一点鎖線１５ａのように、さらに大きくすると、凹部１０１（破線）の面積２０２が活性領域４０の面積より小さくなることもあるが、この場合も本発明に含まれ、一点鎖線１５と基板おもて面とのなす角度が４５度に近い場合と同様の効果を奏する。

[0059] また、活性領域４０の外周を取り巻くように耐圧構造部３０が形成される。この耐圧構造部３０は、図７に示すように、電界緩和機能を有するＳｉＣ－ｐ型接合終端伸張領域２２ａ，２２ｂからなるＪＴＥ（Ｊｕｎｃｔｉｏｎ Ｔｅｒｍｉｎａｔｉｏｎ Ｅｘｔｅｎｓｉｏｎ）と、耐圧構造部３０の基板おもて面を保護するSiO_2膜などの絶縁保護膜９ａとを備えている。ＳｉＣ－ｐ型接合終端伸張領域２２ａは、ＭＯＳゲート構造の最外周のＳｉＣ－p^+型ベース領域２の外側に接して形成される。ＳｉＣ－ｐ型接合終端伸張領域２２ｂは、耐圧構造部３０の最外周に形成されるｐ型分離領域２６の内周

側に接する耐圧構造部３０の表面に形成される。このようなｐ型分離領域２６とＳｉＣ－ｐ型接合終端伸張領域２２ａ，２２ｂとを形成することで、空乏層を伸び易くして順方向および逆方向の両耐圧を向上させるとともに、印加電圧の上昇とともに伸びる空乏層を、チップ端面（側面）の切断部に直接接触させなくすることができる。その結果、高信頼性の逆方向耐圧を保持することができる。

[0060] 図９は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの耐圧特性を示す特性図である。図１０は、本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴのオン時の電流電圧特性（Ｉ－Ｖ特性）を示す特性図である。本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴ１００４の順方向耐圧は約７５０Ｖ、逆方向耐圧（図示せず）は約８５０Ｖであり、６００Ｖ耐圧素子として十分な阻止特性を示していることが分かる。今回の測定に用いた素子（実施例）のチップサイズは５ｍｍ×５ｍｍ、定格電流を５０Ａ（活性領域面積＝０．２ｃｍ^2、定格電流密度＝２５０Ａ／ｃｍ^2）とした。また、比較のために、通常の定格電圧６００Ｖで定格電流５０Ａ（定格電流密度２００Ａ／ｃｍ^2）のシリコン逆阻止ＩＧＢＴ１０１０（比較例）のオン時の電流電圧特性を図１０に示す。図９に示す実施例では、接合温度Ｔｊを室温（２５℃程度）とした。図１０に示す実施例および比較例では、接合温度Ｔｊを１２５℃とした。

[0061] 比較のために用いた前述のシリコン逆阻止ＩＧＢＴ１０１０の活性領域４００およびその外周を取り巻く耐圧構造部３５０について図１１、図１２を参照して説明する。図１１は、従来のシリコン逆阻止ＩＧＢＴの活性領域の要部を示す断面図である。図１２は、従来のシリコン逆阻止ＩＧＢＴの耐圧構造部近傍の概略を示す断面図である。図１１に示すように、活性領域４００は、ｎ$^-$型ドリフト層３００の一方の主面に形成されるｐ型ベース領域３０１と、このｐ型ベース領域３０１の表面層に形成されるｎ型エミッタ領域３０３およびｐ$^+$型ボディ領域３０２とを備える。ｐ型ベース領域３０１は、活性領域４００内に島状またはストライプ状の平面パターンで複数設けられる

。

[0062] 各ｐ型ベース領域３０１において、ｎ型エミッタ領域３０３とｎ⁻型ドリフト層３００とに挟まれた部分におけるｐ型ベース領域３０１の表面上には、ゲート絶縁膜３０４を介してポリシリコン膜などからなるゲート電極３０５が形成され、おもて面側ＭＯＳゲート構造が構成される。このゲート絶縁膜３０４およびゲート電極３０５は、基板表面で隣り合うｐ型ベース領域３０１に対しては共通のＭＯＳゲート構造となる。ｎ型エミッタ領域３０３およびｐ⁺型ボディ領域３０２の表面には、層間絶縁膜３０６の開口部で共通に導電接触するエミッタ電極３１０が形成される。ｎ⁻型ドリフト層３００の他方の主面側には、コレクタ領域３０８およびコレクタ電極３１２が形成される。

[0063] 図１２に示すように、耐圧構造部３５０は、活性領域４００の外周に複数の環状に形成されたＦＬＲ３２０などの電界緩和機構を有する。ｎ⁻型ドリフト層３００の、隣り合うＦＬＲ３２０に挟まれた部分の表面上には絶縁保護膜３０７が形成される。この耐圧構造部３５０の最外周側の素子終端部３１３には、基板おもて面（ｎ⁻型ドリフト層３００の一方の主面）から基板裏面（ｎ⁻型ドリフト層３００の他方の主面）側のコレクタ領域３０８に達する深さでｐ⁺型接合分離領域３２１が形成される。ｎ⁻型ドリフト層３００の厚さは、耐圧６００Ｖ級のシリコン逆阻止ＩＧＢＴ１０１０の場合、約１００μｍである。

[0064] 本発明の実施の形態１のＳｉＣ逆阻止ＭＯＳＦＥＴ１００４の接合温度Ｔｊ＝１２５℃におけるターンオフ損失は、Ｅｏｆｆ＝１．９ｍＪであった。一方、比較例のシリコン逆阻止ＩＧＢＴ１０１０の接合温度Ｔｊ＝１２５℃におけるターンオフ損失はＥｏｆｆ＝２．０ｍＪであった。本発明のＳｉＣ逆阻止ＭＯＳＦＥＴ１００４のオン電圧は１．６２Ｖと、比較例のシリコン逆阻止ＩＧＢＴ１０１０の２．２０Ｖと比較して十分に低い値が得られており、低オン電圧化が実現可能であることを確認した。さらに、本発明のＳｉＣ逆阻止ＭＯＳＦＥＴ１００４においては、前述のように低オン電圧化され

ていることから、基板の裏面の活性領域４０全面にトレンチ（凹部１０１）を設け、このトレンチの底部でショットキー接合を形成し、かつこのショットキー接合を形成する金属膜をドレイン電極１２とする構造とすることで、有効な順阻止能力および逆阻止能力を実現した電圧特性を有する縦型のスイッチングデバイスとして十分に機能していることが分かる。

[0065] 以上、説明したように、実施の形態１によれば、ＳｉＣ基板裏面からp^+型ＳｉＣ基板を貫通してn^-型ドリフト層に達する凹部の底部に、n^-型ドリフト層とのショットキー接合を形成するドレイン電極を形成することにより、パワーデバイスとして十分な大電流を低オン電圧で流すことができ、高信頼性の順阻止能力および逆阻止能力を確保することができる。

[0066] （実施の形態２）

本発明の実施の形態２にかかるワイドバンドギャップ逆阻止ＭＯＳ型半導体装置について説明する。図１３は、本発明の実施の形態２にかかるＳｉＣ逆阻止ＭＯＳＦＥＴの活性領域の要部を示す断面図である。実施の形態２にかかるＳｉＣ逆阻止ＭＯＳＦＥＴ１００５が実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴと異なる点は、耐圧構造部３１の外周に設けられたトレンチ２０の内壁に沿ってｐ型分離領域２６ａが形成されている点である。具体的には、このＳｉＣ逆阻止ＭＯＳＦＥＴ１００５は、活性領域４１を取り囲むように形成される耐圧構造部３１のさらに外周の周辺部に、基板おもて面からＳｉＣ－ｎ型Ｊ－ＦＥＴ領域４および$SiC-n^-$型ドリフト層１を貫通してp^+型ＳｉＣ基板１００に到達する深さのトレンチ２０を有する。このトレンチ２０を囲うようにトレンチ２０の内壁にｐ型分離領域２６ａが形成されている。

[0067] ｐ型分離領域２６ａは、例えばトレンチ２０内壁への斜めイオン注入および熱処理による不純物イオン拡散によって形成される。トレンチ２０の内部が絶縁膜２１で充填される。このように、耐圧構造部３１の外周側に、活性領域４１と耐圧構造部３１とを取り巻くように、かつ$SiC-n^-$型ドリフト層１の表面（p^+型ＳｉＣ基板１００側に対して反対側の表面）側からp^+型Ｓ

ｉＣ基板１００に到達するようにｐ型分離領域２６ａが形成されていれば、トレンチ２０とｐ型分離領域２６ａとからなる周辺部構造は上記構成に限らず、その他の構造であってもかまわない。

[0068] 以上、説明したように、実施の形態２にかかるＳｉＣ逆阻止ＭＯＳＦＥＴによっても、実施の形態１と同様に、パワーデバイスとして十分な大電流を低オン電圧で流すことができ、高信頼性の順阻止能力および逆阻止能力を備える縦型のスイッチングデバイスとすることができる。

[0069] （実施の形態３）

図１８は、本発明の実施の形態３にかかるワイドバンドギャップ逆阻止ＭＯＳ型半導体装置の構成を示す断面図である。図１９は、図１８の耐圧構造部を拡大して示す断面図である。図１９では、p^+型ＳｉＣ基板１００を図示省略する（以下、図２０～２２，２４においても同様）。本発明の実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴ１００４の耐圧構造部３０の構成を、実施の形態３として詳細に説明する。図１８に示すように、ＳｉＣ逆阻止ＭＯＳＦＥＴ１００４は、p^+型ＳｉＣ基板１００上にＳｉＣ－n^-型ドリフト層１が積層されてなるＳｉＣ基板からなり、活性領域４０にイオン注入およびエピタキシャル成長で形成されたＩＥ－ＭＯＳＦＥＴ（Ｉｍｐｌａｎｔａｔｉｏｎ ａｎｄ Ｅｐｉｔａｘｉａｌ ＭＯＳＦＥＴ）が構成されている。

[0070] 具体的には、活性領域４０において、ＳｉＣ基板のおもて面側（ＳｉＣ－n^-型ドリフト層１側）には、実施の形態１と同様に、ＳｉＣ－p^+型ベース領域２、ＳｉＣ－ｐ型エピタキシャル領域３、ＳｉＣ－n^+型ソース領域５、ＳｉＣ－p^+型ボディ領域６、ゲート絶縁膜７およびｐｏｌｙ－Ｓｉゲート電極８からなるＭＯＳゲート構造と、ＢＰＳＧ９によりｐｏｌｙ－Ｓｉゲート電極８と絶縁されたソース電極１０とが形成されている。ＳｉＣ－ｎ型Ｊ－ＦＥＴ領域は設けられていなくてもよい。ＳｉＣ基板の厚さは、例えば５０μｍ以上であってもよい。

[0071] ＳｉＣ基板側面には、実施の形態１と同様に、基板おもて面から裏面にわ

たってｐ型分離領域２６が設けられている。ＳｉＣ基板側面（チップエッジ部）は、基板主面に対して所定の角度で傾斜していてもよい。図１８には、ＳｉＣ基板の幅がおもて面から裏面に向かって狭くなるようにＳｉＣ基板側面が傾斜している場合を図示している。ＳｉＣ基板の裏面には、実施の形態１と同様に、活性領域４０に対向する部分に、p^+型ＳｉＣ基板１００を貫通してＳｉＣ－n^-型ドリフト層１に達する凹部１０１が設けられている。実施の形態１では、凹部１０１の側壁を基板主面に対して略９０度としているが、図１８に示すようにテーパー角からなる側壁を持つ凹部１０１としてもよい。図１８には、凹部１０１の開口幅が基板裏面側からおもて面側に向かって狭くなっている場合を図示している。

[0072] ＳｉＣ基板の裏面（凹部１０１の内壁も含む）から側面にわたって、実施の形態１と同様に、ドレイン電極１２が設けられている。ドレイン電極１２は、凹部１０１の底面においてＳｉＣ－n^-型ドリフト層１とショットキー接合を形成している。ドレイン電極１２は、基板側面においてｐ型分離領域２６に接続されている。このような構成にすることにより、逆方向電圧が印加されたときに、基板側面のｐ型分離領域２６とＳｉＣ－n^-型ドリフト層１との間のｐｎ接合から空乏層が広がり、逆方向漏れ電流が大きくなることを回避することができる。また、ドレイン電極１２が基板側面のｐ型分離領域２６に接続されていることにより、逆方向電圧が印加されたときに、ｐ型分離領域２６を介して基板おもて面にドレイン電位があらわれる。このため、逆方向電圧が印加されたときや過渡的にサージ電流が流れたときに、ＳｉＣ基板のおもて面側と裏面側の電位差がほぼない状態とすることができ、後述する逆方向耐圧構造部の最適化が容易となる。

[0073] 活性領域４０の外周を囲む耐圧構造部３０は、ＳｉＣ基板のおもて面側に設けられたＳｉＣ－ｐ型接合終端伸張領域２２ａ，２２ｂからなるＪＴＥ構造となっている。ＳｉＣ－ｐ型接合終端伸張領域２２ａは、耐圧構造部３０の内側に設けられ、最外周のＳｉＣ－p^+型ベース領域２に接している。また、ＳｉＣ－ｐ型接合終端伸張領域２２ａは、p^+型高濃度領域２３ａを介して

ＳｉＣ－ｎ$^{+}$型ソース領域５に電気的に接続されている。（図１９では、ＳｉＣ－ｎ$^{+}$型ソース領域５を図示省略する：図２１，２２，２４においても同様）。ＳｉＣ－ｐ型接合終端伸張領域２２ａは、順阻止能力を確保する機能を有し、順方向耐圧構造部を構成する。

[0074] ＳｉＣ－ｐ型接合終端伸張領域２２ｂは、耐圧構造部３０の外側に設けられ、ｐ$^{+}$型高濃度領域２３ｂを介してｐ型分離領域２６に電気的に接続されている。ＳｉＣ－ｐ型接合終端伸張領域２２ｂは、逆阻止能力を確保する機能を有し、逆方向耐圧構造部を構成する。耐圧構造部３０の基板おもて面は、絶縁保護膜９ａで覆われている。このように、耐圧構造部３０は、ＳｉＣ－ｐ型接合終端伸張領域２２ａからなる順方向耐圧構造部、ＳｉＣ－ｐ型接合終端伸張領域２２ｂからなる逆方向耐圧構造部および絶縁保護膜９ａで構成されている。

[0075] ＳｉＣ－ｎ$^{-}$型ドリフト層１の、ＳｉＣ－ｐ型接合終端伸張領域２２ａとＳｉＣ－ｐ型接合終端伸張領域２２ｂとに挟まれた部分には、順方向電圧が印加されたときに、活性領域４０側からｐ型分離領域２６側へ向かって伸びる空乏層２４が広がる。また、ＳｉＣ－ｎ$^{-}$型ドリフト層１の、ＳｉＣ－ｐ型接合終端伸張領域２２ａとＳｉＣ－ｐ型接合終端伸張領域２２ｂとに挟まれた部分には、逆方向電圧が印加されたときに、ｐ型分離領域２６側から活性領域４０側へ向かって伸びる空乏層２５が広がる。すなわち、ＳｉＣ－ｎ$^{-}$型ドリフト層１の、ＳｉＣ－ｐ型接合終端伸張領域２２ａとＳｉＣ－ｐ型接合終端伸張領域２２ｂとに挟まれた部分は、順方向耐圧構造部と逆方向耐圧構造部とを兼ねる。

[0076] ＳｉＣ－ｎ$^{-}$型ドリフト層１の、ＳｉＣ－ｐ型接合終端伸張領域２２ａとＳｉＣ－ｐ型接合終端伸張領域２２ｂとに挟まれた部分の長さ（ＳｉＣ－ｐ型接合終端伸張領域２２ａとＳｉＣ－ｐ型接合終端伸張領域２２ｂとの間の幅）は、順方向電圧が印加されたときに、活性領域４０側から伸びる空乏層２４がＳｉＣ－ｐ型接合終端伸張領域２２ｂに達しないように設定される。また、ＳｉＣ－ｎ$^{-}$型ドリフト層１の、ＳｉＣ－ｐ型接合終端伸張領域２２ａと

ＳｉＣ－ｐ型接合終端伸張領域２２ｂとに挟まれた部分の長さは、逆方向電圧が印加されたときに、ｐ型分離領域２６側から伸びる空乏層２５がＳｉＣ－ｐ型接合終端伸張領域２２ａに達しないように設定される。

[0077] 比較として、従来のＦＬＲからなる順方向耐圧構造部および逆方向耐圧構造部を備えたワイドバンドギャップ逆阻止ＭＯＳ型半導体装置の動作について説明する。図２０は、従来のワイドバンドギャップ逆阻止ＭＯＳ型半導体装置の耐圧構造部を示す断面図である。図２０は、上記特許文献７の図１などに示す耐圧構造部に相当する。図２０に示すように、従来のＳｉＣ逆阻止ＭＯＳＦＥＴにおいて、図示省略する活性領域には、ｐ型Ｓｉ基板上にＳｉＣ－n^-型ドリフト層１１１が積層されてなる半導体基板のおもて面側（ＳｉＣ－n^-型ドリフト層１１１側）に一般的なＭＯＳゲート構造が設けられている。符号１１２はＳｉＣ－p^+型ベース領域であり、符号１２０はソース電極である。

[0078] 半導体基板の側面には、半導体基板のおもて面からＳｉＣ－n^-型ドリフト層１１１を貫通してｐ型Ｓｉ基板（不図示）に達するシリコン半導体領域１２６が設けられている。耐圧構造部１３０は、半導体基板のおもて面側に設けられたリング状の複数のＦＬＲ１２２ａ，１２２ｂと、半導体基板のおもて面を覆う層間絶縁膜１１９とで構成される。活性領域側に設けられた複数のＦＬＲ１２２ａによって順方向耐圧構造部が構成される。シリコン半導体領域１２６側に設けられた複数のＦＬＲ１２２ｂによって逆方向耐圧構造部が構成される。最外周のＦＬＲ１２２ａと最内周のＦＬＲ１２２ｂとの間には、ｎ型ストッパー領域１２７が設けられている。

[0079] 従来のＳｉＣ逆阻止ＭＯＳＦＥＴにおいて、順方向電圧が印加されたときに活性領域側からシリコン半導体領域１２６側へ向かって伸びる空乏層１２４は、ｎ型ストッパー領域１２７の活性領域側の端部で止まる。逆方向電圧が印加されたときにシリコン半導体領域１２６側から活性領域側へ向かって伸びる空乏層１２５は、ｎ型ストッパー領域１２７のシリコン半導体領域１２６側の端部で止まる。すなわち、耐圧構造部１３０のうち、ｎ型ストッパ

ー領域１２７の活性領域側の端部から活性領域側が順方向耐圧構造部であり、ｎ型ストッパー領域１２７のシリコン半導体領域１２６の端部からシリコン半導体領域１２６側が逆方向耐圧構造部である。

[0080] このように、従来のＳｉＣ逆阻止ＭＯＳＦＥＴでは、ｎ型ストッパー領域１２７を境に順方向耐圧構造部と逆方向耐圧構造部とがそれぞれ設けられている。それに対して、本発明のＳｉＣ逆阻止ＭＯＳＦＥＴ１００４においては、ＳｉＣ－n^-型ドリフト層１の、ＳｉＣ－ｐ型接合終端伸張領域２２ａとＳｉＣ－ｐ型接合終端伸張領域２２ｂとに挟まれた部分を、順方向耐圧構造部と逆方向耐圧構造部とに共通の領域とすることができる。このため、本発明のＳｉＣ逆阻止ＭＯＳＦＥＴ１００４の耐圧構造部３０の長さを、従来のＳｉＣ逆阻止ＭＯＳＦＥＴの耐圧構造部１３０の長さよりも短くすることができる。また、ＳｉＣ基板はＳｉ基板の約１００倍の基板濃度（ＳｉＣ－n^-型ドリフト層１の不純物濃度）を有する。このため、ＳｉＣ逆阻止ＭＯＳＦＥＴ１００４は、シリコン逆阻止ＩＧＢＴよりも耐電荷性が高く、耐圧構造部の長さを短くすることができる。

[0081] 図１８，１９に示すＳｉＣ逆阻止ＭＯＳＦＥＴ１００４を製造する方法は、実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴ１００４の製造方法において、等方性エッチングにより、凹部１０１と、チップエッジ部を形成するためのトレンチ溝１０５とを形成すればよい。図１８，１９に示すＳｉＣ逆阻止ＭＯＳＦＥＴ１００４のそれ以外の製造方法は、実施の形態１にかかるＳｉＣ逆阻止ＭＯＳＦＥＴ１００４の製造方法と同様である。

[0082] 本発明のＳｉＣ逆阻止ＭＯＳＦＥＴ１００４の製造方法においては、上述した従来のＳｉＣ逆阻止ＭＯＳＦＥＴのようにトレンチ内部にＳｉ層を埋め込んでシリコン半導体領域１２６を形成する工程を行う必要がなく、逆阻止能力を確保することができる。このため、本発明のＳｉＣ逆阻止ＭＯＳＦＥＴ１００４の製造方法は、半導体基板に高アスペクト比のトレンチを形成する場合にも適用可能であり、半導体基板の厚さが厚い高耐圧の逆阻止デバイスに適している。また、ＳｉＣ基板の裏面からおもて面に達するトレンチ溝

１０５を形成することによりチップエッジ部が形成されるため、ダイシングを行う必要がない。

[0083] 以上、説明したように、実施の形態３によれば、実施の形態１，２と同様の効果を得ることができる。

[0084] （実施の形態４）

図２１は、本発明の実施の形態４にかかるワイドバンドギャップ逆阻止ＭＯＳ型半導体装置の耐圧構造部を示す断面図である。実施の形態４にかかるＳｉＣ逆阻止ＭＯＳＦＥＴが実施の形態３にかかるＳｉＣ逆阻止ＭＯＳＦＥＴと異なる点は、ＳｉＣ－ｐ型接合終端伸張領域２２ａとＳｉＣ－ｐ型接合終端伸張領域２２ｂとの間にｎ型ストッパー領域２７を設けた点である。ＳｉＣ－ｐ型接合終端伸張領域２２ａとＳｉＣ－ｐ型接合終端伸張領域２２ｂとの間にｎ型ストッパー領域２７を設けることにより、活性領域４０側からｐ型分離領域２６側へ向かって伸びる空乏層２４の広がり、および、ｐ型分離領域２６側から活性領域４０側へ向かって伸びる空乏層２５の広がりをさらに抑制することができる。

[0085] 以上、説明したように、実施の形態４によれば、実施の形態１～３と同様の効果を得ることができる。

[0086] （実施の形態５）

図２２は、本発明の実施の形態５にかかるワイドバンドギャップ逆阻止ＭＯＳ型半導体装置の耐圧構造部を示す断面図である。実施の形態５にかかるＳｉＣ逆阻止ＭＯＳＦＥＴが実施の形態３にかかるＳｉＣ逆阻止ＭＯＳＦＥＴと異なる点は、ＳｉＣ－ｐ型接合終端伸張領域（以下、第１ｐ型接合終端伸張領域とする）２２ａ，２２ｂの内部に、それぞれ、第１ｐ型接合終端伸張領域２２ａ，２２ｂよりも不純物濃度が高い第２ｐ型接合終端伸張領域２８ａ，２８ｂを設けた点である。

[0087] 順方向耐圧構造部は、第１ｐ型接合終端伸張領域２２ａと、第１ｐ型接合終端伸張領域２２ａの内部に設けられた第２ｐ型接合終端伸張領域２８ａとの２段のＪＴＥ構造となっている。第２ｐ型接合終端伸張領域２８ａは、p^+

型高濃度領域２３ａに接する。第１ｐ型接合終端伸張領域２２ａと第２ｐ型接合終端伸張領域２８ａとの間に、第１ｐ型接合終端伸張領域２２ａよりも不純物濃度が高く、第２ｐ型接合終端伸張領域２８ａよりも不純物濃度が低いｐ型接合終端伸張領域をさらに設けて、順方向耐圧構造部を３段以上のＪＴＥ構造としてもよい。

[0088] 逆方向耐圧構造部は、第１ｐ型接合終端伸張領域２２ｂと、第１ｐ型接合終端伸張領域２２ｂの内部に設けられた第２ｐ型接合終端伸張領域２８ｂとの２段のＪＴＥ構造となっている。第２ｐ型接合終端伸張領域２８ｂは、p^+型高濃度領域２３ｂに接する。第１ｐ型接合終端伸張領域２２ｂと第２ｐ型接合終端伸張領域２８ｂとの間に、第１ｐ型接合終端伸張領域２２ｂよりも不純物濃度が高く、第２ｐ型接合終端伸張領域２８ｂよりも不純物濃度が低いｐ型接合終端伸張領域をさらに設けて、逆方向耐圧構造部を３段以上のＪＴＥ構造としてもよい。

[0089] 以上、説明したように、実施の形態５によれば、実施の形態１～４と同様の効果を得ることができる。

[0090]（実施の形態６）

図２３は、本発明の実施の形態６にかかるワイドバンドギャップ逆阻止ＭＯＳ型半導体装置の構成を示す断面図である。図２４は、図２３の耐圧構造部を拡大して示す断面図である。実施の形態６にかかるＳｉＣ逆阻止ＭＯＳＦＥＴ１００６が実施の形態３にかかるＳｉＣ逆阻止ＭＯＳＦＥＴと異なる点は、基板側面にｐ型分離領域を設けておらず、基板側面にドレイン電極１２とＳｉＣ－n^-型ドリフト層１とのショットキー接合が形成されている点である。

[0091] 実施の形態６にかかるＳｉＣ逆阻止ＭＯＳＦＥＴ１００６においては、基板側面に形成されたショットキー接合により逆阻止能力が確保される。したがって、実施の形態１と同様に、耐圧構造部３３において、ＳｉＣ－n^-型ドリフト層１の、ＳｉＣ－ｐ型接合終端伸張領域２２ａとＳｉＣ－ｐ型接合終端伸張領域２２ｂとに挟まれた部分が順方向耐圧構造部と逆方向耐圧構造部

とを兼ねる。

[0092] 以上、説明したように、実施の形態６によれば、実施の形態１～５と同様の効果を得ることができる。また、実施の形態６によれば、逆方向電圧が印加されたときに、基板側面のショットキー接合から空乏層が広がるため、基板側面にｐ型分離領域とＳｉＣ－ｎ$^-$型ドリフト層との間のｐｎ接合を形成した場合と同様に、逆方向漏れ電流が大きくなることを回避することができる。

[0093] 以上において本発明は、本発明の趣旨を逸脱しない範囲で種々変更可能であり、上述した各実施の形態において例えば各部の寸法や表面濃度等は要求される仕様等に応じて種々設定される。また、各実施の形態では、ＭＯＳゲート構造を備える場合を例に説明しているが、ＭＩＳゲート（金属－絶縁膜－半導体からなる絶縁ゲート）構造を備えていてもよい。

産業上の利用可能性

[0094] 以上のように、本発明にかかる半導体装置は、ドレイン・ソース間の逆方向電圧印加に対して高信頼性を必要とするインバータやコンバータなどの電力変換装置などに使用されるパワー半導体装置に有用である。

符号の説明

[0095] １　ＳｉＣ－ｎ$^-$型ドリフト層

２　ＳｉＣ－ｐ$^+$型ベース領域

３　ＳｉＣ－ｐ型エピタキシャル領域

４　ＳｉＣ－ｎ型Ｊ－ＦＥＴ領域

５　ＳｉＣ－ｎ$^+$型ソース領域

６　ＳｉＣ－ｐ$^+$型ボディ領域

７　ゲート絶縁膜

８　ゲート電極

９　ＢＰＳＧ

９ａ　絶縁保護膜

１０　ソース電極

１１，１１ａ　ニッケル膜

１２　ドレイン電極

１３　素子内周部

１４　素子周辺部

１５，１５ａ　一点鎖線

１９　開口部

２０　トレンチ

２１　絶縁膜

２２ａ，２２ｂ　ＳｉＣ－ｐ型接合終端伸張領域

２３ａ，２３ｂ　p^+型高濃度領域

２４　順方向電圧印加時の空乏層

２５　逆方向電圧印加時の空乏層

２６，２６ａ　ｐ型分離領域

２７　ｎ型ストッパー領域

３０～３３　耐圧構造部

４０～４２　活性領域

１００　p^+型ＳｉＣ基板

１０１　凹部

１０５　トレンチ溝

２０２　凹部の面積

１００１　トランジスタ

１００２　ダイオード

１００３　逆阻止ＩＧＢＴ

１００４～１００６　ＳｉＣ逆阻止ＭＯＳＦＥＴ

請求の範囲

[請求項1] 第２導電型の半導体基板の一方の主面に成長させた、シリコンよりもバンドギャップの広い半導体材料からなる第１導電型半導体層と、

前記第１導電型半導体層の前記半導体基板側に対して反対側の表面側に設けられた、絶縁ゲート構造を含む活性領域と、

前記活性領域の外周を取り巻く耐圧構造部と、

前記半導体基板の他方の主面の前記活性領域に対して反対側の領域に、前記半導体基板を貫通して前記第１導電型半導体層に達する深さで設けられた、前記活性領域の面積に対応する面積を有する凹部と、

前記凹部の内壁に沿って設けられ、前記凹部の底部で前記第１導電型半導体層と接触してショットキー接合を形成する金属膜と、

を備えることを特徴とする半導体装置。

[請求項2] 前記活性領域と前記凹部との間の前記第１導電型半導体層に流れる主電流の最外周側の電流経路が、前記第１導電型半導体層の前記半導体基板側に対して反対側の表面となす角度は４５度以上であることを特徴とする請求項１に記載の半導体装置。

[請求項3] 前記第１導電型半導体層の、前記耐圧構造部の外周を取り巻く部分に設けられた、前記第１導電型半導体層を深さ方向に貫通して前記半導体基板に達する第２導電型分離層をさらに備えることを特徴とする請求項１に記載の半導体装置。

[請求項4] 前記第２導電型分離層が、前記半導体基板の他方の主面から前記第１導電型半導体層の前記半導体基板側に対して反対側の表面に達する深さのトレンチの側壁に沿って配置されていることを特徴とする請求項３に記載の半導体装置。

[請求項5] 前記金属膜は、前記半導体基板の他方の主面から前記トレンチの内壁にわたって設けられ、前記トレンチの側壁で前記第２導電型分離層に接続されていることを特徴とする請求項４に記載の半導体装置。

[請求項6] 前記金属膜は、さらに、前記半導体基板の他方の主面から前記第１

導電型半導体層の前記半導体基板側に対して反対側の表面に達する深さのトレンチの側壁に沿って配置されていることを特徴とする請求項１に記載の半導体装置。

[請求項7] 前記金属膜は、前記トレンチの側壁で前記第１導電型半導体層と接触してショットキー接合を形成していることを特徴とする請求項６に記載の半導体装置。

[請求項8] 前記耐圧構造部は、

前記第１導電型半導体層の前記半導体基板側に対して反対側の表面層に設けられ、順方向電圧が印加されたときに前記活性領域側から伸びる空乏層を外周側へ広げる第２導電型の第１接合終端領域を有する順方向耐圧構造部と、

前記第１導電型半導体層の前記半導体基板側に対して反対側の表面層の、前記第１接合終端領域よりも外周側に設けられ、逆方向電圧が印加されたときに外周側から伸びる空乏層を前記活性領域側へ広げる第２導電型の第２接合終端領域を有する逆方向耐圧構造部と、

からなることを特徴とする請求項１に記載の半導体装置。

[請求項9] 前記第１接合終端領域の内部に設けられた、前記第１接合終端領域よりも不純物濃度が高い第２導電型の第３接合終端領域と、

前記第２接合終端領域の内部に設けられた、前記第２接合終端領域よりも不純物濃度が高い第２導電型の第４接合終端領域と、

をさらに備えることを特徴とする請求項８に記載の半導体装置。

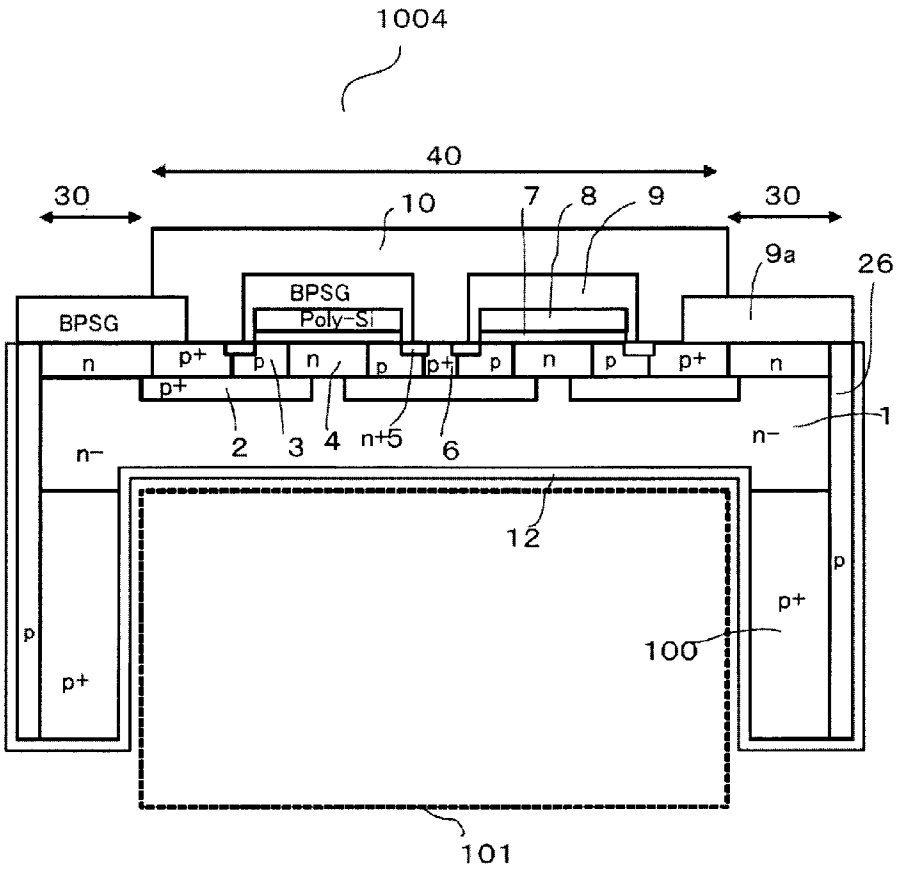
[請求項10] 前記第１導電型半導体層の、前記第１接合終端領域と前記第２接合終端領域とに挟まれた部分は、前記順方向耐圧構造部と前記逆方向耐圧構造部とを兼ねることを特徴とする請求項８に記載の半導体装置。

[請求項11] 前記第１導電型半導体層が窒化ガリウム半導体層であることを特徴とする請求項１に記載の半導体装置。

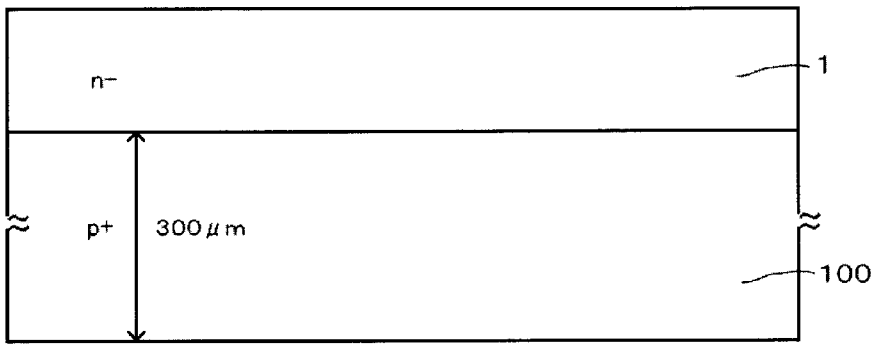
[請求項12] 金属－酸化膜－半導体からなる前記絶縁ゲート構造、または、金属－絶縁膜－半導体からなる前記絶縁ゲート構造を有する絶縁ゲート型

電界効果トランジスタであることを特徴とする請求項１～１１のいずれか一つに記載の半導体装置。

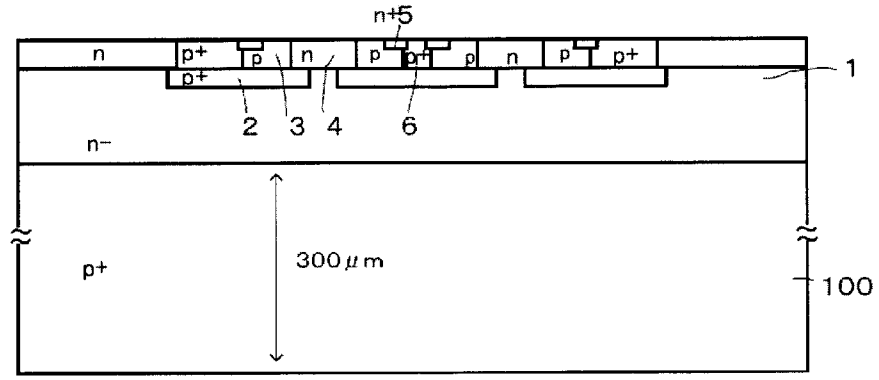
[図1]


1004
40
30
30
10
7
8
9
9a
26
BPSG
BPSG
Poly-Si
n
p+
p
n
p
p+
p
n
p
p+
n
p+
n−
n−
1
2
3
4
n+5
6
12
p
p+
p
p+
100
101

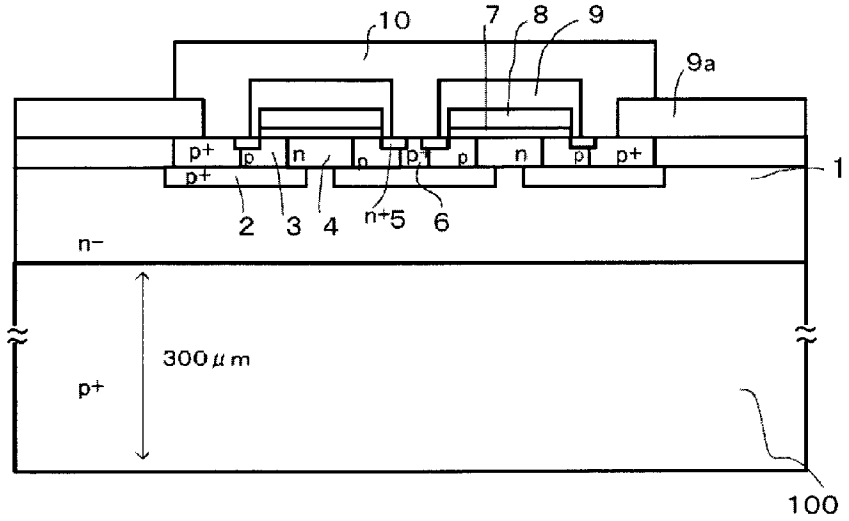
[図2]


n−
1
p+
300μm
100

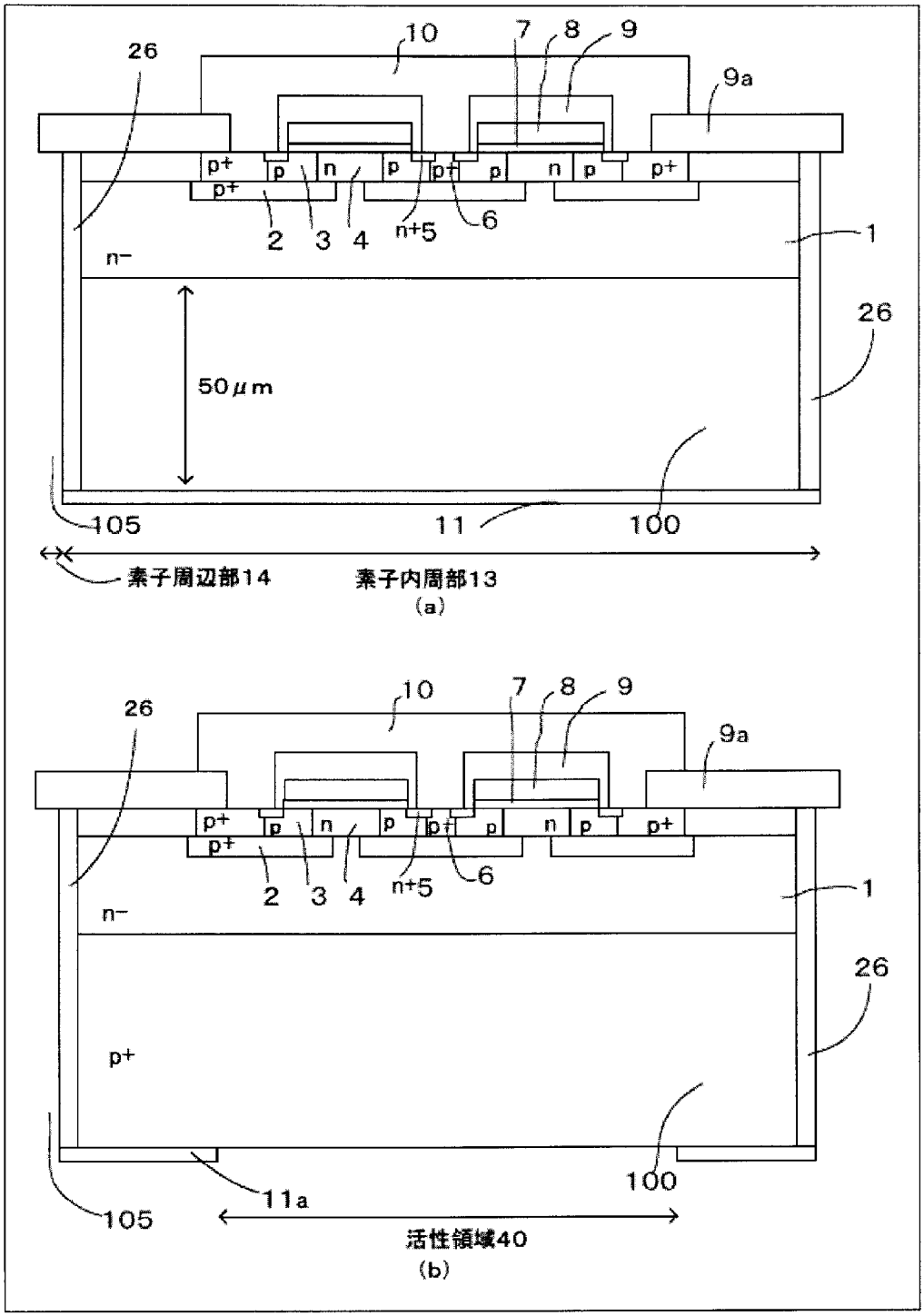
[図3]


n+5
n
p+
p
n
p
p+
p
n
p
p+
p+
1
2
3
4
6
n−
300μm
p+
100

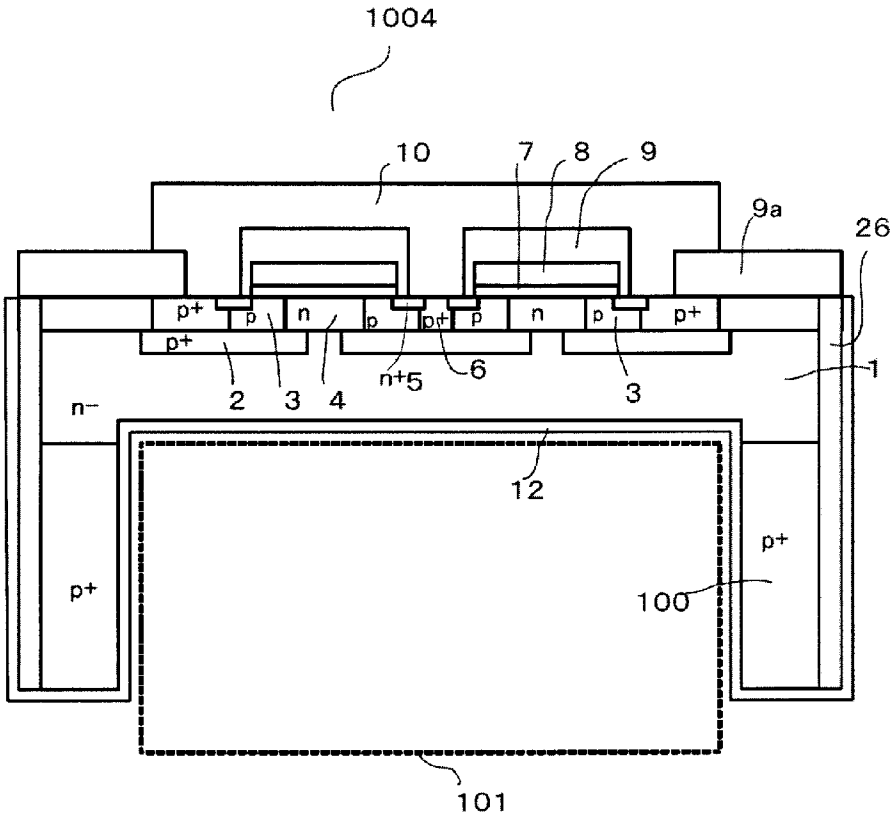
[図4]


10
7
8
9
9a
p+
p
n
n
p+
p
n
p
p+
p+
1
2
3
4
n+5
6
n−
300μm
p+
100

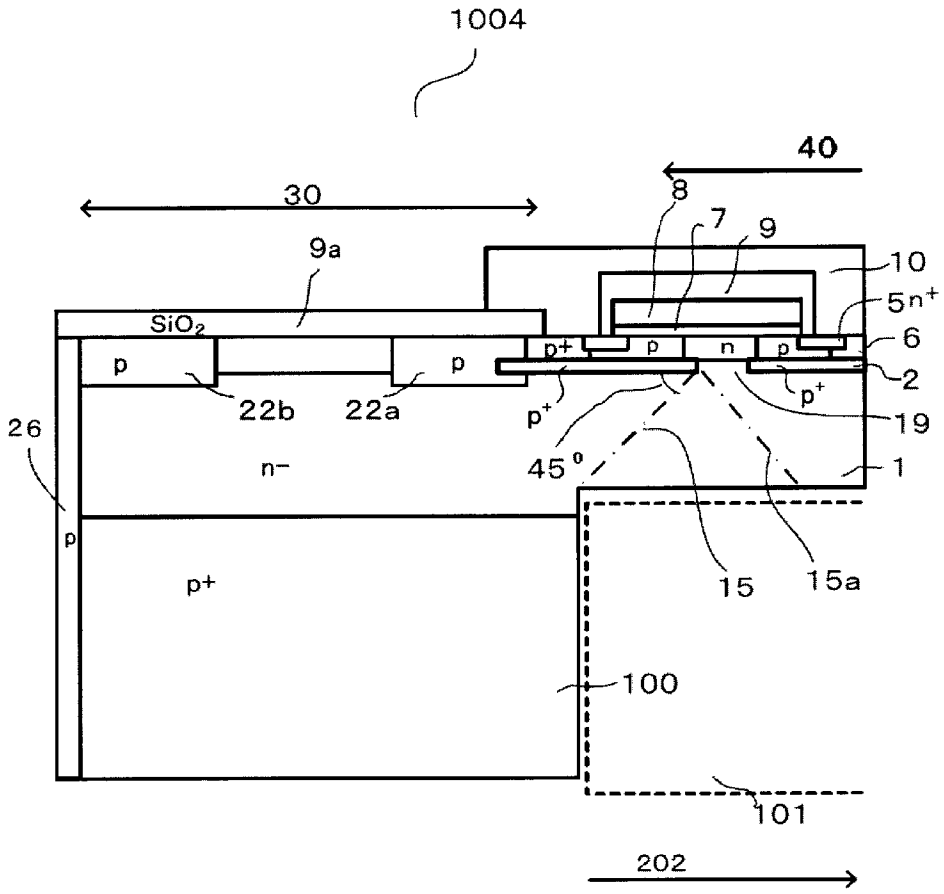
[図5]


26
10
7
8
9
9a
p+
p
n
p
p+
p
n
p
p+
p+
2
3
4
n+5
6
1
n−
50μm
26
105
11
100
素子周辺部14
素子内周部13
(a)
26
10
7
8
9
9a
p+
p
n
p
p+
p
n
p
p+
p+
2
3
4
n+5
6
1
n−
26
p+
100
11a
105
活性領域40
(b)

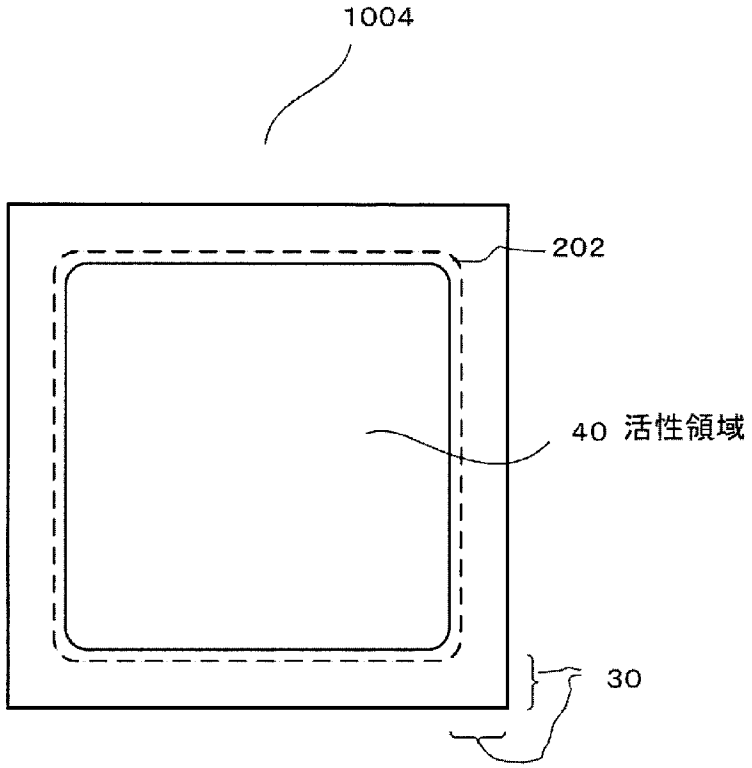
[図6]


1004
10
7
8
9
9a
26
p+
p
n
p
p+
p
n
p
p+
p+
2
3
4
n+5
6
3
1
n−
12
p+
p+
100
101

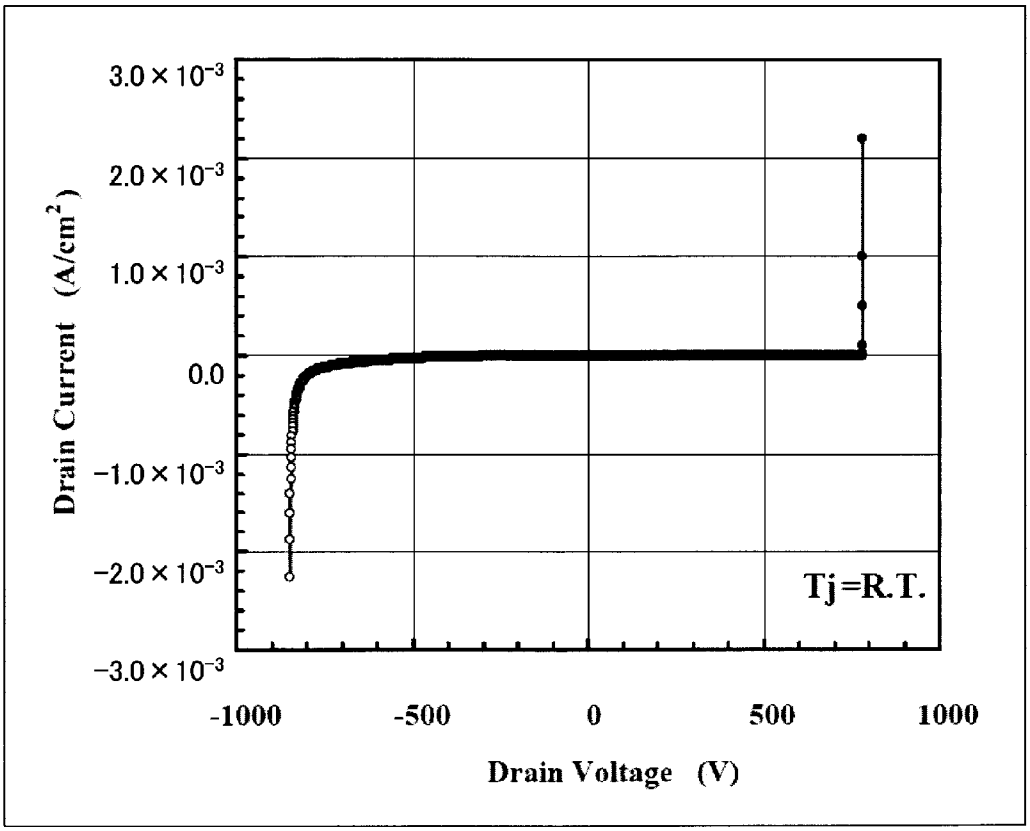
[図7]


1004
40
30
8
7
9
9a
10
5n+
SiO2
6
p
p
p+
p
n
p
2
22b
22a
p+
p+
19
26
n−
45°
1
p
p+
15
15a
100
101
202

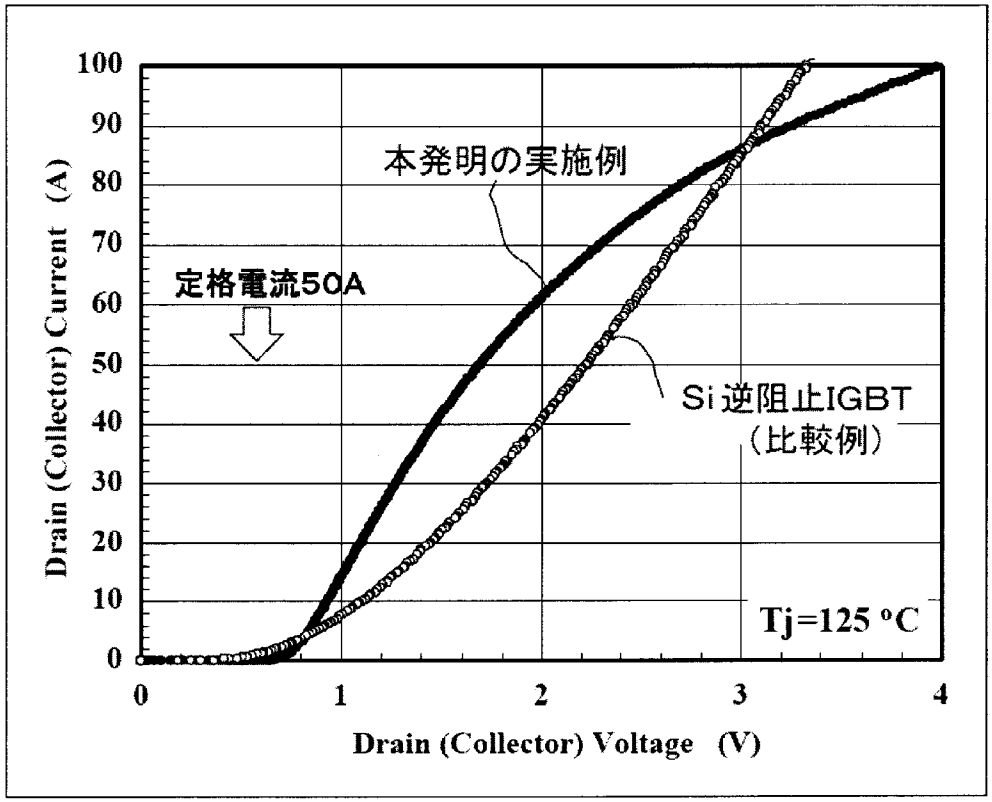
[図8]


1004
202
40 活性領域
30

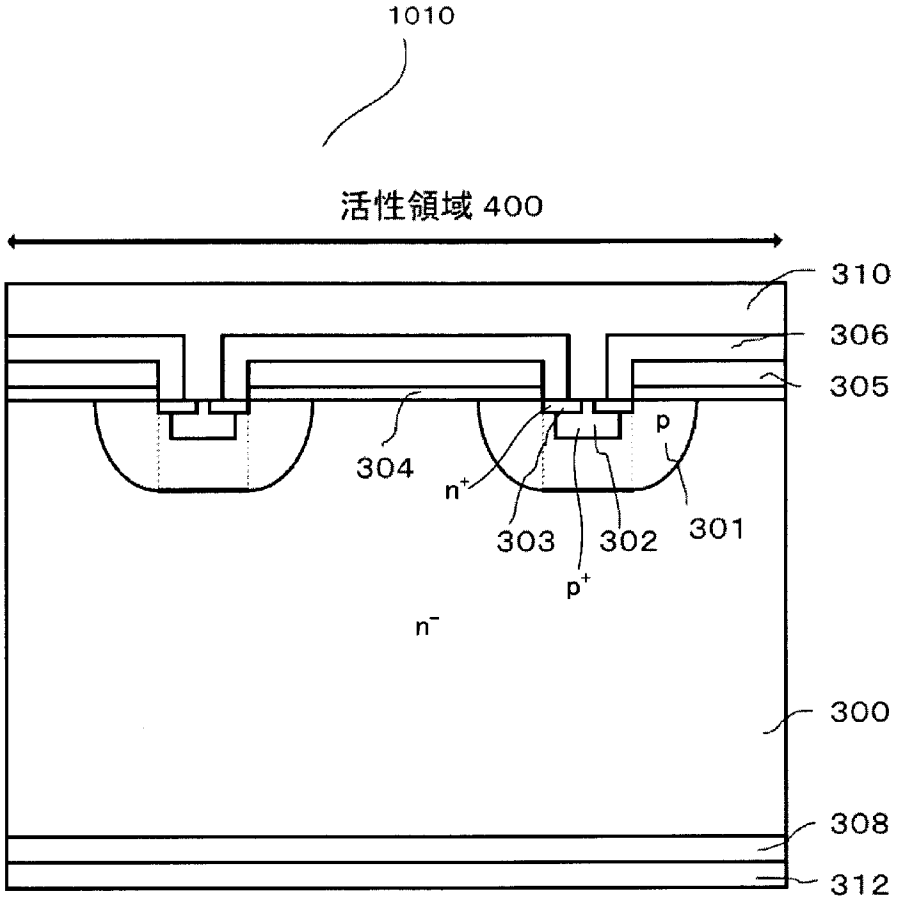
[図9]


3.0×10⁻³
2.0×10⁻³
1.0×10⁻³
0.0
−1.0×10⁻³
−2.0×10⁻³
−3.0×10⁻³
Drain Current (A/cm²)
-1000
-500
0
500
1000
Drain Voltage (V)
Tj=R.T.

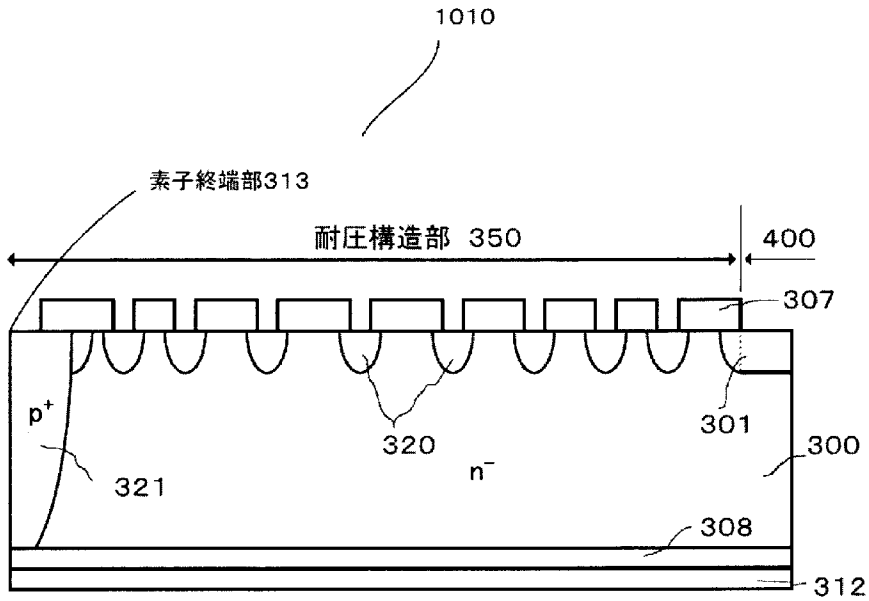
[図10]


100
90
80
70
60
50
40
30
20
10
0
0
1
2
3
4
Drain (Collector) Current (A)
Drain (Collector) Voltage (V)
本発明の実施例
定格電流50A
Si逆阻止IGBT
（比較例）
Tj=125 °C

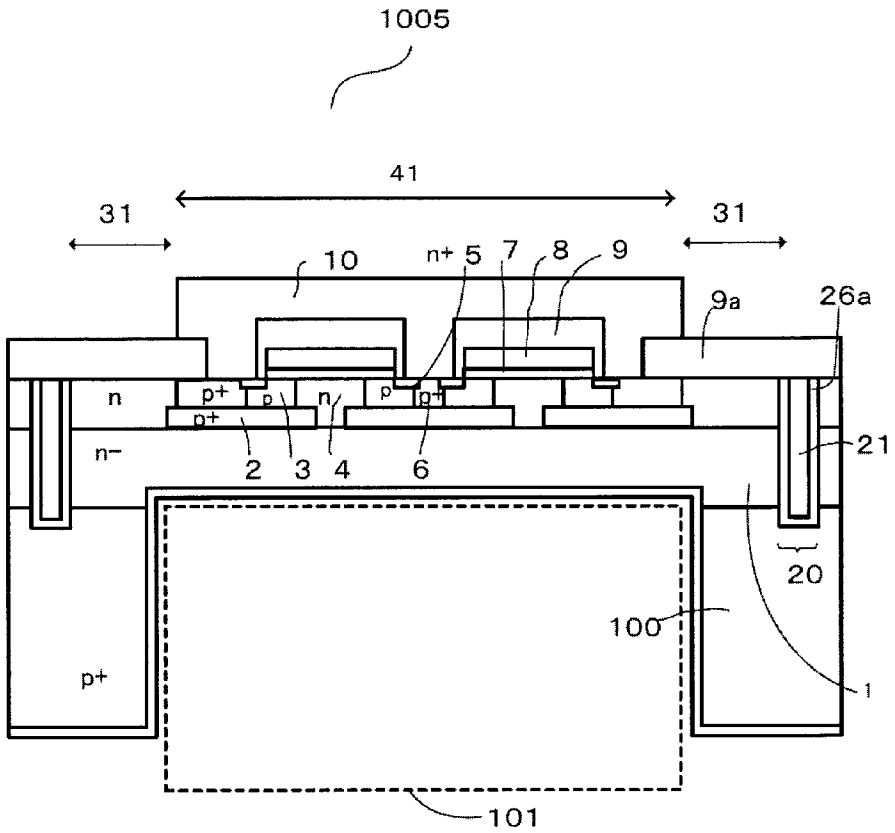
[図11]


1010
活性領域 400
310
306
305
304
n+
p
303
302
301
p+
n−
300
308
312

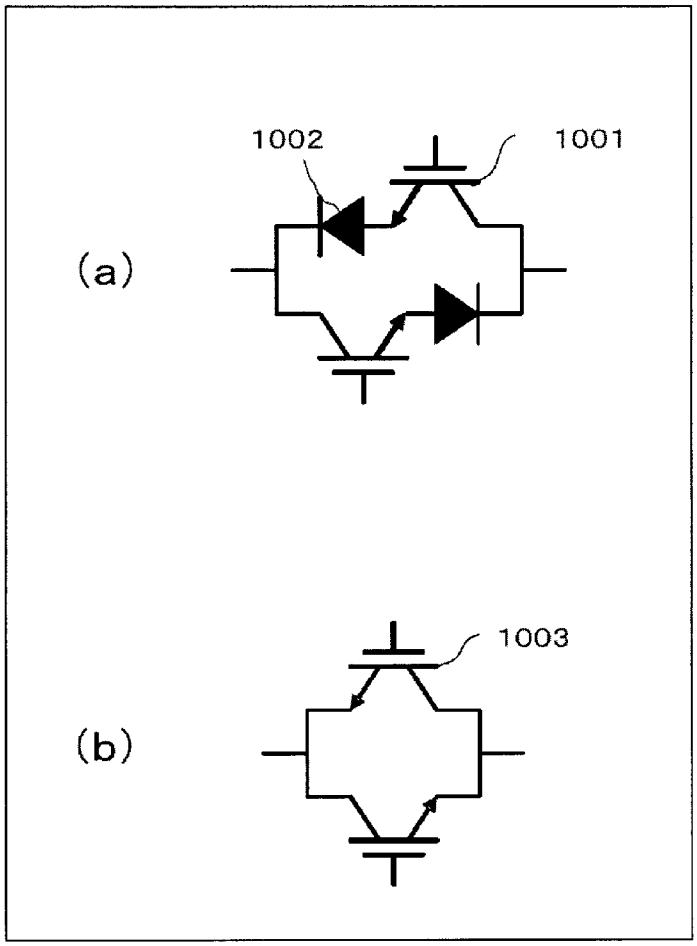
[図12]


1010
素子終端部313
耐圧構造部 350
400
307
p+
321
320
n−
301
300
308
312

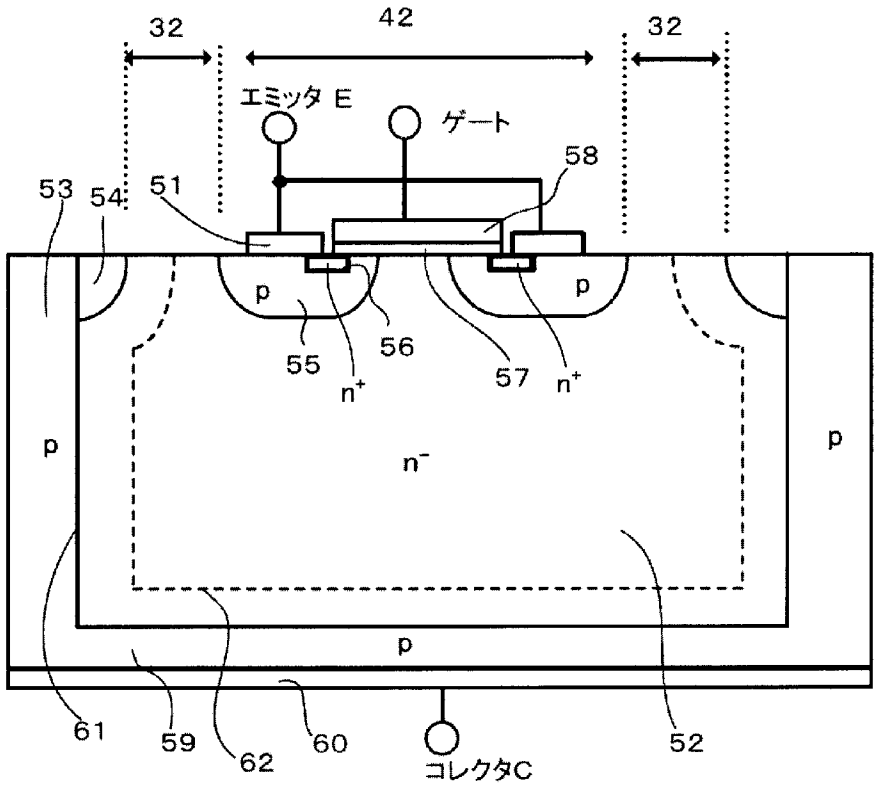
[図13]



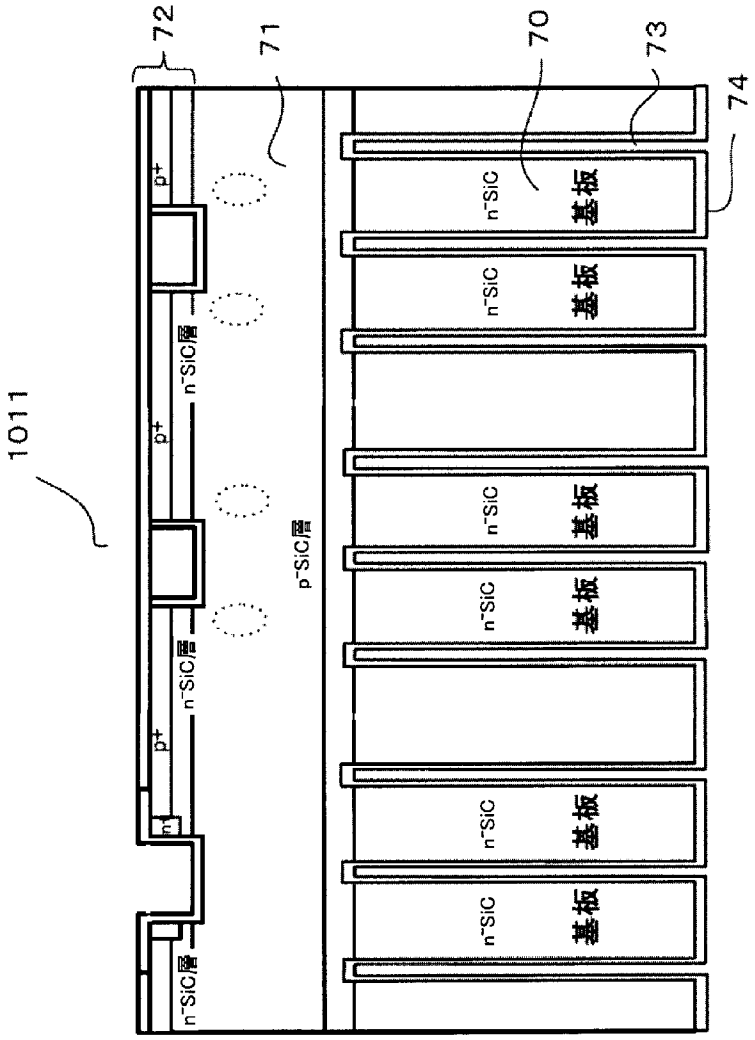
[図14]



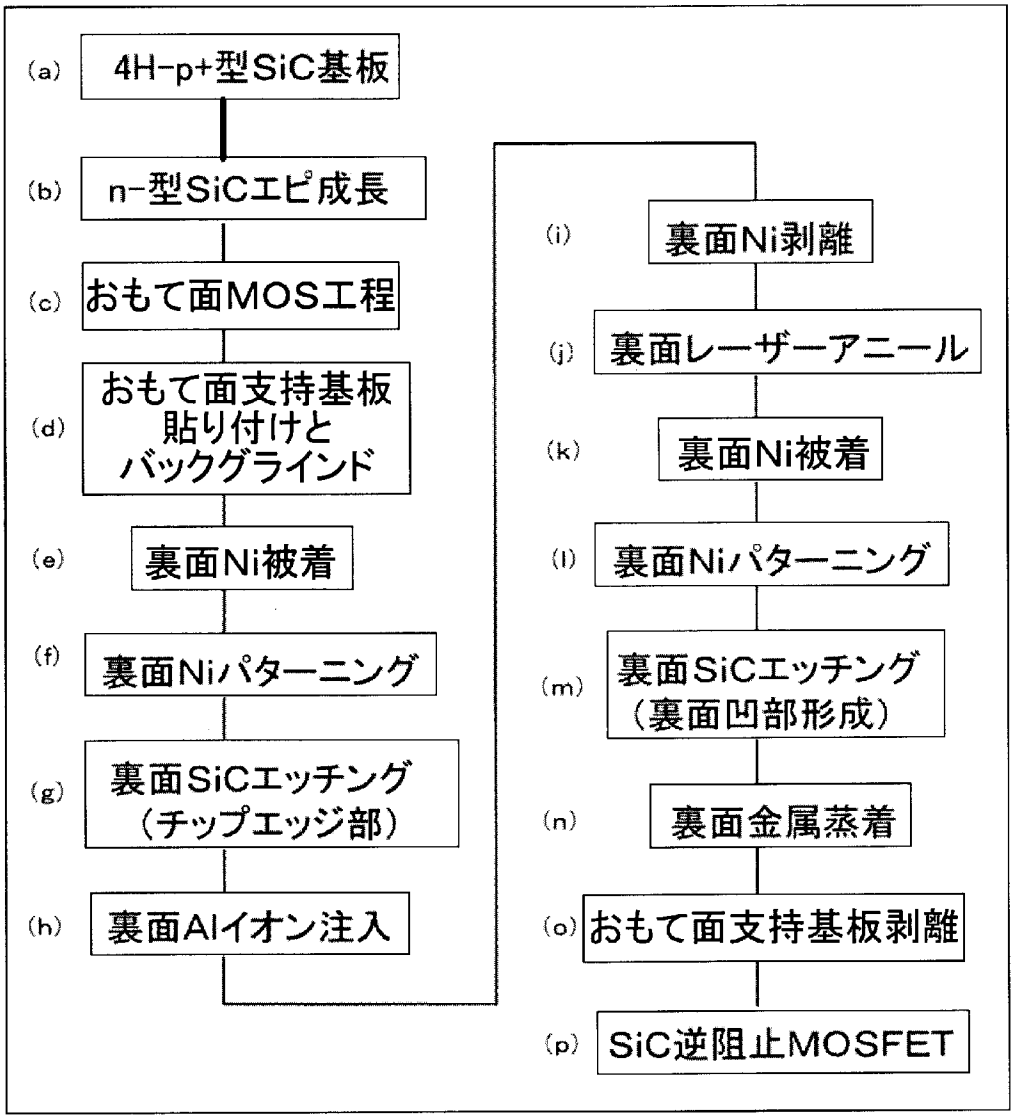
[図15]


32
42
32
エミッタ E
ゲート
58
53
54
51
p
p
55
56
57
n+
n+
p
p
n−
p
61
59
62
60
コレクタC
52

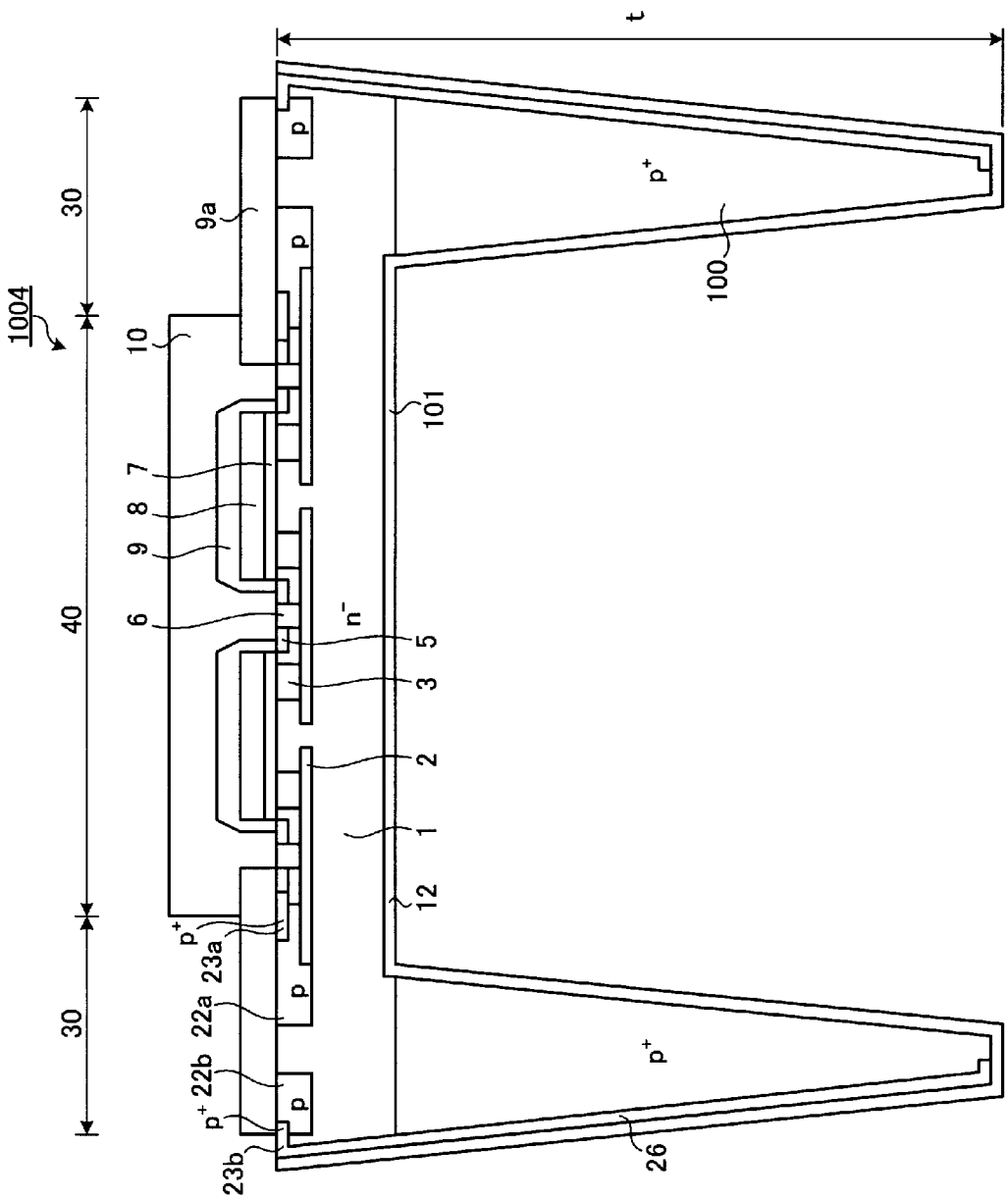
[図16]



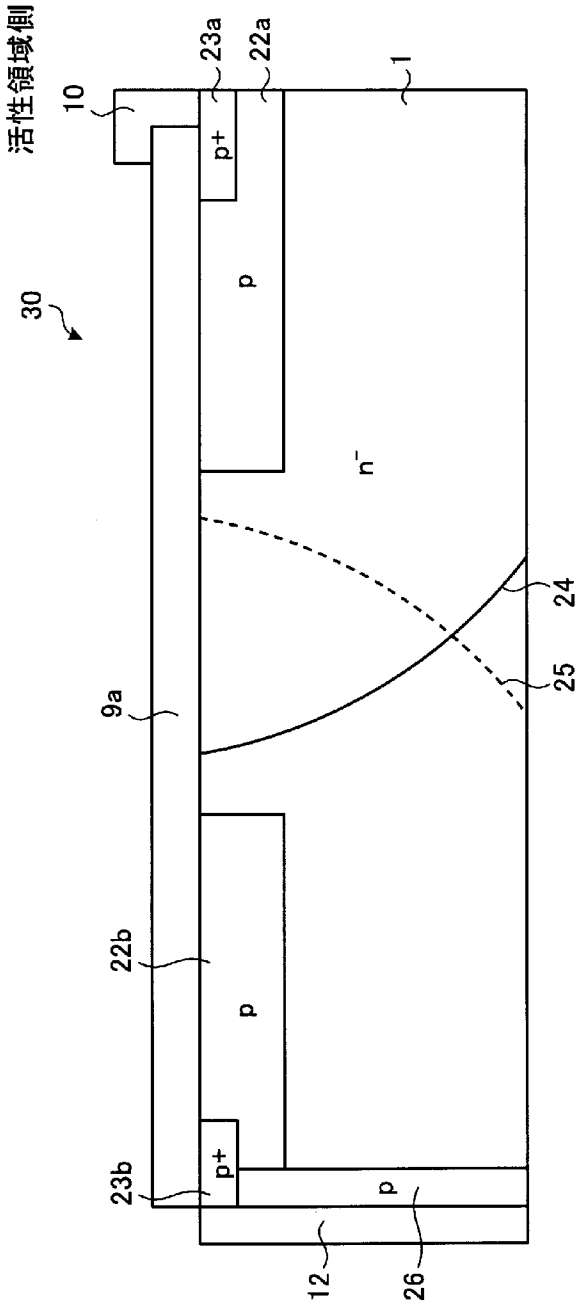
[図17]


(a) 4H-p+型SiC基板
(b) n-型SiCエピ成長
(c) おもて面MOS工程
(d) おもて面支持基板貼り付けとバックグラインド
(e) 裏面Ni被着
(f) 裏面Niパターニング
(g) 裏面SiCエッチング（チップエッジ部）
(h) 裏面Alイオン注入
(i) 裏面Ni剥離
(j) 裏面レーザーアニール
(k) 裏面Ni被着
(l) 裏面Niパターニング
(m) 裏面SiCエッチング（裏面凹部形成）
(n) 裏面金属蒸着
(o) おもて面支持基板剥離
(p) SiC逆阻止MOSFET

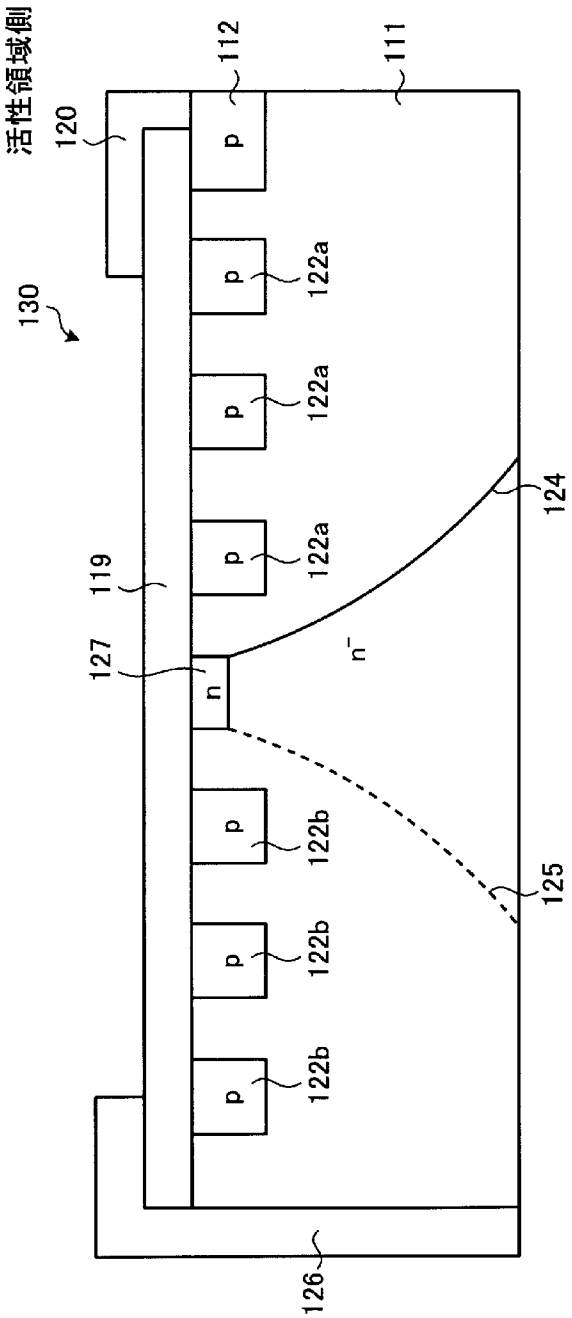
[図18]



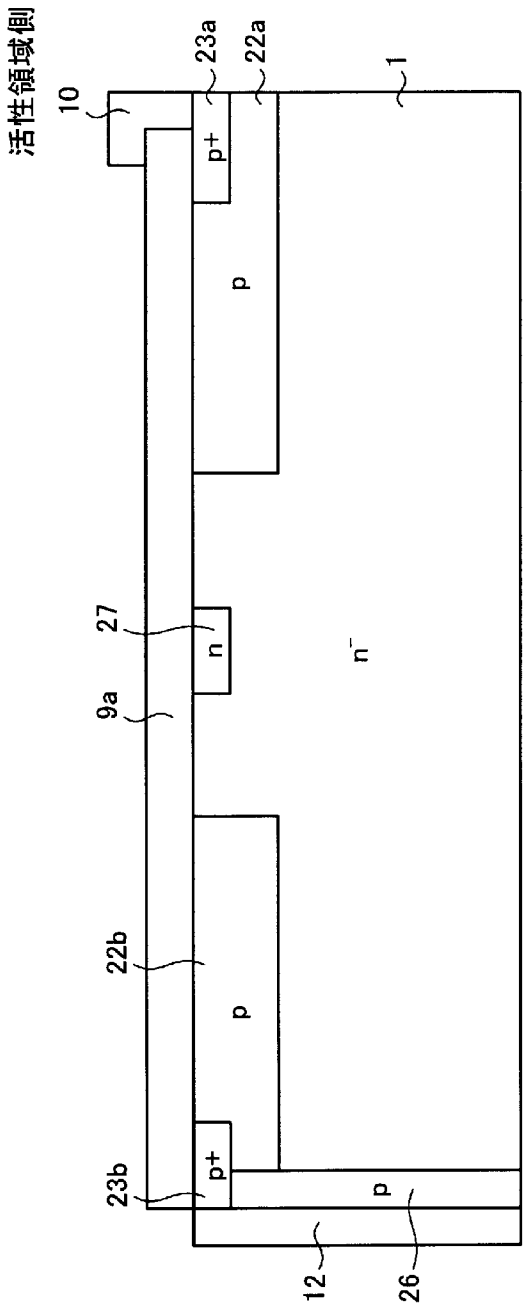
[図19]



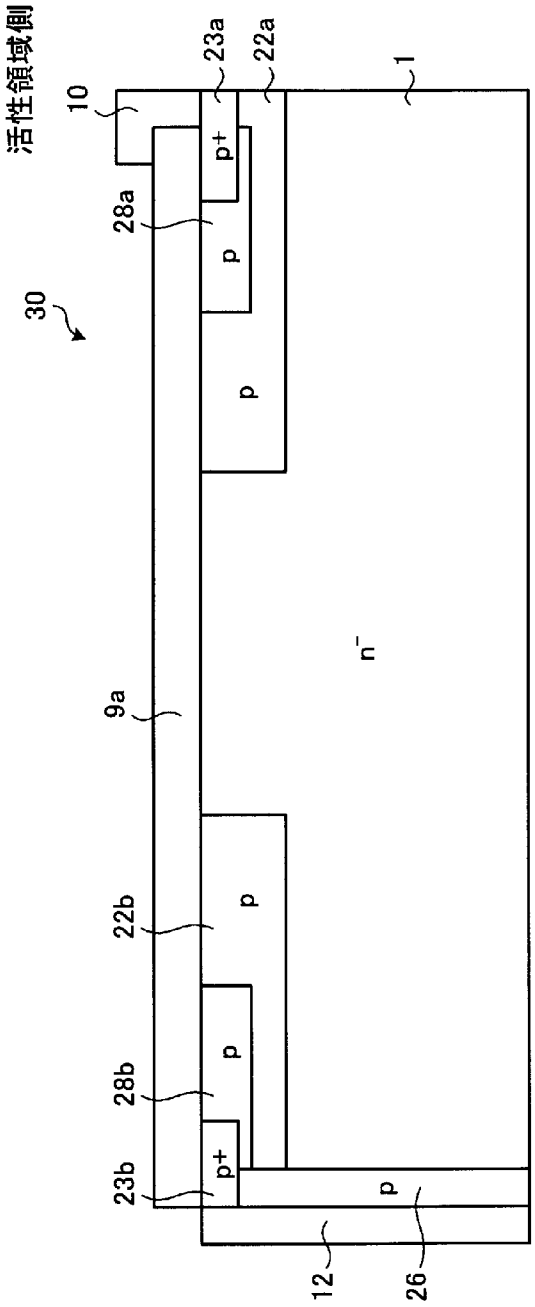
[図20]


活性領域側
120
112
111
130
p
122a
122a
122a
124
119
127
n
n⁻
122b
122b
122b
125
126

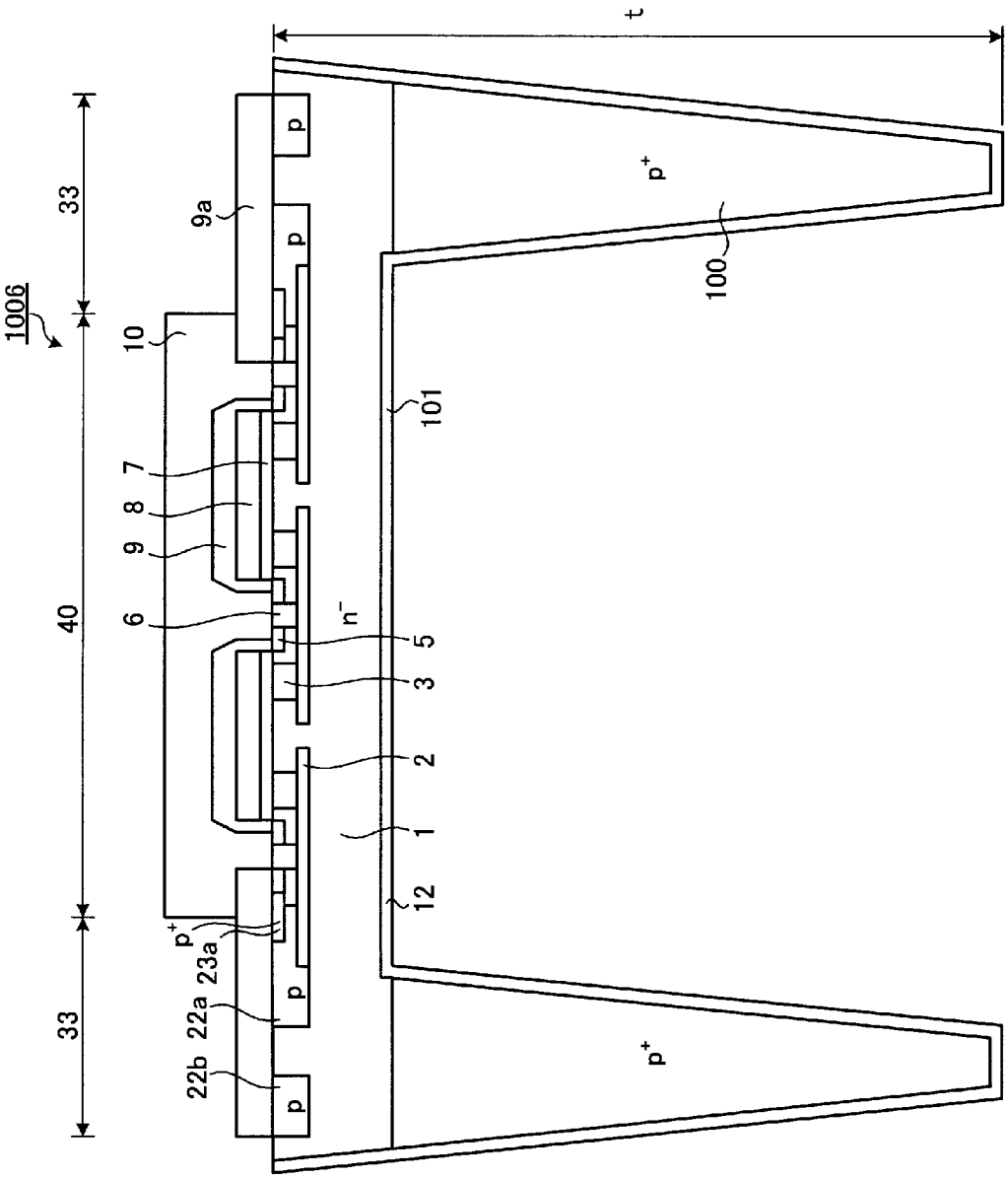
[図21]



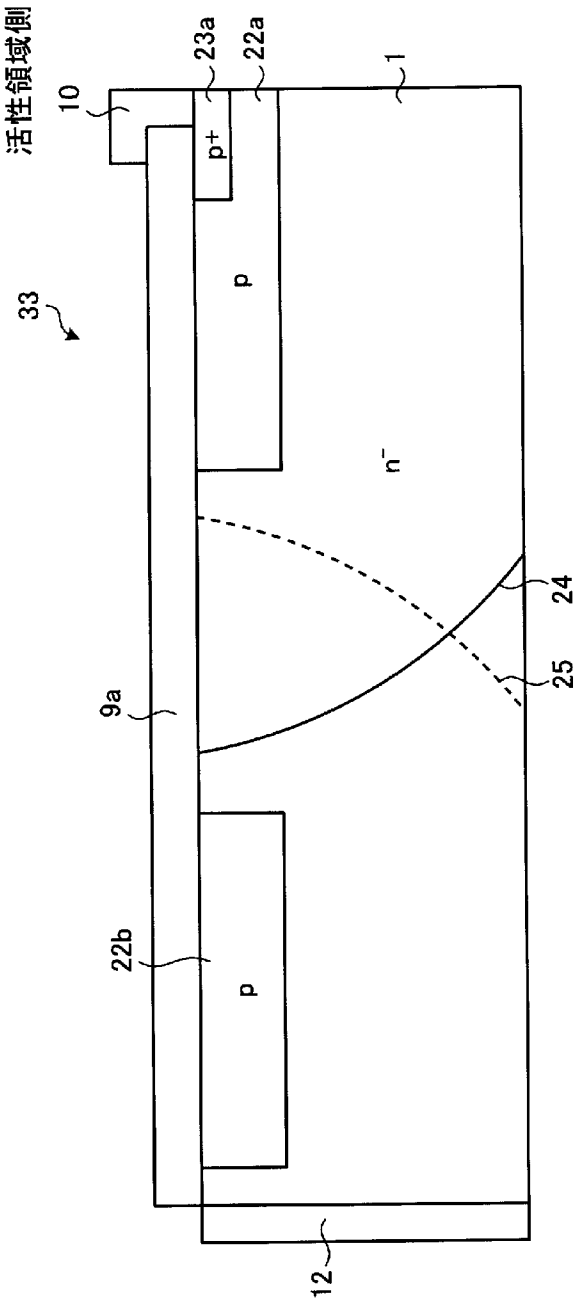
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/052576

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L21/76*(2006.01)i, *H01L29/12*(2006.01)i, *H01L29/739*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L21/76, H01L29/12, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-258327 A (Fuji Electric Systems Co., Ltd.), 11 November 2010 (11.11.2010), paragraphs [0019] to [0026]; fig. 1 to 12 (Family: none)	1-12
Y	JP 09-102604 A (Oki Electric Industry Co., Ltd.), 15 April 1997 (15.04.1997), paragraphs [0005] to [0022]; fig. 1 (Family: none)	1-12
Y	JP 2003-249654 A (Shindengen Electric Mfg. Co., Ltd.), 05 September 2003 (05.09.2003), paragraphs [0016] to [0033]; fig. 6 (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 March, 2013 (07.03.13)	19 March, 2013 (19.03.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０５２５７６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L21/76(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L21/76, H01L29/12, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2010-258327 A（富士電機システムズ株式会社）2010.11.11,　【００１９】－【００２６】及び第１－１２図（ファミリーなし）	1-12
Y	JP 09-102604 A（沖電気工業株式会社）1997.04.15,　【０００５】－【００２２】及び第１図（ファミリーなし）	1-12
Y	JP 2003-249654 A（新電元工業株式会社）2003.09.05,　【００１６】－【００３３】及び第６図（ファミリーなし）	1-12

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０７．０３．２０１３	国際調査報告の発送日 １９．０３．２０１３
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｏ　３６５４ 境　周一 電話番号　０３－３５８１－１１０１　内線　３５５９