

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11B 20/10		(45) 공고일자 (11) 등록번호 (24) 등록일자	2000년01월 15일 10-0238208 1999년 10월 13일
(21) 출원번호	10-1996-0046341	(65) 공개번호	특 1998-0027542
(22) 출원일자	1996년 10월 16일	(43) 공개일자	1998년 07월 15일

(73) 특허권자	삼성전자주식회사 윤종용
(72) 발명자	경기도 수원시 팔달구 매탄3동 416 정용준
(74) 대리인	서울특별시 서초구 서초동 우성아파트 6동 1105호 권석흠, 노민식, 이영필

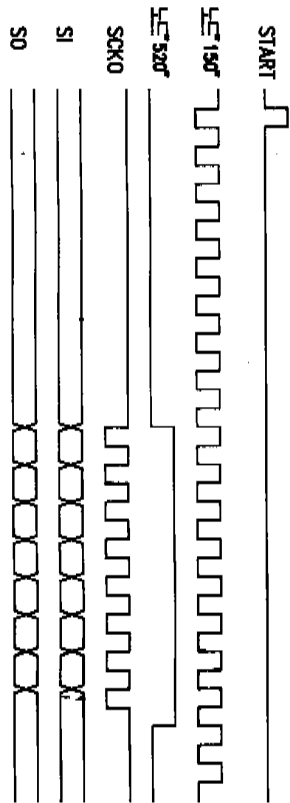
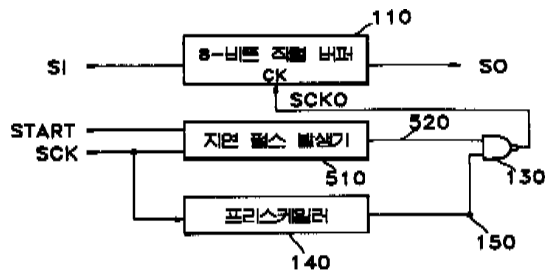
심사관 : 송진숙

(54) 동기식 직렬 입출력 회로

요약

본 발명은 CD-ROM 드라이버에 사용되는 마이컴에 내장되는 동기식 직렬 입출력 회로에 관한 것이다. 동기식 직렬 입출력 회로는 디지털 신호 처리 블록으로부터 인가되는 데이터를 순차적으로 입력하여 그 자신의 클럭 단자로 인가되는 신호에 따라 입력된 데이터를 시프트하여 출력하는 직렬 버퍼; 시스템 클럭을 분주하여 제1 펄스를 출력하는 프리 스케일러; 스타트 신호가 액티브된 후 소정 기간 경과된 후 일정 기간 동안 액티브되는 지연 펄스를 발생하는 지연 펄스 발생기; 제1 펄스와 지연 펄스를 입력하여 지연 펄스가 액티브인 기간 동안 제1 펄스를 통과시켜 시프트 클럭을 발생시키고 이를 직렬 버퍼의 클럭 단자로 인가하는 논리 게이트를 포함하여 구성된다. 이와 같은 동기식 직렬 입출력 회로는 DSP 칩으로부터 출력되는 유효 데이터만을 입력하게 되는 이점이 있다.

대표도



명세서

도면의 간단한 설명

- 도 1은 종래 기술에 따른 동기식 직렬 입출력 회로를 나타낸 것이다.
 도 2는 도 1에 도시된 회로의 각 부분에 나타나는 신호들의 파형도들이다.
 도 3은 본 발명의 일 실시예에 따른 동기식 직렬 입출력 회로를 나타낸 것이다.
 도 4는 도 3에 도시된 회로의 각 부분에 나타나는 신호들의 파형도들이다.
 도 5는 본 발명의 다른 실시예에 따른 동기식 직렬 입출력 회로를 나타낸 것이다.
 도 6은 도 5에 도시된 회로의 각 부분에 나타나는 신호들의 파형도들이다.
 도 7은 본 발명의 또 다른 실시예에 따른 동기식 직렬 입출력 회로를 나타낸 것이다.

<도면의 주요 부분에 대한 부호의 설명>

- | | |
|------------------|-------------------|
| 110...8-비트 직렬 버퍼 | 120...인에이블 펄스 발생부 |
| 140...프리 스케일러 | 310...지연 신호 발생부 |
| 740,750...멀티플렉서 | 730...클럭 제어부 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 동기식 직렬 입출력(Synchronous Serial I/O) 회로에 관한 것으로, 특히 CD-ROM 드라이버에 사용되는 마이컴에 내장되는 동기식 직렬 입출력 회로에 관한 것이다.

도 1은 종래 기술에 따른 동기식 직렬 입출력 회로를 나타낸 것이고, 도 2는 도 1에 도시된 회로의 각 부분에 나타나는 신호들의 파형도들이다.

도 1을 참조하면, 동기식 직렬 입출력 회로는 8-비트 직렬 버퍼(110), 인에이블 펄스 발생부(120), 프리 스케일러(140) 및 NAND 게이트(130)로 구성되어 있다. 인에이블 펄스 발생부(120)는 3-비트 카운터(121), AND 게이트(122), D-플립플롭(123), 플립플롭(124)으로 구성되어 있다. 인에이블 펄스 발생부(120)에서 플립플롭(124)은 스타트 신호(START)가 액티브되면 세트되어 출력이 '하이'레벨이 된다. 프리 스케일러(140)는 시스템 클럭(SCK)을 분주하여 CD-ROM 드라이버 제어부에서 사용하기 적당한 주기를 가지는 클럭을 발생한다. NAND 게이트(130)는 플립플롭(124)의 출력과 프리 스케일러(140)의 출력을 입력하여 플립플롭(124)의 출력이 '하이' 레벨인 경우 프리 스케일러(140)의 출력을 통과시키어 시프트 클럭(SCK0)을 발생한다. 시프트 클럭(SCK0)은 인에이블 펄스 발생부(120)의 3-비트 카운터(121)에 의하여 카운팅되며, 카운터의 출력이 모두 '1' 인 경우에는 AND 게이트(122)의 출력이 '하이' 레벨이 되며, 그에 따라 D-플립플롭(123)의 출력이 시프트 클럭(SCK0)의 다음 펄스에서 출력이 '하이' 레벨이 되고 플립플롭(124)이 리셋된다. 따라서, 인에이블 펄스 발생부(120)는 시프트 클럭(SCK0)의 소정 개수의 펄스가 발생하는 동안만 액티브되는 신호를 발생하게 되고, 그에 따라 시프트 클럭(SCK0)의 펄스 개수가 제어된다.

이와 같은 종래의 동기식 직렬 입출력 회로는 스타트 신호(START)가 액티브되면 플립플롭(124)이 세트되어 그의 Q-출력 단자는 '하이'레벨이 되어, 시프트 클럭(SCK0)이 지체없이 발생하게 된다. 그런데, CD-ROM 드라이버에 사용되는 마이컴(제어부)에 내장되는 동기식 직렬 입출력 회로의 경우 DSP 칩과 데이터를 송수신 하는 경우, DSP 칩은 스타트 신호(START)가 액티브된 후 수 밀리초(msec) 지연 후 유효한 데이터를 출력하는 경우가 있다. 이 경우, 종래의 동기식 직렬 입출력 회로는 스타트 신호(START)가 액티브된 후 처음 부분의 데이터에 대한 유효성을 보장할 수 없는 문제점이 있다. 이는 오동작의 야기시키게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 CD-ROM 드라이버 제어부에 내장되며, DSP 칩과 데이터를 송수신하는 경우 데이터의 유효성을 보장할 수 있는 동기식 직렬 입출력 회로를 제공하는 것이다.

본 발명의 다른 목적은 오동작을 방지할 수 있는 CD-ROM 드라이버 제어부의 동기식 직렬 입출력 회로를 제공하는 것이다.

본 발명의 또 다른 목적은 입출력 데이터의 유효성을 보장할 수 있는 CD-ROM 드라이버 제어부의 동기식 데이터 입력 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 동기식 직렬 입출력 회로는 디지털 신호 처리를 수행하고 데이터 출력시 스타트 신호를 발생하는 DSP 칩과 데이터를 송수신하는 CD-ROM 드라이버 제어부에 있어서, 상기 디지털 신호 처리 블록으로부터 인가되는 데이터를 순차적으로 입력하여 그 자신의 클럭 단자로 인가되는 신호에 따라 입력된 데이터를 시프트하여 출력하는 직렬 버퍼; 및 상기 스타트 신호가 액티브된 후 소정 기간 경과 후 일정 기간 동안 펄스가 나타나는 시프트 클럭 발생 수단을 포함하여 구성된다.

이와 같은 시프트 클럭 발생 수단은 시스템 클럭을 분주하여 제1 펄스를 출력하는 프리 스케일러; 상기 스타트 신호가 액티브된 후 소정 기간 경과된 후 액티브되는 신호를 발생하는 지연 신호 발생부; 상기 지연 신호 발생부의 출력이 액티브인 경우에 상기 제1 펄스를 통과시킴으로써 제2 펄스를 출력하는 제1 논리 게이트; 상기 스타트 신호에 의하여 액티브되고 상기 직렬 버퍼의 클럭 단자로 인가되는 신호의 펄스가 소정 개수가 되면 논액티브로 전환되는 인에이블 펄스를 발생하는 인에이블 펄스 발생부; 및 상기 인에이블 펄스가 액티브인 경우에만 상기 제2 펄스를 통과시킴으로써 시프트 클럭을 출력하여 이를 상기 직렬 버퍼의 클럭 단자로 인가하는 제2 논리 게이트를 포함하여 구성된다. 본 발명의 다른 태양에 따르면, 시프트 클럭 발생 수단은 시스템 클럭을 분주하여 제1 펄스를 출력하는 프리 스케일러; 상기 스타트 신호가 액티브된 후 소정 기간 경과된 후 일정 기간 동안 액티브되는 지연 펄스를 발생하는 지연 펄스 발생부; 상기 제1 펄스와 상기 지연 펄스를 입력하여 상기 지연 펄스가 액티브인 기간 동안 상기 제1 펄스를 통과시켜 시프트 클럭을 발생시키고 이를 상기 직렬 버퍼의 클럭 단자로 인가하는 논리 게이트로 구성된다. 본 발명의 또 다른 태양에 따르면, 시프트 클럭 발생 수단은 시스템 클럭을 분주하여 다수의 제1 분주 신호들을 출력하는 제1 분주 회로; 그 자신으로부터 출력되는 제2 분주 신호들 각각이 제1 분주 신호들중 어느 하나에 대응되고, 제2 분주 신호에 대응되는 제1 분주 신호가 액티브인 기간 동안 제2 분주 신호의 펄스 개수는 n개가 되도록, 시스템 클럭을 분주하여 다수의 제2 분주 신호들을 출력하는 제2 분주 회로; 상기 스타트 신호에 따라 클럭을 제어하는 신호를 발생하는 클럭 제어부; 상기 클럭 제어부의 출력에 따라 상기 제1 분주 신호들중 어느 하나를 선택하여 출력하는 제1 멀티플렉서; 상기 클럭 제어부의 출력에 따라 상기 제2 분주 신호들중 어느 하나를 선택하여 출력하는 제2 멀티플렉서; 및 상기 제1 멀티플렉서의 출력이 액티브인 기간 동안 상기 제2 멀티플렉서의 출력을 통과시키어 이를 상기 n비트 직렬 버퍼의 클럭 단자로 인가하는 논리 게이트를 포함하여 구성된다.

상기 또 다른 목적을 달성하기 위하여, 본 발명에 따른 CD-ROM 드라이버 제어부의 동기식 데이터 입력 방법은 디지털 신호 처리를 수행하고 데이터 출력시 스타트 신호를 발생하는 DSP 칩과 데이터를 송수신하는 방법에 있어서, 상기 스타트 신호가 액티브된 후 소정 기간이 경과된 후 일정 기간 액티브되는 지연 펄스를 발생하는 과정; 상기 지연 펄스가 액티브인 기간 동안 펄스가 나타나는 시프트 클럭을 발생하는 과정;

및 상기 시프트 클럭에 따라 상기 DSP 칩으로부터 인가되는 데이터를 직렬로 입력하는 과정을 포함한다.

이어서, 첨부한 도면들을 이용하여 본 발명의 실시예를 상세히 설명하기로 한다.

도 3은 본 발명의 일 실시예에 따른 동기식 직렬 입출력 회로를 나타낸 것이고, 도 4는 도 3에 도시된 동기식 직렬 입출력 회로의 각 부분 신호들의 파형을 나타낸 것이다. 도 3을 참조하면, 동기식 직렬 입출력 회로는 8-비트 직렬 버퍼(110), 인에이블 펄스 발생부(120), 지연 신호 발생부(310), 프리 스케일러(140), AND 게이트(320) 및 NAND 게이트(130)를 포함하여 구성된다. 8-비트 직렬 버퍼(110)는 입력 데이터(SI)를 그 자신의 클럭 단자(CK)로 인가되는 시프트 클럭(SCK0)에 따라 순차적으로 시프트하여 출력한다. 인에이블 펄스 발생부(120)는 3-비트 카운터(121), AND 게이트(122), D-플립플롭(123) 및 플립플롭(124)으로 구성된 것으로, 인에이블 펄스 발생부(120)의 최종단을 구성하는 플립플롭(124)의 출력은 스타트 신호(START)에 의하여 액티브되고 시프트 클럭(SCK0)에서 펄스 개수가 소정 개수가 나타나면 논액티브 된다. 지연 신호 발생부(310)는 스타트 신호(START)가 액티브된 후 소정 기간 경과 후 액티브되는 신호를 발생하며(도 4의 노드 '330' 신호 참조), 프리 스케일러(140)는 시스템 클럭(SCK)을 분주하여 CD-ROM 드라이버 제어부에서 사용하는 기본적인 클럭을 발생한다.(도 4의 노드 '150' 신호 참조) 프리 스케일러(140)의 출력 및 지연 신호 발생부(310)의 출력은 AND 게이트(320)에 의하여 논리곱된다. 따라서, AND 게이트(320)의 출력은 스타트 신호(START)가 액티브된 후 소정 기간 경과한 후 비로소 펄스가 나타나게 된다.(도 4의 노드 '340' 신호 참조). AND 게이트(320)의 출력과 플립플롭(124)의 출력은 NAND 게이트(130)로 인가된다. 그리하여, AND 게이트(320)의 출력은 스타트 신호(START)가 액티브된 후 소정 기간 지연된 후 일정 개수의 펄스를 출력하게 된다.

도 5는 본 발명의 다른 실시예에 따른 동기식 직렬 입출력 회로를 나타낸 것이고, 도 6은 도 5에 도시된 회로의 각 부분에 나타나는 신호들의 파형도들이다. 도 5에서, 동기식 직렬 입출력 회로는 8-비트 직렬 버퍼(110), 지연 펄스 발생기(510), 프리 스케일러(140) 및 NAND 게이트(130)로 구성되어 있다. 지연 펄스 발생기(510)는 스타트 신호(START)가 액티브된 후 소정 기간 경과 후 일정 기간 액티브되는 펄스를 발생한다.(도 6의 노드 '520' 신호 참조) NAND 게이트(130)는 지연 펄스 발생기(510)의 출력과 프리 스케일러(140)의 출력에 대하여 논리 NAND 동작을 수행하여 시프트 클럭(SCK0)을 발생하고, 이를 8-비트 직렬 버퍼(110)의 클럭 단자(CK)로 인가한다. 도 5에 도시된 동기식 직렬 입출력 회로는 도 3에 도시된 동기식 직렬 입출력 회로와는 달리 시프트 클럭(SCK0)의 펄스 개수를 카운트하는 것이 아니라 소정 개수의 펄스가 나타날 수 있는 기간을 미리 세팅하여 그 기간 동안 액티브되는 신호를 발생하는 것이다. 예를 들어, 8-비트 직렬 버퍼를 구비하는 동기식 직렬 입출력 회로에서, 지연 펄스 발생기(510)로부터 발생되는 펄스가 액티브되는 기간 동안 프리 스케일러(140)로부터 발생되는 펄스의 상승 엣지 또는 하강 엣지는 8개가 나타나고 그에 따라 NAND 게이트(130)로부터 출력되는 시프트 클럭(SCK0)의 하강 엣지 또는 상승 엣지는 8개가 나타나게 된다. 그리하여 8-비트 직렬 버퍼(110)는 8번의 시프트 동작을 수행하게 된다.

도 7은 본 발명의 또 다른 실시예에 따른 동기식 직렬 입출력 회로를 나타낸 것으로, 8-비트 직렬 버퍼(110), 2개의 분주 회로들(710, 720), 2개의 멀티플렉서들(740, 750), 클럭 제어부(730) 및 NAND 게이트(130)를 포함하여 구성된다.

도 7에서, 분주 회로(710)는 시스템 클럭을 분주하여 다수의 제1 분주 신호들(fa1, fa2,...)을 출력하고 분주 회로(720)는 시스템 클럭(SCK)을 분주하여 다수의 제2 분주 신호들(fb1, fb2,...)을 출력한다. 제2 분주 신호들(fb1, fb2,...) 각각은 제1 분주 신호들(fa1, fa2,...)중 어느 하나에 대응된다. 제2 분주 신호에 대응되는 제1 분주 신호가 액티브인 기간 동안 제2 분주 신호의 펄스 개수는 n개가 된다.(8 비트 직렬 버퍼를 사용하는 경우 펄스의 개수는 8개가 된다) 클럭 제어부(730)는 스타트 신호(START)에 따라 클럭을 제어하는 신호를 발생하며, 소프트웨어적으로 프로그램이 가능하도록 구성할 수 있다. 멀티플렉서(740)는 클럭 제어부(730)의 출력에 따라 제1 분주 신호들(fa1, fa2,...)중 어느 하나를 선택하여 출력하고, 분주 회로(720)는 클럭 제어부(730)의 출력에 따라 제2 분주 신호들(fb1, fb2,...)중 어느 하나를 선택하여 출력하며, NAND 게이트(130)는 멀티플렉서들(740, 750)의 출력들에 대하여 논리 NAND 동작을 수행하여 시프트 클럭(SCK0)을 출력한다. 그리하여, 시프트 클럭(SCK0)은 스타트 신호(START)가 액티브된 후 소정 기간 경과후 일정 개수의 펄스를 나타나게 된다.

발명의 효과

이상과 같은 CD-ROM 드라이버 제어부의 동기식 직렬 입출력 회로 및 동기식 데이터 입력 방법은 DSP 칩과 데이터 송수신시 입출력 초기에 나타날 수 있는 무효 데이터의 송수신을 회피하게 되어, 시스템의 오동작을 방지할 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1

디지털 신호 처리를 수행하고 데이터 출력시 스타트 신호를 발생하는 DSP 칩과 데이터를 송수신하는 CD-ROM 드라이버 제어부에 있어서,

상기 디지털 신호 처리 블럭으로부터 인가되는 데이터를 순차적으로 입력하여 그 자신의 클럭 단자로 인가되는 신호에 따라 입력된 데이터를 시프트하여 출력하는 직렬 버퍼; 및

상기 스타트 신호가 액티브된 후 소정 기간 경과 후 일정 기간 동안 펄스가 나타나는 시프트 클럭 발생 수단을 구비하는 것을 특징으로 하는 동기식 직렬 입출력 회로.

청구항 2

디지털 신호 처리를 수행하고 데이터 출력시 스타트 신호를 발생하는 DSP 칩과 데이터를 송수신하는 CD-ROM 드라이버 제어부에 있어서,

상기 디지털 신호 처리 블럭으로부터 인가되는 데이터를 순차적으로 입력하여 그 자신의 클럭 단자로 인

가되는 신호에 따라 입력된 데이터를 시프트하여 출력하는 직렬 버퍼;

시스템 클럭을 분주하여 제1 펄스를 출력하는 프리 스케일러;

상기 스타트 신호가 액티브된 후 소정 기간 경과된 후 액티브되는 신호를 발생하는 지연 신호 발생부;

상기 지연 신호 발생부의 출력이 액티브인 경우에 상기 제1 펄스를 통과시킴으로써 제2 펄스를 출력하는 제1 논리 게이트;

상기 스타트 신호에 의하여 액티브되고 상기 직렬 버퍼의 클럭 단자로 인가되는 신호의 펄스가 소정 개수가 되면 논액티브로 전환되는 인에이블 펄스를 발생하는 인에이블 펄스 발생부; 및

상기 인에이블 펄스가 액티브인 경우에만 상기 제2 펄스를 통과시킴으로써 시프트 클럭을 출력하여 이를 상기 직렬 버퍼의 클럭 단자로 인가하는 제2 논리 게이트를 구비하는 것을 특징으로 하는 동기식 직렬 입출력 회로.

청구항 3

디지털 신호 처리를 수행하고 데이터 출력시 스타트 신호를 발생하는 DSP 칩과 데이터를 송수신하는 CD-ROM 드라이버 제어부에 있어서,

상기 디지털 신호 처리 블록으로부터 인가되는 데이터를 순차적으로 입력하여 그 자신의 클럭 단자로 인가되는 신호에 따라 입력된 데이터를 시프트하여 출력하는 직렬 버퍼;

시스템 클럭을 분주하여 제1 펄스를 출력하는 프리 스케일러;

상기 스타트 신호가 액티브된 후 소정 기간 경과된 후 일정 기간 동안 액티브되는 지연 펄스를 발생하는 지연 펄스 발생기;

상기 제1 펄스와 상기 지연 펄스를 입력하여 상기 지연 펄스가 액티브인 기간 동안 상기 제1 펄스를 통과시켜 시프트 클럭을 발생시키고 이를 상기 직렬 버퍼의 클럭 단자로 인가하는 논리 게이트를 구비하는 것을 특징으로 하는 동기식 직렬 입출력 회로.

청구항 4

디지털 신호 처리를 수행하고 데이터 출력시 스타트 신호를 발생하는 DSP 칩과 데이터를 송수신하는 CD-ROM 드라이버 제어부에 있어서,

상기 디지털 신호 처리 블록으로부터 인가되는 데이터를 순차적으로 입력하여 그 자신의 클럭 단자로 인가되는 신호에 따라 입력된 데이터를 시프트하여 출력하는 n비트 직렬 버퍼;

시스템 클럭을 분주하여 다수의 제1 분주 신호들을 출력하는 제1 분주 회로;

그 자신으로부터 출력되는 제2 분주 신호들 각각이 제1 분주 신호들중 어느 하나에 대응되고, 제2 분주 신호에 대응되는 제1 분주 신호가 액티브인 기간 동안 제2 분주 신호의 펄스 개수는 n개가 되도록, 시스템 클럭을 분주하여 다수의 제2 분주 신호들을 출력하는 제2 분주 회로;

상기 스타트 신호에 따라 클럭을 제어하는 신호를 발생하는 클럭 제어부;

상기 클럭 제어부의 출력에 따라 상기 제1 분주 신호들중 어느 하나를 선택하여 출력하는 제1 멀티플렉서;

상기 클럭 제어부의 출력에 따라 상기 제2 분주 신호들중 어느 하나를 선택하여 출력하는 제2 멀티플렉서; 및

상기 제1 멀티플렉서의 출력이 액티브인 기간 동안 상기 제2 멀티플렉서의 출력을 통과시켜 이를 상기 n비트 직렬 버퍼의 클럭 단자로 인가하는 논리 게이트를 구비하는 것을 특징으로 하는 동기식 직렬 입출력 회로.

청구항 5

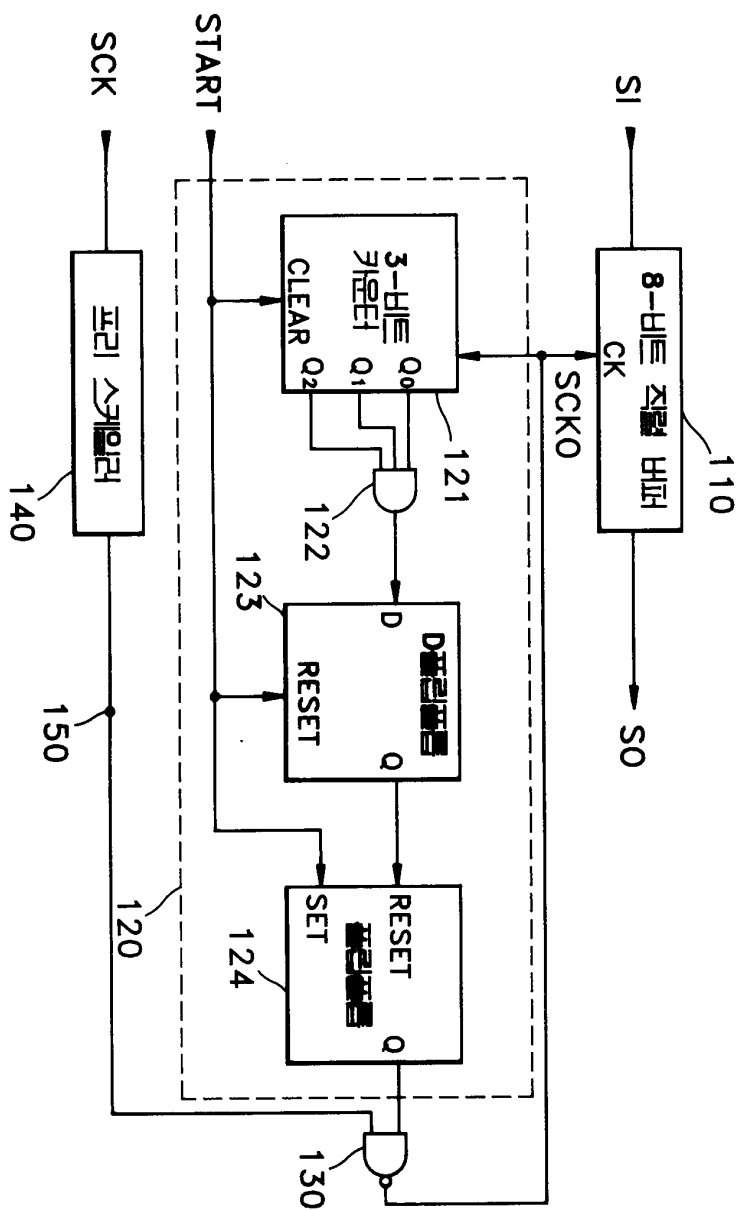
CD-ROM 드라이버 제어부에서 디지털 신호 처리를 수행하고 데이터 출력시 스타트 신호를 발생하는 DSP 칩과 데이터를 송수신하는 방법에 있어서,

상기 스타트 신호가 액티브된 후 소정 기간이 경과된 후 일정 기간 액티브되는 지연 펄스를 발생하는 과정;

상기 지연 펄스가 액티브인 기간 동안 펄스가 나타나는 시프트 클럭을 발생하는 과정; 및

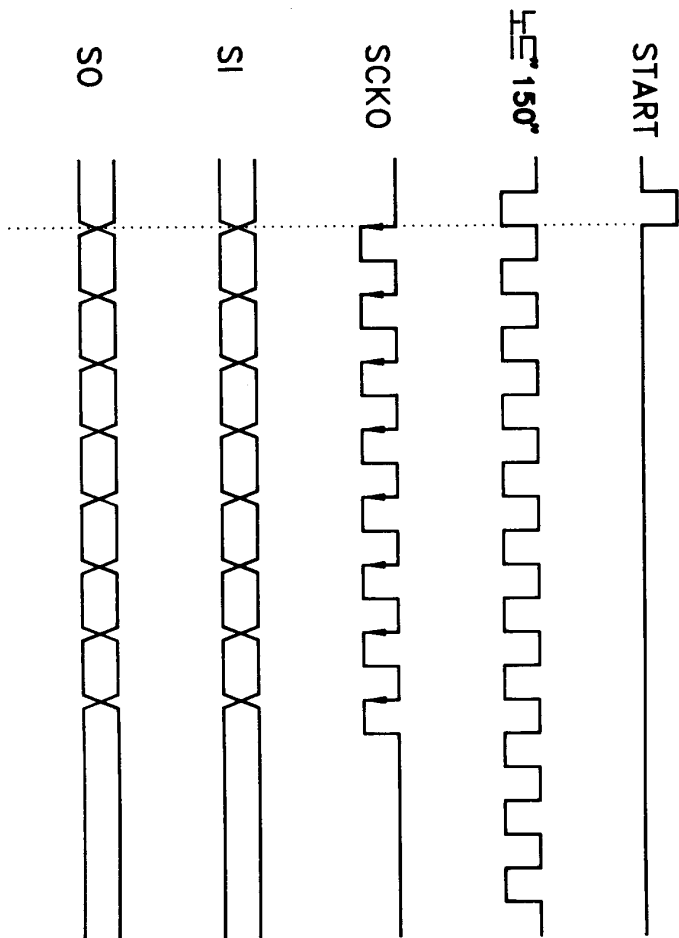
상기 시프트 클럭에 따라 상기 DSP 칩으로부터 인가되는 데이터를 직렬로 입력하는 과정을 포함하는 것을 특징으로 하는 CD-ROM 드라이버 제어부의 동기식 데이터 입력 방법.

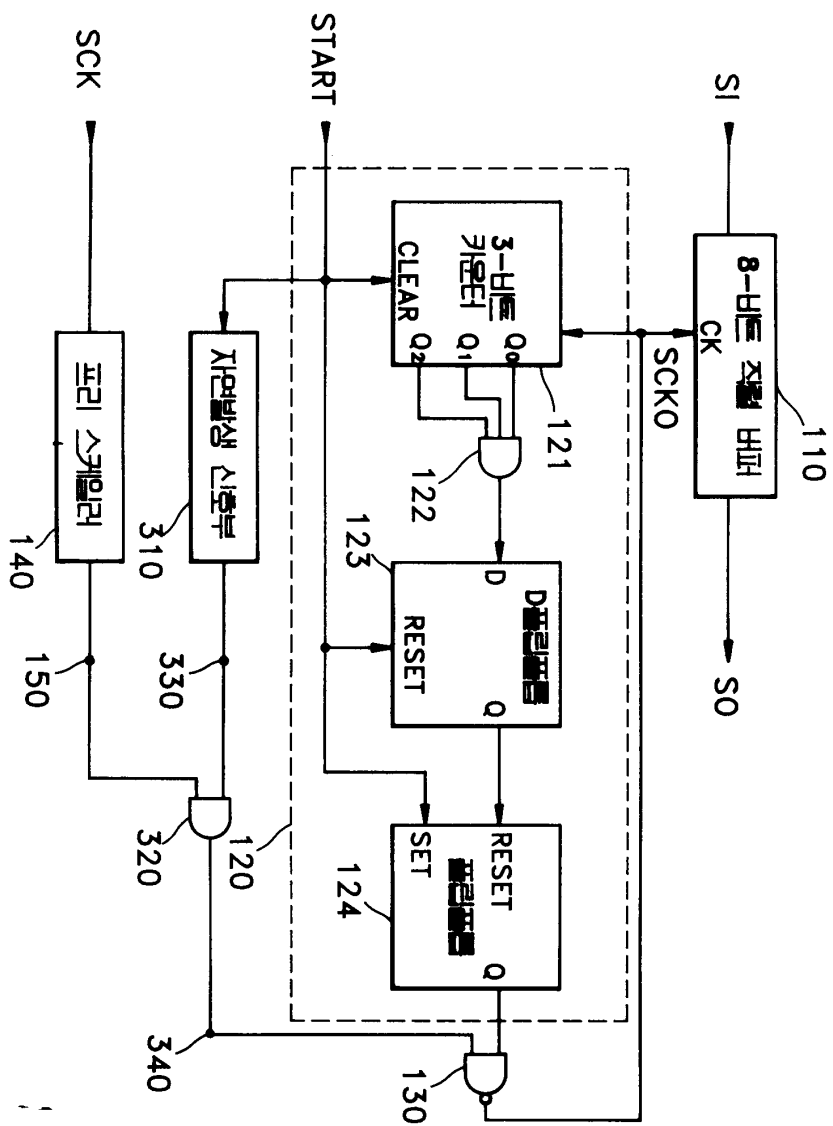
도면



도면1

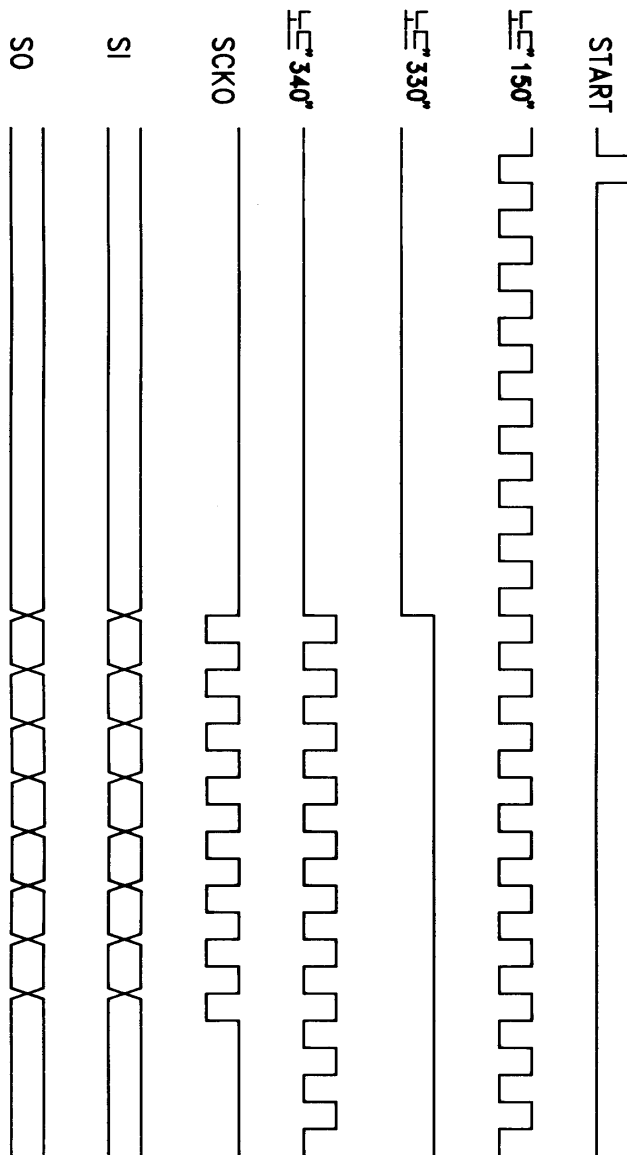
도면2



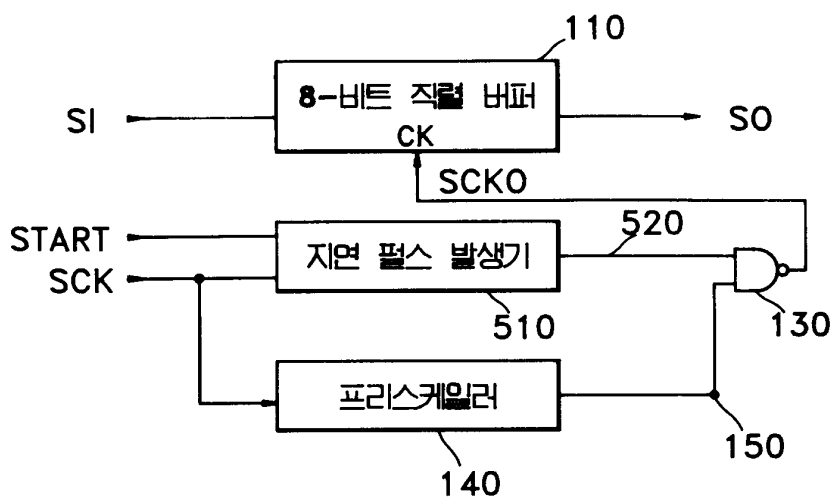


도면3

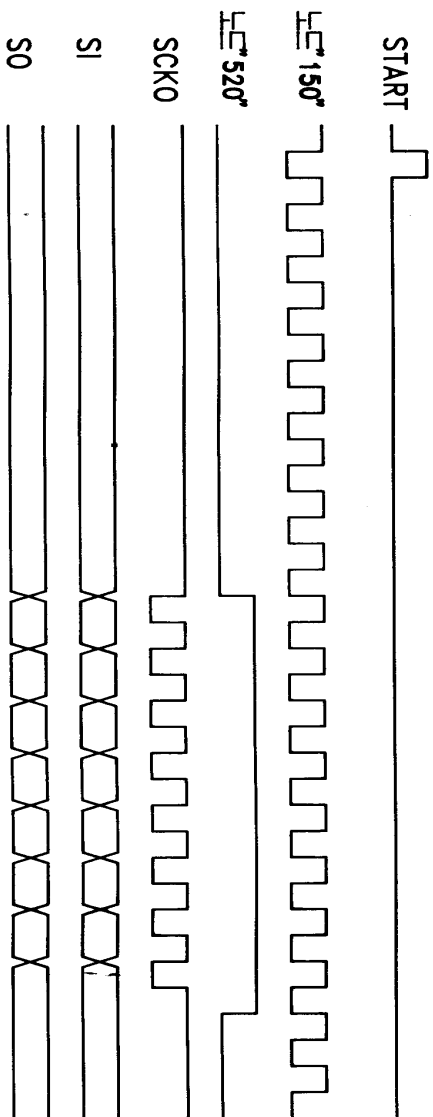
도면4

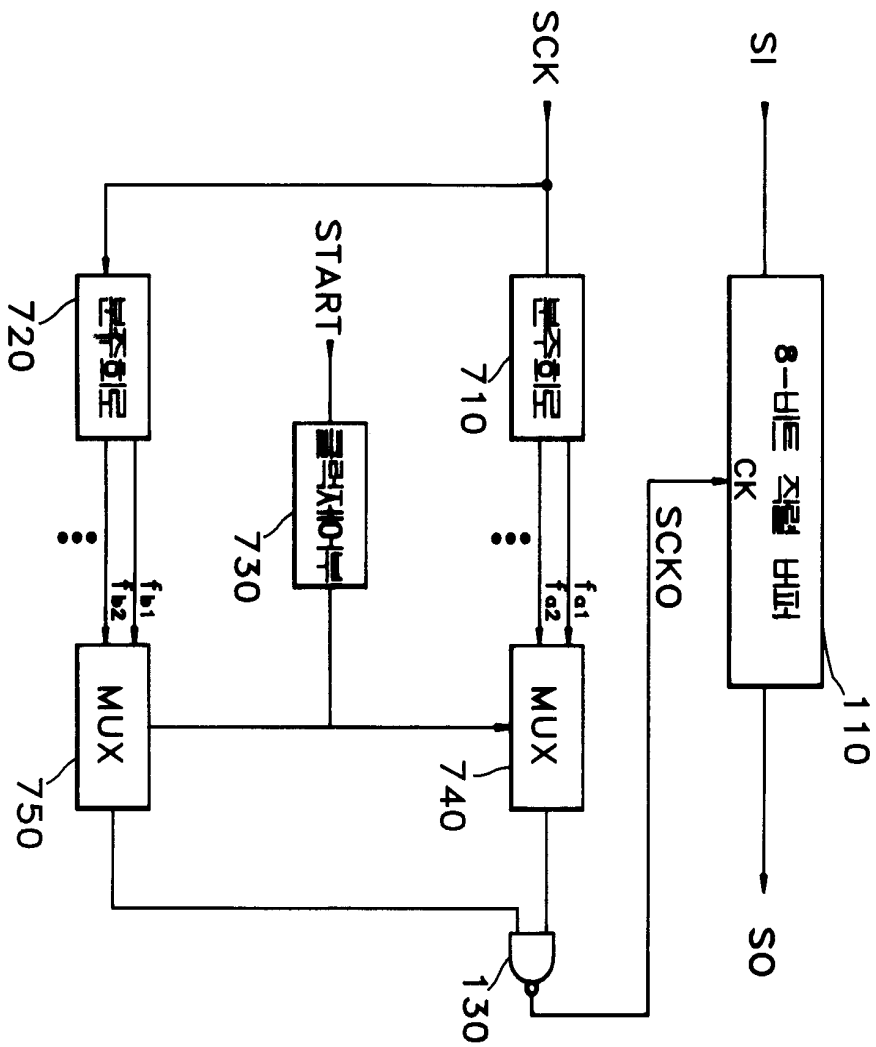


도면5



도면 6





도면7