

發明專利說明書

(2009年9月30日修正)

※申請案號：93118427

※申請日期：93.06.25

※IPC分類：

H03L 7/06

一、發明名稱：(中文/英文)

運作一半導體記憶體裝置之延遲閉鎖迴路之方法及半導體記憶體裝置中之延遲閉鎖迴路

A METHOD FOR OPERATING A DELAY LOCKED LOOP OF A SEMICONDUCTOR MEMORY DEVICE AND DELAY LOCKED LOOP IN SEMICONDUCTOR MEMORY DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

海力士半導體股份有限公司

HYNIX SEMICONDUCTOR INC.

代表人：(中文/英文)

鄭東洙/CHUNG, DONG-SOO

住居所或營業所地址：(中文/英文)

大韓民國京畿道 467-860 利川市夫鉢邑牙美里山 136-1

San 136-1, Ami-ri, Bubal-eub, Ichon-shi, Kyoungki-do, 467-860,

Republic of Korea

國籍：(中文/英文)

大韓民國/Republic of Korea

三、發明人：(共 1 人)

姓名：(中文/英文)

郭鍾太/KWAK, JONG-TAE

國籍：(中文/英文)

大韓民國/Republic of Korea

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，
其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

韓國 2004.03.05 10-2004-0014909

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本案係關於一種半導體記憶體裝置，特別是關於一種半導體記憶體裝置中的延遲閉鎖迴路(delay locked loop)，其係用以防止一最小靈敏區(dead-zone)中的一阻塞失效(stuck fail)。

【先前技術】

一般說來，一系統或一電路的一時脈信號係作為同步一執行時間(execution timing)以及確保一零錯誤之高速運作的一參考，當一外部電路之一外部時脈信號被使用於一內部電路時，該內部電路便會產生一時脈信號差異(skew)，這是因為該外部時脈信號和該內部時脈信號之間的時間間隙(timing gap)所造成的，一種延遲閉鎖迴路(以下稱為 DLL)可補償該時脈信號差異，使得該內部時脈信號的相位與該外部時脈信號的相位相等。

再者，該種 DLL 係為一種不僅可補償該外部時脈信號和該內部時脈信號之間的時脈差異、亦可補償該外部時脈信號和資料之間的時脈差異的裝置，因此，該種 DLL 不僅可應用於一半導體裝置，亦可應用於一電腦系統(computer system)。

此外，該種 DLL 亦被廣泛地應用於具有一雙倍資料傳送率同步動態隨機存取記憶體(double data rate synchronous dynamic random access memory, DDR SDRAM)的同步半導體記憶體裝置中，這是因為其與一相位閉鎖迴路(phase

locked loop，以下稱為 PLL)比較起來具有較不易受到雜訊所影響的特性，在眾多型態之 DLL 當中，最常被使用的便是暫存控制(register controlled)DLL。

舉例來說，同步半導體記憶體裝置(SDRAM)中的暫存控制 DLL 係係藉由在接收該外部時脈信號之後預先反映一負延遲、並且藉由補償資料的一延遲值和時脈信號路徑，而能夠以該外部時脈信號同步一資料輸出。

第 1 圖係為先前技術一實施例之 DDR SDRAM 之延遲閉鎖迴路(DLL)的方塊圖。

該 DLL 包括第一及第二時脈緩衝器 111 及 112、一時脈除法器 113、第一至第三延遲線方塊 114 至 116、一移位暫存器(shift register)117、一移位控制器 118、一相位比較器 119、第一及第二 DLL 驅動器 120 及 121、以及一延遲模組 122。

第一時脈緩衝器 111 接收一反相外部時脈信號 /clk 並利用一外部時脈信號 clk 的下降邊緣(falling edge)同步該反相外部時脈信號 /clk，藉以產生一第一內部時脈信號 fall_clk，第二時脈緩衝器 112 接收該外部時脈信號 clk 並利用該外部時脈信號 clk 的上升邊緣(rising edge)同步該外部時脈信號 clk，藉以產生一第二內部時脈信號 rise_clk。

時脈除法器 113 在將第二內部時脈信號 rise_clk 除以 $1/N$ 之後，便輸出一延遲監控時脈信號 dly_in 以及一參考時脈信號 ref，其中 N 係為一正常數，在這個例子中， N 係為 8，第一至第三延遲線方塊 114 至 116 分別接收第一內

部時脈信號 `fall_clk`、第二內部時脈信號 `rise_clk`、以及延遲監控時脈信號 `dly_in`，並將這三個信號(即 `fall_clk`、`rise_clk`、以及 `dly_in`)延遲移位暫存器 117 所控制的每個預定延遲值，藉以分別產生第一及第二 DLL 時脈信號 `ifclk` 及 `irclk`、以及一迴授信號 `feedb`。

由第三延遲線方塊 116 所輸出的迴授信號 `feedb` 接著被輸入延遲模組 122，延遲模組 122 反映實際時脈信號的延遲值及資料路徑給迴授信號 `feedb`、並輸出一延遲迴授信號 `dfeedb` 給相位比較器 20，也就是說，延遲模組 122 係為一種複製電路(*replica circuit*)，相位比較器 119 接著比較由延遲模組 122 所輸出的延遲迴授信號 `dfeedb` 的相位和參考時脈信號 `ref` 的相位。

移位控制器 118 決定移位暫存器 117 的一移位方向以回應相位比較器 119 所輸出的一移位控制信號 `ctrl`，在決定該移位方向之後，移位控制器 118 便輸出第一及第二移位控制信號 `SR` 及 `SL`，此時，如果 `SR` 致能，移位暫存器 117 的一移位值便移至右側，另一方面，如果 `SL` 致能，移位暫存器 117 的該移位值便移至左側，根據移位暫存器 117 的該移位值，第一至第三延遲線方塊 114 至 116 的每個延遲值便可獲得調整。

由第一至第二延遲線方塊 114 至 115 所輸出的第一及第二 DLL 時脈信號 `ifclk` 及 `irclk` 接著被輸入至第一及第二 DLL 驅動器 120 及 121，本身為一種緩衝器的第一及第二 DLL 驅動器 120 及 121 會產生第一及第二驅動時脈信號

fclk_dll 及 rclk_dll。

第 2A 圖及第 2B 圖係為第 1 圖之 DLL 之運作的波形圖，如圖所示，其中可看出由 DLL 所補償的延遲值 D 及 D' ，其即為參考時脈信號 ref 及延遲迴授信號 $dfeedb$ 之間的相位差。

請參閱第 2A 圖，延遲迴授信號 $dfeedb$ 的啓始相位相較參考時脈信號 ref 的相位領先了延遲值 D ，在這個例子中，DLL 將延遲迴授信號 $dfeedb$ 延遲了延遲值 D ，並且接著，延遲迴授信號 $dfeedb$ 的相位即同步於參考時脈信號 ref 的上升邊緣。

此外，請參閱第 2B 圖，在一啓始運作狀態中，延遲迴授信號 $dfeedb$ 的相位相較參考時脈信號 ref 的相位落後了一預定值；即 $t_{CK}-D'$ (此處， t_{CK} 係為參考時脈信號的一週期，而 D' 係為該延遲值)，DLL 亦將延遲迴授信號 $dfeedb$ 延遲了延遲值 D' ，使得延遲迴授信號 $dfeedb$ 的相位同步於參考時脈信號 ref 的上升邊緣，如果可能的話，延遲迴授信號 $dfeedb$ 領先該預定值是較好的，然而，在該啓始運作狀態中，由於延遲迴授信號 $dfeedb$ 會通過最小數量的延遲單元，因此不可能減少該預定值。

為了如第 2B 圖所示般將延遲迴授信號 $dfeedb$ 延遲該延遲值 D' ，第一至第三延遲線方塊 114 至 116 包括了複數個延遲單元，其能夠將一輸入信號 (例如 $rise_clk$) 延遲參考時脈信號 t_{CK} 的一週期，也就是說，每個延遲線方塊皆具有複數個延遲單元，其係用以將該輸入信號延遲一最大延

遲值；亦即外部時脈信號 clk 的一週期，此處，該最大延遲值係基於一運作頻率、一溫度或其他的類似因素而被決定。

換句話說，每個延遲線方塊(例如 114)皆為 DLL 中、其他方塊(例如 111)中具有最大尺寸的一功能方塊，因此，為了將該輸入信號延遲一所需延遲值，每個延遲線方塊皆具有太大的尺寸及消耗太多的功率，另外，在最壞的情形下，由於 DLL 應該將該輸入信號延遲該參考時脈信號之一週期中的最大量，因此會花廢太多的時間在閉鎖上；亦即，需要利用該參考時脈信號同步該輸入信號。

為了克服上述之問題點，另一種傳統的 DLL 亦被提出。

第 3 圖係為先前技術中另一實施例之 DLL 的方塊圖。

如圖所示，DLL 包括第一及第二輸入緩衝器 311 及 312、一多工器(multiplexer)315、一多工控制器 314、一相位比較方塊 313、一延遲線方塊 317、一延遲線控制方塊 316、一延遲模組方塊 318、以及一輸出緩衝器 319。

此處，第一及第二輸入緩衝器 311 及 312 係對應於第 1 圖之第一及第二時脈緩衝器 111 及 112，此外，輸出緩衝器 319 係類似於第一及第二 DLL 驅動器 120 及 121 其中之一，延遲模組方塊 318 和相位比較方塊 313 分別匹配於相位比較器 119 及延遲模組 122。

請參閱第 3 圖，相位比較方塊 313 先比較由一外部部份所輸入的一外部時脈 clk 和由延遲模組方塊 318 所輸出的一迴授信號 fb ，接著，基於相位比較方塊 313 的該比較

結果，多工控制器 314 和多工器 315 便決定第一及第二內部時脈信號中的何者被輸出至延遲線方塊 317，而延遲線控制方塊 316 亦決定延遲線方塊 317 的一延遲值，最後，延遲線方塊 317 會將一輸入信號延遲該延遲值、藉以將該輸入信號同步於外部時脈信號 clk 和一反相外部時脈信號 $clkb$ 的其中之一，是故，由於延遲線方塊 317 的最大延遲值係為外部時脈信號 clk 之週期的一半，因此，延遲線方塊 317 相較於第 1 圖之每個該第一至該第三延遲線方塊皆具有相對少的延遲單元，亦是足夠的。

第 4A 圖及第 4B 圖係為第 3 圖之 DLL 之運作的波形圖。

在第 4A 圖的一第一狀況中，外部時脈信號 clk 和迴授信號 fb 之間的一相位差小於外部時脈信號 clk 之週期的一半，此時，作為相位比較方塊 313 的該比較結果，多工器 315 會輸出反相外部時脈 $/clk$ 至延遲線方塊 317，因此，雖然該迴授信號應該被延遲該外部時脈信號之一半的週期(即 $t_{CK}-t_D$)，延遲線方塊 317 實際上卻會將一反相迴授信號 $/fb$ 延遲一預定值(即 $t_{CK}/2-t_D$)，藉以同步反相迴授信號 $/fb$ 於外部時脈信號 clk 的上升邊緣，此處， t_{CK} 係為外部時脈信號 clk 的一週期，而 t_D 則是外部時脈信號 clk 和迴授信號 fb 之間的一相位差，也就是說，為了減少延遲線方塊 317 的該延遲值，多工器 315 會輸出反相外部時脈 $/clk$ 至延遲線方塊 317；並且延遲線控制方塊 316 會輸出反相迴授信號 $/fb$ 至延遲線方塊 317。

請參閱第 4B 圖，在一第二狀況中，外部時脈信號 clk 和迴授信號 fb 之間的該相位差大於外部時脈信號 clk 之週期的一半，此時，作為相位比較方塊 313 的該比較結果，多工器 315 會輸出外部時脈 clk 至延遲線方塊 317，因此，延遲線方塊 317 實際上卻會將一反相迴授信號 $/fb$ 延遲一預定值(即 $t_{CK}-t_D$)，藉以同步迴授信號 fb 於外部時脈信號 clk 的上升邊緣，也就是說，為了減少延遲線方塊 317 的該延遲值，多工器 315 會輸出外部時脈信號 clk 至延遲線方塊 317；並且延遲線控制方塊 316 會輸出迴授信號 fb 至延遲線方塊 317。

然而，當外部時脈信號 clk 和迴授信號 fb 之間的一相位差係為於一最小靈敏區時，上述的 DLL 卻無法保證穩定運作，此處，該最小靈敏區係指極難找出外部時脈信號 clk 和迴授信號 fb 之間之該相位差的期間，這是因為兩個信號 clk 和 fb 分別具有實際的封閉相位所致。

第 5 圖係為第 3 圖之 DLL 之運作錯誤的波形圖。

如圖所示，假設藉由迴授外部時脈信號 clk 所產生之迴授信號 fb 係類似於該反相外部時脈信號的相位；即迴授信號 fb 具有一半週期 ($t_{CK}/2$) 延遲值，此時，DLL 會藉由增加延遲線方塊 317 的該延遲值而調整反相迴授信號 $/fb$ 的相位，並且接著，DLL 便可正常地輸出一所需之 DLL 時脈信號至一外部部份。

然而，請參閱第 5 圖，當外部時脈信號 clk 和一迴授信號 fb_r 之間的一相位差係為於一最小靈敏區；亦即，由

於供應電壓、溫度、或其他類似的因素使得迴授信號 fb_r 的相位非常類似於外部時脈信號 clk 的相位時，相位比較方塊可能會輸出一錯誤的比較結果至多工器控制器 314 及延遲線控制方塊 316，如上所述，如果相位比較方塊 313 決定迴授信號 fb_r 的上升邊緣應該領先於外部時脈信號 clk 的相位時，情況便可能成真，這是因為迴授信號 fb_r 會通過 DLL 中最小數量的延遲單元所致，最後，第 3 圖之 DLL 仍然具有一個問題；即當一相位差位於最小靈敏區時無法保證穩定的運作，我們把這種現象稱為阻塞失效(stuck fail)。

【發明內容】

因此，本案之目的係提供一種半導體記憶體裝置中的延遲閉鎖迴路(DLL)及其運作方法，用以防止一最小靈敏區中的一阻塞失效。

此外，本案之另一目的係提供一種半導體記憶體裝置中的延遲閉鎖迴路及其運作方法，用以有效減少一延遲線方塊的一延遲值；例如 DLL 中延遲線方塊所具有之延遲單元的數量。

根據本案之另一目的，提供一種運作一半導體記憶體裝置之一延遲閉鎖迴路的方法，以防止一最小靈敏區(dead-zone)中的一阻塞失效(stuck fail)，該方法包括步驟如下：(a) 迴授一第一及一第二內部時脈信號其中之一以作為一迴授信號；(b) 將該迴授信號延遲一第一預定延遲值，以防止該最小靈敏區中的該阻塞失效；(c) 將一延遲迴授信號的一相位和該迴授信號的一相位分別與一外部時脈信號的一相位

進行比較；以及(d)將基於一比較結果所決定之一選定的內部時脈信號延遲一延遲值，該延遲值係基於另一比較結果而定。

根據本案之另一目的，提供一種運作一半導體記憶體裝置之一延遲閉鎖迴路的方法，以防止一最小靈敏區中的一阻塞失效，該方法包括步驟如下：(a)迴授一第一及一第二內部時脈信號其中之一以作為一迴授信號；(b)將該迴授信號延遲一第一預定延遲值，以防止該最小靈敏區中的該阻塞失效；(c)基於一即時(currently)閉鎖狀態選定該迴授信號和一延遲迴授信號其中之一；(d)將一選定的迴授信號的一相位與該外部時脈信號的一相位進行比較；以及(e)將一選定的內部時脈信號延遲一延遲值；其中該選定的內部時脈信號、該延遲值、以及該即時閉鎖狀態係基於一比較結果而被決定。

根據本案之另一目的，提供一種防止一最小靈敏區中之一阻塞失效的延遲閉鎖迴路，包括：一時脈緩衝方塊，接收一外部時脈信號及一反相外部時脈信號，並產生一第一及一第二內部時脈信號；一相位比較方塊，將一迴授信號延遲一第一預定值，並將一延遲迴授信號的一相位和該迴授信號的一相位分別與該外部時脈信號的一相位進行比較；一時脈選擇方塊，基於該延遲迴授信號和該外部時脈信號的一比較結果，選擇該第一及該第二內部時脈信號的其中之一，藉以產生一選定的內部時脈信號；一阻塞檢查方塊，基於該迴授信號和該外部時脈信號的另一比較結果

決定一延遲值；一延遲線方塊，將該選定的內部時脈信號延遲該延遲值；以及一輸出緩衝器，緩衝該延遲線方塊的一輸出信號，藉以產生一 DLL 時脈信號。

根據本案之另一目的，提供一種防止一最小靈敏區中之一阻塞失效的延遲閉鎖迴路，包括：一時脈緩衝方塊，接收一外部時脈信號及一反相外部時脈信號，並產生一第一及一第二內部時脈信號；一相位比較方塊，將一迴授信號延遲一第一預定值，藉以基於一即時閉鎖狀態選擇該迴授時脈信號及一延遲迴授信號的其中之一、以及藉以比較一選定的迴授信號與該外部時脈信號；一時脈選擇方塊，基於該延遲迴授信號和該外部時脈信號的一比較結果，選擇該第一及該第二內部時脈信號的其中之一，藉以產生一選定的內部時脈信號；一阻塞檢查方塊，基於該迴授信號和該外部時脈信號的另一比較結果決定一延遲值及該即時閉鎖狀態；一延遲線方塊，將該選定的內部時脈信號延遲該延遲值；以及一輸出緩衝器，緩衝該延遲線方塊的一輸出信號，藉以產生一 DLL 時脈信號。

【實施方式】

以下將藉由參考所附圖示以詳細說明本案具有一延遲閉鎖迴路(DLL)的半導體記憶體裝置。

第 6 圖係為本案一第一實施例之延遲閉鎖迴路的方塊圖。

如圖所示，延遲閉鎖迴路包括一時脈緩衝方塊 610、一時脈選擇方塊 630、一相位比較方塊 620、一延遲線方塊

660、一延遲線控制方塊 650、一阻塞檢查方塊 640、一延遲模組方塊 670、以及一輸出緩衝器 680。

時脈緩衝方塊 610 接收一外部時脈信號 clk 及一反相外部時脈信號 $clkb$ 藉以產生一第一及一第二內部時脈信號 $rclk$ 及 $fclk$ ，詳細地來說，時脈緩衝方塊 610 具有一第一時脈緩衝器 611 及一第二時脈緩衝器 613，第一時脈緩衝器 611 接收外部時脈信號 clk 及反相外部時脈信號 $clkb$ 並產生對應於外部時脈信號 clk 的第一內部時脈信號 $rclk$ ，也就是說，外部時脈信號 clk 係透過一非反相端而被輸入；反相外部時脈信號 $clkb$ 則係透過一反相端而被輸入，因此，反相外部時脈信號 $clkb$ 被反相，並且接著，由第一時脈緩衝器 611 所輸出的第一內部時脈信號 $rclk$ 變得穩定，同樣地，第二時脈緩衝器 613 接收外部時脈信號 clk 及反相外部時脈信號 $clkb$ ；並且接著產生對應於反相外部時脈信號 $clkb$ 的第二內部時脈信號 $fclk$ 。

相位比較方塊 620 具有一第一延遲方塊 621 和一第一及一第二相位比較器 623 及 625，第一延遲方塊 621 將一迴授信號 fb 延遲一第一預定值，如圖所示，第一延遲方塊 621 具有 K 個延遲單元；即第一預定值 $(\alpha) = K \cdot \text{延遲單元}(t_{UD})$ 的延遲值，此處， K 為一正整數，第二相位比較器 625 將外部時脈信號 clk 的相位與第一延遲方塊 621 所輸出的一延遲迴授信號 fb_dly 的相位進行比較，藉以輸出一第二控制信號 $pdout2$ 至時脈選擇方塊 630 及阻塞檢查方塊 640，此處，當該外部時脈信號的下降邊緣領先該延遲迴授時脈信

號的上升邊緣時，第二控制信號 pdout2 係為一邏輯低狀態；否則，第二控制信號 pdout2 係為一邏輯高狀態。

同樣地，第一相位比較器 623 將外部時脈信號 clk 的相位與延遲模組方塊 627 所輸出的迴授信號 fb 的相位進行比較，接著，第一相位比較器 623 輸出一第一控制信號 pdout1 至阻塞檢查方塊 640，此處，當該外部時脈信號的下降邊緣領先該迴授時脈信號的上升邊緣時，第一控制信號 pdout1 係為一邏輯低狀態；否則，第一控制信號 pdout1 係為一邏輯高狀態。

第二控制信號 pdout2 被輸入至時脈選擇方塊 630 以選擇第一及第二內部時脈信號 rclk 及 fclk 其中之一，時脈選擇方塊 630 具有一多工控制器 631 及一第一多工器 633，多工控制器 631 被一重置信號 rst 所重置，並根據第二控制信號 pdout2 產生一選擇控制信號 SELnFix，第一多工器 633 選擇性地輸出第一及第二內部時脈信號 rclk 及 fclk 其中之一至延遲線方塊 660，此處，如果第二控制信號 pdout2 為一邏輯低狀態，選擇控制信號 SELnFix 可為一邏輯低狀態；並且接著，第一多工器 633 輸出第一內部時脈信號 rclk 至延遲線方塊 660；否則，選擇控制信號 SELnFix 可為一邏輯高狀態；並且接著，第一多工器 633 輸出第二內部時脈信號 fclk 至延遲線方塊 660，此處，選擇控制信號 SELnFix 將於稍後參考第 14 圖進行詳細說明。

另一方面，阻塞檢查方塊 640 接收第一及第二控制信號 pdout1 及 pdout2 以決定一延遲值，此外，延遲線方塊 660

係用以將時脈選擇方塊 630 所輸出的一選定的內部時脈信號延遲該延遲值，藉以產生一延遲內部時脈信號，輸出緩衝器 680 緩衝該延遲內部時脈信號藉以產生一 DLL 時脈信號 `int_clk`。

此處，延遲線方塊 660 所輸出的該延遲內部時脈信號亦被輸入至延遲模組方塊 670，延遲模組方塊 670 為一種複製電路 (*replica circuit*)，其係用以將延遲線方塊 660 所輸出的該延遲內部時脈信號延遲一第二預定延遲值，其中該第二預定延遲值反映實際資料和時脈路徑的一延遲量，接著，該延遲內部時脈信號被迴授作為一迴授信號 `fb`，其係透過延遲模組方塊 670 而被輸入至相位比較方塊 620。

再者，具有複數個移位單元的延遲線方塊 660 係由延遲線控制方塊 650 所產生的一移位方向信號所控制，延遲線控制方塊 650 接收阻塞檢查方塊 640 所輸出的一延遲控制信號 `delay_up` 並基於該延遲值輸出該移位方向信號，也就是說，根據該移位方向信號而決定多少個移位單元用於將該選定的內部時脈信號延遲該延遲值。

第 7 圖係為第 6 圖之阻塞檢查方塊 640 的電路圖。

如圖所示，當一即時閉鎖狀態信號 `lock_state` 為一邏輯低狀態時，輸出延遲控制信號 `delay_up` 的阻塞檢查方塊 640 會一直增加延遲線方塊 660 的該延遲值；否則，阻塞檢查方塊 640 則會根據第一相位比較器 623 所輸出的第一控制信號 `pdout1` 而增加或減少延遲線方塊 660 的該延遲值，此處，在外部時脈信號 `clk` 的上升邊緣接近低於一預定準

位的迴授信號 fb 的上升邊緣之前 ---即外部時脈信號 clk 和迴授信號 fb 之間的一相位差高於該預定準位 ---，即時閉鎖狀態信號 lock_state 爲一邏輯低狀態，並且接著，如果即時閉鎖狀態信號 lock_state 爲一邏輯低狀態，延遲控制信號 delay_up 便爲一邏輯高狀態。

否則，當外部時脈信號 clk 和迴授信號 fb 之間的一相位差低於該預定準位時，即時閉鎖狀態信號 lock_state 便爲一邏輯高狀態，在這個例子中，也就是即時閉鎖狀態信號 lock_state 爲一邏輯高狀態的情形下，當第一控制信號 pdout1 爲一邏輯低狀態，延遲控制信號 delay_up 便爲一邏輯高狀態，並且當第一控制信號 pdout1 爲一邏輯高狀態，延遲控制信號 delay_up 便爲一邏輯低狀態，此處，當延遲控制信號 delay_up 便爲一邏輯低狀態時，該延遲值會增加，但當延遲控制信號 delay_up 便爲一邏輯高狀態時，該延遲值會減少。

也就是說，如果外部時脈信號 clk 和迴授信號 fb 之間的該相位差太大，即時閉鎖狀態信號 lock_state 便會變低，並且接著，該延遲值便增加，同樣地，如果不是這種情況，該延遲值便減少。

請參閱第 7 圖，即時閉鎖狀態信號 lock_state 係由第二相位比較器 625 所輸出的第二控制信號 pdout2 所決定，之後的第 7 圖至第 8C 圖可用以詳細說明即時閉鎖狀態信號 lock_state。

第 8A 圖至第 8C 圖係爲第 6 圖之延遲閉鎖迴路運作中、

第 9A 圖係為第 6 圖之延遲閉鎖迴路中用作一第一及一第二相位比較方塊 623 及 625 之一種相位比較器的方塊圖，此外，第 9B 圖及第 9C 圖係為第 9A 圖之相位比較器之運作的波形圖。

如第 9A 圖所示，該相位比較器透過兩端 'a' 及 'b' 接收兩個信號 A 及 B，並透過一端 'y' 產生一結果信號 Y，在第 9B 圖中，當透過 'a' 端被輸入的信號 A 的上升邊緣落後透過 'b' 端被輸入的信號 B 的上升邊緣時，該相位比較器便輸出一具有邏輯低狀態的結果信號 Y，與第 9B 圖相反，在第 9C 圖中，當透過 'a' 端被輸入的信號 A 的上升邊緣領先透過 'b' 端被輸入的信號 B 的上升邊緣時，該相位比較器便輸出一具有邏輯高狀態的結果信號 Y。

第 10A 圖係為第 6 圖之延遲閉鎖迴路運作中、基於接收一迴授信號和一延遲迴授信號之相位比較方塊的另一結果所產生之另一狀況的波形圖，而第 10B 圖係為第 6 圖之延遲閉鎖迴路所具有、位於第 10A 圖之一啓始運作狀態中的一延遲線方塊之運作的方塊圖。

第 10A 圖的狀況發生於 DLL 的一啓始運作狀態下，此處，迴授信號 fb 和延遲迴授信號 fb_dly 的每個上升邊緣皆領先外部時脈信號 clk 的上升邊緣，此時，第一及第二相位比較器 623 及 625 分別產生具有邏輯低狀態的該第一及該第二控制信號，請參閱第 10A 圖及第 10B 圖，如果延遲迴授信號 fb_dly 的上升邊緣同步於外部時脈信號 clk 的上升邊緣，延遲線方塊 660 便會接收第一內部時脈信號

rclk，並且接著將第一內部時脈信號 rclk 延遲第一預定值 α 。

第 11 圖係為第 6 圖之延遲閉鎖迴路之運作的波形圖。

如圖所示，圖中說明了即時閉鎖狀態信號 lock_state 如何從一邏輯低狀態改變為一邏輯高狀態，在此，由於 DLL 的運作已經於第 6 圖至第 11 圖中進行詳細說明，因此此處省略了關於第 11 圖的說明，迴授信號 fb 在第一開關信號 p_clk1 的每個週期中皆被延遲一預定延遲值。

第 12 圖係為本案一第二實施例之延遲閉鎖迴路的方塊圖。

如圖所示，該 DLL 與第 6 圖之 DLL 非常相似，此處將說明本案第一及第二實施例之 DLL 之間的差別。

與相位比較方塊相反的是，其具有一選擇及比較方塊 1220，選擇及比較方塊 1220 包括一第二延遲方塊 1221、一第二多工器 1223、以及一第三相位比較器 1225。

詳細地來看，第二延遲方塊 1221 與第 6 圖之第一延遲方塊 621 相同；且第三相位比較器 1225 係為第 9A 圖所示的一種相位比較器，然而，在本案之第二實施例之 DLL 中，首先，一延遲迴授信號 fb_dly 和一迴授信號 fb 的其中之一會被第二多工器 1223 基於一第二阻塞檢查方塊 1240 所輸出的一即時閉鎖狀態信號 lock_state 而選擇；並且接著，一選定的迴授信號會與外部時脈信號 clk 進行比較，也就是說，如果即時閉鎖狀態信號 lock_state 為一邏輯低狀態，第三相位比較器 1225 便會將延遲迴授信號 fb_dly 與外部時

脈信號 `clk` 進行比較；否則，第三相位比較器 1225 便會將迴授信號 `fb` 與外部時脈信號 `clk` 進行比較。

第 13 圖係為第 12 圖之第二阻塞檢查方塊 1240 的電路圖。

如圖所示，除了即時閉鎖狀態信號 `lock_state` 被輸入至第二多工器 1223 之外，第二阻塞檢查方塊 1240 係與第 7 圖之阻塞檢查方塊 640 相同，所以，此處將會省略關於第二阻塞檢查方塊 1240 的詳細說明。

第 14 圖係為第 6 圖及第 12 圖之多工控制器 631 的方塊圖。

如圖所示，多工控制器 631 包括一狀態決定方塊 1401、一計數器 1403、一偵測方塊 1405、一第一 NOR 邏輯閘 1407、一第一反相器 1409、以及一第一 D 正反器 1411。

狀態決定方塊 1401 接收外部時脈信號 `clk` 及第 6 圖和第 12 圖之相位比較器 625/1225 所輸出的第二控制信號 `pdout2`，接著，狀態決定方塊 1401 便會週期性地檢查第二或第三控制信號 `pdout2` 或 `pdout3` 的邏輯狀態，藉以決定第二控制信號 `pdout2` 的何種狀態高於另一個。

由重置信號 `rst` 所重置的計數器 1403 接收外部時脈信號 `clk` 並對外部時脈信號 `clk` 的上升/下降邊緣進行計數，以傳送一計數結果至偵測方塊 1405，然後，如果該計數結果滿足一預定條件，偵測方塊 1405 便會決定藉由將具有一邏輯高狀態的一時間控制信號 `fix` 輸出至第一 NOR 邏輯閘 1407、而將狀態決定方塊 1401 當作選擇控制信號 `SELnFix`

輸出至第一多工器 633 的一時間，第一 NOR 邏輯閘 1407 接收時間控制信號 fix 及一第三開關信號 p_clk3 、並透過第一反相器 1409 將邏輯 NOR 運作的一結果輸出至第一 D 正反器 1411，因此，舉例來說，如果時間控制信號 fix 為一邏輯高狀態，第二控制信號 $pdout2$ 就無法作為選擇控制信號 $SELnFix$ 而被輸出；否則，第二控制信號 $pdout2$ 便會被當作選擇控制信號 $SELnFix$ 而被輸出至第一多工器 633。

如上所述，本案之 DLL 能夠有效地減少一延遲線方塊 660 的該延遲值，此處，最大的該延遲值係為 $tCK \div 2 + \alpha$ ，因此，DLL 中延遲線方塊 660 的延遲單元的數量便可減少；此外，亦可以減少延遲線方塊 660 (即該 DLL) 的一功率消耗。

此外，本案之 DLL 能夠藉由將該延遲迴授信號與該外部時脈信號進行比較而防止一最小靈敏區的一阻塞失效，再者，即使在因功率、溫度和其他類似的因素所造成的一可變狀況之下、該 DLL 的穩定運作仍然具有一優異的表現 (performance)。

本案包含了於 2004 年 03 月 05 日對韓國專利局所提出申請之韓國申請第 2004-14909 號案件的主要內容，其全部內容皆附加於此處而作為參考之用。

即使本案發明係以以上之較佳實施例來作說明，然而對於熟習本項技術者來說，本案仍不限於這些實施例和使用方法，尤有甚者，凡依本案所附申請專利範圍所做的均等變化及修飾，皆為本案專利範圍所涵蓋。

【圖式簡單說明】

本案得藉由下列圖式及詳細說明，俾得一更深入之了解：

第 1 圖表示先前技術一實施例之雙倍資料傳送率同步動態隨機存取記憶體 (DDR SDRAM) 之延遲閉鎖迴路 (DLL) 的方塊圖；

第 2A 圖及第 2B 圖表示第 1 圖之延遲閉鎖迴路之運作的波形圖；

第 3 圖表示先前技術另一實施例之延遲閉鎖迴路的方塊圖；

第 4A 圖及第 4B 圖表示第 3 圖之延遲閉鎖迴路之運作的波形圖；

第 5 圖表示第 3 圖之延遲閉鎖迴路之運作錯誤的波形圖；

第 6 圖表示本案一第一實施例之延遲閉鎖迴路的方塊圖；

第 7 圖表示第 6 圖之一阻塞檢查方塊的電路圖；

第 8A 圖至第 8C 圖表示第 6 圖之延遲閉鎖迴路運作中、基於接收一迴授信號和一延遲迴授信號之相位比較方塊的結果所產生之三種狀況的波形圖；

第 9A 圖表示第 6 圖之延遲閉鎖迴路中用作一第一及一第二相位比較方塊之一種相位比較器的方塊圖；

第 9B 圖及第 9C 圖表示第 9A 圖之相位比較器之運作的波形圖；

第 10A 圖表示第 6 圖之延遲閉鎖迴路運作中、基於接

收一週授信號和一延遲週授信號之相位比較方塊的另一結果所產生之另一狀況的波形圖；

第 10B 圖表示第 6 圖之延遲閉鎖迴路所具有、位於第 10A 圖之一啓始運作狀態中的一延遲線方塊之運作的方塊圖；

第 11 圖表示第 6 圖之延遲閉鎖迴路之運作的波形圖；

第 12 圖表示本案一第二實施例之延遲閉鎖迴路的方塊圖；

第 13 圖表示第 12 圖之一第二阻塞檢查方塊的電路圖；
以及

第 14 圖表示第 6 圖及第 12 圖之一多工控制器的方塊圖。

【圖示符號說明】

111	第一時脈緩衝器
112	第二時脈緩衝器
113	時脈除法器
114	第一延遲線方塊
115	第二延遲線方塊
116	第三延遲線方塊
117	移位暫存器
118	移位控制器
119	相位比較器
120	第一 DLL 驅動器
121	第二 DLL 驅動器

122	延遲模組
311	第一輸入緩衝器
312	第二輸入緩衝器
313	相位比較方塊
314	多工控制器
315	多工器
316	延遲線控制方塊
317	延遲線方塊
318	延遲模組方塊
319	輸出緩衝器
610	時脈緩衝方塊
620	相位比較方塊
621	第一延遲方塊
623	第一相位比較器
625	第二相位比較器
630	時脈選擇方塊
631	多工控制器
633	第一多工器
640	阻塞檢查方塊
650	延遲線控制方塊
660	延遲線方塊
670	延遲模阻方塊
680	輸出緩衝器
1220	選擇及比較方塊

1221	第二延遲方塊
1223	第二多工器
1225	第三相位比較器
1240	第二阻塞檢查方塊
1401	狀態決定方塊
1403	計數器
1405	偵測方塊
1407	第一 NOR 邏輯閘
1409	第一反相器
1411	第一 D 正反器
/clk	反相外部時脈信號
clkb	反相外部時脈信號
clk	外部時脈信號
fall_clk	第一內部時脈信號
rise_clk	第二內部時脈信號
dly_in	延遲監控時脈信號
ref	參考時脈信號
ifclk	第一 DLL 時脈信號
irclk	第二 DLL 時脈信號
feedb	迴授信號
ctrl	移位控制信號
SR	第一移位控制信號
SL	第二移位控制信號
fclk_dll	第一驅動時脈信號

rclk_dll	第二驅動時脈信號
fclk	第一內部時脈信號
rclk	第二內部時脈信號
D	延遲值
D'	延遲值
tCK	週期
tD	相位差
fb	迴授信號
fb_r	迴授信號
/fb	反相迴授信號
fb_b	反相迴授信號
tUD	延遲單元
fb_dly	延遲迴授信號
pdout1	第一控制信號
pdout2	第二控制信號
rst	重置信號
SELnFix	選擇控制信號
int_clk	DLL 時脈信號
delay_up	延遲控制信號
lock_state	即時閉鎖狀態信號
dly1	第一延遲量
dly2	第二延遲量
dly3	第三延遲量
p_clk1	第一開關信號

p_clk2	第二開關信號
p_clk3	第三開關信號
a	端
b	端
A	信號
B	信號
Y	結果信號
α	第一預定值
fix	時間控制信號

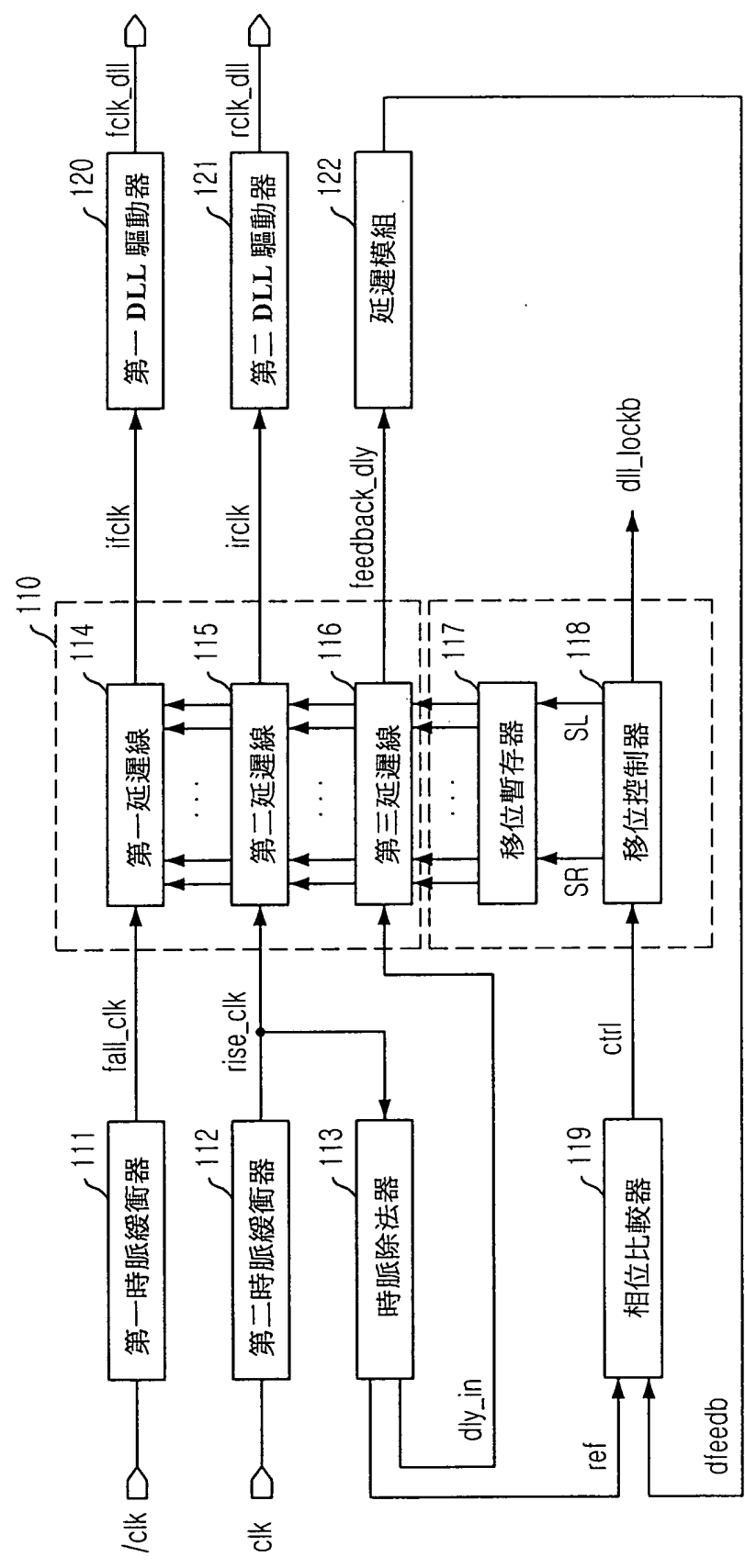
五、中文發明摘要：

一種防止一最小靈敏區中之一阻塞失效的延遲閉鎖迴路，包括：一時脈緩衝方塊，產生一第一及一第二內部時脈信號；一相位比較方塊，將一迴授信號延遲一第一預定值，並將一延遲迴授信號的一相位和該迴授信號的一相位分別與該外部時脈信號的一相位進行比較；一時脈選擇方塊，基於一比較結果選擇該第一及該第二內部時脈信號的其中之一，藉以產生一選定的內部時脈信號；一阻塞檢查方塊，基於另一比較結果決定一延遲值；一延遲線方塊，將該選定的內部時脈信號延遲該延遲值；以及一輸出緩衝器，緩衝該延遲線方塊的一輸出信號，藉以產生一 DLL 時脈信號。

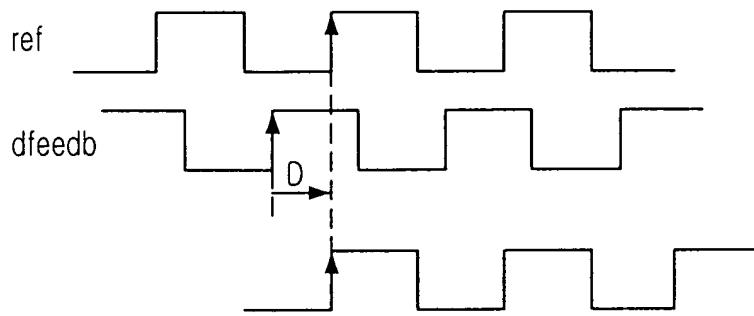
六、英文發明摘要：

A delayed lock loop for preventing a stuck fail in a dead-zone includes a clock buffering block for generating a first and a second internal clock signals; a phase comparison block for delaying a feedback signal by a first predetermined value and for respectively comparing a phase of a delayed feedback signal and a phase of the feedback signal with a phase of the external clock signal; a clock selecting block for selecting one of the first and second internal clock signals based on one comparison result to thereby generate a selected internal clock signal; a stuck checking block for determining a delay value based on the other comparison result; a delay line block for delaying the selected internal clock signal by the delay value; and an output buffer for buffering an outputted signal from the delay line block to thereby generating a DLL clock signal.

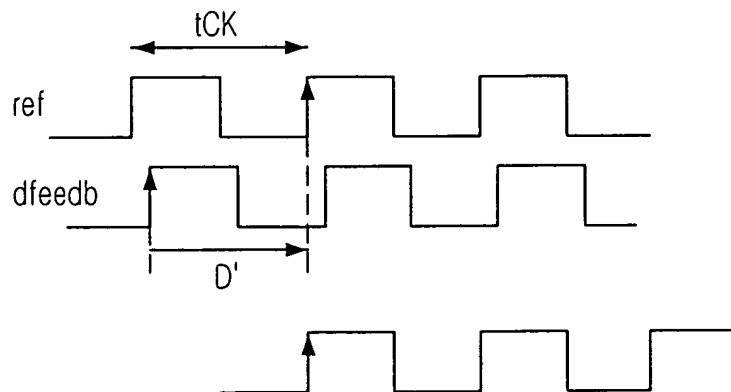
第 1 圖
(習知技術)



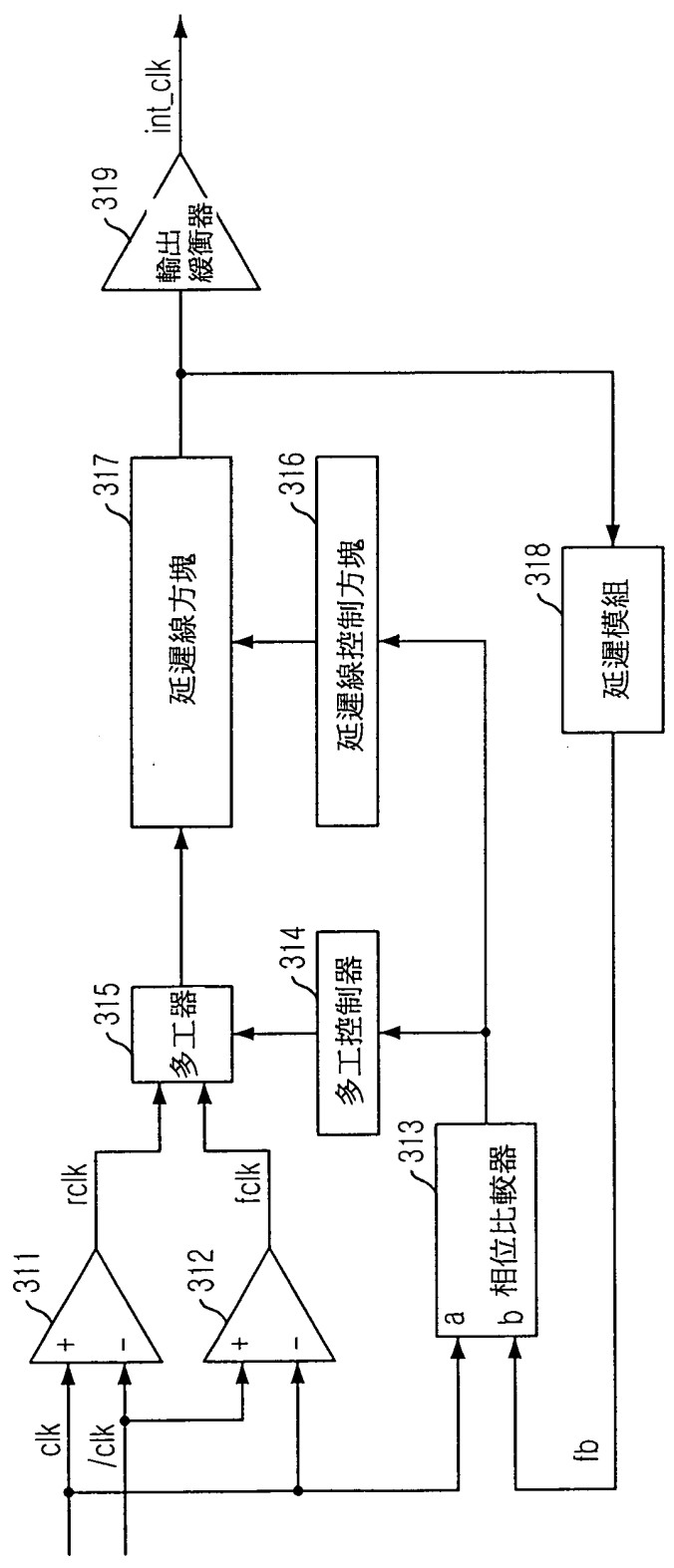
第 2A 圖
(習知技術)



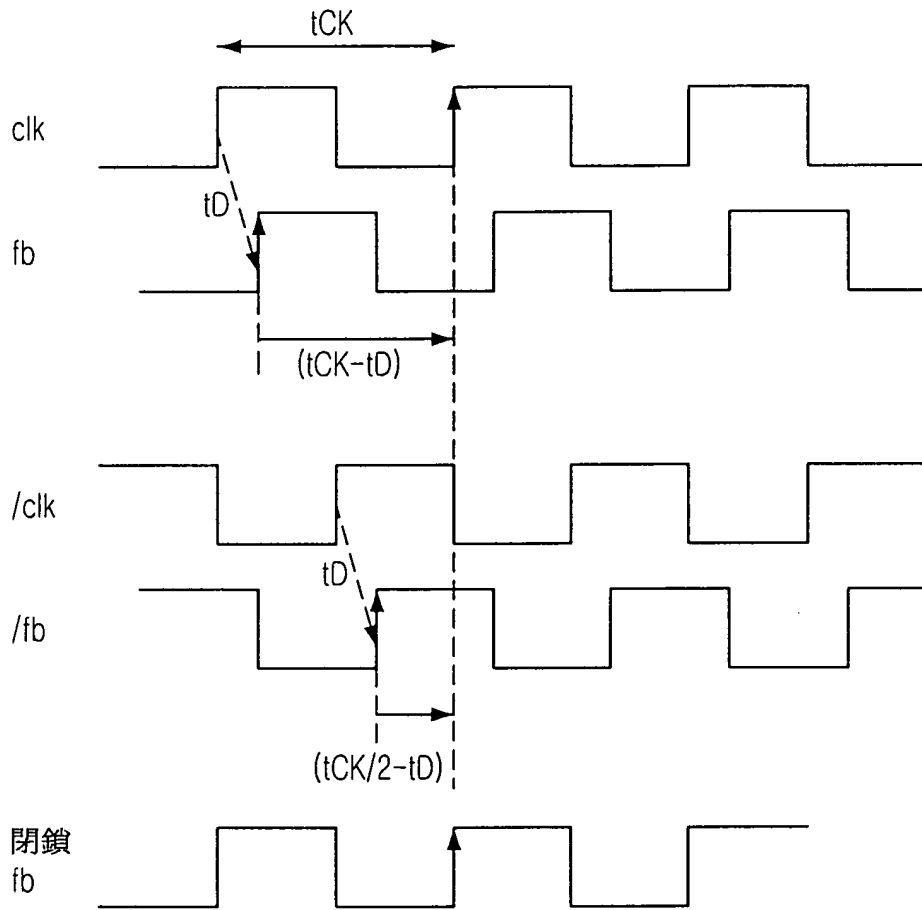
第 2B 圖
(習知技術)



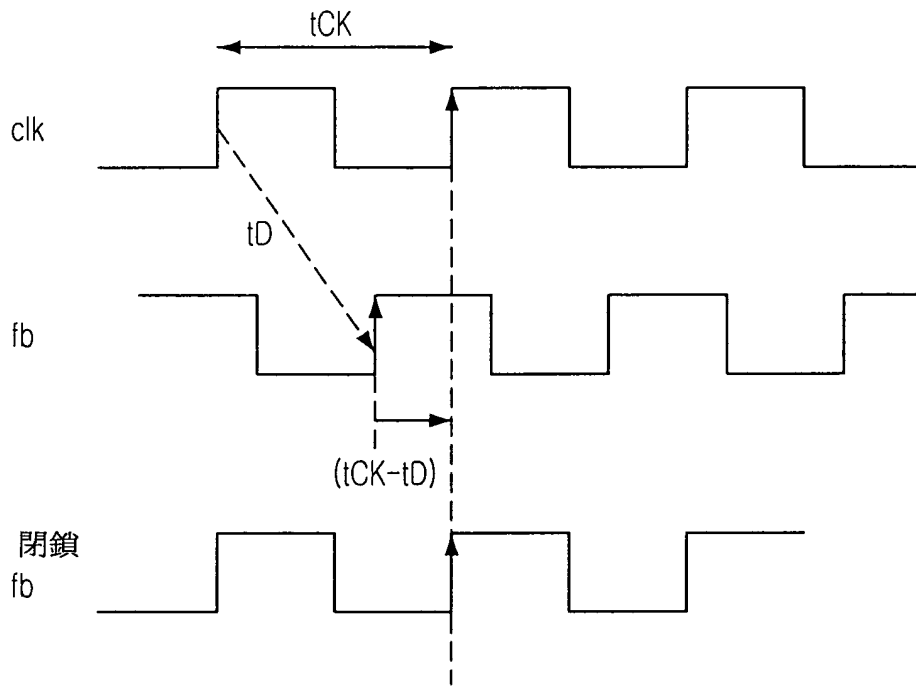
第 3 圖
(習知技術)



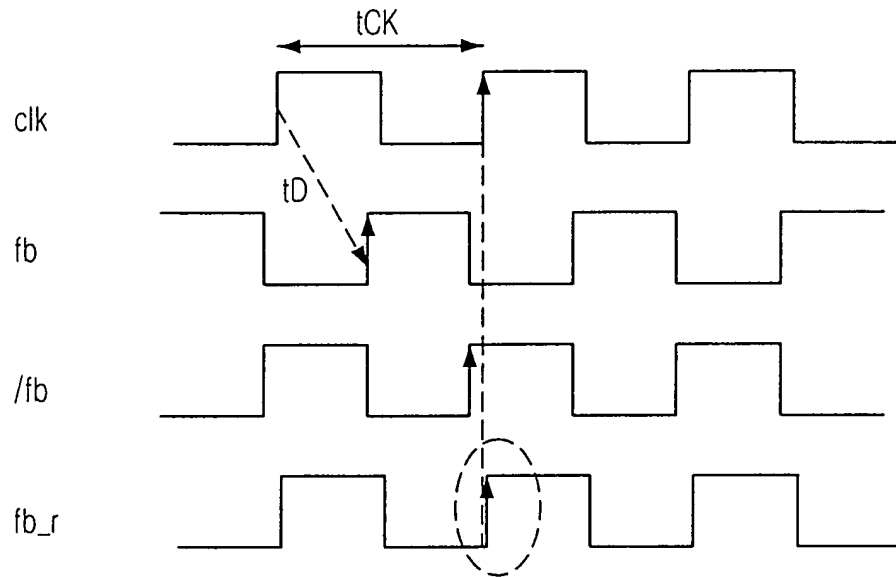
第 4A 圖



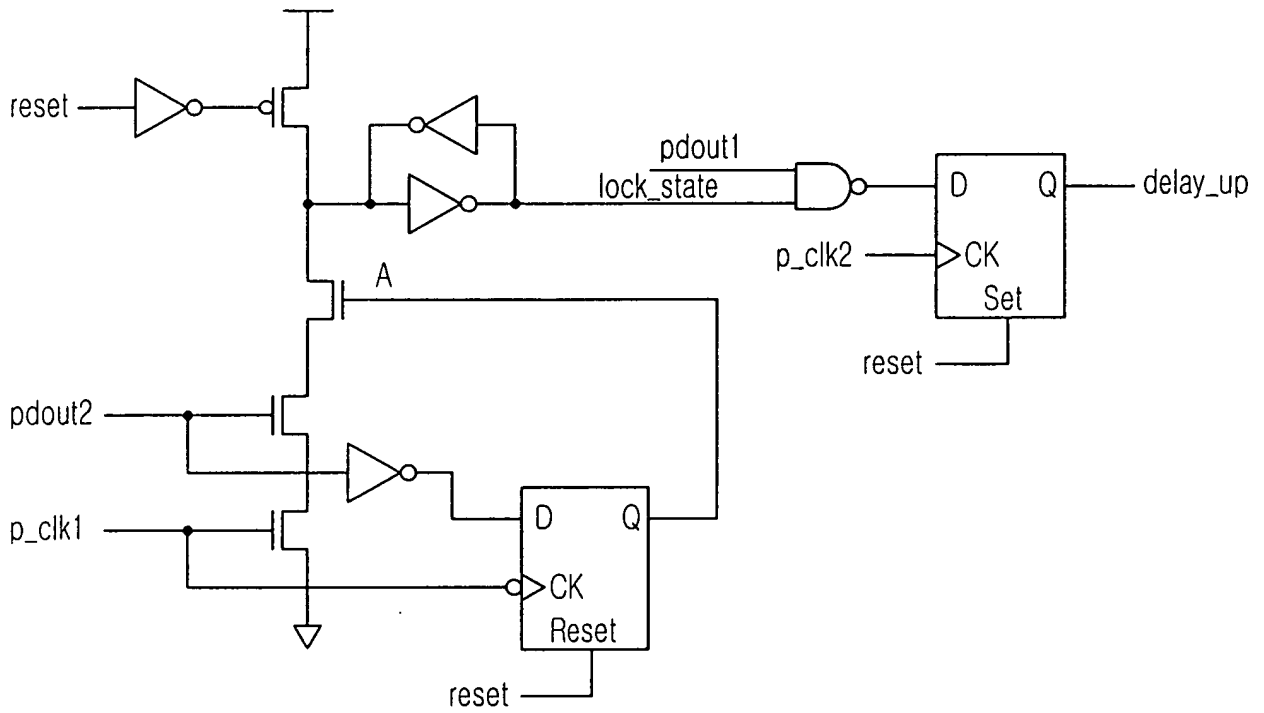
第 4B 圖



第 5 圖

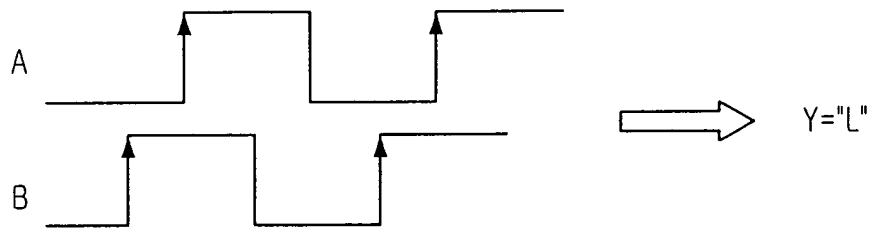


第 7 圖

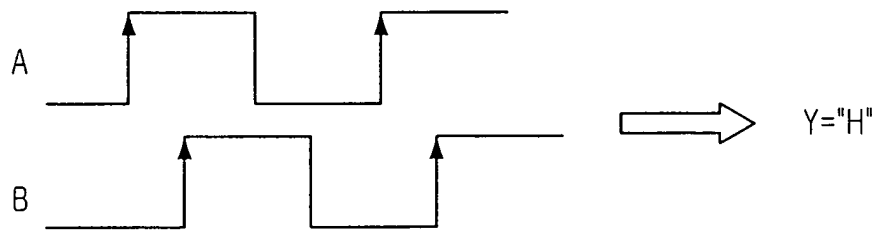


未定義 p-clk1 及 p-clk2

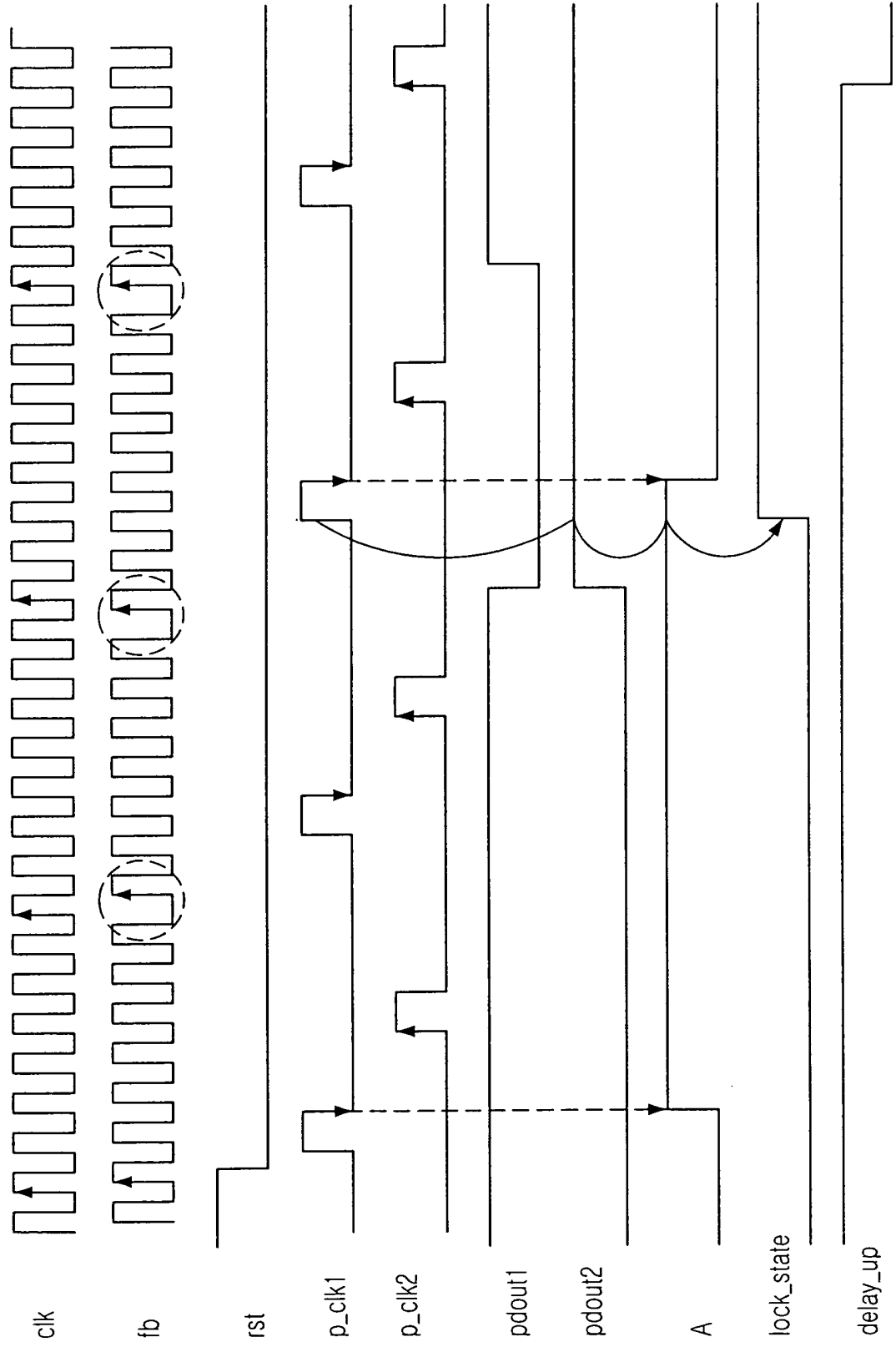
第 9B 圖



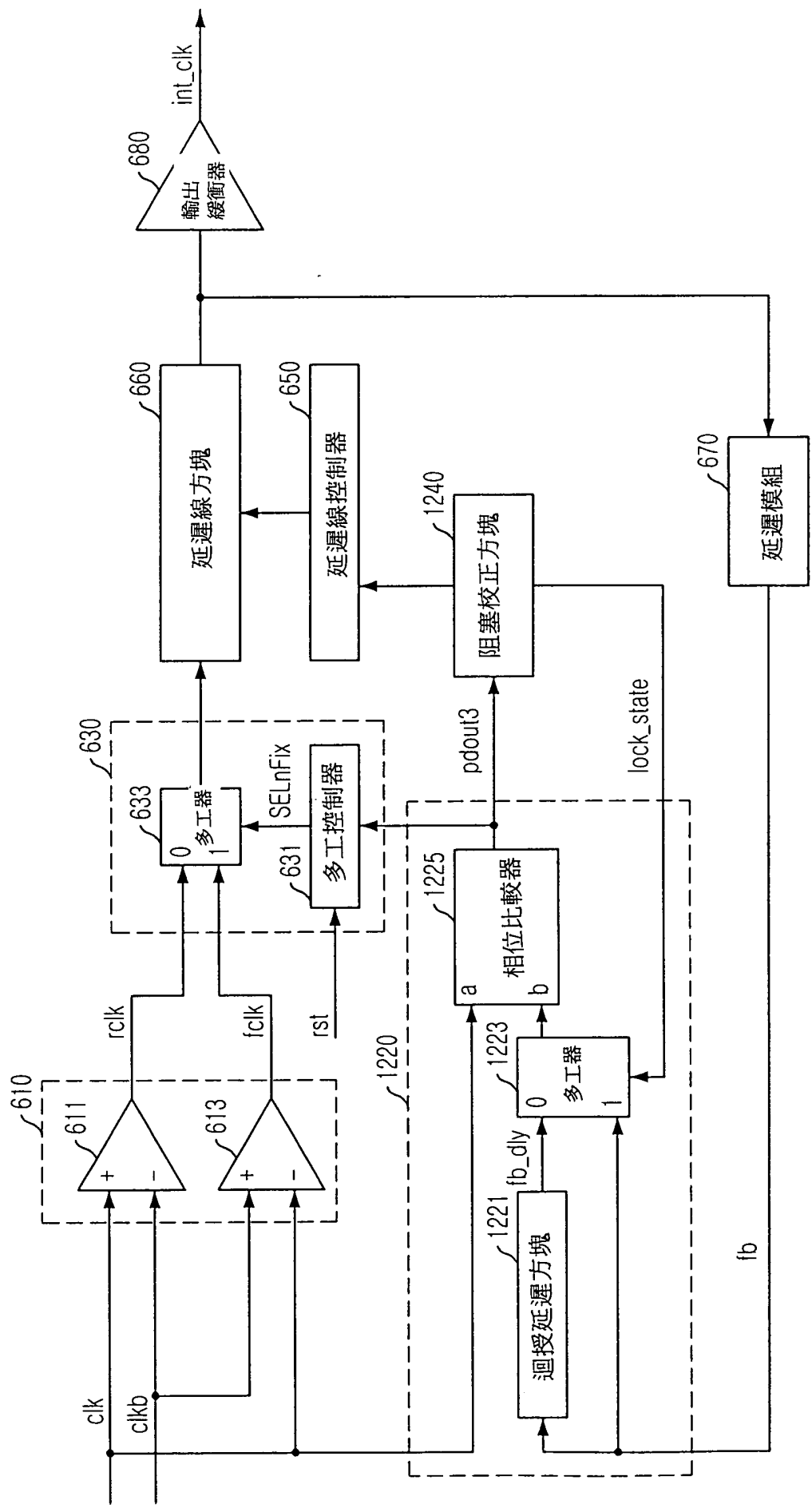
第 9C 圖



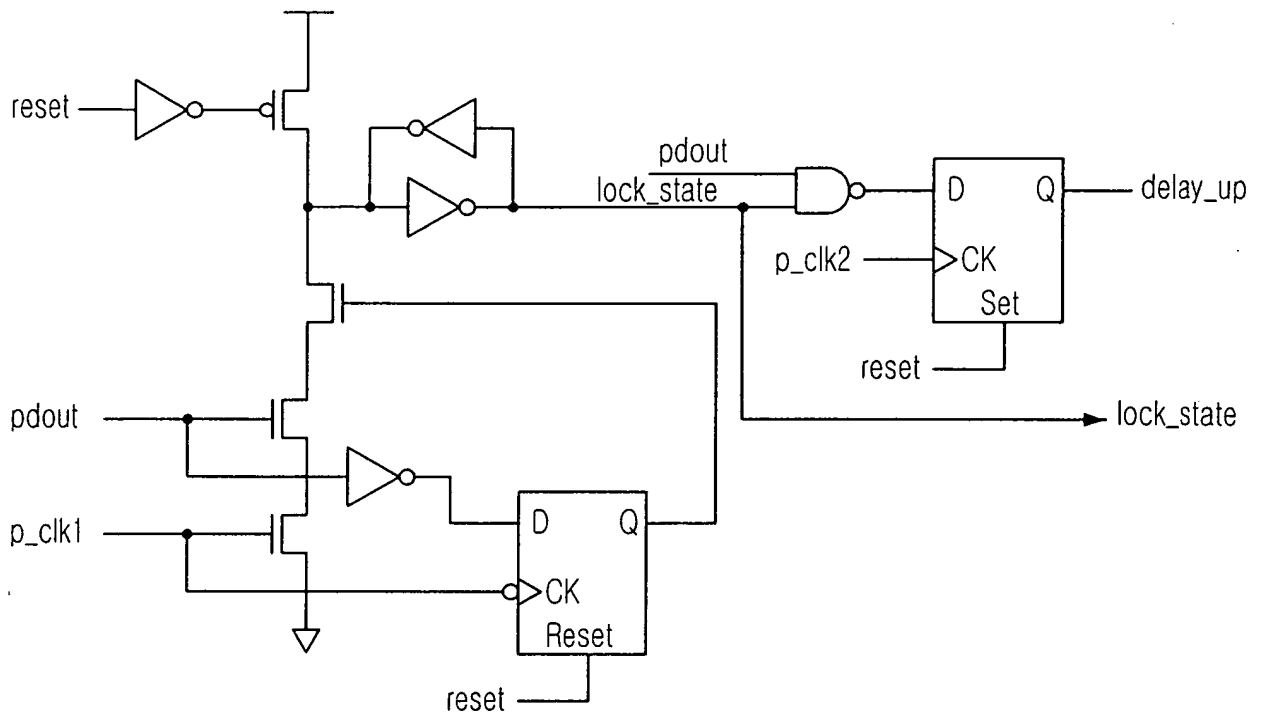
第 11 圖



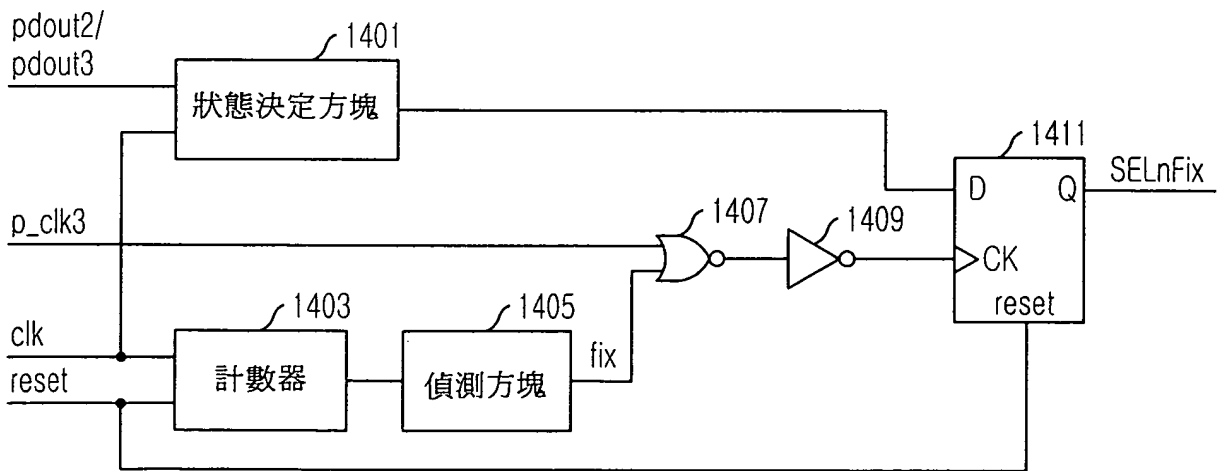
第 12 圖



第 13 圖



第 14 圖



七、指定代表圖：

(一)本案指定代表圖為：第 6 圖。

(二)本代表圖之元件代表符號簡單說明：

610	時脈緩衝方塊
620	相位比較方塊
621	第一延遲方塊)
623	第一相位比較器
625	第二相位比較器
630	時脈選擇方塊
631	多工控制器
633	第一多工器
640	阻塞檢查方塊
650	延遲線控制方塊
660	延遲線方塊
670	延遲模阻方塊
680	輸出緩衝器
clkb	反相外部時脈信號
clk	外部時脈信號
fclk	第一內部時脈信號
rclk	第二內部時脈信號
fb	迴授信號
fb_dly	延遲迴授信號
pdout1	第一控制信號
pdout2	第二控制信號
rst	重置信號

SELnFix	選擇控制信號
int_clk	DLL 時脈信號
delay_up	延遲控制信號
a	端
b	端

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

基於接收一迴授信號和一延遲迴授信號之相位比較方塊的結果所產生之三種狀況的波形圖。

請參閱第 8A 圖，其所示為第一種情況，其中迴授信號 fb 的上升邊緣落後外部時脈信號 clk 的上升邊緣；且延遲迴授信號 fb_dly 的上升邊緣同步或落後外部時脈信號 clk 的下降邊緣，因此，第一控制信號 pdout1 為一邏輯高狀態；且第二控制信號 pdout2 為一邏輯低狀態，此處，為了將迴授信號 fb 同步於外部時脈信號 clk，迴授信號 fb 會被延遲一第一延遲量 dly1，藉以將迴授信號 fb 的上升邊緣移動至外部時脈信號 clk 的下一個上升邊緣，此時，即時閉鎖狀態信號 lock_state 為一邏輯低狀態；而該延遲值會增加。

接著請參閱第 8B 圖，其所示為第二種情況，其中迴授信號 fb 的上升邊緣落後外部時脈信號 clk 的上升邊緣；且延遲迴授信號 fb_dly 的上升邊緣領先外部時脈信號 clk 的下降邊緣，因此，第一及第二控制信號 pdout1 及 pdout2 為一邏輯高狀態；此處，為了將迴授信號 fb 同步於外部時脈信號 clk，反相迴授信號 fb_f 會被延遲一第二延遲量 dly2，藉以將反相迴授信號 fb_f 的上升邊緣移動至外部時脈信號 clk 的下一個上升邊緣，此時，即時閉鎖狀態信號 lock_state 仍為一邏輯低狀態；而該延遲值會增加，在這個例子中，因為第二控制信號 pdout2 為一邏輯高狀態，因此延遲線方塊 660 接收源自於時脈選擇方塊 630 的第二內部時脈信號 fclk，是故，延遲線方塊 660 延遲第二內部時脈信號 fclk 的總延遲量低於外部時脈信號 clk 的半個週期。

98 9 30

最後，請參閱第 8C 圖，其所示為第三種情況，其中迴授信號 fb 的上升邊緣落後外部時脈信號 clk 的上升邊緣；且延遲迴授信號 fb_dly 的上升邊緣落後外部時脈信號 clk 的上升邊緣，因此，第一控制信號 pdout1 為一邏輯低狀態；而第二控制信號 pdout2 為一邏輯高狀態，此處，為了將迴授信號 fb 同步於外部時脈信號 clk，反相迴授信號 fb_f 會被延遲一第三延遲量 dly3，藉以將反相迴授信號 fb_f 的上升邊緣移動至外部時脈信號 clk 的下一個上升邊緣，此時，即時閉鎖狀態信號 lock_state 係為一邏輯高狀態；且因為第一控制信號 pdout1 為一邏輯低狀態，因此該延遲值仍會增加，然而，當迴授信號 fb 的上升邊緣落後外部時脈信號 clk 的上升邊緣後，第一控制信號 pdout1 為一邏輯高狀態時，該延遲值便會減少，在這個例子中，因為第二控制信號 pdout2 為一邏輯高狀態，因此延遲線方塊 660 亦接收源自於時脈選擇方塊 630 的第二內部時脈信號 fclk，是故，延遲線方塊 660 延遲第二內部時脈信號 fclk 的總延遲量會高於外部時脈信號 clk 的半個週期，也就是說，在本案中，延遲線方塊 660 的最大延遲值係為 $t_{CK} \div 2 + \alpha$ 。

請參閱第 7 圖，第一及第二開關 (toggling) 信號 p_clk1 及 p_clk2 分別被輸入至阻塞檢查方塊 640 中每個 D 正反器 (flip-flop) 的一時脈端，第一開關信號 p_clk1 控制即時閉鎖狀態信號 lock_state 改變邏輯狀態的時間；而第二開關信號 p_clk2 控制延遲控制信號 delay_up 改變邏輯狀態的時間。

第 93118427 號「運作一半導體記憶體裝置之延遲閉鎖迴路之方法及半導體記憶體裝置中之延遲閉鎖迴路」專利案

(2009年9月30日修正)

十、申請專利範圍：

1. 一種運作一半導體記憶體裝置之一延遲閉鎖迴路的方法，以防止一最小靈敏區 (dead-zone) 中的一阻塞失效 (stuck fail)，該方法包括步驟如下：
 - (a) 迴授一第一及一第二內部時脈信號其中之一以作為一迴授信號；
 - (b) 將該迴授信號延遲一第一預定延遲值，以防止該最小靈敏區中的該阻塞失效；
 - (c) 分別比較該延遲迴授信號的一相位與一外部時脈信號之相位以及該迴授信號的一相位與該外部時脈信號的相位，以產生一第一比較結果與一第二比較結果；以
 - (d) 回應該第一比較結果，選擇該第一及第二內部時脈信號之其中一者；以及
 - (e) 基於該第一及該第二比較結果兩者，延遲所選定的該第一及第二內部時脈信號之其中一者一延遲值。
2. 如申請專利範圍第 1 項之方法，其中步驟 (a) 中，該內部時脈信號係通過一延遲線方塊和一延遲模組方塊而被迴授以作為該迴授信號。
3. 如申請專利範圍第 2 項之方法，其中該延遲線方塊係藉由使用該延遲值而使該內部時脈信號同步於該外部時脈信號。

- 4.如申請專利範圍第3項之方法，其中該延遲模組方塊係為一種複製電路(replica circuit)，用以將一輸入信號延遲一第二預定延遲值，其中該第二預定延遲值反映實際資料和時脈路徑的一延遲量。
- 5.如申請專利範圍第4項之方法，其中該第一內部時脈信號係對應於該外部時脈信號，且一第二內部時脈信號係對應於一反相外部時脈信號。
- 6.如申請專利範圍第5項之方法，其中步驟(d)及(e)包括如下步驟：
 - (c-1)基於該第一比較結果，決定該選定的內部時脈信號，其中該第一及該第二內部時脈信號中之一被輸出至該延遲線方塊；以及
 - (c-2)基於該第二比較結果與該第一比較結果，增加或減少該延遲線方塊的該延遲值。
- 7.如申請專利範圍第6項之方法，其中步驟(c-1)中，當該外部時脈信號的一下降邊緣(falling edge)領先該延遲迴授時脈信號的一上升邊緣(rising edge)時，該第一內部時脈信號被輸出作為該選定的內部時脈信號；否則，該第二內部時脈信號被輸出作為該選定的內部時脈信號。
- 8.如申請專利範圍第6項之方法，其中步驟(c-2)中，當該迴授信號的一上升邊緣領先該外部時脈信號的一下降邊緣時，該延遲值增加；否則，該延遲值減少。
- 9.如申請專利範圍第1項之方法，其中步驟(a)中，該內部時脈信號係於一啓始運作時通過最少的延遲單元而作為該

迴授信號以進行迴授。

10. 一種運作一半導體記憶體裝置之一延遲閉鎖迴路的方法，以防止一最小靈敏區中的一阻塞失效，該方法包括步驟如下：

(a) 迴授一第一及一第二內部時脈信號其中之一作為一迴授信號；

(b) 將該迴授信號延遲一第一預定延遲值，以防止該最小靈敏區中的該阻塞失效；

(c) 基於一即時 (currently) 閉鎖狀態選定該迴授信號和該延遲迴授信號其中之一；

(d) 將該選定的迴授信號與該延遲迴授信號其中之一的一相位與一外部時脈信號的一相位進行比較；(e) 回應該比較結果，選擇該第一及第二內部時脈信號之其中一者；以及

(f) 將該選定的第一及第二內部時脈信號之其中一者延遲一延遲值；

其中該延遲值以及該即時閉鎖狀態係基於該比較結果而被決定。

11. 如申請專利範圍第10項之方法，其中步驟(a)中，該內部時脈信號係通過一延遲線方塊和一延遲模組方塊而被迴授以作為該迴授信號。

12. 如申請專利範圍第11項之方法，其中該延遲線方塊係藉由使用該延遲值而使該內部時脈信號同步於該外部時脈信號。

13. 如申請專利範圍第12項之方法，其中該延遲模組方塊係為一種複製電路，用以將一輸入信號延遲一第二預定延遲值，其中該第二預定延遲值反映實際資料和時脈路徑的一延遲量。
14. 如申請專利範圍第13項之方法，其中該第一內部時脈信號係對應於該外部時脈信號，且一第二內部時脈信號係對應於一反相外部時脈信號。
15. 如申請專利範圍第14項之方法，其中步驟(c)中，當該即時閉鎖狀態為一邏輯低準位時，該延遲迴授信號被選定作為該選定的迴授信號；否則，該迴授信號被選定作為該選定的迴授信號。
16. 如申請專利範圍第14項之方法，其中步驟(e)及(f)包括如下步驟：
 - (d-1)基於該比較結果決定該選定的內部時脈信號，其中該第一及該第二內部時脈信號中之一被輸出至該延遲線方塊；
 - (d-2)基於該比較結果增加或減少該延遲線方塊的該延遲值；以及
 - (d-3)決定該即時閉鎖狀態。
17. 如申請專利範圍第16項之方法，其中步驟(d-1)中，當該外部時脈信號的一下降邊緣領先該選定的迴授時脈信號的一上升邊緣時，該第一內部時脈信號被輸出作為該選定的內部時脈信號；否則，該第二內部時脈信號被輸出作為該選定的內部時脈信號。

18. 如申請專利範圍第 17 項之方法，其中步驟 (d-2) 中，當該選定的迴授信號的一上升邊緣領先該外部時脈信號的一下降邊緣時，該延遲值增加；否則，該延遲值減少。
19. 如申請專利範圍第 18 項之方法，其中當該外部時脈信號的一相位領先該選定的迴授信號的一相位時，該即時閉鎖狀態為一邏輯高準位；否則，該即時閉鎖狀態為一邏輯低準位。
20. 如申請專利範圍第 10 項之方法，其中步驟 (a) 中，該內部時脈信號係於一啓始運作時通過最少的延遲單元而作為該迴授信號以進行迴授。
21. 一種防止一最小靈敏區中之一阻塞失效的延遲閉鎖迴路，包括：
 - 一時脈緩衝方塊，接收一外部時脈信號及一反相外部時脈信號，並產生一第一及一第二內部時脈信號；
 - 一相位比較方塊，包括一第一相位比較器與一連結至一第二相位比較器之迴授延遲方塊，該第一相位比較器與該第二相位比較器同時分別比較一延遲迴授信號之相位與該外部時脈信號之相位以及一迴授信號之相位與該外部時脈信號之相位，該迴授延遲方塊延遲該迴授信號一第一預定值，以產生已延遲之迴授信號；
 - 一時脈選擇方塊，基於該延遲迴授信號和該外部時脈信號的一第一比較結果，選擇該第一及該第二內部時脈信號的其中之一，藉以產生一選定的內部時脈信號；
 - 一阻塞檢查方塊，基於該迴授信號和該外部時脈信

號的第二比較結果以及該第一比較結果決定一延遲值；

一延遲線方塊，將該選定的內部時脈信號延遲該延遲值；以及

一輸出緩衝器，緩衝該延遲線方塊的一輸出信號，藉以產生一DLL時脈信號。

22. 如申請專利範圍第21項之延遲閉鎖迴路，更包括一延遲模組，其為一種複製電路，用以將該延遲線方塊的該輸出信號延遲一第二預定延遲值，其中該第二預定延遲值反映實際資料和時脈路徑的一延遲量。

23. 如申請專利範圍第21項之延遲閉鎖迴路，其中該時脈緩衝方塊包括：

一第一時脈緩衝器，接收該外部時脈信號及該反相外部時脈信號，並產生對應於該外部時脈信號的該第一內部時脈信號；以及

一第二時脈緩衝器，接收該外部時脈信號及該反相外部時脈信號，並產生對應於該反相外部時脈信號的該第二內部時脈信號。

24. 如申請專利範圍第21項之延遲閉鎖迴路，其中當該外部時脈信號的一下降邊緣領先該延遲迴授時脈信號的一上升邊緣時，該第一相位比較器輸出一邏輯低準位信號至該時脈選擇方塊；否則，輸出一邏輯高準位信號至該時脈選擇方塊。

25. 如申請專利範圍第24項之延遲閉鎖迴路，其中該時脈選擇方塊包括：

一多工控制器，其係被一重置信號而重置，並基於該第一相位比較器之一輸出信號之一邏輯狀態產生一選擇控制信號；以及

一多工器 (multiplexer)，當該選擇控制信號為邏輯低狀態時，輸出該第一內部時脈信號至該延遲線方塊；否則，輸出該第二內部時脈信號至該延遲線方塊。

26. 如申請專利範圍第 21 項之延遲閉鎖迴路，其中當該外部時脈信號的一下降邊緣領先該迴授時脈信號的一上升邊緣時，該第二相位比較器輸出一邏輯低準位信號至該阻塞檢查方塊；否則，輸出一邏輯高準位信號至該時脈選擇方塊。

27. 如申請專利範圍第 21 項之延遲閉鎖迴路，其中該阻塞檢查方塊係自該第一及該第二相位比較器接收輸出信號，並輸出一延遲控制信號至該延遲線方塊，以調整該延遲線方塊的該延遲值。

28. 如申請專利範圍第 27 項之延遲閉鎖迴路，其中該延遲線方塊包括：

一延遲線控制器，接收該延遲控制信號並基於該延遲值輸出一移位 (shifting) 方向信號；以及

一延遲線單元，具有複數個移位單元，用以根據該移位方向信號延遲該選定的內部時脈信號。

29. 一種防止一最小靈敏區中之一阻塞失效的延遲閉鎖迴路，包括：

一時脈緩衝方塊，接收一外部時脈信號及一反相外

部時脈信號，並產生一第一及一第二內部時脈信號；

一相位比較方塊，包括一第一多工器、一迴授延遲方塊以及一相位比較器，該第一多工器基於一即時閉鎖狀態，選擇該迴授信號與該延遲迴授信號之一，以及該相位比較器比較該選擇的迴授信號之相位與該外部時脈信號之相位，以及該迴授延遲方塊延遲該迴授信號一第一預定值，以產生經延遲的迴授信號；

一時脈選擇方塊，基於該比較結果，選擇該第一及該第二內部時脈信號的其中之一，藉以產生一選定的內部時脈信號；

一阻塞檢查方塊，基於該比較結果決定一延遲值及該即時閉鎖狀態；

一延遲線方塊，將該選定的內部時脈信號延遲該延遲值；以及

一輸出緩衝器，緩衝該延遲線方塊的一輸出信號，藉以產生一DLL時脈信號。

30. 如申請專利範圍第29項之延遲閉鎖迴路，更包括一延遲模組，其為一種複製電路，用以將該延遲線方塊的該輸出信號延遲一第二預定延遲值，其中該第二預定延遲值反映實際資料和時脈路徑的一延遲量。

31. 如申請專利範圍第29項之延遲閉鎖迴路，其中該時脈緩衝方塊包括：

一第一時脈緩衝器，接收該外部時脈信號及該反相外部時脈信號，並產生對應於該外部時脈信號的該第一

內部時脈信號；以及

一第二時脈緩衝器，接收該外部時脈信號及該反相外部時脈信號，並產生對應於該反相外部時脈信號的該第二內部時脈信號。

32. 如申請專利範圍第30項之延遲閉鎖迴路，其中當該外部時脈信號的一下降邊緣領先該延遲迴授時脈信號的一上升邊緣時，該相位比較器輸出一邏輯低準位信號至該時脈選擇方塊；否則，輸出一邏輯高準位信號至該時脈選擇方塊。

33. 如申請專利範圍第32項之延遲閉鎖迴路，其中該時脈選擇方塊包括：

一多工控制器，其係由一重置信號而重置，並基於該相位比較器之輸出信號的一邏輯狀態產生一選擇控制信號；以及

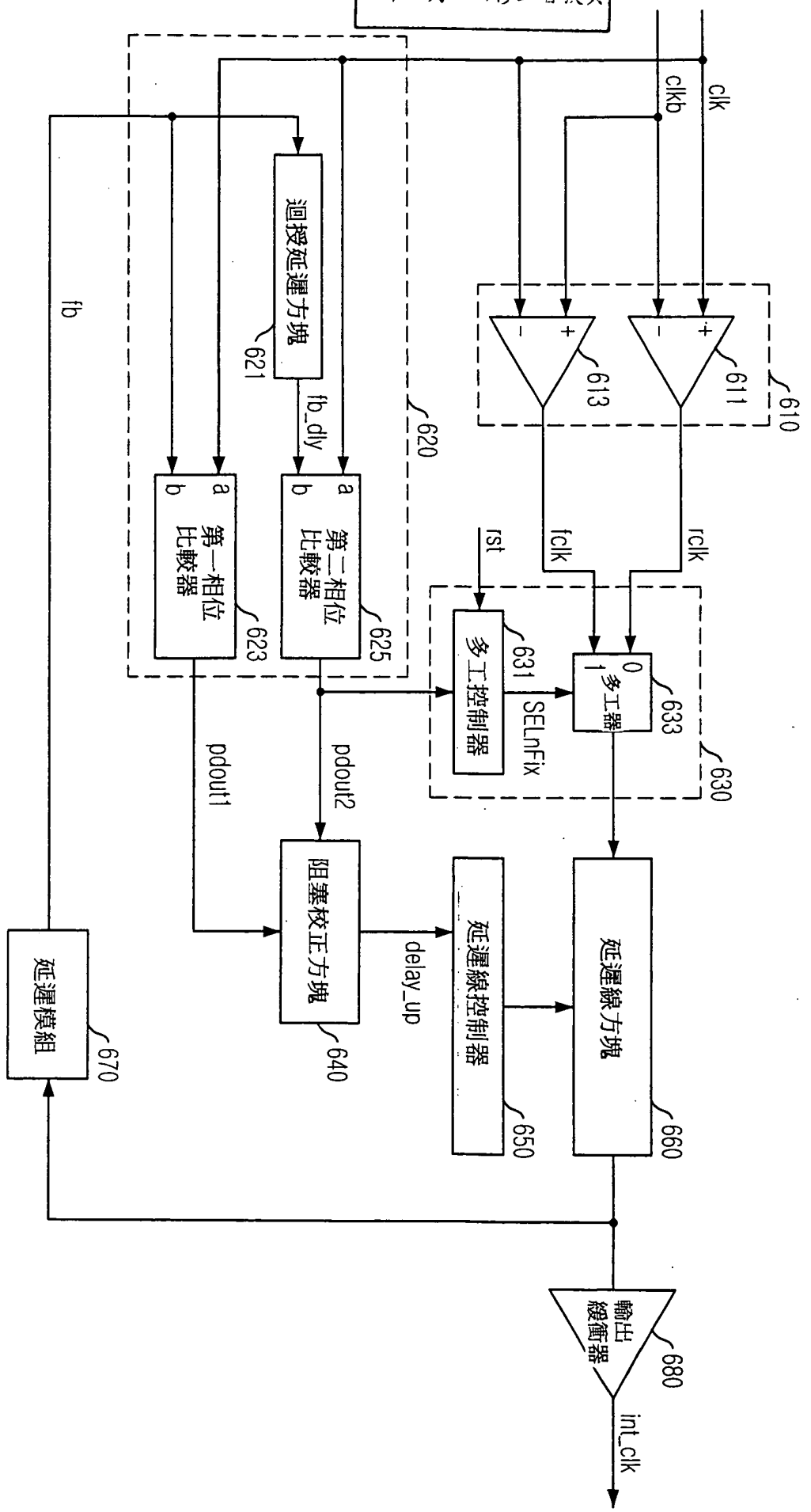
一第二多工器，當該選擇控制信號為一邏輯低狀態時，輸出該第一內部時脈信號至該延遲線方塊；否則，輸出該第二內部時脈信號至該延遲線方塊。

34. 如申請專利範圍第30項之延遲閉鎖迴路，其中該阻塞檢查方塊係自該相位比較器接收一輸出信號、決定該即時閉鎖狀態，藉以輸出至該相位比較方塊，並輸出一延遲控制信號至該延遲線方塊，以調整該延遲線方塊的該延遲值。

35. 如申請專利範圍第34項之延遲閉鎖迴路，其中該延遲線方塊包括：

一 延遲線控制器，接收該延遲控制信號並基於該延遲值輸出一移位方向信號；以及

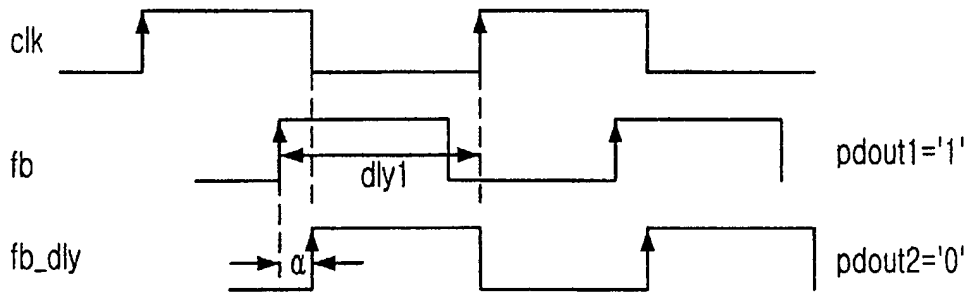
一 延遲線單元，具有複數個移位單元，用以根據該移位方向信號而延遲該選定的內部時脈信號。



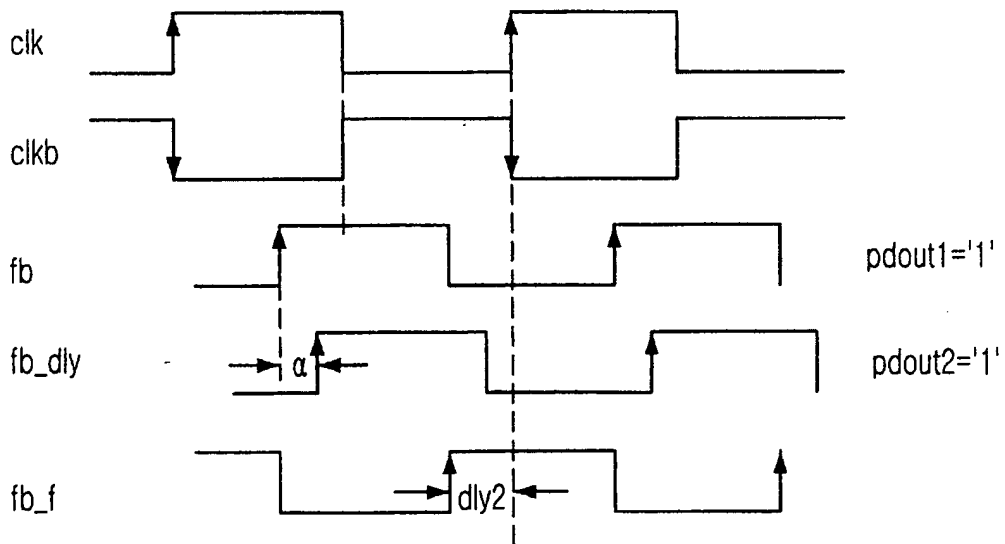
第 6 圖

97 9 7

第 8A 圖

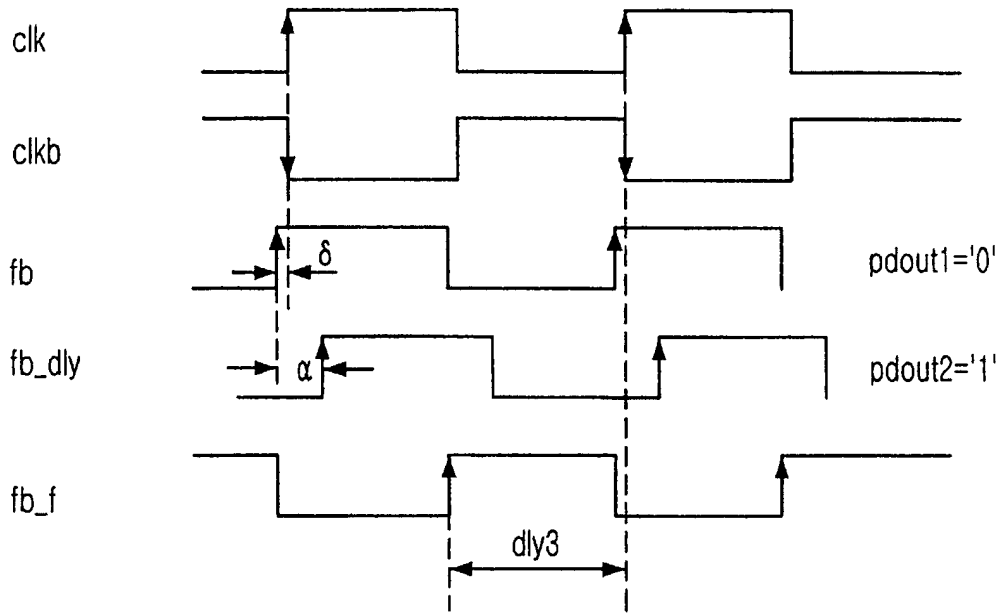


第 8B 圖

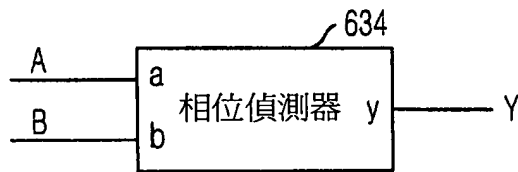


97 9 2

第 8C 圖

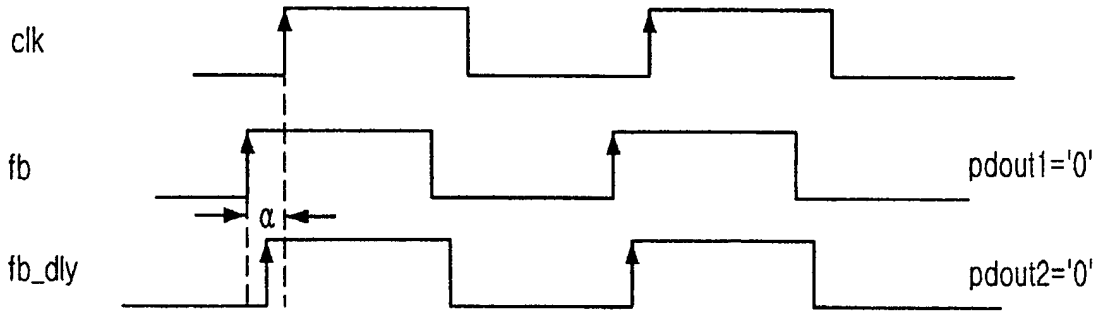


第 9A 圖



97 9 7

第 10A 圖



第 10B 圖

