

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4448128号
(P4448128)

(45) 発行日 平成22年4月7日 (2010.4.7)

(24) 登録日 平成22年1月29日 (2010.1.29)

(51) Int. Cl.

F I

H03K 23/64 (2006.01)

H03K 23/64

A

請求項の数 4 (全 18 頁)

(21) 出願番号	特願2006-503204 (P2006-503204)	(73) 特許権者	595020643
(86) (22) 出願日	平成16年1月30日 (2004.1.30)		クアルコム・インコーポレイテッド
(65) 公表番号	特表2007-521713 (P2007-521713A)		QUALCOMM INCORPORATED
(43) 公表日	平成19年8月2日 (2007.8.2)		ED
(86) 国際出願番号	PCT/US2004/002715		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02004/068706		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成16年8月12日 (2004.8.12)		ハウス・ドライブ 5775
審査請求日	平成19年1月26日 (2007.1.26)	(74) 代理人	100058479
(31) 優先権主張番号	60/444,336		弁理士 鈴江 武彦
(32) 優先日	平成15年1月30日 (2003.1.30)	(74) 代理人	100091351
(33) 優先権主張国	米国 (US)		弁理士 河野 哲
(31) 優先権主張番号	10/765,766	(74) 代理人	100088683
(32) 優先日	平成16年1月26日 (2004.1.26)		弁理士 中村 誠
(33) 優先権主張国	米国 (US)	(74) 代理人	100108855
			弁理士 蔵田 昌俊

最終頁に続く

(54) 【発明の名称】 プログラマブルデュアルエッジトリガーカウンター

(57) 【特許請求の範囲】

【請求項 1】

所定の周波数を有し、入力クロック信号の各クロックサイクルに関連する立ち上がりエッジと立ち下がりエッジを有する入力クロック信号と、

前記入入力クロック信号のNサイクルごとにMサイクルの周波数を有する出力クロック信号を発生し、前記入入力クロック信号の立ち上がりエッジに基づいて前記出力クロック信号の選択されたサイクルの立ち上がりエッジと、前記入入力クロック信号の立ち下がりエッジに基づいて前記出力クロック信号の他の選択されたサイクルの立ち上がりエッジを選択し、前記入入力クロック信号の立ち上がりエッジに基づいて前記出力クロック信号の選択されたサイクルの立ち下がりエッジと、前記入入力クロック信号の立ち下がりエッジに基づいて前記出力クロック信号の他の選択されたサイクルの立ち下がりエッジとを選択する制御回路と、

前記出力クロック信号の前記Mサイクルのどのサイクルが前記入入力クロック信号の立ち上がりエッジに基づいた立ち上がりエッジを有するかを示すとともに、前記出力クロック信号の前記Mサイクルのどのサイクルが前記入入力クロックの立ち下がりエッジに基づいた立ち上がりエッジを有するかを示すデータを含む記憶エリアと、

を備え、

前記制御回路は前記記憶エリアデータを用いて前記出力クロック信号を発生する、プログラマブルクロック回路。

【請求項 2】

10

20

前記制御回路は、前記入力クロック信号の立ち上がりエッジに基づいて前記出力クロック信号の立ち上がりエッジを選択した前記出力クロック信号の選択されたサイクルと、前記入力クロック信号の立ち下がりエッジに基づいて前記出力クロック信号の立ち上がりエッジを選択した前記出力クロック信号の選択されたサイクルとを発生するステートマシンである、請求項 1 の回路。

【請求項 3】

前記制御回路は、前記入力クロック信号の立ち上がりエッジに基づいて前記出力クロック信号の立ち下がりエッジを選択した前記出力クロック信号の選択されたサイクルと、前記入力クロック信号の立ち下がりエッジに基づいて前記出力クロック信号の立ち下がりエッジを選択した前記出力クロック信号の選択されたサイクルとを、発生するステートマシンである、請求項 1 の回路。

10

【請求項 4】

所定の周波数を有し、入力クロック信号の各クロックサイクルに関連する立ち上がりエッジと立ち下がりエッジを有する入力クロック信号と、

前記入力クロック信号の N サイクルごとに M サイクルの周波数を有する出力クロック信号を発生し、前記入力クロック信号の立ち上がりエッジに基づいて前記出力クロック信号の選択されたサイクルの立ち上がりエッジと、前記入力クロック信号の立ち下がりエッジに基づいて前記出力クロック信号の他の選択されたサイクルの立ち上がりエッジとを選択し、前記入力クロック信号の立ち上がりエッジに基づいて前記出力クロック信号の選択されたサイクルの立ち下がりエッジと、前記入力クロック信号の立ち下がりエッジに基づいて前記出力クロック信号の他の選択されたサイクルの立ち下がりエッジとを選択する制御回路と、

20

前記出力クロック信号の前記 M サイクルのどのサイクルが前記入力クロックの立ち上がりエッジに基づいた立ち下がりエッジを有し、前記出力クロック信号の前記 M サイクルのどのサイクルが前記入力クロックの立ち下がりエッジに基づいた立ち下がりエッジを有するかを示すデータを含む記憶エリアと、
を備え、

前記制御回路は、前記記憶エリアのデータを用いて前記出力クロック信号を発生する、プログラマブルクロック回路。

【発明の詳細な説明】

30

【技術分野】

【0001】

背景

関連出願

この出願は、2003 年 1 月 3 日に提出された米国仮出願 60 / 444,336 に対する優先権を主張する。

【0002】

技術分野

この発明は、デジタル電子回路に関連し、特にプログラマブルカウンタに関連する。

【背景技術】

40

【0003】

関連技術の記載

カウンタはイベントを追跡するために多様なデジタル回路において使用される。

【0004】

さらに、カウンタは、クロック信号および他の波形を合成するために使用される。

【0005】

一般に、第 2 の（下位）クロック周波数はカウンタを使用して、第 1 の（上位）クロック周波数から合成される。

【0006】

典型的には、簡単な M / N : D タイプカウンタが使用される。

50

【 0 0 0 7 】

この場合MとNが整数で、Dが出力クロックのデューティサイクルである。

【 0 0 0 8 】

The M / N : Dカウンタは典型的に、第1クロック周波数からのパルスをカウントし、周期的に第2のクロック周波数でパルスを出力する立ち上がりエッジカウンタとして実施される。すなわち、M / Nカウンタは、基準クロックまたは入力クロックのNパルス毎にMパルスを出力する。従来のM / N : Dカウンタは、Mの出力パルスの各々の立ち上がりエッジが基準クロックの立ち上がりエッジから派生されるように基準クロックに同期する。

【 0 0 0 9 】

10

これは、第1クロック周波数が第2クロック周波数の整数倍であるとき、相対的に直接的である。しかしながら、第1のクロックが第2のクロックの整数倍でない場合、クロック合成のタスクはやや挑戦的である。例えば、基準クロックが5メガヘルツ(MHz)のクロックであり、従来の開示に従って、1.5MHzクロックを合成する必要がある場合、M = 3およびN = 10にプログラムされたM / Nカウンタは、基準クロックを3 / 10と効率的に乗算し、または基準クロックの10クロックパルス毎に3つのクロックパルスを出力する。

【 0 0 1 0 】

20

この従来の回路では、カウンタの分解能は1つの完全なクロック周期である。この200ナノ秒の誤差または5MHz基準クロックの例における1クロック周期は、当業者にはジッターとして知られている。従来のM / N : Dカウンタを用いて合成されたクロック信号は、過度のクロックジッターに悩む。なぜなら、従来のM / N : Dカウンタは、カウンタシーケンスの同じポイント(すなわち、ロールオーバー(rollover)ポイント)からの出力クロックエッジを発生する。ロールオーバーポイントは、カウンタが前のカウントを終了し、新しいカウントを始めるポイントである。その結果、出力クロックジッターは、理想的な出力クロックエッジがカウンタ周期の最後のクロックエッジおよびロールオーバークロックエッジとの間のどこかに常に存在するという事実にもかかわらず、ゼロから入力基準クロックの周期に変化するであろう。

【 0 0 1 1 】

30

そのようなジッターはある高精度のアプリケーションに対しては、受け入れることができない。そのような1つのアプリケーションはユニバーサルシリアルバス(USB)アプリケーションである。このアプリケーションでは、ジッターは、クロック修復動作に干渉するので受け入れることができない。別の実例となるアプリケーションはアナログディジタル変換アプリケーションである。このアプリケーションでは、ジッターは受け入れることができない。なぜなら、ジッターは、予測できないデータ変換レートおよび過度の雑音を生じるからである。これらおよび他のアプリケーションの場合、M / N : Dカウンタが高周波で動作することが重要である。しかしながら、技術的によく知られているように、M / N : Dカウンタの入力クロック周波数レンジは、直接的に、出力クロックのジッターの量に相関する。

【 0 0 1 2 】

40

したがって、改善されたジッター性能を備えた改善されたM / Nカウンタのための技術の必要性がある。この発明は、以下の詳細な説明および添付図面から明白になるであろうこの利点および他の利点を提供する。

【 発明の概要 】

【 0 0 1 3 】

この開示は、プログラマブルクロック回路を用いて出力クロック信号を発生するためのシステムおよび方法を提供する。例示実施形態において、プログラマブルクロック回路は、所定の周波数を有し、各クロックサイクルに関連する立ち上がりエッジおよび立ち下りエッジを有する入力クロック信号から周波数を発生する。回路は、入力クロック信号を受信し、入力クロックのNサイクルごとにMサイクルの周波数を有するカウンタ信号を発

50

生するように構成されたカウンタを含む。カウンタに接続する比較器は、カウンタのカウント値を所定のカウント値と比較し、比較に関連した比較器信号を発生する。制御回路は、比較器信号に基づいて出力クロック信号を発生し、それにより入力クロック信号の立ち上がりエッジまたは立ち下りエッジに基づいて出力クロック信号の立ち上がりエッジを選択し、および入力クロック信号の立ち下りエッジまたは立ち上がりエッジに基づいて出力クロック信号の立ち下りエッジを選択する。

【 0 0 1 4 】

一実施形態において、制御回路は、カウンタが 0 以上かつ $M/2$ 未満の値を有することを比較器が示すなら、出力クロック信号の立ち上がりエッジが入力クロック信号の立ち上がりエッジに基づく出力クロック信号を発生する。反対に、制御回路は、比較器が $M/2$ 以上かつ M 未満の値をカウンタが有することを示すなら、出力クロック信号の立ち上がりエッジが入力クロック信号の立ち下りエッジに基づく出力クロック信号を発生する。

10

【 0 0 1 5 】

一実施形態において、カウンタは $M/N : D$ カウンタである。この場合 N/D は、出力クロック信号の平均デューティサイクルである。一実施形態において、カウンタが D 以上で $D + M/2$ 未満の値を有することを比較器が示すなら、制御回路は、出力クロック信号の立ち下りエッジが入力クロック信号の立ち上がりエッジにもとづく、出力クロック信号を発生する。反対に、カウンタが $D + M/2$ 以上かつ $D + M$ 未満の値を有することを比較器が示すなら、出力クロック信号の立ち下りエッジが入力クロック信号の立ち下りエッジに基づく出力クロック信号を発生する。

20

【 0 0 1 6 】

一実施形態において、 D の値は、半整数分解能を用いて選択してもよい。これは、 N のすべての値に対して一定のデューティサイクルを有し、 N の偶数値に対して 50 % のデューティサイクルを有する半整数による完全な分割を可能にする。カウンタ回路は、また、出力クロック信号に 50 % のデューティサイクルを供給するために時間ジッターまたは周波数スパー (spurs) を有さないモジュロ - N 分割を行ってもよい。

【 0 0 1 7 】

他の実施形態において、プログラマブルクロック回路は、所定の周波数を有する入力クロック信号と制御回路を含む。制御回路は、入力クロックの N サイクルごとに M サイクルの周波数を有する出力クロック信号を発生し、さらに、入力クロック信号の立ち上がりエッジまたは立ち下りエッジに基づいて出力クロック信号の立ち上がりエッジを選択し、入力クロック信号の立ち上がりエッジまたは立ち下りエッジに基づいて出力クロック信号の立ち下りエッジを選択する。一実施形態において、制御回路は、ステートマシンを含む。ステートマシンは、出力クロック信号の立ち上がりエッジが入力クロックの立ち上がりエッジに基づく出力クロック信号の選択されたサイクルを発生するとともに、出力クロック信号の立ち上がりエッジが入力クロックの立ち下りエッジに基づく出力クロックサイクルの選択されたサイクルを発生する。ステートマシンは、さらに出力クロック信号の立ち下りエッジが入力クロック信号の立ち上がりエッジに基づく、出力クロック信号の選択されたサイクルを発生するとともに、出力クロック信号の立ち下りエッジが入力クロックの立ち下りエッジにもとづく出力クロック信号の選択されたサイクルを発生する。

30

40

【 0 0 1 8 】

さらに他の実施形態において、この回路はデータを含む記憶エリアを含んでいてもよい。このデータは、出力クロック信号の M サイクルのどのサイクルが入力クロックの立ち上がりエッジに基づいて立ち上がりエッジを有するかを示すとともに、出力クロックの M サイクルのどのサイクルが入力クロックの立ち下りエッジに基づいて立ち上がりエッジを有するかを示す。制御回路は、出力クロック信号を発生するためにこの記憶エリアデータを使用する。

【 0 0 1 9 】

他の実施形態において、記憶エリアはデータを含んでいてもよい。このデータは、出力クロック信号の M サイクルのどのサイクルが入力クロックの立ち上がりエッジに基づいて立

50

ち下りエッジを有するかを示すとともに、出力クロック信号のMサイクルのどのサイクルが入力クロックの立ち下りエッジに基づいて立ち下りエッジを有するかを示す。制御回路は、出力クロック信号を発生するために記憶エリアデータを使用する。

【0020】

さらに他の実施形態において、回路は、制御回路を無効にするためにモード制御入力を含む。この場合、制御回路において、モード制御入力は、カウンタ値に関係なく出力クロック信号の立ち上がりエッジおよび立ち下りエッジが入力クロック信号の立ち上がりエッジに基づく出力クロック信号を発生する。

【発明を実施するための最良の形態】

【0021】

M/N：Dカウンタの利点は、良く知られており、入力または基準クロックの非整数デバイザ(divisor)を発生する能力を含む。入力クロックの立ち上がりエッジにのみ同期したシステムの波形タイミングは、ここに記載したこの発明の理解を支援するであろう。

【0022】

図1は、出力クロック信号の立ち上がりエッジをトリガーするために入力クロックの立ち上がりエッジだけの使用を図解する一連の波形である。図1に図解される例において、入力クロック(上の波形)は、100メガヘルツ(MHz)の周波数を有している。図1に図解される例において、M=3、N=7、およびD=3である。技術的に知られているように、従来のM/N：Dカウンタは、7つの入力クロックパルス(すなわちN=7)ごとに3つの出力クロックパルスを生成するであろう。波形関係についての理解を容易にするために、入力クロックサイクルはN=7の値に対応して0乃至6の番号がつけられ、出力波形(理想的出力クロックおよびM/N出力クロック)は、M=3に対応するように0乃至2のラベルがつけられている。

【0023】

図1の真ん中の波形は、理想的な出力クロックを図解する。理想的な出力クロックの立ち上がりエッジは、通常、入力クロックの立ち上がりエッジまたは立ち下りエッジと一致しないことが留意されるべきである。

【0024】

図1の下波形は、立ち上がりエッジが常に入力クロックの立ち上がりエッジに同期するM/N：Dカウンタの出力を図解する。入力クロックの立ち上がりエッジのみへの同期は、顕著なジッターを生じる。そのような回路構成のためのジッターは、1入力クロック周期に等しくすることができる。1入力クロック周期は、図1に図解される例において、10ナノ秒(ns)である。プログラマブルカウンタ値(すなわち、M=3およびN=7)の選択により、絶対ジッターは、6.7ナノ秒である。

【0025】

この発明は、出力クロックの立ち上がりエッジおよび立ち下りエッジが基準クロックの立ち上がりエッジまたは立ち下りエッジに同期してもよい回路に向けられている。基準クロックの立ち上がりエッジまたは立ち下りエッジに対する出力クロックの立ち上がりエッジの同期は、技術的に知られており、例えば、米国特許第6,449,329に記載されている。

【0026】

上で参照した特許に記載された回路は、入力または基準クロックと出力クロックとの間で1サイクル遅延を実施する。1サイクル遅延の期間に、比較器は、累積されたカウントを解析し、出力クロックの立ち上がりエッジが、ロールオーバーポイントのための基準クロックの立ち上がりエッジに基づいて、または基準クロックの先行するクロックサイクルの立ち下りエッジに基づいてトリガーされなければならないかどうか決定する。

【0027】

例示実施形態において、ロールオーバー値がM/2未満である場合、ロールオーバークロックエッジは理想的な出力クロックエッジに近づく。この状況では、出力クロックは、

10

20

30

40

50

入力クロックの立ち上がりエッジに基づいてトリガーされる。ロールオーバー値が $M/2$ より大きな場合、ロールオーバー立ち上りクロックエッジに先行する、立ち下りクロックエッジはより近いエッジであり、出力クロックは、先行する入力クロックサイクルの立ち下りエッジに基づいてトリガーされる。

【0028】

米国特許第 6,449,329 において、出力クロックの立ち上がりエッジをトリガーするために入力クロックの立ち上がりエッジまたは立ち下りエッジの選択を可能にする回路が開示されている。そのような構成の利点は、図 2 の検査に関して最も理解される。

【0029】

この場合も先と同様に、100 MHz クロックを利用し、 $M/N:D$ カウンターは、 $M=3$ 、 $N=7$ 、および $D=3$ の値を有する。発明の理解を支援するために、値 $N=7$ に対応して入力クロックサイクルは 0 乃至 6 の番号がつけられ、出力波形（すなわち、理想的な出力クロックと M/N 出力クロック）は、値 $M=3$ に対応して 0 乃至 2 のラベルがつけられた。図 3 の上の波形は、100 MHz の方形波である。理想的なクロック入力に対応するスペクトルは波形の右に示され、100 MHz に中心を持つ大きなピークを有する。当業者は、奇数オーダーの高調波も存在するが、第 1 の奇数オーダーの高調波は 300 MHz で生じるので、図 2 のスペクトルには図解されていないことを理解するであろう。

【0030】

図 2 の真ん中の波形は理想的な出力クロックである。このクロックの立ち上がりエッジと立ち下りエッジは典型的に入力クロックの立ち上がりエッジおよび立ち下りエッジと一致しない。

【0031】

理想的な出力クロックのスペクトルは波形の右に示される。スペクトル内の最大のピークは、42.8 MHz（すなわち、 $3/7 \times 100 \text{ MHz}$ ）において所望の出力信号に相当する。理想的な出力クロックのための出力クロックスペクトルは、予期された奇数オーダーの高調波のみを含み、第 1 奇数オーダー高調波のみが略 128.5 MHz において示されていることに留意する必要がある。

【0032】

図 2 の下の波形は、 $M/N:D$ クロックである。この場合、出力クロックの立ち上がりエッジは、入力クロックの立ち上がりエッジまたは立ち下りエッジから選択的にトリガーされる。上に記述されるように、回路は、第 1 出力クロックパルスの発生において、1 サイクルの遅延を使用する。これにより、出力クロックの解析が可能となり、回路は、入力クロックの次の立ち上がりエッジからずれてトリガーしたりまたは、以前のクロックサイクルの立ち下りエッジからトリガーすることが可能となる。

【0033】

図 2 の下の波形において、上向きを指す矢は、入力クロックの立ち上がりエッジによりトリガーされる出力クロックパルスを示すために使用され、下方へ指す矢は、入力クロックの立ち下りエッジによりトリガーされる出力クロックパルスの立ち上がりエッジを示すために使用される。図 2 で見るように、第 2 のクロックパルス（すなわち、図 2 において、1 とラベルが付けられたパルス）の立ち上がりエッジは、パルス 4 の立ち上がりエッジではなく入力クロックのパルス 3 の立ち下りエッジによりトリガーされる。クロック発生へのそのようなアプローチは、従来技術において知られているクロック発生へのアプローチからジッターを顕著に減少する。

【0034】

この回路アーキテクチャは、2 の因数だけ立ち上がりエッジにおいて有効にジッターを低減する。すなわち、立ち上がりエッジにおける最大ジッターは、 $T/2$ であり、この場合 T は、入力クロックの周期である。 $M/N:D$ クロックの性質により、図 2 の下の波形の右に示される、クロックパワースペクトルの出力スパークは、 $1/N$ 、 $2/N$ 、 $3/N$ 、 $\dots$ 、 M/N 、 $\dots$ 、 M/N 、 $(N+1)/N$ 、 $\dots$ において生じる。最大のスパイクは、所望出力周波数（すなわち、 $M/N \times$ 入力周波数）に中心がある。図 2 に図解された例

10

20

30

40

50

において、最大のスパイクは $3/7 \times 100\text{MHz}$ で生じる。それは 42.8MHz である。理解できるように、入力または基準周波数が一定であり、MとNが相対的に素数であると仮定すると、Nの値が大きければ大きいほど、スパークは、出力スペクトル内で近くなる。「互いに素数」という用語は、2つの数(すなわち、MとN)が共通に因数を有していないことを示す、技術的に知られた用語である。

【0035】

米国特許第6,449,329に記載されたクロック回路は、 $M/N \times$ 入力周波数における所望の信号を生成する。出力クロックスペクトラムのスパークの近接は、望ましくない干渉を生じるかもしれない。図2の各クロックパルスの立ち下りは、入力クロックパルスの立ち上がりエッジでトリガーされることに注意する必要がある。

10

【0036】

ここに記載されたアプローチは、出力クロックの立ち上がりエッジおよび立ち下りエッジの両方を解析し、入力クロックの立ち上がりエッジまたは立ち下りエッジに基づいて出力クロックの立ち上がりエッジおよび立ち下りエッジをトリガーする。出力クロックの立ち上がりエッジおよび立ち下りエッジは、時間的に理想的な位置に近いので、回路ジッターは顕著に低減される。

【0037】

ある項の定義は、出力クロック信号の立ち上がりエッジおよび立ち下りエッジに対して入力クロック信号の立ち上がりエッジまたは立ち下りエッジの選択により供給される回路性能改善のより完全な理解を提供するであろう。「絶対ジッター」という用語は、理想的なクロックエッジの時間における位置とある開始点から測定した実際のクロックエッジとの間の差分として定義される。この開始点がどこかによって、 $M/N : D$ カウンターの絶対ジッターは、 $-T/2 < \text{絶対ジッター} < T/2$ であり、但しTは入力クロックの周期である。「サイクルごとのジッター」という用語は、2つの連続する出力クロックサイクル間における時間的な差分として定義される。図1の例では、サイクルごとのジッターは、 10ns である。図2の例において、立ち上がりエッジ時間サイクルごとのジッターは、50%改善されるが、出力クロック信号の立ち下りエッジにより測定されたサイクルごとのジッターは依然として1サイクルである。図3の出力波形において、出力クロックの立ち上がりエッジから立ち上がりエッジまたは立ち下りエッジから立ち下りエッジで測定されたサイクルごとのジッターの最悪のケースは $T/2$ である。「最小周期」という用語は、出力クロックの最小周期である。

20

30

【0038】

このパラメーターは重要である。なぜならば、このパラメーターは、クロックを使用する回路が動作するのに必要な最速の周波数を表すからである。図1の例では、最小の周期は 20ns である。 $M/N : D$ カウンターの出力は、平均周波数がプログラムされた周波数である出力信号を発生することを当業者は認識するであろう。図1乃至2に図解された例において、出力周波数は、 $3/7 \times 100\text{MHz}$ であり、これは、 42.8MHz に等しい。しかしながら、サイクルごとにみると、回路は、20ナノ秒の最小周期を有しているかもしれない。したがって、このクロックを使用するどんなデジタル回路も、最大の瞬時周波数を提供するために 50MHz で正確に動作しなければならない。

40

【0039】

図3は、この開示に従って設計された理想的な入力クロック、理想的出力クロックおよび $M/N : D$ カウンターのための波形および関連するスペクトルを図解する。この場合も先と同様に、図3に図解される例は、 100MHz 入力クロックを使用し、 $M=3$ 、 $N=7$ 、および $D=3$ のカウンター値を有し、入力クロックと出力クロックの個々のパルスは、それぞれ、0乃至6および0乃至2のラベルが付けられる。上の波形は、理想的な入力クロックのいくつかのサイクルを図解し、その右に、それに関連するスペクトルがある。真ん中の波形は、理想的なクロック出力であり、その立ち上がりエッジおよび立ち下りエッジは、典型的には、入力クロックの立ち上がりエッジまたは立ち下りエッジに一致しない。理想的な出力クロックに関連したスペクトルは、波形の右に示される。

50

【 0 0 4 0 】

選択可能な立ち上がりエッジおよび立ち下りエッジを有する M / N : D カウンターの出力は、図 3 の下の波形に図解される。波形中の上向矢印記号は、入力クロックの立ち上がりエッジによりトリガーされるリーディングおよびトレイリング出力クロックエッジを図解し、下向矢印記号は、入力クロックの立ち下りエッジによりトリガーされる立ち上がりエッジまたは立ち下りエッジを示す。図 3 に図解されるように、クロックパルス 0 の立ち上がりエッジは、入力クロックの立ち上がりエッジによりトリガーされ、その同じ出力クロックパルス (すなわち、クロックパルス 0) の立ち下りエッジは、入力クロックの立ち下りエッジによりトリガーされる。出力クロックパルス 1 の立ち上がりエッジおよび立ち下りエッジは両方とも入力クロックの立ち下りエッジによりトリガーされ、出力クロックパルス 2 の立ち上がりエッジおよび立ち下りエッジは両方とも入力クロックの立ち上がりエッジによりトリガーされる。

10

【 0 0 4 1 】

したがって、出力クロックの立ち上がりエッジおよび立ち下りエッジは両方とも、出力クロックの立ち上がりエッジおよび立ち下りエッジの両方のサイクルジッターを最小にするように、入力クロックの立ち上がりエッジまたは立ち下りエッジによりトリガーされる。バランストエッジトリガードカウンター (balanced edge triggered counter) と呼んでもよい、この技術は、 $T / 2$ の最大立ち上がりエッジ時間サイクルジッターを有し、および $T / 2$ の最大立ち下りエッジ時間サイクルジッターを有する。但し、 T は、入力クロックの周期である。これは、シングルエッジ (すなわち、入力クロックの立ち上がりエッジにのみ同期する) またはデュアルエッジ (すなわち、出力クロックの立ち上がりエッジは、入力クロックの立ち上がりエッジまたは立ち下りエッジに同期される) 回路設計に比べて立ち下りエッジ時間サイクルジッターを 2 の因数だけ低減する。

20

【 0 0 4 2 】

下記の表 1 は、様々なクロッキングシステムの特性を比較する。比較のなかに含まれているのは一般的な単一エッジクロックシステムである。このシステムにおいて、出力クロックの立ち上がりエッジおよび立ち下りエッジは、入力クロックの立ち上がりエッジのみに基づく。さらに、表 1 に示されるのはデュアルエッジシステムの特性である。このシステムにおいて、出力クロックの立ち上がりエッジは、入力クロックの立ち上がりエッジまたは立ち下りエッジに基づいていてもよい。最後に、表 1 は、さらに回路 1 0 0 (図 5 参照) のような平衡デュアルエッジ回路を図解する。この回路において、出力クロックサイクルの立ち上がりエッジおよび立ち下りエッジは、入力クロックの立ち上がりエッジまたは立ち下りエッジに基づいていてもよい。

30

【表 1】

表 1

カテゴリ	シングルエッジ	デュアルエッジ	平衡 デュアルエッジ
サイクルジッター (立上り)	T	T/2	T/2
サイクルジッター (立下り)	T	T	T/2
最小周期(立上り)	$\text{floor}(N/M)1/F_{\text{ref}}$	$\text{floor}(2N/M)1/2F_{\text{ref}}$	$\text{floor}(2N/M)1/2F_{\text{ref}}$
最小周期(立下り)	$\text{floor}(N/M)1/F_{\text{ref}}$	$\text{floor}(N/M)1/F_{\text{ref}}$	$\text{floor}(2N/M)1/2F_{\text{ref}}$
スパー位置	$2 F_{\text{ref}}/N$	F_{ref}/N	$2F_{\text{ref}}/N$
スパー高さ		-7dB	-10dB
モジュロ-N	Yes	Yes	Yes
50% DCを有する モジュロ-N	No	No	Yes
一定のDCを 有するDiv N/2	No	No	Yes
プログラマブルDC	$M \leq D \leq (N-M)$	$M \leq D \leq (N-M)$	$M \leq D \leq (N-M)$
D分解能	1	1	0.5
スピード	>250 MHz	250 MHz	250MHz
サイズ	2 Adds 4 Regs 1 Comps	2 Adds 4 Regs 3 Comps	3 Adds 5 Regs 3 Comps

【 0 0 4 3 】

上の表 1 において、出力クロック信号の立ち上がりエッジおよび立ち下りエッジのための最小周期は、プログラムされた N および M 並びに基準クロックの周波数に関連する。「

floor(N/M)」という用語は、最も近い整数値に丸め込まれた N/M の値を指す。ここに記載された平衡デュアルエッジ回路は、50%デューティサイクルでモジュロ - N 出力信号を発生することができるという点において、シングルエッジトリガードカウンタおよびデュアルエッジトリガードカウンタに対して改善を有する。これを達成するために、プログラムカウンタ値 M は、任意の $N/2$ に対して 1 に設定され、 $D = N/2$ に設定される。その他のデューティサイクルが所望であるなら、プログラマブルパラメータ D は、以下の関係を満足するようにプログラムしてもよい。 $1 \leq D \leq (N - 1)$ 。

【0044】

平衡デュアルエッジトリガード $M/N : D$ カウンタは、プログラマブル値 D に関して改善された分解能を有する。値 D はこれから、0.5の分解能で選択することができ、以下に詳細に記載するように、ハードウェアの簡単化のために、 $2 \times D$ の 1 の補数としてプログラムされる。他の主要な利点は、 $M/N : D$ カウンタの真の出力および反転された出力は、同じ特性を有することである。すなわち、ジッター、最小周期および時間系列は出力クロックおよびその反対に対して同じである。当業者が理解するように、デューティサイクルは、反転された出力および非反転された出力との間に逆にされる。

【0045】

平衡デュアルエッジ $M/N : D$ カウンタはまた半整数により完全な除算を実行することができる。これは、任意の値 $N/4$ に対して $M = 2$ に設定することにより行われる。

【0046】

この場合 50%デューティサイクルは、 N の偶数値に対してのみ得ることができるが、すべての N および D に対して一定のデューティサイクルを得ることができる。この場合も先と同様に、 D は、 $2 \leq D \leq (N - 2)$ を満足するために、0.5の分解能で選択することができる。

【0047】

さらに、シングルエッジトリガーまたはデュアルエッジトリガーを使用した $M/N : D$ カウンタは、 $M \leq N/2$ の値の M に関する制限で設計される。この制限は平衡デュアルエッジ回路によって改善される。以下に記載する図 5 の回路を用いて、 M は、 $M \leq N/3$ (N) のように設定することができる。

【0048】

図 3 の下の波形に記載される所望の出力クロック特性を満足に提供してもよい多くの回路実施がある。カウンタとコンパレータ回路の実施を用いて、累積された位相値を決定し、それを所定のカウンタ値と比較してもよい。この概念は、図 4 の波形に図解される。この場合、デフォルト条件は、出力クロック信号の立ち上がりエッジと立ち下りエッジが入力クロックの立ち上がりエッジに基づく仮定される。すなわち、出力クロック信号の立ち上がりエッジは、累積された位相値 (すなわち、カウンタ値) が 0 以上で $M/2$ 未満なら入力クロックの立ち上がりエッジによりトリガーされるであろう。しかしながら、累積された位相値が M と $M/2$ の間にある場合、出力クロック信号立ち上がりエッジエッジは、出力クロック信号の立ち上がりエッジのためのトリガーとして、先行する入力クロック信号の立ち下りエッジを用いて早くトリガーされなければならない。カウンタが正確に $M/2$ なら、入力クロックの立ち上がりエッジまたは立ち下りエッジを用いて出力クロックの立ち上がりエッジをトリガーすることができる。しかしながら、入力信号の立ち上がりエッジで出力クロックをトリガーするカウンタ値と、入力信号の立ち下りエッジで出力クロックをトリガーするカウンタ値との間のバランスを維持することが望ましい。したがって、回路 100 は、カウンタ値が $M/2$ 以上で M 未満なら入力クロックのネガティブエッジが出力クロック信号の立ち上がりエッジをトリガーするようにカウンタ値 $M/2$ を割り当てる。カウンタ値が D 未満であるときはいつでも、出力クロック信号は高い。

【0049】

出力クロック信号の立ち下りエッジのためのデフォルト選択は、入力クロックの立ち上がりエッジによりトリガーされるということである。すなわち、累積された位相値が、 D 以上で $D + M/2$ 未満ならば、出力クロック信号の立ち下りエッジは、入力クロック

信号の立ち上がりエッジによりトリガーされるであろう。しかしながら、カウント値が、 $D + M / 2$ と $D + M$ の間にある場合、先行する入力クロックサイクルの立ち下がりエッジは出力クロック信号の立ち下がりエッジをトリガーするために使用される。回路 100 は、カウント値が $D + M / 2$ 以上で $D + M$ 未満ならば、出力クロック信号の立ち下がりエッジは、入力クロックの立ち下がりエッジによりトリガーされるように $D + M / 2$ のカウント値を立ち下がりエッジに割り当てる。これは、入力信号の立ち下がりエッジで出力クロック信号をトリガーする入力信号カウント値の立ち上がりエッジで出力クロック信号をトリガーするカウント値間のバランスを維持する。

【0050】

図 5 は、そのようなクロック信号を生成することができる回路 100 の 1 つの実施形態を例証するブロック図である。回路 100 は多少概要の形式で図解されるが、既知の回路接続を省略する。どんな省略された接続も、当業者の一人の設計能力内にある。

【0051】

回路 100 は、それぞれ、第 1 および第 2 加算器 102 および 104 を含む。例示実施形態において、第 1 および第 2 の加算器 102 乃至 104 への入力は、17 ビットのプログラマブル入力であり、すべてのプログラマブル値は、2 の補数値としてプログラムされる。しかしながら、当業者は、入力ビットの数は、所望の動作レンジを提供するように選択してもよく、回路 100 において、異なる数学的表現を満足に使用してもよいことを理解するであろう。第 1 の加算器 102 への入力値がレジスタ 106 により供給され、第 2 の加算器 104 への入力値は、レジスタ 108 により供給される。レジスタ 106 および 108 は、従来の手段によってハードコード化してもよいし、またはプログラムしてもよい。

【0052】

例示実施形態において、タイミングおよび制御回路 110 は、カウンタ値 M 、 N および D を含む回路 100 のプログラミングを可能にするために入力値を提供する。タイミングおよび制御回路 110 は値 M だけでなく、回路設計を簡単にするために、量 $-(N - M)$ 、 $-D$ 等を発生してもよい。また、タイミングおよび制御回路 110 は、イニシャライズするためにリセット信号 $R E S E T$ を発生し、種々の回路コンポーネントをリセットする。また、タイミングおよび制御回路 110 は、基準クロック 112 の動作を制御する。

【0053】

基準クロック 112 は、カウンタへの入力クロックを生成する。レジスタ 106 (タイミングおよび制御回路によりハードコード化されようまたはプログラムされよう) の入力は、プログラムカウンタ値 N および M (すなわち、値 $-(N - M)$ 間の差分の 1 の補数バージョンである。レジスタ 108 の値はカウンタ値 M でプログラムされる。

【0054】

第 1 加算器および第 2 加算器 102 乃至 104 の出力は、それぞれ、マルチプレクサー 114 に第 1 入力および第 2 入力を供給する。さらに、第 1 の加算器 102 の出力の最上位ビット ($M S B$) は、マルチプレクサー 114 への制御入力を提供する。 $M S B$ が高くなると、 $M S B$ は、マルチプレクサー 114 に第 1 の加算器 102 の出力の代わりに第 2 の加算器 104 の出力を選択するように信号を送る。

【0055】

マルチプレクサー 114 の出力は、位相アキュムレータとして機能するフリップフロップ 116 の D 入力に接続される。フリップフロップ 116 の出力は加算器 102 および 104 にフィードバックされ、さらに、比較器 120 の入力に供給される。比較器 120 は、位相アキュムレータフリップフロップ 116 の出力を比較し、値が $M / 2$ 以上かつ値 M 未満かどうか決定する。そのような状況において、図 4 に図解するように、出力クロックの立ち上がりエッジは、先行する入力クロックのネガティブエッジまたは立ち下がりエッジによりトリガーされなければならない。これらの条件が満たされる場合、比較器 120 の出力は、ラッチフリップフロップ 122 の入力に供給され、リタイミング回路 124 に供給される。

10

20

30

40

50

【 0 0 5 6 】

位相アキュムレーターフリップフロップ 1 1 6 の出力も第 3 加算器 1 2 6 に接続される。

【 0 0 5 7 】

位相アキュムレーターフリップフロップ 1 1 6 からの値は、プログラムパラメータ D の負値に加算される。

【 0 0 5 8 】

第 3 加算器 1 2 6 の出力は、出力が比較器 1 3 2 および 1 3 4 に接続された高速ラッチ 1 3 0 に接続される。

【 0 0 5 9 】

位相アキュムレーターフリップフロップ 1 1 6 中の値がプログラムパラメータ D 未満である限り、出力クロックは高ロジックレベルに維持される。

【 0 0 6 0 】

加算器 1 2 6、ラッチ 1 3 0 および比較器 1 3 2 はそのような決定をなすために使用される。加算器 1 2 6 は、D の負値でプログラムされたので、比較器 1 3 2 はラッチ 1 3 0 の出力が 0 未満かどうか決定する。ラッチ 1 3 0 の出力が 0 未満である場合、比較器 1 3 2 からの信号は H I G H C L K 信号ラインをイネーブルにする。それにより出力クロックは、適切な入力クロック信号の立ち上がりエッジでのみ出力クロックをトリガーさせる。

【 0 0 6 1 】

ラッチ 1 3 0 の出力は、また比較器 1 3 4 に接続され、出力クロック信号の立ち下がりエッジが入力クロック信号の立ち下りでトリガーされなければならないかどうか決定する。

【 0 0 6 2 】

図 4 に図解するように、位相アキュムレーターフリップフロップ 1 1 6 の値が、 $D + M / 2$ 以上で $D + M$ 未満の値を有しているなら、クロック信号の立ち下りエッジは、先行する入力クロック信号の負の立ち下りエッジからずれてトリガーされなければならない。値 D がその不等式から減算されるなら、累積フリップフロップマイナス D の値が $M / 2$ 以上かつ値 M 未満なら、出力クロックは、入力クロックの立ち下りエッジでトリガーされなければならない。加算器 1 2 6 は位相アキュムレーターフリップフロップ 1 1 6 の値から - D の値を加算する（すなわち D を減算する）。したがって、比較器 1 3 4 は、加算器 1 2 6 の出力が $M / 2$ 以上かつ値 M 未満の値を有するかどうか決定する。これらの条件が満たされる場合、先行する入力クロック信号の立ち下りエッジによりトリガーされる出力クロックの立ち下りエッジを持つことがより正確である。比較器 1 3 4 の出力は以下に記載された方法でリタイミング回路 1 2 4 に接続される。

【 0 0 6 3 】

リタイミング回路 1 2 4 は、制御回路として機能し、比較器の信号に基づいて適切な出力クロック信号を発生して同期化させ、それにより、入力クロック信号の立ち上がりエッジまたは立ち下りエッジに基づいて出力クロック信号の立ち上がりエッジを選択し、そして、入力クロック信号の立ち上がりエッジまたは立ち下りエッジに基づいて、出力クロック信号の立ち下りエッジを選択する。動作のデフォルトモードは、入力クロック信号の立ち上がりエッジで立ち上がるおよび立ち下がる出力クロックを持つことである。これは、H I G H C L K 信号を介してラッチ 1 4 0 の入力に接続された比較器 1 3 2 の出力を用いて達成される。比較器の結果に基づいて、出力クロック信号の立ち上がりエッジが入力クロックの立ち下がりエッジによりトリガーされなければならないなら（すなわち、アキュムレータの値が $M / 2$ 以上で M である）、比較器 1 2 0 の出力は、高いレベルに設定され N E G _ R I S E _ E D G E 信号を発生する。その信号はラッチフリップフロップ 1 2 2 により 1 クロックサイクル遅延される。したがって、図 5 に図解されるラッチ 1 4 2 への入力信号は、N E G _ R I S E _ E D G E _ D として指定され、それは比較器 1 2 0 により発生された N E G _ R I S E _ E D G E 信号の遅延されたバージョンであることを示す。この場合、出力クロックはデフォルト条件より $1 / 2$ サイクル早いハイレベルに

10

20

30

40

50

なるであろう。

【 0 0 6 4 】

位相アキュムレーターフリップフロップ 1 1 6 の出力が上に表した基準を満足するなら（すなわち、値が $D + M / 2$ 以上かつ $D + M$ 未満）、出力クロック信号の立ち下がリエッジエッジは、入力信号の負立ち下がリエッジエッジでトリガーされなければならない。その場合には、比較器 1 3 4 の出力は有効であり、信号 NEG_FALL_EDGE が発生され、ラッチ 1 4 4 の入力に接続される。ラッチ 1 4 4 をアクティブにすると出力クロックはデフォルト条件より $1 / 2$ サイクル早くロウにさせられるであろう。

【 0 0 6 5 】

ラッチ 1 4 0 - 1 4 4 の出力は、同期ラッチ 1 4 6 - 1 5 0 にそれぞれ接続される。同期ラッチ 1 4 6 - 1 5 2 の出力は、OR ゲート 1 5 8 および AND ゲート 1 6 0 を含む、組み合わせの論理回路 1 5 6 に接続される。HIGH_CLK 信号は、合計 3 つのクロックサイクルによる、位相アキュムレーターフリップフロップ 1 1 6 からラッチ 1 4 6 の出力まで 3 クロックサイクル遅延される。以前のクロック信号の負の立ち下がリエッジに基づいて出力クロックの立ち上がりクロックエッジに適合するために、ラッチ 1 4 2 および同期ラッチ 1 4 8 のクロックは、位相アキュムレーターフリップフロップ 1 1 6 から同期ラッチ 1 4 8 までの合計遅延が $2 - 1 / 2$ 入力クロックサイクルであるように入力クロックの立ち下がリエッジによりトリガーされる。したがって、 NEG_RISE_EDGE をアクティブにすることは、HIGH_CLK 信号に比べて $2 / 1$ サイクル早く出力クロックをハイにするであろう。

【 0 0 6 6 】

同様に、 NEG_FALL_EDGE 信号は、HIGH_CLK 信号に比べて $1 / 2$ サイクル早く出力クロック信号をロウにするように同期ラッチ 1 5 0 に接続された入力クロック信号の立ち下がリエッジにより同期される。

【 0 0 6 7 】

出力クロックがハイでなければならないとき、同期ラッチ 1 5 0 の出力は 0 であり、その反転値は AND ゲート 1 6 0 の入力に接続される。この状況で、出力クロックの論理値は、同期ラッチ 1 4 6 および 1 4 8 の出力によって制御される。同期ラッチ 1 4 8 の出力は、OR ゲート 1 5 8 への入力として供給される。標準状態の下では、同期ラッチ 1 4 8 の出力はロウである。その場合に、同期ラッチ 1 4 6 からのデフォルト出力は、組み合わせの論理回路 1 5 6 を介して出力クロックの立ち上がりエッジおよび立ち下がリエッジを制御する。しかしながら、出力クロック $1 / 2$ サイクル早くハイに強制されなければならないなら、同期ラッチ 1 4 8 の出力は、OR ゲート 1 5 8 の出力を $1 / 2$ サイクル早くハイにするために、ハイになる。同様に、出力クロックの立ち下がリエッジが入力クロックの立ち下がリエッジに基づかなければならないなら（すなわち、 $1 / 2$ サイクル早くロウにする）、同期ラッチ 1 5 0 の出力はハイになり、AND ゲート 1 6 0 の反転入力ハロウにし、出力クロックを $1 / 2$ サイクル早くロウにする。

【 0 0 6 8 】

組み合わせ回路 1 5 6 の出力は、出力クロックとして直接使用することができる。しかしながら、いくつかのアプリケーションでは、後方の互換性が望まれる。それは、入力クロックの立ち上がりエッジのみに基づいて出力クロックをトリガーする従来のモードの利用を必要とする。タイミングおよび制御回路 1 1 0 は、マルチプレクサー 1 6 4 の入力を制御するために、制御入力信号である DUAL_MODE を発生する。回路 1 0 0 が、もっぱら入力クロックの立ち上がりエッジに基づいた出力クロックを生成するために要求される場合、同期ラッチ 1 4 6 の出力は、もっぱら入力クロックの立ち上がりエッジエッジに基づいて出力クロックをトリガーするマルチプレクサー 1 6 4 を介して、出力クロックとして選択される。回路の残りの部分がイネーブルになるなら、同期ラッチ 1 4 6 - 1 5 0 の出力は、上述した方法で結合され、マルチプレクサー 1 6 4 に入力として供給され、平衡デュアルエッジ動作を有する出力クロックを発生する。

【 0 0 6 9 】

回路 100 は、立ち上がりエッジと立ち下がりエッジの両方のサイクルジッターに対して改善された特性を供給する。

【0070】

さらに、他の特性は、非反転されたクロック信号（逆にされるデューティサイクルを除いて）と同じ特性を有する反転されたクロック信号を発生するための能力を含む回路 100 により供給される。

【0071】

図 5 に関して上に記述されたクロック回路は、単一入力または基準クロックからの広範囲の周波数を生成することができる。これは、単一クロックが異なるアプリケーションに対して必要な複数の周波数を発生することを可能にする。異なる基準を有する無線通信のような、いくつかのアプリケーションは、限られた数の異なる周波数を必要とする。例えば、CDMA 無線通信は、1.2288 MHz のチップレートでデータを送信し、代わりの通信基準、GSM は、1.023 MHz のチップレートで送信する。このような無線アプリケーションでは、限られた数の周波数が必要であるので、M/N カウンターの広いプログラミングレンジが不必要である。この場合、図 6 の機能ブロック図に図解されるように、カウンターの他の実施形態を用いて必要な波形を出力することができる。図 6 において、M/N : D カウンターは、従来の方法で動作し、N 入力サイクルごとに M 出力サイクルを発生する。D カウンター 170 は、従来の方法で動作し、N 入力サイクルごとに M 出力サイクルを発生する。エッジ選択制御ロジック 172 はカウンタ 170 に接続され、立ち上がりエッジおよび立ち下がりエッジが、ステートマシン 174 に基づいて、またはデータ記憶エリア内の立ち上がりエッジまたは立ち下がりエッジによりトリガーされる出力クロックを発生する。出力クロック信号の選択された周波数の場合、M 出力サイクルが周期的であることに留意する必要がある。すなわち、M 出力サイクルのあるサイクルは、入力クロックの立ち上がりエッジエッジでトリガーされる立ち上がりエッジを有し、M 出力サイクルの他のサイクルは、入力クロックの立ち下がりエッジでトリガーされる立ち上がりエッジを有する。同様に、M 出力サイクルのあるサイクルは、入力クロックの立ち上がりエッジでトリガーされる立ち下がりエッジを有し、M 出力サイクルの他のサイクルは、入力クロックの立ち下がりエッジでトリガーされる立ち下がりエッジを有する。図 3 の M/N 出力クロック波形（下の波形）の例を用いて、サイクル 0 の立ち上がりエッジは、入力クロックの立ち下がりエッジでトリガーされ、クロックサイクル 0 の立ち下がりエッジは、入力クロックの立ち下がりエッジでトリガーされる。クロックサイクル 1 の立ち上がりエッジおよび立ち下がりエッジは両方ともに、入力クロックの立ち下がりエッジでトリガーされ、出力クロックサイクル 2 の立ち上がりエッジと立ち下がりエッジは両方とも、入力クロックの立ち上がりエッジによりトリガーされる。このパターンは M 出力サイクルの間繰り返す。この例において、ステートマシン 174 は、出力クロック信号が入力クロック信号の適切な立ち上がりエッジまたは立ち下がりエッジからずれてトリガーされるように、エッジ選択制御ロジック 172 に必要な信号を供給するようにプログラムされる。同様の方法で、データ記憶エリア 176 内に記憶されたデータは、エッジ選択制御ロジック 172 に必要な制御信号を供給し、入力クロックの適切な立ち上がりエッジまたは立ち下がりエッジを選択し、出力クロック信号のサイクルをトリガーする。

【0072】

限られた数の所望の出力周波数を有する多くのアプリケーションの場合、ステートマシン 174 あるいは代替データ記憶エリア 176 を有する、図 6 の回路は、必要な出力信号を生成するのに十分である。当業者は、多数の出力周波数がデータ記憶エリア 176 中でかなりの空間を消費するであろう、あるいはステートマシン 174 において、増大された複雑性を必要とするであろうことを理解するであろう。図 6 のアプリケーションは、記憶エリア 176 のサイズあるいはステートマシン 174 の複雑さによってのみ制限されている。

【0073】

本発明は、特定のアプリケーションのための実例となる実施形態に関してここに記述さ

10

20

30

40

50

れているが、発明がそれに制限されていないことは理解されるべきである。通常の技術を有する人、およびここに提供される開示にアクセスする人は、この開示の範囲内でさらなる変更、アプリケーション、および実施形態、およびこの発明が重要なユーティリティであるさらなるフィールドを認識するであろう。

【0074】

先の記載された実施形態は、異なる他のコンポーネント内に含まれる、または異なる他のコンポーネントに接続される異なるコンポーネントを描写する。そのような描かれたアーキテクチャは単に例示であり、実際には、同じ機能性を達成する多くの他のアーキテクチャを実施することができることが理解されるべきである。概念的な間隔において、同じ機能性を達成するためのコンポーネントの任意の構成は、所望の機能が達成されるように、効率的に「関連」している。それゆえ、ここでは、特定の機能性を達成するために結合される任意の2つのコンポーネントは、アーキテクチャまたは中間コンポーネントに関係なく、所望の機能性が達成されるように互いに「関連している」として見ることができる。同様のそのように関連した任意の2つのコンポーネントも、所望の機能性を達成するために、互いに「動作可能に接続された」、または「動作可能に結合された」として見るることができる。

10

【0075】

この発明の特定の実施形態を図示し記載したけれども、ここに記載した開示に基づいて、この発明およびその広い観点から逸脱することなく変更や変形を行うことができ、添付されたクレームは、そのような変更および変形がこの発明の真の精神および範囲内にあることを含むことは当業者には、明白であろう。更に、発明が添付されたクレームによって単独で定義されることは理解されるべきである。

20

【0076】

一般に、ここで使用される用語、および特に添付されたクレーム（例えば、添付されたクレームの本体）で使用される用語が一般的に「オープン」な用語として意図される（例えば、「含む」は、「含むが限定されない」として解釈されるべきであり、「有する」という用語は「少なくとも有する」と理解すべきであり、「含む」という用語は、「含むがこれに限定されない」と理解されるべきである）。

【0077】

導入されたクレームの詳述の特定の番号が意図されるなら、そのような意図は、明白にクレームにおいて記載され、そのような記載が無ければ、そのような意図は存在しないということがさらに理解されるであろう。例えば、理解への援助として、以下の添付されたクレームは、クレームの詳述を導入するために、「少なくとも1つ」および「1つ以上」という導入フレーズの使用を含んでいてもよい。しかしながら、たとえ、同じクレームが「1つ以上の」または「少なくとも1つの」および「a」または「an」の不定冠詞（例えば、「a」および「an」は、典型的に「少なくとも1つの」または「1つ以上の」と解釈されるべきである）を含むときでさえも、そのようなフレーズの使用は、不定冠詞「a」または「an」によるクレーム詳述を導入することは、そのような導入されたクレーム詳述を、唯一のそのような詳述を含む発明に限定すると意味するように解釈されるべきでない。同じことは、クレーム詳述を導入するために使用される定冠詞の使用にも該当する。さらに、導入されたクレーム詳述の特定番号が明示的に記載されても、当業者は、そのような記載は典型的に少なくとも記載された番号を意味するように認識するであろう（例えば、「2つの詳述」の最低限の詳述は、典型的に少なくとも2つの詳述を意味するか、または2つ以上の詳述を意味する）。

30

40

【図面の簡単な説明】

【0078】

【図1】図1は、入力クロックの立ち上がりエッジを使用して出力クロックの立ち上がりエッジおよび立ち下りエッジをトリガーする従来のMINカウンタにより使用される一連の波形を図解する。

【図2】図2は、出力クロックの立ち上がりエッジをトリガーするために入力クロックの

50

立ち上がりエッジまたは立ち下りエッジを選択するためのさらなる回路を利用するクロック回路のための一連の波形および関連するスペクトルを図解する。

【図 3】図 3 は、出力クロックの立ち上がりエッジおよび立ち下りエッジの両方をトリガーするために入力クロックの立ち上がりエッジまたは立ち下りエッジを選択するためのさらなる回路を利用するクロック回路のための一連の波形および関連するスペクトルを図解する。

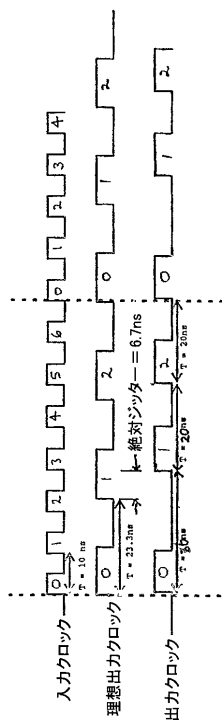
【図 4】図 4 は、出力クロックの論理レベルおよび出力クロックの遷移のポイントを決定するために使用される累積された位相値を図解する。

【図 5】図 5 は、図 3 の波形を発生するために使用される回路の例示実施を図解するブロック図である。

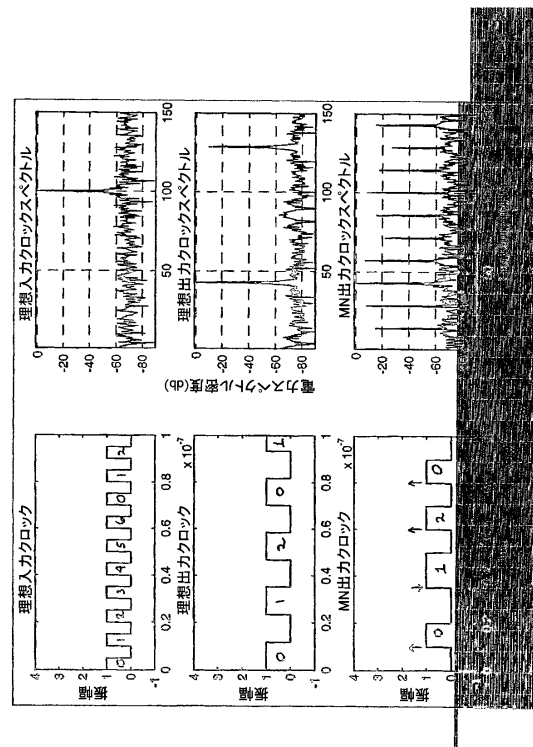
【図 6】図 6 は、図 3 の波形を発生するために使用される回路の他の実施の一例を図解するブロック図である。

10

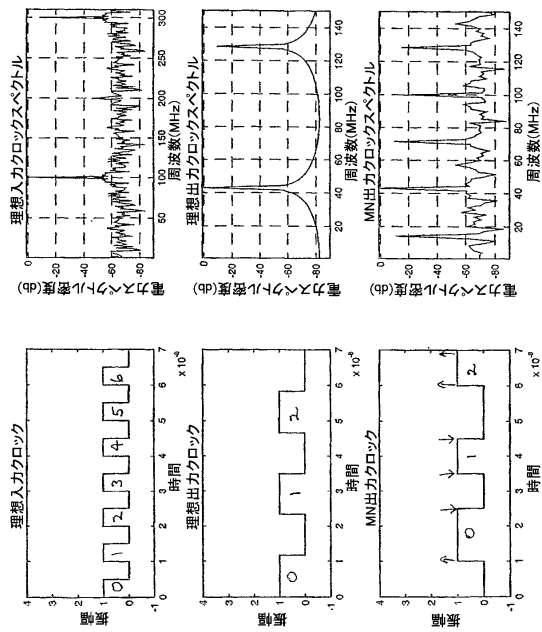
【図 1】



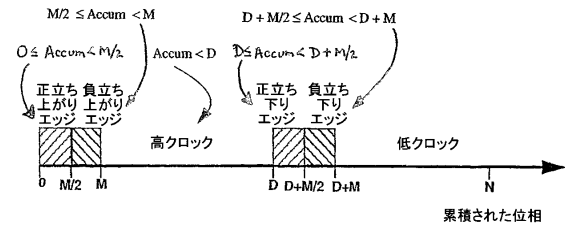
【図 2】



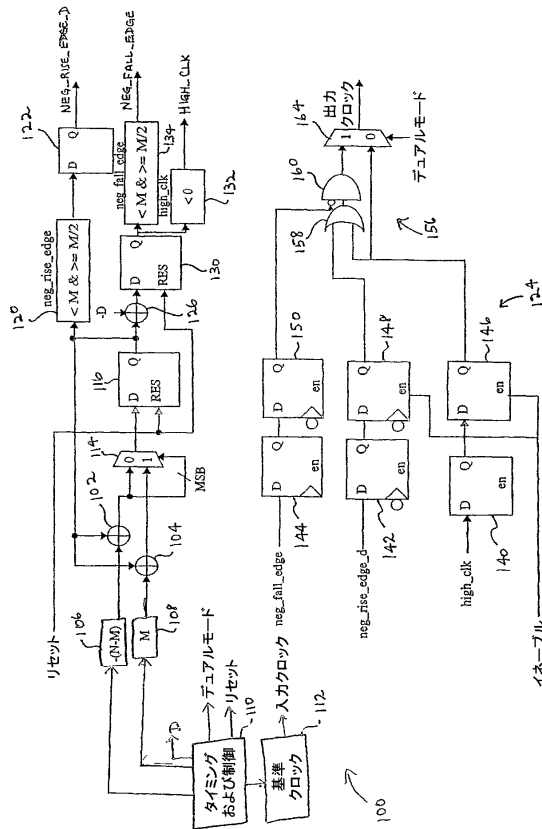
【図 3】



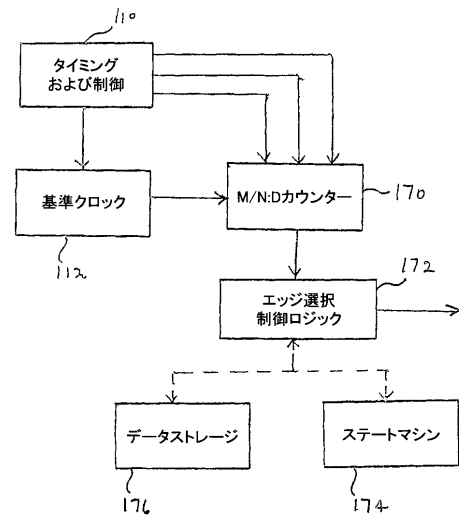
【図 4】



【図 5】



【図 6】



フロントページの続き

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100095441

弁理士 白根 俊郎

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100103034

弁理士 野河 信久

(74)代理人 100092196

弁理士 橋本 良郎

(74)代理人 100100952

弁理士 風間 鉄也

(72)発明者 セバーソン、マシュー・エル・

アメリカ合衆国、カリフォルニア州 92056、オーシャンサイド、サレルノ・コート 1223

審査官 石田 勝

(56)参考文献 特表2004-509499(JP,A)

米国特許出願公開第2002/6449329(US,A1)

(58)調査した分野(Int.Cl., DB名)

H03K 23/64