

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成26年1月30日(2014.1.30)

【公表番号】特表2013-518489(P2013-518489A)

【公表日】平成25年5月20日(2013.5.20)

【年通号数】公開・登録公報2013-025

【出願番号】特願2012-550342(P2012-550342)

【国際特許分類】

H 04 N 5/374 (2011.01)

H 01 L 31/09 (2006.01)

【F I】

H 04 N 5/335 7 4 0

H 01 L 31/00 A

【手続補正書】

【提出日】平成25年12月9日(2013.12.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シングルフォトンカウンティングピクセル検出回路であって、前記検出回路は、

a) 感光性材料層と、

b) 前記感光性材料層に配置されたN×M個の光検出ダイオードのアレイであって、前記光検出ダイオードの各々は、ダイオード出力インターフェースを有するアレイと、

c) N×M個の読出ユニットセルのアレイであって、1つの読出ユニットセルは1つの光検出ダイオード用であるアレイと、
を具え、

d) 前記読出ユニットセルは、

d 1) 前記ダイオード出力インターフェースに接続された入力インターフェースと、高利得電圧増幅手段と、前記高利得電圧増幅手段の出力に接続されたピクセルカウンタと、を具え、

d 2) 前記ピクセルカウンタは、第1の数の二ブルカウンタに分割され、各二ブルカウンタは、個別の数のビットを有し、各ビット用にベーシックカウンタセルが設けられ、前記ベーシックカウンタセルは、カウンティングエレメントと、スイッチと、一時記憶素子と、出力段と、を具え、前記ベーシックカウンタセルはカスケード接続されており、

e) 前記検出回路はサイドシフトレジスタをさらに具え、前記サイドシフトレジスタは、前記二ブルカウンタをロー方向に所定数の選択された二ブルローで読み出し、前記選択された二ブルローの一時記憶素子に記憶されたデータは、並列バス上で電流として送信され、並列バスレシーバによってデジタルレベルに変換される、

ことを特徴とするシングルフォトンカウンティングピクセル検出回路。

【請求項2】

前記一時記憶素子は、キャパシタアレイとして実装され、

前記キャパシタアレイは、前記ピクセルカウンタの上部に物理的に配置されている、

請求項1に記載のシングルフォトンカウンティングピクセル検出回路。

【請求項3】

所定数のピクセルのカラムは、スーパーカラムを形成するためにグループ化され、

各スーパーカラムは互いに独立しているので、読み出しあは、結果として生じたスーパーカラムの数で並列に実行される、

請求項 1 または 2 に記載のシングルフォトンカウンティングピクセル検出回路。

【請求項 4】

前記バスレシーバの出力は、スーパーカラムごとに、受信するラッチ内に記憶され、スーパーカラムの読み出速度に比べて速い速度でシリアル化される、

請求項 1 ~ 3 のいずれか 1 項に記載のシングルフォトンカウンティングピクセル検出回路。

【請求項 5】

前記読み出ユニットセルの前記アレイは、P 型トランジスタおよびN 型トランジスタを、他のトランジスタと共有されていない別個の基板上に設けるトリプルウェル設計で構成されている、

請求項 1 ~ 4 のいずれか 1 項に記載のシングルフォトンカウンティングピクセル検出回路。

【請求項 6】

3 つの基板領域は、4 つの別個のパワードメインに対応し、

電荷増幅トランジスタおよび入出力ドライバは、2 つの完全に別個の基板領域およびパワードメインに配置されている、

請求項 5 に記載のシングルフォトンカウンティングピクセル検出回路。

【請求項 7】

アナログピクセル領域を横切るデジタル信号線はシールドされ、

前記デジタル信号線 に対応するドライバはスタープされる、

請求項 1 ~ 6 のいずれか 1 項に記載のシングルフォトンカウンティングピクセル検出回路。

【請求項 8】

L V D S 信号は、マスタークロック用に用いられる、

請求項 1 ~ 7 のいずれか 1 項に記載のシングルフォトンカウンティングピクセル検出回路。

【請求項 9】

ピクセルカウンタのリセット信号、ストア信号およびエクスポート信号を含むグローバル信号 は、クロストークを回避するように生成され、

前記 ピクセルカウンタのリセット信号、ストア信号およびエクスポート信号は、汎用信号として生成され、

前記リセット信号は、カラムベース上で分配され、所定数のローの後更新され、

前記ストア信号は、全ビットの内容を前記ぞれぞれの一時記憶素子にコピーするための追加の消費電力を発生させ、前記スイッチを流れる最大電流を制限するために前記スイッチにバイアスをかけ、

前記エクスポート信号は、比較器 の次の A N D ゲートでのスイッチング中に V D D からグラウンドに流れる短絡回路電流による高いピーク電流を発生させ、

前記検出回路の周辺に設けた回路は、結果として生ずるイネーブル信号から、前記読み出ユニットセルの P 側と N 側を異なるタイムウィンドウで駆動する 2 フェーズ信号を生成する、

請求項 1 ~ 8 のいずれか 1 項に記載のシングルフォトンカウンティングピクセル検出回路。