



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 601 08 922 T2 2005.12.29**

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 158 680 B1**

(21) Deutsches Aktenzeichen: **601 08 922.7**

(96) Europäisches Aktenzeichen: **01 111 939.3**

(96) Europäischer Anmeldetag: **18.05.2001**

(97) Erstveröffentlichung durch das EPA: **28.11.2001**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **16.02.2005**

(47) Veröffentlichungstag im Patentblatt: **29.12.2005**

(51) Int Cl.7: **H03L 7/089**  
**H04L 7/033**

(30) Unionspriorität:

**2000148284 19.05.2000 JP**

**2000280817 14.09.2000 JP**

**2000380388 14.12.2000 JP**

(73) Patentinhaber:

**Yazaki Corp., Tokio/Tokyo, JP**

(74) Vertreter:

**HOFFMANN & EITLE, 81925 München**

(84) Benannte Vertragsstaaten:

**DE, FR, GB**

(72) Erfinder:

**Idei, Gijun, Susono-shi, Shizuoka-ken 410-1194,**

**JP; Unno, Kazuyoshi, Susono-shi, Shizuoka-ken**

**410-1194, JP**

(54) Bezeichnung: **Phasenkomparator und Taktrückgewinnungsschaltung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**Beschreibung**

## HINTERGRUND DER ERFINDUNG

## 1. Gebiet der Erfindung

**[0001]** Die vorliegende Erfindung betrifft einen Phasenkomparator, der bei einem Datenkommunikationssystem, etc. verwendet wird, und eine Synchronisierungssignal-Extraktionsvorrichtung, die denselben verwendet, und genauer gesagt einen Phasenkomparator, der mit nicht nur dem kontinuierlichen Wiederholimpuls synchronisiert werden kann, sondern auch dem diskontinuierlichen Datenimpuls mit fehlenden Impulsen, da das Weglassen von Impulsen wie das Fehlen von Spitzen verursacht wird, und eine Synchronisierungssignal-Extraktionsvorrichtung unter Verwendung desselben.

## 2. Beschreibung des zugehörigen Standes der Technik

**[0002]** Es wird auf das deutsche Patent DE-A-36 26 467 Bezug genommen, das einen bekannten Typ eines Phasenkomparators offenbart.

**[0003]** Bei der Datenkommunikation muss der Impulszug DATEN, der gesendet wird, ohne Fehler interpretiert werden, um das ursprüngliche Signal genau zu decodieren. Zu diesem Zweck muss das Synchronisierungssignal aus dem Impulszug DATEN erfasst werden, der gesendet wird, und dann muss das ursprüngliche Signal durch Verwenden dieses Synchronisierungssignals decodiert werden. Zum Erfassen des Synchronisierungssignals muss veranlasst werden, dass die Frequenz und die Phase mit denjenigen des empfangenen Impulszugs übereinstimmen. Im Stand der Technik wird normalerweise der Phasenregelkreis (der hierin nachfolgend "PLL" genannt wird), der in [Fig. 1](#) gezeigt ist, als solche Erfassungseinrichtung verwendet.

**[0004]** Ein in [Fig. 1](#) gezeigter PLL-Kreis **150** weist den Phasenkomparator **151** mit einer Vergleichsfunktion zum Vergleichen einer Phase des Eingangsimpulses mit einer Phase des Taktsignals auf, um ein Spannungssignal gemäß dem verglichenen Ergebnis auszugeben, und einer Frequenzunterscheidungsfunktion, etc., als Gelegenheitsanforderungen, der Niederfrequenz-Filter/Verstärker-Einheit **152** zum Extrahieren einer Niederfrequenzkomponente durch Entfernen einer Hochfrequenzkomponente in der Spannungssignalausgabe vom Phasenkomparator **151**, und dem spannungsgesteuerten Oszillator **153** zum Oszillieren bei einer Frequenz, der auf das Spannungssignal reagiert, das nur die Niederfrequenzkomponente enthält, die von der Niederfrequenz-Filter/Verstärker-Einheit **152** ausgegeben wird, um das Taktsignal zu erzeugen. Bei diesem PLL-Kreis **150** erfasst der Phasenkomparator **151**

dann, wenn die Phase des Taktsignals, das von dem spannungsgesteuerten Oszillator **153** ausgegeben wird, der Phase des Eingangsimpulses naheilt, diese Verzögerung und erhöht auch das Spannungssignal gemäß diesem erfassten Ergebnis, um die Frequenz des Taktsignals, das von dem spannungsgesteuerten Oszillator **153** ausgegeben wird, zu erhöhen und die Phase des Taktsignals weiterzuschalten. Gegensätzlich dazu erfasst der Phasenkomparator **151** dann, wenn die Phase des Taktsignals, das von dem spannungsgesteuerten Oszillator **153** vor die Phase des Eingangsimpulses gelangt, dieses Voreilen und erniedrigt auch das Spannungssignal gemäß diesem erfassten Ergebnis, um die Frequenz des Taktsignals, das von dem spannungsgesteuerten Oszillator **153** ausgegeben wird, zu erniedrigen und um die Phase des Taktsignals zu verzögern.

**[0005]** Wenn der kontinuierliche Wiederholimpuls eingegeben wird, kann dieser PLL-Kreis **150** relativ einfach veranlassen, dass die Phase des Taktsignals, das von dem spannungsgesteuerten Oszillator **153** ausgegeben wird, mit der Phase des Eingangsimpulses übereinstimmt. Daher wird dieser PLL-Kreis **150** in weitem Ausmaß bei einem Frequenzsynthesizer, etc. verwendet.

**[0006]** Jedoch muss gemäß dem Phasenkomparator **151**, der einen solchen PLL-Kreis **150** bildet, besonders auf den diskontinuierlichen Impulszug mit fehlenden Impulsen, wie dem Fehlen von Zähnen bzw. Spitzen, geachtet werden, was bei der Datenkommunikation verursacht wird, wenn der Impulszug durch die Daten moduliert wird. Daher kann ein solcher PLL-Kreis **150** nicht die ausreichende Funktion und die ausreichende Leistungsfähigkeit als der PLL-Kreis erreichen.

**[0007]** Aus diesem Grund wurde im Stand der Technik, wie es in [Fig. 2](#) gezeigt ist, der Phasenkomparator **159** als der Phasenkomparator entwickelt (Dan H. Wolaver, Phase Locked Loop Circuit Design, S. 202, Prentice Hall, ISBN 0-13-662743-9), der auf einen solchen diskontinuierlichen Impulszug mit fehlenden Impulsen angewendet werden kann. Dieser Phasenkomparator **159** weist zwei D-Flip-Flop-Schaltungen **154**, **155**, eine Inverterschaltung **156** und zwei Exklusiv-ODER-Schaltungen **157**, **158** auf und kann den Phasenvergleich des diskontinuierlichen Impulszugs, z.B. des NRZ-(Non Return to Zero = Kein Zurückkehren zu Null)-modulierten Impulses, direkt ausführen.

**[0008]** Ebenso wurde, wie es in [Fig. 3](#) gezeigt ist, der Phasenkomparator **168** entwickelt (Dan. H. Wolaver, Phase Locked Loop Circuit Design, S. 221, Prentice Hall, ISBN 0-13-662-743-9). Dieser Phasenkomparator **168** weist zwei D-Flip-Flop-Schaltungen **160**, **161**, zwei Exklusiv-ODER-Schaltungen **162**, **163** und vier Widerstände **164**, **165**, **166**, **167** auf und kann den Phasenvergleich des RZ-(Return to

Zero = Rückkehr zu Null)-modulierten Impulses ausführen, der durch vorheriges Differenzieren des NRZ-modulierten Impulses erhalten werden kann.

[0009] **Fig. 4** zeigt einen Aufbau des PLL-Kreises **191**, der den Phasenkomparator **171** wie den Phasenkomparator **159** als den Phasenkomparator **151** verwendet, und die Ladepumpeinheit **172** als die Niederfrequenz-Filter/Verstärker-Einheit **152**. In diesem Fall wird deshalb, weil der Phasenkomparator **168** die Ausgangswellenform und den Betrieb hat, die nahezu identisch zu denjenigen des Phasenkomparators **159** sind, eine Erklärung des PLL-Kreises hierin weggelassen werden, der diesen Phasenkomparator **168** verwendet.

[0010] Der in **Fig. 4** gezeigte Phasenkomparator **191** weist den Phasenkomparator **171** zum Vergleichen der Frequenz und der Phase der Dateneingabe mit diskontinuierlichem Impulszug in den Eingangsanschluss **169** mit denjenigen der Eingabe eines Taktsignals Xck1 in den Eingangsanschluss **170** und auch zum Erzeugen von Impulsen W, X gemäß diesem verglichenen Ergebnis auf; die Ladepumpeinheit **172** zum Erhöhen des Spannungswerts des Spannungssignals durch Ausführen der Ladeoperation, wenn der Impuls W von diesem Phasenkomparator **171** ausgegeben wird, und auch zum Erniedrigen des Spannungswerts des Spannungssignals durch Ausführen der Entladeoperation, wenn der Impuls X von diesem Phasenkomparator **171** ausgegeben wird; und den spannungsgesteuerten Oszillator **173** zum Erhöhen der Oszillationsfrequenz, wenn der Spannungswert des Spannungssignals, das von der Ladepumpeinheit **172** ausgegeben wird, auf höher erhöht wird, und auch zum Erniedrigen der Oszillationsfrequenz, wenn der Spannungswert des Spannungssignals, das von dieser Ladepumpeinheit **172** ausgegeben wird, auf niedriger erniedrigt wird, um den Taktpuls Xck1 zu erzeugen. Dieser Phasenkomparator **191** steuert die Oszillationsfrequenz des spannungsgesteuerten Oszillators **173** so, dass die minimale Impulsbreite der Daten des diskontinuierlichen eingegebenen Impulszugs mit der Wiederholperiode des Taktsignals Xck1 übereinstimmen kann, und erzeugt das Taktsignal Xck1, dessen Frequenz das Zweifache der maximalen Wiederholfrequenz der Daten des diskontinuierlichen Impulszugs ist.

[0011] Der Phasenkomparator **171** weist die D-Flip-Flop-Schaltung **174** zum Erlangen der Impulszug-Dateneingabe in den Dateneingangsanschluss D auf, wenn die Eingabe des Taktsignals Xck1 in den Eingangsanschluss **170** ansteigt, und dann zum Ausgeben dieser Impulszugdaten von dem Ausgangsanschluss Q, während solche Impulszugdaten gehalten werden; Die Inverterschaltung **175** zum Invertieren der Eingabe des Taktsignals Xck1 in den Eingangsanschluss; die D-Flip-Flop-Schaltung **176** zum Erlangen der Impulszug-Datenausgabe von dem Aus-

gangsanschluss Q der D-Flip-Flop-Schaltung **174** von dem Dateneingangsanschluss D, wenn das invertierte Signal der Ausgabe des Taktsignals Xck1 von dieser Inverterschaltung **175** ansteigt, und dann zum Ausgeben dieser Impulszugdaten von dem Ausgangsanschluss Q, während solche Impulszugdaten gehalten werden; die Exklusiv-ODER-Schaltung **177** zum Berechnen der Exklusiv-ODER-Verknüpfung zwischen der Dateneingabe des diskontinuierlichen Impulszugs in den Eingangsanschluss **169** und der Impulszug-Datenausgabe von der D-Flip-Flop-Schaltung **174**, um den Impuls W zu erzeugen; und die Exklusiv-ODER-Schaltung **178** zum Berechnen der Exklusiv-ODER-Verknüpfung zwischen dem Impulszug DATEN, der von der D-Flip-Flop-Schaltung **174** ausgegeben wird, und dem Impulszug DATEN, der von der Flip-Flop-Schaltung **176** mit Verzögerung ausgegeben wird, um den Impuls X zu erzeugen.

[0012] Dann wird, wie es in (b) der **Fig. 5** gezeigt ist, wenn die Eingabe des Taktsignals Xck1 in den Eingangsanschluss **170** ansteigt, veranlasst, dass die D-Flip-Flop-Schaltung **174** den bei (a) der **Fig. 5** gezeigten Impulszug DATEN erlangt, der in den Eingangsanschluss **169** eingegeben wird, und diesen Impulszug DATEN hält. Wenn das Taktsignal Xck1, das in den Eingangsanschluss **170** eingegeben wird, abfällt und das invertierte Signal des Taktsignals Xck1, das von der Inverterschaltung **175** ausgegeben wird, ansteigt, wird veranlasst, dass die D-Flip-Flop-Schaltung **176** den Impulszug DATEN erlangt, der von der D-Flip-Flop-Schaltung **174** ausgegeben wird, und diesen Impulszug DATEN hält. Ebenso wird parallel zu den obigen Operationen die Exklusiv-ODER-Funktion bzw. -Verknüpfung zwischen den Impulszug DATEN, der in den Eingangsanschluss **169** eingegeben wird, und dem Impulszug DATEN, der von der D-Flip-Flop-Schaltung **174** durch die Exklusiv-ODER-Schaltung **177** ausgegeben wird, berechnet, um den bei (c) der **Fig. 5** gezeigten Impuls W zu erzeugen. Ebenso wird die Exklusiv-ODER-Verknüpfung zwischen dem Impulszug DATEN, der von der D-Flip-Flop-Schaltung **174** ausgegeben wird, und dem Impulszug DATEN, der von der D-Flip-Flop-Schaltung **176** ausgegeben wird, durch die Exklusiv-ODER-Schaltung **178** berechnet, um den bei (d) der **Fig. 5** gezeigten Impuls X zu erzeugen. Dann werden diese Impulse W, X jeweils von den Ausgangsanschlüssen **179**, **180** ausgegeben, um zu den Eingangsanschlüssen **181**, **182** der Ladepumpeinheit **172** zugeführt zu werden.

[0013] Die Ladepumpeinheit **172** weist die Inverterschaltung **183** zum Invertieren des über den Eingangsanschluss **181** eingegebenen Impulses W auf; den P-Kanal-MOS-Transistor **184** zum Empfangen des von der Inverterschaltung **183** ausgegebenen Impulses W und zum EIN-Schalten, um die Spannung seines Source-Anschlusses zu der Energieversorgungsspannung  $V_{DD}$  durch die an seinen

Drain-Anschluss angelegte Energieversorgungsspannung  $V_{DD}$  nach oben zu ziehen, während der Impuls W "1" ist, d.h. der Impuls W von dem Ausgangsanschluss **179** des Phasenkomparators **171** ausgegeben wird; den N-Kanal-MOS-Transistor **185** zum Empfangen des zu dem Eingangsanschluss **182** eingegebenen Impulses X über seinen Gate-Anschluss und zum Erniedrigen der Spannung des Drain-Anschlusses auf die Erdungsspannung "0" V seines Source-Anschlusses, während dieser Impuls X "1" ist; den Kondensator **186** zum Ausführen der Ladeoperation durch die an dem Source-Anschluss des P-Kanal-MOS-Transistors **184** erzeugten Energieversorgungsspannung  $V_{DD}$ , wenn der P-Kanal-MOS-Transistor **184** in seinem EIN-Zustand ist, und auch zum Ausführen der Entladeoperation durch die an dem Drain-Anschluss des N-Kanal-MOS-Transistors **185** erzeugten Erdungsspannung, wenn der N-Kanal-MOS-Transistor **185** in seinem EIN-Zustand ist; den Widerstand **187**, der zusammen mit der Kapazität des Kondensators **186** betrieben wird, um über die Zeitkonstante der Lade/Entlade-Operationen zu entscheiden; und den Umgehungs-Kondensator **188** zum Dämpfen einer Hochfrequenzkomponente.

**[0014]** Wenn der Impuls W von dem Phasenkomparator **171** ausgegeben wird und der invertierte Impuls des Impulses W von der Inverterschaltung **183** ausgegeben wird, dann wird der P-Kanal-MOS-Transistor **184** EIN-geschaltet, und dann wird die Lade/Entlade-Schaltung **189**, die aus dem Kondensator **186** und dem Widerstand **187** besteht, geladen. Wenn der Impuls X von dem Phasenkomparator **171** ausgegeben wird, wird der N-Kanal-MOS-Transistor **185** EIN-geschaltet, und dann wird die Lade/Entlade-Schaltung **186** entladen. Somit wird, wie es bei (e) der [Fig. 5](#) gezeigt ist, das Spannungssignal gemäß einem Ausmaß an Ladung erzeugt, die im Kondensator **186** der Lade/Entlade-Schaltung **189** akkumuliert ist, und dann wird dieses Spannungssignal über den Ausgangsanschluss **190** zu dem spannungsgesteuerten Oszillator **173** zugeführt.

**[0015]** Während eines Erhöhens der Oszillationsfrequenz gemäß der Erhöhung des Spannungswertes des von der Ladepumpeinheit **172** ausgegebenen Spannungssignals und auch eines Erniedrigens der Oszillationsfrequenz gemäß der Erniedrigung des Spannungswertes des Spannungssignals führt der spannungsgesteuerte Oszillator **173** das Taktsignal Xck1, das durch die Oszillationsoperation erhalten wird, zurück zu dem Eingangsanschluss **170** des Phasenkomparators **171**, und führt auch dieses Taktsignal Xck1 zu dem System der nachfolgenden Stufe (nicht gezeigt).

**[0016]** Demgemäß wird in diesem PLL-Kreis **191** dann, wenn die Phase des in den Eingangsanschluss **170** eingegebenen Taktsignals Xck1 hinter der Phase

der Dateneingabe des diskontinuierlichen Impulzugs in den Eingangsanschluss **169** nacheilt, d.h. wenn die Anstiegszeit des Taktsignals Xck1 hinter Anstiegs/Abfall-Zeiten der Daten des diskontinuierlichen Impulzugs nacheilt, die Breite des vom Phasenkomparator **171** ausgegebenen Impulses W auf breiter als "0,5 T" eingestellt, um die Leitungsperiode des P-Kanal-MOS-Transistors **184** zu erweitern. Somit wird die Menge an Ladung, die in dem Kondensator **186** der Lade/Entlade-Schaltung **189** akkumuliert ist, nach und nach erhöht, und demgemäß wird die Oszillationsfrequenz des spannungsgesteuerten Oszillators **173** nach und nach erhöht.

**[0017]** Dann wird, wenn der Impulszug DATEN bezüglich der Phase mit dem Taktsignal Xck1 übereinstimmt, d.h. zu einem Zeitpunkt, zu welchem die Breite des vom Phasenkomparator **171** ausgegebenen Impulses W gleich "0,5 T" wird, die Menge an Ladung, die im Kondensator **186** der Lade/Entlade-Schaltung **189** akkumuliert ist, konstant gehalten, und demgemäß wird die Oszillationsfrequenz des spannungsgesteuerten Oszillators **173** fixiert.

**[0018]** Dann wird in der Situation, in welcher der Impulszug DATEN, dessen Impulsbreite auf "T" eingestellt ist, eingegeben wird, wenn die Phase des Taktsignals Xck1 vor die Phase des Impulzugs DATEN gelangt, d.h. wenn die Abfallzeit des Taktsignals Xck1 vor die Anstieg/Abfall-Zeiten der Daten des diskontinuierlichen Impulzugs gelangt, die Breite des vom Phasenkomparator **171** ausgegebenen Impulses W auf schmaler als "0,5 T" eingestellt, um die Leitungsperiode des P-Kanal-MOS-Transistors **184** zu verkürzen. Somit wird die Menge an Ladung, die in dem Kondensator **186** der Lade/Entlade-Schaltung **189** akkumuliert ist, nach und nach erniedrigt, und demgemäß wird die Oszillationsfrequenz des spannungsgesteuerten Oszillators **173** nach und nach erniedrigt.

**[0019]** Wenn der Impulszug DATEN bezüglich der Phase mit dem Taktsignal Xck1 übereinstimmt, d.h. zu einem Zeitpunkt, zu welchem die Breite des vom Phasenkomparator **171** ausgegebenen Impulses W gleich "0,5 T" wird, dann wird die Menge an Ladung, die im Kondensator **186** der Lade/Entlade-Schaltung **189** akkumuliert ist, konstant gehalten, und demgemäß wird die Oszillationsfrequenz des spannungsgesteuerten Oszillators **173** fixiert. Gegensätzlich dazu wird deshalb, weil die Exklusiv-ODER-Verknüpfung zwischen der Ausgabe der D-Flip-Flop-Schaltung **174**, die bei der führenden Flanke des Taktsignals Xck1 ausgegeben wird, und der Ausgabe der D-Flip-Flop-Schaltung **176**, die im Wesentlichen bei der hinteren Flanke des Taktsignals Xck1 ausgegeben wird, wenn die Schaltung **176** die Ausgabe der Schaltung **174** empfängt, berechnet wird, die Impulsbreite des Impulses X immer auf 0,5 T eingestellt.

**[0020]** Jedoch hat der obige PLL-Kreis **191** im Stand der Technik die im Folgenden beschriebenen Probleme.

**[0021]** Zuerst wird bei dem Phasenkomparator **171** des in [Fig. 4](#) gezeigten PLL-Kreises **191** der Wert der zu dem Dateneingangsanschluss D der D-Flip-Flop-Schaltung **174** zugeführten Impulszug DATEN bei dem Anstieg des Taktsignals Xck1 empfangen, und wird der Wert der zu dem Dateneingangsanschluss D der D-Flip-Flop-Schaltung **176** zugeführten Impulszugs DATEN (der Wert des von dem Datenausgangsanschluss Q der D-Flip-Flop-Schaltung **174** zugeführten Impulszugs DATEN) bei dem Abfall des Taktsignals Xck1 empfangen. Daher eilt der von dem Datenausgangsanschluss Q der D-Flip-Flop-Schaltung **176** ausgegebene Impulszug DATEN dem von dem Datenausgangsanschluss Q der D-Flip-Flop-Schaltung **174** ausgegebenen Impulszug DATEN um "0,5 T" nach.

**[0022]** Aus diesem Grund kann die Breite des von der Exklusiv-ODER-Schaltung **177** ausgegebenen Impulses W in Antwort auf die Differenz zwischen der Phase des Taktsignals Xck1 und der Phase des Impulszugs DATEN von "0" zu "1 T" geändert werden, wenn auch die Breite des von der Exklusiv-ODER-Schaltung **178** ausgegebenen Impulses X immer auf "0,5 T" gehalten wird. Das bedeutet, dass die Breite des Impulses X lediglich eine Bedeutung als die Referenzbreite hat, die dafür verwendet wird, zu entscheiden, ob die Breite des Impulses W kürzer oder länger als "0,5 T" ist oder nicht, und zwar auf der Seite der Ladepumpeinheit **172**.

**[0023]** Wenn die Differenz zwischen der Phase des Taktsignals Xck1 und der Phase des Impulszugs DATEN "0" ist, d.h. zu einem Zeitpunkt, zu welchem die Phasen miteinander übereinstimmen, dann werden die Breiten von sowohl dem Impuls W als auch dem Impuls X "0,5 T". Daher kann zu dieser Zeit die Ausgabe im Wesentlichen auf "0" reduziert werden, indem eine Differenz zwischen einem zeitintegrierten Wert der Breite des Impulses W und einem zeitintegrierten Wert der Breite des Impulses X berechnet wird, selbst wenn sowohl die Breite des Impulses W als auch die Breite des Impulses X abgewichen sind. Aber das Problem besteht darin, dass Auftrittszeiten des Impulses W und des Impulses X nicht gleich sind, und somit die Pulsierung des Spannungssignals groß wird, weil der Kondensator in der Periode des Impulses W geladen wird und in der Periode des Impulses X entladen wird.

**[0024]** Als Gegenmaßnahme kann dann, wenn der Wert des Widerstandes **187** und der Wert des Kondensators **186**, die beide die Ladepumpeinheit **172** bilden, erhöht werden, um die Zeitkonstante zu erhöhen, eine Variation bezüglich des Spannungswert des Spannungssignals reduziert werden, und somit

kann das Spannungssignal nahe zu dem Gleichstrom gelangen. Aber die Ansprechbarkeit bzw. Reaktionsfähigkeit, insbesondere die Übergangsreaktionsfähigkeit, wird schlechter, wenn dies erfolgt, und daher können der Wert des Widerstandes **187** und der Wert des Kondensators **186** lediglich bis zu einem gewissen Ausmaß erhöht werden.

**[0025]** Gegensätzlich dazu kann dann, wenn der Wert des Widerstandes **187** und der Wert des Kondensators **186**, die beide die Zeitkonstanten-Schaltung **189** bilden, reduziert werden, um die Zeitkonstante zu erniedrigen, die Übergangs-Reaktionsfähigkeit verbessert werden, aber die Pulsierung des Spannungswertes des Spannungssignals wird erhöht. Somit wird die Oszillationsfrequenz des spannungsgeordneten Oszillators **173** nicht stabilisiert, und es gibt eine derartige Möglichkeit, dass der Jitter bzw. die Schwankung, das falsche Ziehen, etc. auftreten.

**[0026]** Es soll angenommen sein, dass als bestimmte numerische Werte, wie es beispielsweise in [Fig. 6](#) gezeigt ist, die Kapazität des Kondensators **188**, der die Ladepumpeinheit **172** bildet, auf "20 pF" eingestellt ist, die Kapazität des Kondensators **186** auf "0,047  $\mu$ F" eingestellt ist, die Energieversorgungsspannung auf "5 V" eingestellt ist, der Wert des Widerstandes **187** auf "390  $\Omega$ " eingestellt ist und "0,5 T" auf "5 ns" eingestellt ist, und auch Lade/Entlade-Ströme des P-Kanal-MOS-Transistors **184** und des N-Kanal-MOS-Transistors **185** auf "200  $\mu$ A" eingestellt sind. Dann hat, wie es bei (e) der [Fig. 5](#) gezeigt ist, der Spannungswert des vom Ausgangsanschluss **190** der Ladepumpeinheit **172** ausgegebenen Spannungssignals die große Pulsierung.

**[0027]** Zusätzlich wird dann, wenn die Wellenform dieses Spannungssignals geprüft wird, der Spannungswert an dem Teil stark variiert, bei welchem der Impulszug DATEN fehlt, wie beim Fehlen von Spitzen. Daher wird der Spannungswert des Spannungssignals gemäß dem Muster des Impulszugs DATEN variiert, und somit gibt es die Möglichkeit, dass der heftige Jitter bzw. das heftige Zittern verursacht wird.

**[0028]** Ebenso ist es schwierig, zu veranlassen, dass der Ladestrom des P-Kanal-MOS-Transistors **184** und der Entladestrom des N-Kanal-MOS-Transistors **185** gleich perfekt sind. Somit kann dann, wenn irgendeiner von dem P-Kanal-MOS-Transistor **184** und dem N-Kanal-MOS-Transistor **185**, z.B. der Ladestrom des P-Kanal-MOS-Transistors **184**, etwas größer als der Entladestrom des N-Kanal-MOS-Transistors **185** ist, die im Kondensator **186** akkumulierte Ladung nicht vollständig entladen werden, wie es bei (e) der [Fig. 5](#) gezeigt ist. Daher wird, obwohl sowohl die Breite des Impulses W als auch die Breite des Impulses X "0,5 T" sind, der Offset bzw. Versatz erzeugt und wird der Spannungswert des Spannungssignals von dem richtigen Wert abgewichen sein.

**[0029]** Ein solches Problem ist das Problem, das den Phasenkomparatoren **171**, **159**, **168** (siehe [Fig. 2](#), [Fig. 3](#) und [Fig. 4](#)) gemeinsam ist, wobei die Auftrittszeit des Impulses W und die Auftrittszeit des Impulses X unterschiedlich sind.

**[0030]** Ebenso kann bei dem in einem solchen PLL-Kreis **191** verwendeten Phasenkomparator **171** die Breite des Impulses W gemäß der Differenz zwischen der Phase des Taktimpulses Xck1 und der Phase des Impulszugs DATEN von "0" zu "1 T" geändert werden, wenn auch der Kondensator **186** der Zeitkonstanten-Schaltung in der Periode von "0,5 T" durch den Impuls X entladen wird, der nach dem Impuls W ausgegeben wird und die Breite von "0,5 T" hat, auch nachdem ein solcher Kondensator **186** in der Periode von "1 T" geladen wird, wenn die Breite des Impulses W "1 T" wird. Als Folge davon gibt es den Nachteil, dass der Kondensator **186** nicht bis zu der Energieversorgungsspannung " $V_{DD}$ " geladen werden kann und somit die Ausgabe der Ladepumpeinheit **172** nicht erhöht werden kann.

**[0031]** Daher gibt es als dem Phasenkomparator zum Überwinden des Problems aufgrund der Verwendung eines solchen Phasenkomparators **171**, etc. im Stand der Technik, den Phasenkomparator **192**, bei welchem die Breite des Impulses, der bei der Phasenübereinstimmungsstelle ausgegeben wird, auf so klein wie möglich eingestellt werden kann und die Auftrittszeit eingestellt werden kann, um miteinander übereinzustimmen, wie es in [Fig. 7](#) gezeigt ist (Dan H. Wolaver, Phase Locked Loop Circuit Design, S. 62). Ein solcher Phasenkomparator **192** wird extensiv als der Phasenkomparator für den kontinuierlichen Impuls ohne fehlende Impuls verwendet.

**[0032]** Der in [Fig. 7](#) gezeigte Phasenkomparator **192** weist die D-Flip-Flop-Schaltung **193** zum Erlangen des "1"-Signals auf, das in den Dateneingangsanschluss D jedes Mal dann eingegeben wird, wenn der differenzierte Impulszug DATEN\_DIF (der durch Differenzieren des Impulszugs DATEN erhaltene Impulszug) in den Taktanschluss eingegeben wird und, während dieses Signal gehalten wird, zum Ausgeben dieses Signals von dem Datenausgangsanschluss Q und zum darauf folgenden Rücksetzen des gehaltenen Inhalts, um das "0"-Signal von dem Datenausgangsanschluss Q jedes Mal dann auszugeben, wenn das "1"-Signal in den Rücksetzanschluss R eingegeben wird; die D-Flip-Flop-Schaltung **194** zum Erlangen des in den Dateneingangsanschluss D eingegebenen "1"-Signals jedes Mal dann, wenn das in den Taktanschluss eingegebene Taktsignal Xck1 ansteigt, und zum Ausgeben dieses Signals von dem Datenausgangsanschluss Q, während dieses Signal gehalten wird, und zum darauf folgenden Rücksetzen des gehaltenen Inhalts, um das "0"-Signal von den Datenausgangsanschluss W jedes Mal dann auszugeben, wenn das "1"-Signal in den Rücksetz-

schluss R eingegeben wird; und die UND-Schaltung **195** zum Erzeugen des "1"-Signals zum Rücksetzen der D-Flip-Flop-Schaltungen **193**, **194**, wenn das "1"-Signal von dem Datenausgangsanschluss Q der D-Flip-Flop-Schaltung **194** ausgegeben wird, und auch das "1"-Signal von dem Datenausgangsanschluss Q der D-Flip-Flop-Schaltung **193** ausgegeben wird.

**[0033]** Dann werden, wie es bei (a) der [Fig. 8](#) gezeigt ist, in der Situation, in welcher der Impuls DATEN, dessen Impulsbreite auf "T" eingestellt ist, zugeführt wird, und auch der differenzierte Impulszug DATEN\_DIF, der durch Differenzieren des Impulszugs DATEN erhalten wird, eingegeben wird, wenn die Phase des differenzierten Impulszugs DATEN\_DIF mit der Phase des Taktsignals Xck1 übereinstimmt, wie es bei (b)(c) der [Fig. 8](#) gezeigt ist, die Impulse U2, D5, die die schmale Breite haben und miteinander synchronisiert sind, von den Datenausgangsanschlüssen D jeweils von den D-Flip-Flop-Schaltungen **193**, **194** erzeugt, um zu veranlassen, dass die Ladepumpeinheit die Ladeoperation und die Entladeoperation ausführt, wie es bei (d)(e) der [Fig. 8](#) gezeigt ist.

**[0034]** Jedoch kann, wie es bei (a) bis (e) der [Fig. 8](#) gezeigt ist, bei diesem Phasenkomparator **192** die exzellente Funktion in Bezug auf den kontinuierlichen Impulszug DATEN ohne fehlenden Impuls, wie den Impulszug DATEN, der in den Perioden A1, A2, A3, A4, A5 gezeigt ist, erreicht werden, solange nicht der fehlerhafte Impuls (der falsche Impuls) als der Impuls D5 ausgegeben wird, wenn der differenzierte Impulszug DATEN\_DIF, der durch Differenzieren des Impulszugs DATEN mit dem fehlenden Impuls, wie beispielsweise des Impulszugs DATEN, der in den Perioden B1, B2, B3 gezeigt ist, d.h. des Impulszugs DATEN mit einem fehlenden Impuls, des Impulszugs DATEN mit zwei fehlenden Impulsen, des Impulszugs DATEN mit drei fehlenden Impulsen, etc., erhalten wird, eingegeben wird.

**[0035]** Dies ist deshalb so, weil die D-Flip-Flop-Schaltung **194** zu dem Zeitpunkt des Anstiegs des Taktsignals Xck1, z.B. zu dem Zeitpunkt P1 in [Fig. 8](#), in der Periode eines fehlenden Impulses "1" liest und ausgibt, aber die Ausgabe der D-Flip-Flop-Schaltung **193** bereits auf "0" rückgesetzt worden ist, und somit das Rücksetzen durch die UND-Schaltung **195** nicht erfüllt werden kann, wodurch die Ausgabe der D-Flip-Flop-Schaltung **194** bis zu den Anstiegszeitpunkten des darauf folgenden differenzierten Impulszugs DATEN\_DIF und des Taktsignals Xck1 noch auf "1" gehalten wird, und daher der falsche Impuls mit der weiten Breite ausgegeben wird.

**[0036]** Demgemäß gibt es den Nachteil, dass ein solcher Phasenkomparator **192** den Impulszug DA-

TEN mit fehlenden Impulsen nicht handhaben kann.

#### ZUSAMMENFASSUNG DER ERFINDUNG

**[0037]** Die vorliegende Erfindung ist angesichts der obigen Umstände gemacht worden, und es ist eine Aufgabe der vorliegenden Erfindung, einen Phasenkomparator zur Verfügung zu stellen, der eine genaue Phasenvergleichsausgabe für einen Impulszug erzeugen kann, der durch die Daten in den Zahn- bzw. Spitzenfehlzustand moduliert ist, wobei eine Welligkeit der erfassten Ausgabe minimiert ist, um sie so nahe wie möglich auf Null zu reduzieren, wenn Frequenzen und Phasen miteinander übereinstimmen, wobei ein variabler Bereich der erfassten Ausgabe erhöht ist, wobei ein Jitter bzw. ein Zittern bzw. ein Schwanken reduziert ist, um eine Hochgeschwindigkeitsreaktion zu ermöglichen, und wobei eine Frequenzunterscheidungsfunktion vorgesehen ist, und eine Synchronisierungssignal-Extraktionsvorrichtung unter Verwendung desselben.

**[0038]** Zum Erreichen der obigen Aufgabe ist gemäß einem Aspekt der vorliegenden Erfindung ein Phasenkomparator zur Verfügung gestellt, der folgendes aufweist: einen Phasenvergleichsteil zum Erzeugen eines Voreilphasen-Anweisungsimpulses und eines Nacheilphasen-Anweisungsimpulses, um eine Phase eines Eingangsimpulszugs und eine Phase eines Eingangstaktsignals gemäß den Phasen aneinander anzupassen; einen Korrekturimpuls-Erzeugungsteil zum Erzeugen eines Korrekturimpulses gemäß dem Eingangsimpulszug und dem Eingangstaktsignal; und einen Rücksetzteil zum Rücksetzen des Phasenvergleichsteils durch Erzeugen eines Rücksetzimpulses gemäß dem Voreilphasen-Anweisungsimpuls und dem Nacheilphasen-Anweisungsimpuls, die vom Phasenvergleichsteil ausgegeben werden, dem von dem Korrekturimpuls-Erzeugungsteil ausgegebenen Korrekturimpuls und dem Eingangstaktsignal, dadurch gekennzeichnet, dass der Korrekturimpuls-Erzeugungsteil den Korrekturimpuls (E) erzeugt, der aufgrund eines Triggers durch das Eingangstaktsignal (Xck1) ansteigt und aufgrund eines Rücksetzens durch einen differenzierten Impulszug (DATEN-DIFF), der durch Differenzieren des Eingangsimpulszugs (DATEN) erhalten wird, abfällt, um dadurch eine Impulsbreite zu haben, die einem Impulsfehlabschnitt des Eingangsimpulszugs (DATEN) entspricht.

**[0039]** Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung ist ein Impulskorrekturteil zum Entfernen von falschen Impulsen zur Verfügung gestellt, die in dem vom Phasenvergleichsteil ausgegebenen Nacheilphasen-Anweisungsimpuls enthalten sind, basierend auf dem von dem Korrekturimpuls-Erzeugungsteil ausgegebenen Korrekturimpuls (E), und zum Ausgeben des korrigierten Nacheilphasen-Anweisungsimpulses (D4).

**[0040]** Bei einem weiteren Ausführungsbeispiel der vorliegenden Erfindung enthält der Phasenvergleichsteil eine erste Flip-Flop-Schaltung, die durch einen differenzierten Impulszug getriggert wird, der durch Differenzieren des Eingangsimpulszugs erhalten wird, um den Voreilphasen-Anweisungsimpuls auszugeben, und eine zweite Flip-Flop-Schaltung, die durch das Taktsignal getriggert wird, um den Nacheilphasen-Anweisungsimpuls auszugeben, und erzeugt der Rücksetzteil einen Rücksetzimpuls, wenn sowohl der Voreilphasen-Anweisungsimpuls als auch der Nacheilphasen-Anweisungsimpuls von dem Phasenvergleichsteil ausgegeben werden oder wenn das Eingangstaktsignal in einer Situation eingegeben wird, in welcher der Korrekturimpuls von dem Korrekturimpuls-Erzeugungsteil ausgegeben wird, und er setzt den Voreilphasen-Anweisungsimpuls und den Nacheilphasen-Anweisungsimpuls durch Rücksetzen der jeweiligen Flip-Flop-Schaltungen zurück, die den Phasenvergleichsteil bilden.

**[0041]** Bei einem weiteren Ausführungsbeispiel der vorliegenden Erfindung enthält der Phasenvergleichsteil eine erste Flip-Flop-Schaltung, die durch einen differenzierten Impulszug getriggert wird, der durch Differenzieren des Eingangsimpulszugs erhalten wird, um den Voreilphasen-Anweisungsimpuls auszugeben, und eine zweite Flip-Flop-Schaltung, die durch das Eingangstaktsignal getriggert wird, um den Nacheilphasen-Anweisungsimpuls auszugeben, und erzeugt der Rücksetzteil einen Rücksetzimpuls, wenn sowohl der Voreilphasen-Anweisungsimpuls als auch der Nacheilphasen-Anweisungsimpuls von dem Phasenvergleichsteil ausgegeben werden, und er setzt den Voreilphasen-Anweisungsimpuls und den Nacheilphasen-Anweisungsimpuls durch Rücksetzen der jeweiligen Flip-Flop-Schaltungen zurück, die den Phasenvergleichsteil bilden, oder er erzeugt einen Rücksetzimpuls, wenn das Eingangstaktsignal in einer Situation eingegeben wird, in welcher der Korrekturimpuls von dem Korrekturimpuls-Erzeugungsteil ausgegeben wird, und er setzt den Nacheilphasen-Anweisungsimpuls durch Rücksetzen der zweiten Flip-Flop-Schaltung zurück, die den Phasenvergleichsteil bildet.

**[0042]** Bei einem weiteren Ausführungsbeispiel der vorliegenden Erfindung erzeugt der Phasenvergleichsteil den Voreilphasen-Anweisungsimpuls und den Nacheilphasen-Anweisungsimpuls durch Verwenden eines differenzierten Impulszugs, der durch Differenzieren von sowohl einem Anstieg als auch einem Abfall des Eingangsimpulszugs erhalten wird, und er wählt Teile aus und gibt diese aus, die wenigstens einer aus einer Periode hohen Pegels und einer Periode niedrigen Pegels des Eingangsimpulszugs entsprechen, und zwar aus dem Voreilphasen-Anweisungsimpuls und dem Nacheilphasen-Anweisungsimpuls.

**[0043]** Zum Erreichen der obigen Aufgabe ist gemäß einem weiteren Aspekt der vorliegenden Erfindung eine Synchronisierungssignal-Extraktionsvorrichtung zur Verfügung gestellt, die folgendes aufweist:

einen Phasenkomparator nach Anspruch 2;  
eine Ladepumpeinheit zum Erhöhen eines Spannungswerts eines Ausgangsspannungssignals durch Ausführen einer Ladeoperation, wenn der Voreilphasen-Anweisungsimpuls (U4) von dem Phasenkomparator eingegeben wird, und zum Erniedrigen des Spannungswerts des Ausgangsspannungssignals durch Ausführen einer Entladeoperation, wenn der Nacheilphasen-Anweisungsimpuls (D4) vom Phasenkomparator eingegeben wird; und  
einen spannungsgesteuerten Oszillator zum Empfangen des von der Ladepumpeinheit ausgegebenen Spannungssignals, zum Erzeugen eines Taktsignals mit einer Frequenz, die sich erhöht, wenn sich der Spannungswert des Spannungssignals erhöht, und zum Zuführen des erzeugten Taktsignals zum Phasenkomparator.

**[0044]** Gemäß den obigen Konfigurationen kann das genaue Synchronisierungssignal in Bezug auf den Impulszug erzeugt werden, der in den Zustand mit fehlender Spitze gebracht wird, und zwar aufgrund einer Modulation durch Daten, während die Anzahl von Teilen reduziert wird. Ebenso kann die Pulsierung der erfassten Ausgabe auf so gering wie möglich bis zu Null zu dem Zeitpunkt minimiert werden, zu welchem das Synchronisierungssignal mit der angepassten Frequenz und der angepassten Phase erhalten wird, und der variable Bereich der erfassten Ausgabe kann erweitert werden. Als Ergebnis kann der frequenzvariable Bereich des Synchronisierungssignals erweitert werden, um die Hochgeschwindigkeitsantwort zu ermöglichen, und auch die Frequenzunterscheidungsfunktion kann zur Verfügung gestellt werden.

**[0045]** Die Art, das Prinzip und die Nützlichkeit der Erfindung werden aus der folgenden detaillierten Beschreibung offensichtlich werden, wenn sie in Zusammenhang mit den beigefügten Zeichnungen gelesen wird.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

**[0046]** In den beigefügten Zeichnungen gilt:

**[0047]** [Fig. 1](#) ist ein Blockdiagramm, das ein Beispiel eines normalen PLL-Kreises zeigt;

**[0048]** [Fig. 2](#) ist ein Schaltungsdiagramm, das ein Beispiel eines im Stand der Technik verwendeten normalen Phasenkomparators zeigt;

**[0049]** [Fig. 3](#) ist ein Schaltungsdiagramm, das ein weiteres Beispiel eines im Stand der Technik verwen-

deten normalen Phasenkomparators zeigt;

**[0050]** [Fig. 4](#) ist ein Schaltungsdiagramm, das ein Beispiel eines PLL-Kreises zeigt, der den in [Fig. 2](#) gezeigten Phasenkomparator verwendet;

**[0051]** [Fig. 5](#) ist ein Wellenformdiagramm, das ein Beispiel eines Betriebs des in [Fig. 4](#) gezeigten PLL-Kreises zeigt;

**[0052]** [Fig. 6](#) ist ein schematisches Schaltungsdiagramm, das ein Beispiel von bestimmten Schaltungskonstanten einer in [Fig. 4](#) gezeigten Ladepumpeinheit zeigt;

**[0053]** [Fig. 7](#) ist ein Schaltungsdiagramm, das ein Beispiel eines im Stand der Technik vorgeschlagenen Phasenkomparators zeigt;

**[0054]** [Fig. 8](#) ist ein Zeitdiagramm, das ein Beispiel eines Betriebs des in [Fig. 7](#) gezeigten Phasenkomparators zeigt;

**[0055]** [Fig. 9](#) ist ein Blockdiagramm, das ein Beispiel einer Synchronisierungssignal-Extraktionsvorrichtung im Stand der Technik zeigt;

**[0056]** [Fig. 10](#) ist ein Schaltungsdiagramm, das eine detaillierte Konfiguration der in [Fig. 9](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung zeigt;

**[0057]** [Fig. 11](#) ist ein Schaltungsdiagramm, das einen Phasenkomparator und eine Synchronisierungssignal-Extraktionsvorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung zeigt;

**[0058]** [Fig. 12](#) ist ein Zeitdiagramm, das ein Beispiel eines Betriebs zeigt, der dann ausgeführt wird, wenn ein in die in [Fig. 11](#) gezeigte Synchronisierungssignal-Extraktionsvorrichtung eingegebener Impulszug mit einem durch diese Synchronisierungssignal-Extraktionsvorrichtung erzeugten Taktsignal synchronisiert wird;

**[0059]** [Fig. 13](#) ist ein schematisches Diagramm, das ein Beispiel einer Wellenform zeigt, die dann erhalten wird, wenn der in die in [Fig. 11](#) gezeigte Synchronisierungssignal-Extraktionsvorrichtung eingegebene Impulszug mit dem durch diese Synchronisierungssignal-Extraktionsvorrichtung erzeugten Taktsignal synchronisiert wird;

**[0060]** [Fig. 14](#) ist ein Zeitdiagramm, das ein Beispiel eines Betriebs zeigt, der dann ausgeführt wird, wenn eine Phase des differenzierten Impulses des in die in [Fig. 11](#) gezeigte Synchronisierungssignal-Extraktionsvorrichtung eingegebenen Impulszugs hinter einer Phase des durch diese Synchronisierungssignal-Extraktionsvorrichtung erzeugten Taktsignals

nacheilt;

[0061] [Fig. 15](#) ist ein Zeitdiagramm, das ein Beispiel eines Betriebs zeigt, der dann ausgeführt wird, wenn eine Phase des differenzierten Impulses des in die in [Fig. 11](#) gezeigte Synchronisierungssignal-Extraktionsvorrichtung eingegebenen Impulszugs einer Phase des durch diese Synchronisierungssignal-Extraktionsvorrichtung erzeugten Taktsignals voreilt;

[0062] [Fig. 16](#) ist ein Zeitdiagramm, das ein Beispiel eines Betriebs zeigt, der dann ausgeführt wird, wenn eine Frequenz des lokalen Takts eines spannungsgesteuerten Oszillators (VCO), der in die in [Fig. 11](#) gezeigte Synchronisierungssignal-Extraktionsvorrichtung eingegeben wird, um "10%" erhöht wird;

[0063] [Fig. 17](#) ist ein Zeitdiagramm, das ein Beispiel eines Betriebs zeigt, der dann ausgeführt wird, wenn eine Frequenz des lokalen Taktes eines spannungsgesteuerten Oszillators (VCO), der in die in [Fig. 11](#) gezeigte Synchronisierungssignal-Extraktionsvorrichtung eingegeben wird, um "10%" erniedrigt wird;

[0064] [Fig. 18](#) ist ein Schaltungsdiagramm, das einen Phasenkomparator gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung zeigt;

[0065] [Fig. 19](#) ist ein Schaltungsdiagramm, das einen Phasenkomparator gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung zeigt;

[0066] [Fig. 20](#) ist ein Blockdiagramm, das eine Synchronisierungssignal-Extraktionsvorrichtung gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung zeigt;

[0067] [Fig. 21](#) ist ein Schaltungsdiagramm, das eine detaillierte Konfiguration der in [Fig. 20](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung zeigt;

[0068] [Fig. 22](#) ist ein Zeitdiagramm, das den Fall zeigt, in welchem Frequenzen und Phasen zwischen einem differenzierten Impuls eines Impulszugs DATEN und einem Taktsignal Xck miteinander übereinstimmen;

[0069] [Fig. 23](#) ist ein Zeitdiagramm, das den Fall zeigt, in welchem das Taktsignal Xck dem differenzierten Impuls des Impulszugs DATEN um  $0,25 T$  voreilt;

[0070] [Fig. 24](#) ist ein Zeitdiagramm, das den Fall zeigt, in welchem das Taktsignal Xck hinter dem Impulszug DATEN um  $0,25 T$  nacheilt;

[0071] [Fig. 25](#) ist ein Zeitdiagramm, das den Fall zeigt, in welchem eine Frequenz  $fxck$  des Taktsignal Xck auf höher als die Bit-Taktfrequenz des Impuls-

zugs DATEN eingestellt ist (zweifaches einer Datenfrequenz maximaler Dichte)( $fxck = 1,25 fb$ );

[0072] [Fig. 26](#) ist ein Zeitdiagramm, das den Fall zeigt, in welchem die Frequenz  $fxck$  des Taktsignals Xck auf niedriger als die Frequenz  $fb$  des Impulszugs DATEN eingestellt wird ( $fxck = (1/1,25) fb = 0,8 fb$ );

[0073] [Fig. 27](#) ist ein Schaltungsdiagramm, in welchem ein Verfahren zum Rücksetzen eines Korrekturimpuls-Erzeugungsteils in der in [Fig. 21](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung modifiziert ist;

[0074] [Fig. 28](#) ist ein Zeitdiagramm, das einen Betrieb zeigt, der dann ausgeführt wird, wenn eine falsche Verriegelung in der in [Fig. 21](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung verursacht wird; und

[0075] [Fig. 29](#) ist ein Zeitdiagramm, das einen Betrieb zeigt, um die falsche Verriegelung in der in [Fig. 27](#) gezeigten modifizierten Synchronisierungssignal-Extraktionsvorrichtung nicht zu veranlassen,

[0076] [Fig. 30](#) ist ein Schaltungsdiagramm, in welchem ein Korrekturimpuls-Erzeugungsteil in der in [Fig. 27](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung modifiziert ist;

[0077] [Fig. 31](#) ist ein Zeitdiagramm, das den Fall zeigt, in welchem das Taktsignal Xck bezüglich einer Phase um  $0,2 T$  gegenüber dem differenzierten Impulszug DATEN\_DIF voreilt, so dass kein falscher Impuls in dem Signal des Impulses DL1 in der in [Fig. 27](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung erscheint;

[0078] [Fig. 32](#) ist ein Zeitdiagramm, das den Fall zeigt, in welchem das Taktsignal Xck bezüglich der Phase um  $0,5 T$  gegenüber dem differenzierten Impulszug DATEN\_DIF voreilt, so dass falsche Impulse in dem Signal des Impulses DL1 in der in [Fig. 27](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung erscheinen;

[0079] [Fig. 33](#) ist ein Zeitdiagramm, das den Fall zeigt, in welchem die Frequenz des Taktsignals Xck höher als diejenige des differenzierten Impulszugs DATEN\_DIF ist, so dass falsche Impulse in dem Signal eines Impulses DL1 in der in [Fig. 27](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung erscheinen;

[0080] [Fig. 34](#) ist ein Zeitdiagramm, das den Fall zeigt, in welchem die Frequenz des Taktsignals Xck höher als diejenige des differenzierten Impulszugs DATEN\_DIF ist, so dass falsche Impulse in dem Signal eines Impulses DL1 in der in [Fig. 27](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung er-

scheinen;

[0081] [Fig. 35](#) ist ein Zeitdiagramm, das einen Betrieb der in [Fig. 30](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung zeigt, wo kein falscher Impuls erscheint, selbst wenn das Taktsignal Xck1 bezüglich der Phase um  $0,5 T$  gegenüber dem differenzierten Impulszug DATEN\_DIF voreilt;

[0082] [Fig. 36](#) ist ein Zeitdiagramm, das einen Betrieb der in [Fig. 30](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung zeigt, wo kein falscher Impuls erscheint, selbst wenn die Frequenz des Taktsignals Xck1 höher als diejenige des differenzierten Impulszugs DATEN\_DIF ist;

[0083] [Fig. 37](#) ist ein Zeitdiagramm, das einen Betrieb der in [Fig. 30](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung zeigt, wo kein falscher Impuls erscheint, selbst wenn die Frequenz des Taktsignals Xck1  $9/8$ -mal so hoch wie diejenige des differenzierten Impulszugs DATEN\_DIF ist;

[0084] [Fig. 38](#) ist ein Schaltungsdiagramm, in welchem ein Korrekturimpuls-Erzeugungsteil in der in [Fig. 27](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung modifiziert ist;

[0085] [Fig. 39](#) ist ein Zeitdiagramm, das einen Betrieb der in [Fig. 38](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung zeigt, wo kein falscher Impuls erscheint, selbst wenn das Taktsignal Xck1 bezüglich der Phase um  $0,5 T$  gegenüber dem differenzierten Impulszug DATEN\_DIF voreilt;

[0086] [Fig. 40](#) ist ein Zeitdiagramm, das einen Betrieb der in [Fig. 38](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung zeigt, wo kein falscher Impuls erscheint, selbst wenn die Frequenz des Taktsignals Xck1 so hoch wie ein Zweifaches von derjenigen des differenzierten Impulszugs DATEN\_DIF ist;

[0087] [Fig. 41](#) ist ein Zeitdiagramm, das einen Betrieb der in [Fig. 38](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung zeigt, wo kein falscher Impuls erscheint, selbst wenn die Frequenz des Taktsignals Xck1 so hoch wie  $9/8$ -mal wie diejenige des differenzierten Impulszugs DATEN\_DIF ist; und

[0088] [Fig. 42](#) ist ein Zeitdiagramm, das einen Betrieb der in [Fig. 38](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung zeigt, wo falsche Impulse unter einem bestimmten Zustand der Frequenzen des Taktsignals Xck1 und des differenzierten Impulszugs DATEN\_DIF und der Verzögerungszeit der Verzögerungsschaltungen erscheinen.

## BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSBEISPIELE

[0089] Hierin nachfolgend werden Ausführungsbeispiele der vorliegenden Erfindung unter Bezugnahme auf die beigefügten Zeichnungen detailliert erklärt werden.

<<Erklärung der Konfiguration>>

[0090] [Fig. 11](#) ist ein Schaltungsdiagramm, das einen Phasenkomparator und eine Synchronisierungssignal-Extraktionsvorrichtung unter Verwendung dieses Phasenkomparators gemäß einem Ausführungsbeispiel der vorliegenden Erfindung zeigt.

[0091] Die in [Fig. 11](#) gezeigte Synchronisierungssignal-Extraktionsvorrichtung **1** weist folgendes auf: einen Differenzierer **3** zum Differenzieren und Invertieren des diskontinuierlichen Impulszugs DATEN, der zu einem Eingangsanschluss **2** eingegeben wird; einen Phasenkomparator **9** zum Vergleichen der Frequenz und der Phase des diskontinuierlichen differenzierten Impulszugs DATEN\_DIF, der von einem Ausgangsanschluss **4** des Differenzierers **3** ausgegeben und dann in einen Eingangsanschluss **5** eingegeben wird, mit der Frequenz und der Phase des Taktsignals Xck1, um Impulse U4, D4 mit einer Breite gemäß diesem Vergleichsergebnis zu erzeugen, und zum darauf folgenden Ausgeben von ihnen von jeweiligen Ausgangsanschlüssen **7**, **8**; eine Ladepumpeinheit **12** zum Erhöhen eines Spannungswerts eines Spannungssignals durch Ausführen einer Ladeoperation, wenn der Impuls U4 von dem Ausgangsanschluss **7** des Phasenkomparators **9** ausgegeben und dann in einen Eingangsanschluss **10** eingegeben wird, oder zum Reduzieren des Spannungswerts des Spannungssignals durch Ausführen einer Entladeoperation, wenn der Impuls D4 von dem Ausgangsanschluss **8** des Phasenkomparators **9** ausgegeben und dann in einen Eingangsanschluss **11** eingegeben wird; und einen spannungsgesteuerten Oszillator **14** zum Erhöhen der Oszillationsfrequenz gemäß der Erhöhung des Spannungswerts des Spannungssignals, das von einem Ausgangsanschluss **13** der Ladepumpeinheit **12** ausgegeben wird, oder zum Erniedrigen der Oszillationsfrequenz gemäß der Erniedrigung des Spannungswerts des Spannungssignals, um dann das Taktsignal Xck1 zu erzeugen.

[0092] Dann werden in dieser Synchronisierungssignal-Extraktionsvorrichtung **1** die Phase des diskontinuierlichen Eingangsimpulszugs DATEN und die Phase des erzeugten Taktsignals Xck1 miteinander verglichen, dann werden die Oszillationsfrequenz und die Phase des spannungsgesteuerten Oszillators **14** basierend auf diesem Vergleichsergebnis so gesteuert, dass die Phase des diskontinuierlichen Eingangsimpulszugs DATEN mit der Phase des Taktsignals Xck1 übereinstimmen kann, und das Taktsig-

nal Xck1, das bezüglich der Phase mit dem diskontinuierlichen Eingangsimpulszugs DATEN übereinstimmt, erzeugt wird.

**[0093]** Der Differenzierer **3** enthält eine Verzögerungsschaltung **15** und eine Exklusiv-NOR-Schaltung. Die Verzögerungsschaltung **15** besteht aus einer Übertragungsleitung, einer Mehrfachstufen-Gatterschaltung, einer Integrationsschaltung unter Verwendung von Widerständen, Kondensatoren, etc. oder ähnlichem, und empfängt einen in den Eingangsanschluss **2** eingegebenen diskontinuierlichen Impulszug DATEN und verzögert ihn dann um eine Zeit, wie z.B. entsprechend der 1/2 Breite der minimalen Impulsbreite. Die Exklusiv-NOR-Schaltung **16** berechnet die Exklusiv-ODER-Verknüpfung zwischen dem in den Eingangsanschluss **2** eingegebenen diskontinuierlichen Impulszug DATEN und dem von der Verzögerungsschaltung **15** ausgegebenen verzögerten Impulszug DATEN, erzeugt dann den differenzierten Impulszug DATEN\_DIF, der aus den Impulsen besteht, die eine Breite entsprechend der Verzögerungszeit der Verzögerungsschaltung **19** in Bezug auf die Breite der Impulse im Impulszug DATEN haben und invertiert sind, und gibt dann diese aus dem Ausgangsanschluss **4** aus, um sie zu dem Eingangsanschluss **5** des Phasenkomparators **9** zuzuführen.

**[0094]** Der Phasenkomparator **9** enthält einen Phasenkomparatorteil **17**, einen Korrekturimpuls-Erzeugungsteil **18**, einen Rücksetzteil **19** und einen Impulskorrekturteil **20**. Der Phasenkomparatorteil **17** vergleicht die Frequenz und die Phase des differenzierten Impulszugs DATEN\_DIF, der in den Eingangsanschluss **8** eingegeben wird, mit der Frequenz und der Phase des Taktsignals Xck1, das in den Eingangsanschluss **6** eingegeben wird, und erzeugt dann einen Impuls U4 (einen Voreilphasen-Anweisungs-(Ladeanweisungs-)-Impuls) oder einen Impuls D4a (einen Nacheilphasen-Anweisungs-(Entladeanweisungs-)-Impuls) gemäß diesem Vergleichsergebnis. Der Korrekturimpuls-Erzeugungsteil **18** erzeugt einen Korrekturimpuls E basierend auf dem Taktsignal Xck1, das in den Eingangsanschluss **6** eingegeben wird, und den differenzierten Impulszug DATEN\_DIF, der in den Eingangsanschluss **5** eingegeben wird. Der Rücksetzteil **19** setzt den Phasenkomparatorteil **17** basierend auf dem von dem Korrekturimpuls-Erzeugungsteil **18** ausgegebenen Impuls E, dem in den Eingangsanschluss **6** eingegebenen Taktsignal Xck1 und den vom Phasenkomparatorteil **17** ausgegebenen Impulsen U4, D4a zurück. Der Impulskorrekturteil **20** entfernt den in dem Impuls D4a enthaltenen falschen Impuls durch Verwenden des Korrekturimpulses E basierend auf dem Impuls E, der von dem Korrekturimpuls-Erzeugungsteil **18** ausgegeben wird.

**[0095]** Der Phasenkomparatorteil **17** besteht aus zwei D-Flip-Flop-Schaltungen **21**, **22**. Die

D-Flip-Flop-Schaltung **21** erlangt das "1"-Signal, das in den Dateneingangsanschluss D eingegeben wird, jedes Mal dann, wenn der differenzierte Impulszug DATEN\_DIF, der über den Eingangsanschluss **5** in den Taktanschluss eingegeben wird, erhöht wird, und gibt dann dieses "1"-Signal von dem Datenausgangsanschluss Q aus, während eines Haltens von ihm, und setzt dann den gehaltenen Inhalt zurück, um dann das "0"-Signal von dem Datenausgangsanschluss Q jedes Mal dann auszugeben, wenn das "0"-Signal (das "1"-Signal bei der negativen Logik) in den Rücksetzanschluss R eingegeben wird. Die D-Flip-Flop-Schaltung **22** erlangt das "1"-Signal, das in den Dateneingangsanschluss D eingegeben wird, jedes Mal dann, wenn das Taktsignal Xck1, das über den Eingangsanschluss **6** in den Taktanschluss eingegeben wird, erhöht wird, und gibt dann dieses "1"-Signal von dem Datenausgangsanschluss Q aus, während eines Haltens von ihm, und setzt dann den gehaltenen Inhalt zurück, um dann das "0"-Signal von dem Datenausgangsanschluss Q jedes Mal dann auszugeben, wenn das "0"-Signal (das "1"-Signal bei der negativen Logik) in den Rücksetzanschluss R eingegeben wird.

**[0096]** Der Korrekturimpuls-Erzeugungsteil **18** enthält eine Inverterschaltung **23** und eine D-Flip-Flop-Schaltung **24**. Die Inverterschaltung **23** ist eine Schaltung zum Invertieren des Taktsignals Xck1, das in den Eingangsanschluss **6** eingegeben wird. Die D-Flip-Flop-Schaltung **24** erlangt das "1"-Signal, das in den Dateneingangsanschluss D eingegeben wird, jedes Mal dann, wenn das von der Inverterschaltung **23** ausgegebene invertierte Taktsignal Xck1 erhöht wird, und gibt dieses Signal von dem Datenausgangsanschluss Q aus, während eines Haltens von diesem, und setzt auch den gehaltenen Inhalt zurück, um dann das "0"-Signal von dem Datenausgangsanschluss Q jedes Mal dann zurückzusetzen, wenn der differenzierte Impulszug DATEN\_DIF, der in den Eingangsanschluss **5** eingegeben wird, "1" ist, und somit wird das "0"-Signal (das "1"-Signal bei der negativen Logik) in den Rücksetzanschluss R eingegeben.

**[0097]** Der Rücksetzteil **19** enthält zwei UND-Schaltungen **25**, **26** und eine NOR-Schaltung **27**. Die UND-Schaltung **25** berechnet das logische Produkt auf den Impulsen U4, D4a, die jeweils von den D-Flip-Flop-Schaltungen **21**, **22** des Phasenkomparatorteils **17** ausgegeben werden. Die UND-Schaltung **26** berechnet das logische Produkt aus den in den Eingangsanschluss **6** eingegebenen Taktsignal Xck1 und dem von der D-Flip-Flop-Schaltung **24** des Korrekturimpuls-Erzeugungsteils **18** ausgegebenen Impuls E. Die NOR-Schaltung **27** berechnet die logische Summe aus den berechneten Ergebnissen der UND-Schaltungen **25**, **26** und invertiert sie dann.

**[0098]** Der Impulskorrekturteil **20** enthält einen In-

verterschaltung **28** und eine UND-Schaltung **29**. Die Inverterschaltung **28** invertiert den Impuls E, der von der D-Flip-Flop-Schaltung **24** des Korrekturimpuls-Erzeugungsteils **18** ausgegeben wird. Die UND-Schaltung **29** berechnet das logische Produkt aus dem invertierten Signal des von der Inverterschaltung **28** ausgegebenen Impulses E und dem von der D-Flip-Flop-Schaltung **22** des Phasenkomparators **17** ausgegebenen Impuls D4a. Der Impulskorrekturteil **20** veranlasst, dass die Inverterschaltung **28** den Impuls E, der von der D-Flip-Flop-Schaltung **24** des Korrekturimpuls-Erzeugungsteils **18** ausgegeben wird, invertiert, und erlangt den Impuls D4a, der von der D-Flip-Flop-Schaltung **22** des Phasenkomparators **17** ausgegeben wird, wenn das invertierte Signal des Impulses E "1" ist, und führt dann diesen Impuls zum Eingangsanschluss **11** der Ladepumpeinheit **12** als den Impuls D4 zu. Das bedeutet, dass verhindert wird, dass D4a zum Anschluss **8** ausgegeben wird, während E "1" ist.

**[0099]** Die Ladepumpeinheit **12** enthält eine Inverterschaltung **30**, einen P-Kanal-MOS-Transistor **31**, einen N-Kanal-MOS-Transistor **32**, einen Kondensator **33**, einen Widerstand **34** und einen Kondensator **35**. Die Inverterschaltung **30** invertiert den über den Eingangsanschluss **10** eingegebenen Impuls U4. Der P-Kanal-MOS-Transistor **31** empfängt das invertierte Signal des von der Inverterschaltung **30** ausgegebenen Impulses U4 über den Gate-Anschluss und schaltet auf EIN, um die Spannung des Source-Anschlusses auf die Energieversorgungsspannung  $V_{DD}$  durch Verwenden der Energieversorgungsspannung  $V_{DD}$  nach oben zu ziehen, die an den Drain-Anschluss angelegt ist, während das invertierte Signal des Impulses U4 "0" ist, d.h. während der Impuls U4 vom Ausgangsanschluss **7** des Phasenkomparators **9** ausgegeben wird. Der N-Kanal-MOS-Transistor **32** empfängt den Impuls D4, der in den Eingangsanschluss **11** eingegeben wird, über den Gate-Anschluss, und reduziert auch die Spannung des Drain-Anschlusses auf die Erdungsspannung "0" des Source-Anschlusses, während dieser Impuls D4 "1" ist. Der Kondensator **33** führt eine Ladeoperation durch die Energieversorgungsspannung  $V_{DD}$  aus, die an dem Source-Anschluss des P-Kanal-MOS-Transistors **31** erzeugt wird, wenn der P-Kanal-MOS-Transistor **31** in seinem leitenden Zustand ist, und führt eine Entladeoperation durch die an dem Drain-Anschluss des N-Kanal-MOS-Transistors **32** erzeugte Erdungsspannung aus, wenn der N-Kanal-MOS-Transistor **32** in seinem leitenden Zustand ist. Ebenso hat der Kondensator **33** die Operation zum Halten der verglichenen Ausgangsspannung bei der Phasenübereinstimmungsstelle. Der Widerstand **34** sowie die Kapazität des Kondensators **33** entscheiden über die Zeitkonstante. Der Kondensator **35** ist ein Umgehungskondensator, der eine Hochfrequenzkomponente dämpft und den Spannungswert des erzeugten Spannungssignals stabilisiert.

**[0100]** Während eines Erhöhens der Oszillationsfrequenz gemäß der Erhöhung des Spannungswerts des von der Ladepumpeinheit **12** ausgegebenen Spannungssignals und auch während eines Erniedrigens der Oszillationsfrequenz gemäß der Erniedrigung des Spannungswerts des Spannungssignals führt der spannungsgesteuerte Oszillator **14** das Taktsignal Xck1, das durch die Oszillationsoperation erhalten wird, zu dem Eingangsanschluss **6** des Phasenkomparators **9** zurück und führt auch dieses Taktsignal Xck1 zu dem System der nachfolgenden Stufe (nicht gezeigt) zu.

<<Erklärung des Betriebs>>

**[0101]** Dann wird hierin nachfolgend ein Betrieb dieser Synchronisierungssignal-Extraktionsvorrichtung unter Bezugnahme auf das in [Fig. 11](#) gezeigte Schaltungsdiagramm und in [Fig. 12](#) bis [Fig. 17](#) gezeigte Zeitdiagramme detailliert erklärt werden.

<Der Fall bei welchem Phasen des differenzierten Impulszuges und des Taktsignals miteinander übereinstimmen>

**[0102]** In [Fig. 12](#) zeigen die Perioden A11, A12, A13, A14, A15 den Zustand, in welchem jeweils kein fehlender Impuls existiert, und zeigen die Perioden B11, B12, B13 den Zustand, in welchem jeweils ein Impuls, zwei Impulse und drei Impulse fehlen.

**[0103]** Die D-Flip-Flop-Schaltung **24** des Korrekturimpuls-Erzeugungsteils **18** liest "1" und gibt dies aus, wenn das in den Eingangsanschluss **6** eingegebene Taktsignal Xck1 abgefallen ist, und wird auf "0" rückgesetzt, wenn der differenzierte Impulszug DATEN\_DIF auf dem niedrigen Pegel "0" ist, der durch Differenzieren des in den Eingangsanschluss **2** eingegebenen Impulszugs DATEN durch den Differenzierer **3** erhalten und in den Eingangsanschluss **5** eingegeben wird. Demgemäß ist, wie es durch den Impuls E in (d) der [Fig. 12](#) gezeigt ist, in den Perioden, wie beispielsweise B11, B12, B13, etc., in welchen das Fehlen eines Impulses auftritt, der differenzierte Impulszug DATEN\_DIF zur Zeit eines Abfallens "1", weshalb der Impuls mit der weiten Breite entsprechend der Periode für fehlende Impulse erzeugt wird.

**[0104]** Die D-Flip-Flop-Schaltung **21** wird beim Ansteigen des differenzierten Impulszugs DATEN\_DIF getriggert, der in den Eingangsanschluss **5** eingegeben wird, und liest somit "1" und gibt dies aus. Die D-Flip-Flop-Schaltung **22** wird bei der Anstiegsflanke des in den Eingangsanschluss **6** eingegebenen Taktsignals Xck1 getriggert und liest somit "1" und gibt dies aus. Da die Ausgaben von diesen D-Flip-Flop-Schaltungen **21**, **22** in die UND-Schaltung **25** des Rücksetzteils **19** eingegeben werden, werden beide D-Flip-Flop-Schaltungen **21**, **22** über

die NOR-Schaltung **27** rückgesetzt, wenn beide Eingänge der UND-Schaltung **25** "1" sind. Gleichermaßen werden deshalb, weil eine Ausgabe der Verzögerungs-Flip-Flop-Schaltung **24**, d.h. der Impuls E und das Signal, die in den Eingangsanschluss **6** eingegeben werden, d.h. das Taktsignal Xck1, mit der UND-Schaltung **26** des Rücksetzteils **19** verbunden ist, beide D-Flip-Flop-Schaltungen **21**, **22** über die NOR-Schaltung **27** rückgesetzt, wenn beide Eingänge der UND-Schaltung **26** "1" sind.

**[0105]** Daher können in den Perioden, wie beispielsweise A11, A12, A13, etc., in welchen kein Fehlen von Impulsen auftritt, da der in (d) der [Fig. 12](#) gezeigte Impuls E beim Ansteigen des Taktsignals Xck1 "0" ist, nur die UND-Schaltung **25** und die NOR-Schaltung **27** im Rücksetzteil **19** im Wesentlichen funktionieren.

**[0106]** Zwischenzeitlich liest in den Perioden, wie beispielsweise B11, B12, B13, etc., in welchen das Fehlen von Impulsen auftritt, die D-Flip-Flop-Schaltung **21** "1" beim Ansteigen des Taktsignals Xck1 und gibt dies aus. Jedoch deshalb, weil in diesen Perioden der Impuls E "1" ist und auch das Taktsignal Xck1 "1" ist, werden beide D-Flip-Flop-Schaltungen **21**, **22** über die UND-Schaltung **26** und die NOR-Schaltung **27** im Rücksetzteil **19** rückgesetzt. In diesem Fall ist die D-Flip-Flop-Schaltung **21** bereits rückgesetzt worden, aber es tritt selbst dann kein Problem auf, wenn die Schaltung **21** noch einmal rückgesetzt wird. Somit werden während einer Periode fehlender Impulse die D-Flip-Flop-Schaltungen **21** und **22** beide rückgesetzt, so dass durch diesen Phasenkomparator keine Entscheidung getroffen wird. Als Ergebnis sind die Ausgangswellenformen der D-Flip-Flop-Schaltungen **21**, **22** als der in (e) der [Fig. 12](#) gezeigte Impuls U4 und der in (g) der [Fig. 12](#) gezeigte Impuls D4a gegeben.

**[0107]** Jedoch wird bei dem bei (g) der [Fig. 12](#) gezeigten Impuls D4a der als der "falsche Impuls" bezeichnete Impuls in der Periode fehlender Impulse erzeugt, und entspricht somit nicht dem bei (e) der [Fig. 12](#) gezeigten Impuls U4, und solche Impulse müssen entfernt werden. Aus diesem Grund wird in [Fig. 11](#) die Ausgabe der D-Flip-Flop-Schaltung **24**, d.h. der Impuls E, durch die Inverterschaltung **28** im Impulskorrekturteil **20** invertiert und dann mit einem Eingang der UND-Schaltung **29** und dem Ausgang der D-Flip-Flop-Schaltung **22** verbunden, d.h. der Impuls D4a wird mit dem anderen Eingang der UND-Schaltung **29** verbunden, und dann wird der Ausgang der UND-Schaltung **29** mit dem Ausgangsanschluss **8** verbunden, um als der Impuls D4a zu dienen. Gemäß einer solchen Konfiguration, wie sie durch den Impuls D4 bei (f) der [Fig. 12](#) gezeigt ist, kann der falsche Impuls durch Verhindern der Ausgabe des Impulses D4a entfernt werden, während der Impuls E "1" ist, d.h. in der Periode fehlender Impul-

se, so dass der Impuls D4, der dem Impuls U4 entspricht, erzeugt werden kann. Da der Impuls U4 und der Impuls D4 gleichzeitig erzeugt werden und die Impulsbreite schmal ist, kann die Pulsierung der Spannung in der Ladepumpeinheit **12** in der nachfolgenden Stufe auf so gering wie möglich unterdrückt werden, und somit kann die Synchronisierungsvorrichtung mit einem geringen Zittern erreicht werden.

**[0108]** Ebenso kann deshalb, weil der Impuls U4 und der Impuls D4 gleichzeitig erzeugt werden und die Impulsbreite schmal ist, die Pulsierung selbst dann auf Niedrig unterdrückt werden, wenn es eine Differenz zwischen dem Ladestrom und dem Entladestrom des P-Kanal-MOS-Transistors **31** und des N-Kanal-MOS-Transistors **32** gibt. [Fig. 13](#) zeigt eine Ausgangsspannung, die einen extrem kleinen Wert hat, wenn der Widerstandswert des Widerstands **34** = 390  $\Omega$ , der Kapazitätswert des Kondensators **33** = 0,047  $\mu\text{F}$ , der Kapazitätswert des Kondensators **35** = 20 pF, der Spannungswert der Energieversorgung  $V_{\text{DD}}$  = 5 V und die Frequenz = 100 MHz, wie es in [Fig. 11](#) gezeigt ist.

<Der Fall, in welchem das Taktsignal dem Impulszug voreilt>

**[0109]** [Fig. 14](#) zeigt den Fall, in welchem die Phase des Taktsignals Xck1 dem differenzierten Impulszug DATEN\_DIF um 0,25 T voreilt. In diesem Fall liest deshalb, weil der Anstieg des Taktsignals Xck1 früher als der Anstieg des differenzierten Impulszugs DATEN\_DIF kommt, die in [Fig. 11](#) gezeigte D-Flip-Flop-Schaltung **22** "1" und gibt "1" früher aus, und dann steigt der differenzierte Impulszug DATEN\_DIF an, so dass beide D-Flip-Flop-Schaltungen **21**, **22** rückgesetzt werden.

**[0110]** Demgemäß ist die Impulsbreite des Ausgangsimpulses D4a der D-Flip-Flop-Schaltung **22** durch die Breite von (die Phasendifferenz zwischen dem Anstieg des Taktsignals Xck1 und dem Anstieg des differenzierten Impulszugs DATEN\_DIF) + (Betriebsverzögerungszeiten des Rücksetzteils **19**, etc.) gegeben. Das bedeutet, dass die Ausgabe die Impulsbreite hat, die proportional zu deren Phasendifferenz ist. Gegensätzlich dazu ist die Impulsbreite des Ausgangsimpulses U4 der D-Flip-Flop-Schaltung **21** durch die schmale Impulsbreite gegeben, die den Betriebsverzögerungszeiten des Rücksetzteils **19**, etc. entspricht.

**[0111]** Ebenso kann deshalb, weil der falsche Impuls von dem Impuls D4a durch die obige Aktion des Impulses E entfernt werden kann, um den Impuls D4 zu ergeben, der Impuls D4 mit der Impulsbreite, die proportional zu der Phasendifferenz ist, erhalten werden. Anders ausgedrückt wird deshalb, weil die Impulsbreite des in (f) der [Fig. 4](#) gezeigten Impulses D4 breiter als der in (e) der [Fig. 14](#) gezeigten Impuls U4

ist, die Ausgabe erzeugt, um der Phase nachzueilen, in dem die Spannung des Ausgangsanschlusses **13** über die Ladepumpeinheit **12** erniedrigt wird und in dem die Frequenz des spannungsgesteuerten Oszillators **14** erniedrigt wird. Als Ergebnis ist auch die Ausgabe der Ladepumpeinheit **12** proportional zu dieser Phasendifferenz.

<Der Fall, bei welchem das Taktsignal dem Impulszug naheilt>

**[0112]** [Fig. 15](#) zeigt den Fall, in welchem die Phase des Taktsignals Xck1 dem differenzierten Impulszug DATEN\_DIF um  $0,25 T$  naheilt, was gegensätzlich zum Obigen ist. Da die D-Flip-Flop-Schaltung **21** "1" früher als die D-Flip-Flop-Schaltung **22** gegensätzlich liest und ausgibt, wird die Impulsbreite des in (e) der [Fig. 14](#) gezeigten Impulses U4 breiter, so dass die Ausgabe erzeugt wird, um die Frequenz des spannungsgesteuerten Oszillators **14** zu erhöhen und um die Phase weiterzuschalten. In diesem Fall ist deshalb, weil die Impulsbreite des Impulses U4 proportional zur Phasendifferenz zwischen dem differenzierten Impulszug DATEN\_DIF und dem Taktsignal Xck1 ist, auch die Ausgabe der Ladepumpeinheit **12** proportional zur Phasendifferenz.

<Der Fall, in welchem die Frequenz des Taktsignals um  $\pm 10\%$  geändert wird>

**[0113]** [Fig. 16](#) zeigt den Fall, in welchem die Frequenz des Taktsignals Xck1 um 10% höher als die Frequenz des Impulszugs DATEN ist. Der in (d) der [Fig. 16](#) gezeigte Impuls U4 hat die minimale Impulsbreite und der in (e) der [Fig. 16](#) gezeigte Impuls D4 hat die weitere Impulsbreite. Somit wird nur die Ausgabe erzeugt, um die Frequenz wesentlich zu erniedrigen.

**[0114]** Gegensätzlich zeigt [Fig. 17](#) den Fall, in welchem die Frequenz des Taktsignals Xck1 um 10% niedriger als die Frequenz des Impulszugs DATEN ist. Der in (e) der [Fig. 17](#) gezeigte Impuls D4 hat die minimale Impulsbreite und der bei (d) der [Fig. 17](#) gezeigte Impuls U4 hat die weitere Impulsbreite. Somit wird nur die Ausgabe erzeugt, um im Wesentlichen die Frequenz zu erhöhen.

**[0115]** Demgemäß hat die in [Fig. 11](#) gezeigte Vorrichtung als das Ausführungsbeispiel der vorliegenden Erfindung nicht nur die Phasenvergleichsfunktion, sondern auch die Frequenzunterscheidungsfunktion. Die Vorrichtung mit den obigen zwei Funktionen ist als die Synchronisierungsvorrichtung sehr exzellent.

**[0116]** Anders ausgedrückt kann dann, wenn die Frequenzen entfernt voneinander getrennt sind, die Frequenzerlangung (was auch "Hereinziehen der Frequenz" genannt wird) zum Anpassen der Fre-

quenz nur durch die Phasenvergleichsfunktion erreicht werden, aber es gibt die Nachteile, dass viel Zeit erforderlich sein könnte, um die Frequenz zu erlangen, und dass die Operation in der Mitte der Frequenzerlangung durch das Rauschen, etc. abgefangen wird und nicht aus einer solchen Abgangsfalle gelangen kann. Gegensätzlich dazu ist es bei der Synchronisierungsvorrichtung mit der Frequenzunterscheidungsfunktion bei der vorliegenden Erfindung möglich, die Frequenz in einer sehr kurzen Zeit zu erlangen (Hereinzuziehen), und die Phase gleich zu machen. Zusätzlich kann, wie es in [Fig. 16](#) und [Fig. 17](#) gezeigt ist, selbst wenn der Spitzenfehlzustand im Eingangsimpulszug vorhanden ist, die Ausgabe zum Reagieren auf den Frequenzpegel gemäß dem Frequenzpegel ohne den Einfluss eines solchen Spitzenfehlzustands sicher erzeugt werden.

<<Vorteile>>

**[0117]** Auf diese Weise werden bei diesem Ausführungsbeispiel die Frequenz und die Phase des differenzierten Impulszugs DATEN\_DIF, der in den Eingangsanschluss **5** eingegeben wird, mit der Frequenz und der Phase des Taktsignals Xck1, das in den Eingangsanschluss **6** eingegeben wird, verglichen, während der Korrekturimpuls E basierend auf dem in den Eingangsanschluss **6** eingegebenen Taktsignal Xck1 erzeugt wird, und dann werden die Impulse U4, D4a basierend auf diesem Vergleichsergebnis erzeugt, dann werden die im Impuls D4a enthaltenen falschen Impulse durch Verwenden des Korrekturimpulses E entfernt, wenn der Spitzenfehlzustand in dem differenzierten Impulszug DATEN\_DIF, der in den Eingangsanschluss **5** eingegeben wird, vorhanden ist, und dann werden nur die genauen Impulse U4, D4 von den Ausgangsanschlüssen **7**, **8** ausgegeben. Daher kann das genaue Taktsignal Xck1 in Bezug auf den Impulszug DATEN erzeugt werden, der durch die Daten moduliert wird, um den Spitzenfehlzustand zu erzeugen, während die Anzahl von Teilen reduziert wird, und auch die Pulsierung des Spannungssignals kann auf so gering wie möglich in Richtung zu Null minimiert werden, um nicht das Zittern, etc. zu erzeugen, und zwar zu einem Zeitpunkt, zu welchem das Taktsignal Xck1 mit der angepassten Frequenz und der angepassten Phase erhalten wird.

**[0118]** Ebenso kann der von dem Phasenkomparator **9** ausgegebene Impuls U4 mit dem Impuls D4 synchronisiert werden, und auch wenigstens einer von dem Impuls U4 und dem Impuls D4 kann bei der Phasenübereinstimmungsstelle auf die minimale Breite reduziert werden. Demgemäß kann der variable Bereich des von der Ladepumpeinheit **12** ausgegebenen Spannungssignals erweitert werden. Das bedeutet, dass ein Verhältnis der Ausgangsspannung des Arbeitspunkts zu der Ausgangsspannung der Phasenübereinstimmungsstelle, d.h. ein Zeichen ei-

nes Vorteils, das die Leistungsfähigkeit des Phasenkomparators anzeigt, maximiert werden.

**[0119]** Zusätzlich kann die Hochfrequenzunterscheidungsfunktion für den Phasenkomparator **9** vorgesehen sein, und somit kann der Betrieb in der Frequenzerlangungsstufe wie beispielsweise der Stufe eines EIN-Schaltens der Energieversorgung, etc. vorteilhaft gemacht werden.

**[0120]** Weiterhin können bei diesem Ausführungsbeispiel selbst dann wenn die Frequenz und die Phase der jeweiligen Impulse, die den Impulszug DATEN bilden, mit der Frequenz und der Phase des Taktsignals Xck1 übereinstimmen, das von dem spannungsgesteuerten Oszillator **14** ausgegeben wird, und auch die Anstiegszeit des differenzierten Impulszugs DATEN\_DIF der von der Exklusiv-NOR-Schaltung **16** im Differenzierer **3** ausgegeben wird, mit der Anstiegszeit des Taktsignals Xck1 übereinstimmt, das von dem spannungsgesteuerten Oszillator **14** ausgegeben wird, der P-Kanal-MOS-Transistor **31** und der N-Kanal-MOS-Transistor **32** in der Ladepumpeinheit **12** durch Ausgeben der Impulse U4, D4 mit extrem schmalen Breiten betrieben werden, die um einen Wert unterschiedlich voneinander sind, der der Phasendifferenz entspricht. Daher kann die Differenz zwischen der Leitungszeit des P-Kanal-MOS-Transistors **31** und der Leitungszeit des N-Kanal-MOS-Transistors **32** durch die Differenz (Phasendifferenz) zwischen der Anstiegszeit des von der Exklusiv-NOR-Schaltung **16** im Differenzierer **3** ausgegebenen differenzierten Impulszugs DATEN\_DIF und der Anstiegszeit des von dem spannungsgesteuerten Oszillator **14** ausgegebenen Taktsignals Xck1 zur Verfügung gestellt werden. Als Ergebnis kann das tote Band eliminiert werden und kann die Ansprechcharakteristik verbessert werden.

**[0121]** Bei diesem Ausführungsbeispiel sind dann, wenn der in den Eingangsanschluss **2** eingegebene Impulszug DATEN im Spitzenfehlzustand ist, die falschen Impulse in dem vom Phasenkomparator **9** ausgegebenen Impuls D4 vorhanden, und solche falschen Impulse werden durch den Impulskorrekturteil **20** entfernt. Jedoch können bei dem System, bei welchem der strenge Phasenvergleich nicht nötig ist, die falschen Impulse mit der extrem schmalen Breite ausgegeben werden wie sie sind, indem ein solcher Impulskorrekturteil **20** weggelassen wird.

<<Weiteres Ausführungsbeispiel>>

**[0122]** Bei dem obigen Ausführungsbeispiel werden dann, wenn der Impuls U4 von der D-Flip-Flop-Schaltung **21** ausgegeben wird, die den Phasenkomparatorteil **17** bildet, und auch der Impuls D4a von der D-Flip-Flop-Schaltung **22** ausgegeben wird, oder wenn der Impuls E von der D-Flip-Flop-Schaltung **24** im Korrekturimpuls-Erzeugungsteil **18** ausgegeben

wird und auch das in den Eingangsanschluss **6** eingegebene Taktsignal Xck1 angehoben wird, die D-Flip-Flop-Schaltungen **21**, **22**, die den Phasenkomparatorteil **17** bilden, durch den Rücksetzteil **19** im Phasenkomparator **9** zurückgesetzt. Ein Phasenkomparator **41** kann durch Verwenden eines anderen Rücksetzteils aufgebaut sein, wie beispielsweise eines Rücksetzteils **40** mit einer Konfiguration, die in [Fig. 18](#) gezeigt ist.

**[0123]** Der in [Fig. 18](#) gezeigte Rücksetzteil **40** weist eine UND-Schaltung **42** zum Berechnen eines logischen Produkts zwischen den Impulsen U4, D4a, die von den Datenausgangsanschlüssen D der D-Flip-Flop-Schaltungen **21**, **22** ausgegeben werden, die den Phasenkomparatorteil **17** bilden, eine Inverterschaltung **43** zum Invertieren des berechneten Ergebnisses der UND-Schaltung **42** zum Zuführen von ihm zu dem Rücksetzanschluss R der D-Flip-Flop-Schaltung **21**; eine UND-Schaltung **44** zum Berechnen eines logischen Produkts zwischen dem in den Eingangsanschluss **6** eingegebenen Taktsignal Xck1 und dem vom Datenausgangsanschluss D der D-Flip-Flop-Schaltung **24**, die den Korrekturimpuls-Erzeugungsteil **18** bildet; und eine NOR-Schaltung **45** zum Berechnen einer logischen Summe zwischen berechneten Ergebnissen der UND-Schaltungen **42**, **44** und zum darauf folgenden Invertieren von ihnen, um sie zu dem Rücksetzanschluss R der D-Flip-Flop-Schaltung **22** zuzuführen, auf. Wenn beide von den D-Flip-Flop-Schaltungen **21**, **22** im Phasenkomparatorteil **17** ausgegebene Impulse U4, D4a "1" sind, werden die D-Flip-Flop-Schaltungen **21**, **22** durch Erzeugen des "0"-Signals (des "1"-Signals bei der negativen Logik) rückgesetzt. Wenn das in den Eingangsanschluss **6** eingegebene Taktsignal Xck1 in der Situation "1" ist, in welcher der von der D-Flip-Flop-Schaltung **24** in dem Korrekturimpuls-Erzeugungsteil **18** ausgegebene Impuls E "1" ist, wird das "0"-Signal (das "1"-Signal bei der negativen Logik) erzeugt, um nur die D-Flip-Flop-Schaltung **22** im Phasenkomparatorteil **17** rückzusetzen.

**[0124]** Wenn der Impulszug DATEN in dem Spitzenfehlzustand ist, selbst wenn ein solcher Rücksetzteil **40** verwendet wird, kann die D-Flip-Flop-Schaltung **22** rückgesetzt werden. Demgemäß kann während eines Reduzierens der Kosten des Gesamtsystems durch Verwenden des allgemeinen Teils das genaue Taktsignal Xck1 in Bezug auf den Impulszug DATEN erzeugt werden, der in den Spitzenfehlzustand gebracht wird, und zwar aufgrund einer Modulation durch Daten. Ebenso kann die Pulsierung des Spannungssignals auf so gering wie möglich in Richtung zu Null zu einem Zeitpunkt minimiert werden, zu welchem das Taktsignal Xck1 mit der angepassten Frequenz und der angepassten Phase erhalten wird, und kann der variable Bereich der erfassten Ausgabe erweitert werden. Als Ergebnis kann der frequenzvari-

able Bereich des Taktsignals Xck1 erweitert werden, um die Hochgeschwindigkeitsreaktion zu ermöglichen, und auch die Frequenzunterscheidungsfunktion kann zur Verfügung gestellt werden.

**[0125]** Ebenso können bei diesem Ausführungsbeispiel selbst dann, wenn die Frequenz und die Phase der jeweiligen Impulse, die den Impulszug DATEN bilden, mit der Frequenz und der Phase des von dem spannungsgesteuerten Oszillator **14** ausgegebenen Taktsignals Xck1 übereinstimmen und auch die Anstiegszeit des differenzierten Impulszugs DATEN\_DIF, der von der Exklusiv-NOR-Schaltung **16** im Differenzierer **3** ausgegeben wird, mit der Anstiegszeit des Taktsignals Xck1, das von dem spannungsgesteuerten Oszillator **14** ausgegeben wird, übereinstimmt, der P-Kanal-MOS-Transistor **31** und der N-Kanal-MOS-Transistor **32** in der Ladepumpeinheit **12** durch Ausgeben der Impulse U4, D4 mit extrem schmalen Breiten betrieben werden, die voneinander um einen Wert unterschiedlich sind, der der Phasendifferenz entspricht. Daher kann die Differenz zwischen der Leitungszeit des P-Kanal-MOS-Transistors **31** und der Leitungszeit des N-Kanal-MOS-Transistors **32** durch die Differenz (Phasendifferenz) zwischen der Anstiegszeit des differenzierten Impulszugs DATEN\_DIF, der von der Exklusiv-NOR-Schaltung **16** im Differenzierer **3** ausgegeben wird, und der Anstiegszeit des Taktsignals Xck1, das von dem spannungsgesteuerten Oszillator **14** ausgegeben wird, zur Verfügung gestellt werden. Als Ergebnis kann das tote Band eliminiert werden und kann die Ansprechcharakteristik verbessert werden.

**[0126]** Bei diesem Ausführungsbeispiel sind dann, wenn der in den Eingangsanschluss **2** eingegebene Impulszug DATEN in den Spitzenfehlzustand gebracht wird, die falschen Impulse in dem von dem Phasenkomparator **41** ausgegebenen Impuls D4 vorhanden, und solche falschen Impulse werden durch den Impulskorrekturteil **20** entfernt. Jedoch können bei dem System, bei welchem der strenge Phasenvergleich nicht nötig ist, die falschen Impulse mit der extrem schmalen Breite ausgegeben werden wie sie sind, indem ein solcher Impulskorrekturteil **20** weggelassen wird.

<<Weiteres Ausführungsbeispiel>>

**[0127]** Ebenso wird bei dem obigen Ausführungsbeispiel dann, wenn der Impuls E von der D-Flip-Flop-Schaltung **24** im Korrekturimpuls-Erzeugungsteil **18** ausgegeben wird, die UND-Schaltung **29** in ihren Impulsdurchlauf-Verhinderungszustand gebracht, indem dieser Impuls E mittels der Inverterschaltung **28** im Impulskorrekturteil **20** invertiert wird. Somit wird selbst dann, wenn die falschen Impulse D4a von der D-Flip-Flop-Schaltung **22** im Phasenkomparator **17** ausgegeben werden, verhindert, dass die falschen Impulse D4a zur Ladepumpeinheit

**12** ausgegeben werden. Jedoch kann, wie es in [Fig. 19](#) gezeigt ist, wenn ein Phasenkomparator **50**, in welchem das invertierte Signal des von der Inverterschaltung **23** im Korrekturimpuls-Erzeugungsteil **18** ausgegebenen Taktsignals Xck1 direkt in die UND-Schaltung **26** des Rücksetzteils **19** eingegeben wird, verwendet wird, verhindert werden, dass der falsche Impuls D4a von der D-Flip-Flop-Schaltung **22** im Phasenkomparator **17** ausgegeben wird, und somit kann der Impulskorrekturteil **20** weggelassen werden.

**[0128]** Wenn der Impulszug DATEN in den Spitzenfehlzustand gebracht wird, können selbst dann, wenn ein solcher Phasenkomparator **50** verwendet wird, die D-Flip-Flop-Schaltungen **21**, **22** rückgesetzt werden, um die Fehlfunktion zu verhindern. Demgemäß kann wie beim obigen Ausführungsbeispiel, während der größte Teil der Anzahl von Teilen reduziert wird, das genaue Taktsignal Xck1 in Bezug auf den Impulszug DATEN erzeugt werden, der in den Spitzenfehlzustand gebracht ist, und zwar aufgrund einer Modulation durch Daten. Ebenso kann die Pulsierung des Spannungssignals auf so gering wie möglich in Richtung zu Null zu einem Zeitpunkt minimiert werden, zu welchem das Taktsignal Xck1 mit der angepassten Frequenz und der angepassten Phase erhalten wird, und der variable Bereich der erfassten Ausgabe kann erweitert werden. Als Ergebnis kann der frequenzvariable Bereich des Taktsignals Xck1 erweitert werden, um die Hochgeschwindigkeitsantwort zu ermöglichen, und ebenso kann die Frequenzunterscheidungsfunktion zur Verfügung gestellt werden.

**[0129]** Ebenso können bei diesem Ausführungsbeispiel selbst dann, wenn die Frequenz und die Phase von jeweiligen Impulsen, die den Impulszug DATEN bilden, mit der Frequenz und der Phase des Taktsignals Xck1 übereinstimmen, das von dem spannungsgesteuerten Oszillator **14** ausgegeben wird, und auch die Anstiegszeit des differenzierten Impulszugs DATEN\_DIF, der von der Exklusiv-NOR-Schaltung **16** im Differenziererteil ausgegeben wird, mit der Anstiegszeit des Taktsignals Xck1 übereinstimmt, das von dem spannungsgesteuerten Oszillator **14** ausgegeben wird, der P-Kanal-MOS-Transistor **31** und der N-Kanal-MOS-Transistor **32** in der Ladepumpeinheit **12** durch Ausgeben der Impulse U4, D4 mit extrem schmalen Breiten betrieben werden, die voneinander um einen Wert unterschiedlich sind, der der Phasendifferenz entspricht. Daher kann die Differenz zwischen der Leitungszeit des P-Kanal-MOS-Transistors **31** und der Leitungszeit des N-Kanal-MOS-Transistors **32** durch die Differenz (Phasendifferenz) zwischen der Anstiegszeit des differenzierten Impulszugs DATEN\_DIF, der von der Exklusiv-NOR-Schaltung **16** im Differenzierer **3** ausgegeben wird, und der Anstiegszeit des Taktsignals Xck1, das von dem spannungsgesteuerten Oszillator **14** ausgegeben wird, zur Verfügung gestellt werden. Als Ergebnis

kann das tote Band eliminiert werden und kann die Ansprechcharakteristik verbessert werden.

**[0130]** Weiterhin kann die Inverterschaltung **23**, die den Korrekturimpuls-Ezeugungsteil **18** im Phasenkomparator bildet, der in den obigen [Fig. 11](#), [Fig. 18](#) und [Fig. 19](#) gezeigt ist, durch die Verzögerungsschaltung oder das Verzögerungselement mit derselben Funktion wie die Verzögerungsschaltung **15** ersetzt werden.

**[0131]** Ebenso besteht bei dem obigen Ausführungsbeispiel der Differenzierer **3** aus der Verzögerungsschaltung **15** zum Verzögern des Impulszugs DATEN und der Exklusiv-NOR-Schaltung **16** zum Berechnen der Exklusiv-NOR-Verknüpfung zwischen der Ausgabe der Verzögerungsschaltung **15** und dem Impulszug DATEN. Aber die vorliegende Erfindung ist nicht darauf beschränkt. Dies ist deshalb so, weil eine Verzerrung der Impulsbreite gemäß dem Übertragungsmedium verursacht wird, und somit der Anstieg und der Abfall des Eingangsimpulszugs DATEN verzerrt werden, und daher der Phasenvergleich unter Verwendung von sowohl dem Anstieg als auch dem Abfall des Impulszugs DATEN durch den Jitter bzw. das Zittern beeinflusst wird.

**[0132]** Der Differenzierer **3** kann aus der Verzögerungsschaltung **15** zum Verzögern des Impulszugs DATEN, der Inverterschaltung zum Invertieren der Ausgabe der Verzögerungsschaltung **15** und der NAND-Schaltung zum Berechnen einer NAND-Verknüpfung zwischen der Ausgabe dieser Inverterschaltung und dem Impulszug DATEN bestehen, und dann kann die Ausgabe dieser NAND-Schaltung als die Ausgabe (der differenzierte Impulszug DATEN\_DIF) des Differenzierers **3** verwendet werden. Gemäß dieser Konfiguration kann der genaue Phasenvergleich, der den Einfluss des Zitterns reduzieren kann, obwohl die Anzahl von Vergleichszeiten um die Hälfte reduziert ist, durch Ausführen des Phasenvergleichs unter Verwendung von irgendeinem des Anstiegs und des Abfalls des Impulszugs DATEN erreicht werden.

<<Weiteres Ausführungsbeispiel>>

**[0133]** Als nächstes wird hierin nachfolgend ein weiteres Ausführungsbeispiel der vorliegenden Erfindung erklärt werden.

**[0134]** Zuerst wird das Konzept dieses Ausführungsbeispiels unter Bezugnahme auf [Fig. 9](#) und [Fig. 10](#) beim Stand der Technik erklärt werden.

**[0135]** Wie es in einem Blockdiagramm der [Fig. 9](#) gezeigt ist, weist die Synchronisierungssignal-Extraktionsvorrichtung im Stand der Technik eine Anstiegsdifferenzierschaltung **202**, eine Taktsteuerschaltung **203**, einen Phasen/Frequenz-Komparator

**204**, eine Ladepumpeinheit **205** und einen spannungsgesteuerten Oszillator **206** auf. Dann wird das durch Differenzieren von nur dem Anstieg des Datenimpulszugs durch die Anstiegsdifferenzierschaltung **202** erhaltene Signal zu einem Eingang des Phasen/Frequenz-Komparators **204** zugeführt und das durch die Taktsteuerschaltung **203**, die das lokale Taktsignal in Verbindung mit dem bezüglich des Anstiegs differenzierten Signals nur dann ausgibt, wenn das bezüglich des Anstiegs differenzierte Signal erzeugt ist, gesteuerte Taktsignal zum anderen Eingang des Phasen/Frequenz-Komparators **204** zugeführt. Somit können die Phase und die Frequenz zwischen dem anstiegsdifferenzierten Signal und dem Taktsignal, die oben eingegeben sind, miteinander übereinstimmen.

**[0136]** [Fig. 10](#) zeigt ein detailliertes Schaltungsbeispiel der obigen in [Fig. 9](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung im Stand der Technik. Die Anstiegsdifferenzierschaltung **202** enthält eine Verzögerungsschaltung **144**, die durch Parallelschalten einer Vielzahl von Verzögerungselementen **143** aufgebaut ist, und eine Exklusiv-ODER-Schaltung **145**. Eine Referenz **141** ist eine D-Flip-Flop-Schaltung vom Anstiegstriggertyp. Dann wird der Dateneingabeimpulszug durch die D-Flip-Flop-Schaltung **141** vom Anstiegstriggertyp in 1/2 Frequenz geteilt, um den Impuls Q zu erzeugen, und dann wird dieser Impuls Q durch die Verzögerungsschaltung **144** und die Exklusiv-ODER-Schaltung **145** differenziert. Demgemäß wird das durch Differenzieren von nur dem Anstieg des Datenimpulszugs erhaltene Signal (das anstiegsdifferenzierte Signal) zum Phasen/Frequenz-Komparator **204** zugeführt.

**[0137]** Ebenso enthält eine Taktsteuerschaltung **203** eine Inverterschaltung **122**, zwei D-Flip-Flop-Schaltungen **123**, **125** und eine Exklusiv-ODER-Schaltung **127**. Dann wird der Impuls Q, der durch eine Frequenzteilung um 1/2 des Datenimpulszugs erhalten wird, von der D-Flip-Flop-Schaltung **141** zu dem Dateneingangsanschluss der D-Flip-Flop-Schaltung **123** zugeführt, und ebenso wird das lokale Taktsignal VCO-TAKT zu dem Takteingangsanschluss zugeführt. In diesem Fall hat die Taktsteuerschaltung **203** dieselbe Schaltungskonfiguration wie diejenige, die in [Fig. 2](#) gezeigt ist. Diese Taktsteuerschaltung **203** kann arbeiten, um das lokale Taktsignal VCO-TAKT zum Phasen/Frequenz-Komparator **204** nur zu dem Anstiegszeitpunkt des Eingangsdatenimpulszugs zuzuführen.

**[0138]** Der Phasen/Frequenz-Komparator **204** enthält zwei D-Flip-Flop-Schaltungen **128**, **129** und eine UND-Schaltung **130**. In diesem Fall hat der Phasen/Frequenz-Komparator **204** dieselbe Schaltungskonfiguration und denselben Betrieb wie diejenige, die in [Fig. 7](#) gezeigt sind. Demgemäß kann selbst

dann, wenn das Fehlen von Spitzen in dem Eingangsdatenimpulszug verursacht wird, die normale Phasenvergleichsausgabe ohne die falsche Ausgabe in der Phasenvergleichsstufe erzeugt werden, in welcher die Frequenz bereits angepasst worden ist. Jedoch gibt es bei diesem Beispiel im Stand der Technik das Problem, dass deshalb, weil das falsche Ziehen gemäß der Frequenz in der Frequenzziehstufe verursacht wird, der Frequenzziehbereich nicht erweitert werden kann.

[0139] Bei diesem Ausführungsbeispiel der vorliegenden Erfindung kann der obige Nachteil im Stand der Technik durch Auswählen von nur irgendeiner der Periode hohen Pegels und der Periode niedrigen Pegels des Eingangsdatenimpulszugs oder von beiden der Periode hohen Pegels und der Periode niedrigen Pegels überwunden werden.

[0140] Das bedeutet, wie es in einem Blockdiagramm der [Fig. 20](#) gezeigt ist, dass eine Synchronisierungssignal-Extraktionsvorrichtung **301** bei diesem Ausführungsbeispiel folgendes aufweist: eine Anstieg/Abfall-Differenzierschaltung **302**, eine Phasen/Frequenz-Komparator **303**, eine Korrekturschaltung **304**, eine Ladepumpeinheit **305** und einen spannungsgesteuerten Oszillator **306**. Das Ausgangssignal der Anstieg/Abfall-Differenzierschaltung **302** des Eingangsdatenimpulszugs wird zu einem Eingang des Phasen/Frequenz-Komparators **303** zugeführt, und das von dem spannungsgesteuerten Oszillator **306** ausgegebene lokale Taktsignal wird in den anderen Eingang des Phasen/Frequenz-Komparators **303** eingegeben wie es ist. Ebenso werden der Eingangsdatenimpulszug, das Ausgangssignal der Anstieg/Abfall-Differenzierschaltung **302** und das lokale Taktsignal zu der Korrekturschaltung **304** zugeführt, die an die Ausgänge des Phasen/Frequenz-Komparators **303** angeschlossen ist. Die Ausgänge der Korrekturschaltung **304** (ein Voreilphasen-Anweisungsimpuls nach der Korrektur, ein Nacheilphasen-Anweisungsimpuls nach der Korrektur), die durch Korrigieren der Ausgaben des Phasen/Frequenz-Komparators **303** erhalten werden, werden zur Ladepumpeinheit **305** zugeführt.

[0141] Dann wird eine bestimmte Schaltungskonfiguration der in [Fig. 20](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung **301** unter Bezugnahme auf [Fig. 21](#) hierin nachfolgend erklärt werden. In [Fig. 21](#) sind dieselben Bezugszeichen an dieselben Bestandteile wie diejenigen in [Fig. 11](#) angebracht, und ihre Erklärung wird hierin weggelassen werden. In Bezug auf die Korrelation zwischen [Fig. 20](#) und [Fig. 21](#) entspricht die Anstieg/Abfall-Differenzierschaltung **302** dem Differenzierer **3**; entspricht der Phasen/Frequenz-Komparator **303** dem Phasenkomparator **17**; entspricht die Korrekturschaltung **304** dem Korrekturimpuls-Erzeugungsteil **18**, dem Korrekturteil **20** und der Rücksetzschaltung **19**; ent-

spricht die Ladepumpeinheit **305** der Ladepumpeinheit **12**; und entspricht der spannungsgesteuerte Oszillator **306** dem spannungsgesteuerten Oszillator **14**.

[0142] Bei diesem Ausführungsbeispiel ist, wie es in [Fig. 21](#) gezeigt ist, eine UND-Schaltung **29** mit drei Eingängen vorgesehen und ist eine UND-Schaltung **37** vorgesehen, um die Ausgabe der D-Flip-Flop-Schaltung **21** zur Ladepumpeinheit **12** zuzuführen. Ebenso ist ein Schalter **39** mit drei Kontakten **40**, **41**, **42** vorgesehen. Der Mittelpunkt **43** des Schalters **39** ist an Eingänge der UND-Schaltung **29** bzw. der UND-Schaltung **37** angeschlossen. Das Signal des logischen Pegels "1" wird zu dem Kontakt **40** von drei Kontakten des Schalters **39** zugeführt, der Impulszug DATEN wird zu dem Kontakt **41** zugeführt und das invertierte Signal des Impulszugs DATEN wird zu dem Kontakt **42** über die Inverterschaltung **38** zugeführt. In diesem Fall kann eine NAND-Schaltung durch Kombinieren der UND-Schaltung **37** und der Inverterschaltung **30** der Ladepumpeinheit **12** aufgebaut sein.

[0143] Bei der obigen Konfiguration werden der differenzierte Impulszug DATEN\_DIF, der durch Differenzieren des Anstiegs und des Abfalls des Impulszugs DATEN erhalten wird, und das Taktsignal Xck wie es ist, in den Phasenkomparator **9** eingegeben. Da die Operationen des Phasenkomparators **17**, des Korrekturimpuls-Erzeugungsteils **18** und der Rücksetzschaltung **19** identisch zu denjenigen in oben angegebener [Fig. 11](#) sind, wird ihre Erklärung hierin weggelassen werden.

[0144] Als nächstes wird eine Operation des Schalters **39** hierin nachfolgend erklärt werden.

[0145] Zuerst wird dann, wenn der Mittelpunkt des Schalters **39** an den Kontakt **40** geschlossen ist, das Signal des logischen Pegels "1" zu der UND-Schaltung **37** und der UND-Schaltung **29** zugeführt. Daher wird der Impuls UL1a (entsprechend dem Impuls U4 in [Fig. 11](#)) vom Ausgangsanschluss **7** des Phasenkomparators **9** ausgegeben und wird das logische Produkt aus dem Impuls DL1a und dem invertierten Signal des Impulses E (entsprechend dem Impuls D4 in [Fig. 11](#)) vom Ausgangsanschluss **8** ausgegeben.

[0146] Dann wird, wenn der Mittelpunkt **43** des Schalters **39** an den Kontakt **41** angeschlossen ist, der Impulszug DATEN zu der UND-Schaltung **37** und der UND-Schaltung **29** zugeführt. Daher werden der Ausgangsimpuls UL1a des Phasenkomparators **9** und das logische Produkt aus dem Impuls DL1a und dem invertierten Signal des Impulses E in der Periode hohen Pegels des Impulszugs DATEN vom Ausgangsanschluss **7** und vom Ausgangsanschluss **8** ausgegeben. Dann werden, wenn der Mittelpunkt **43** des Schalters **39** an den Kontakt **42** angeschlossen

ist, nur die Ausgaben des Phasenkomparators **9** in der Periode niedrigen Pegels des Impulszugs DATEN ausgewählt, und dann vom Ausgangsanschluss **7** und vom Ausgangsanschluss **8** als der Ausgangsimpuls U11 bzw. der Ausgangsimpuls DL1 ausgegeben.

**[0147]** [Fig. 22](#) bis [Fig. 26](#) sind Zeitdiagramme, die den Impulszug DATEN, den differenzierten Impulszug DATEN\_DIF, das Taktsignal Xck; den Impuls U4 und den Impuls D4, die in [Fig. 11](#) gezeigt sind; den Impuls UL1 und den Impuls DL1, die in [Fig. 21](#) gezeigt sind; und den Impuls UL2 und den Impuls DL2, die in [Fig. 10](#) beim Stand der Technik gezeigt sind, zum Zwecke eines Vergleichs im Fall, dass der Mittelpunkt **43** des Schalters **39** an den Kontakt **41** angeschlossen ist, zeigen, d.h. im Fall, dass die Ausgabe entsprechend der Periode hohen Pegels des Impulszugs DATEN erhalten wird. Hier zeigt die [Fig. 22](#) den Fall, in welchem Frequenzen und Phasen zwischen dem Impulszug DATEN und dem Taktsignal Xck miteinander übereinstimmen. [Fig. 23](#) zeigt den Fall, in welchem das Taktsignal Xck dem Impulszug DATEN um  $0,25 T$  (wobei  $T$  eine Periode ist) voreilt. [Fig. 24](#) zeigt den Fall, in welchem das Taktsignal Xck dem Impulszug DATEN um  $0,25 T$  nacheilt. [Fig. 25](#) zeigt den Fall, in welchem eine Frequenz  $f_{xck}$  des Taktsignals Xck auf höher als das Zweifache einer Frequenz  $f_D$  des Impulszugs DATEN ( $f_{xck} = 1,25 f_D$ ) eingestellt ist, und [Fig. 26](#) zeigt den Fall, in welchem die Frequenz  $f_{xck}$  des Taktsignals Xck auf niedriger als die Frequenz  $f_D$  des Impulszugs DATEN eingestellt ist ( $f_{xck} = (1/1,25) f_D = 0,8 f_D$ ). In [Fig. 22](#) bis [Fig. 26](#) ist die Verzögerungszeit der Verzögerungsschaltung **15** im Differenzierer **3**  $0,6 T$ .

**[0148]** In [Fig. 22](#) bis [Fig. 24](#) kann es verstanden werden, dass umkreiste Teile des Impulses U4 und des Impulses D4 als die Ausgaben bei dem in [Fig. 11](#) gezeigten Ausführungsbeispiel, d.h. die Ausgaben, die der Periode niedrigen Pegels des Impulszugs DATEN entsprechen, im Ausgangsimpuls U11 und im Ausgangsimpuls D11 bei dem in [Fig. 21](#) gezeigten vorliegenden Ausführungsbeispiel gelöscht werden können.

**[0149]** Ebenso kann, wie es in [Fig. 25](#) gezeigt ist, es verstanden werden, dass dann, wenn die Taktfrequenz, d.h. die Frequenz  $f_{xck}$  des spannungsgesteuerten Oszillators **14**, auf die Frequenz eingestellt ist, die das 1,25-fache der zweifachen Frequenz  $f_D$  ( $= 1/T$ ) des Impulszugs DATEN ist, der Impuls DL1 die überwältigend weitere Breite als der Impuls UL1 im Vergleich mit dem Ausgangsimpuls UL1 und dem Ausgangsimpuls DL1 hat. Da der Impuls DL1 der Nacheilphasen-Anweisungsimpuls ist, zeigt diese weitere Breite des Nacheilphasen-Anweisungsimpulses, dass dieser Impuls zum Erniedrigen der Taktfrequenz  $f_{xck}$  wirkt. Gegensätzlich dazu kann es, wie es in [Fig. 10](#) gezeigt ist, verstanden werden, dass die

Impulse mit der nahezu gleichen Breite alternativ als der Ausgangsimpuls UL1 und der Ausgangsimpuls DL2 im Stand der Technik ausgegeben werden. Streng gesagt hat der Impuls DL2 (der Nacheilphasen-Anweisungsimpuls) die leicht weite Breite, aber sind die Frequenz und die Phase durch diese Frequenz verriegelt, wenn der Strom auf der Seite des Impulses UL2, d.h. der Ladestrom, in der Ladepumpeinheit **12** bei der nachfolgenden Stufe etwas groß ist. Das bedeutet, dass der fatale Defekt erscheint, so dass das falsche Ziehen verursacht wird. Dieses "1,25-fache" zeigt, dass die zweifache Frequenz  $f_D$  des Impulszugs DATEN und die lokale Taktfrequenz  $f_{xck}$  die Beziehung von " $f_{xck} : f_D = 5:4$ " haben. Bei dem in [Fig. 10](#) gezeigten Stand der Technik gibt es den Nachteil, dass das falsche Ziehen der Frequenz bei einer solchen ganzzahligen proportionalen Beziehung verursacht wird.

**[0150]** In diesem Fall ist herausgefunden worden, dass dann, wenn die Verzögerungszeit der Verzögerungsschaltung **15** auf länger als  $0,5 T$  wie die ideale Verzögerungszeit eingestellt wird, wie z.B. auf  $0,6 T$ , die Möglichkeit des falschen Ziehens reduziert werden kann.

**[0151]** Wie es in [Fig. 26](#) gezeigt ist, gibt es dann, wenn gegensätzlich die Taktfrequenz  $f_{xck}$  niedrig ist ( $f_{xck} = (1/1,25) f_D = 0,8 f_D$ ), die hohe Wahrscheinlichkeit zum Verursachen des falschen Ziehens bei dem Impuls UL2 und dem Impuls DL2. Dies zeigt den Fall, in welchem die obige Frequenzbeziehung " $f_{xck} : f_D = 4:5$ " ist.

**[0152]** Auf diese Weise kann gemäß diesem Ausführungsbeispiel irgendeiner von drei Fällen, d.h. den Fall, in welchem der Impuls UL1 und der Impuls DL1, bei welchem die Phase/Frequenz miteinander in sowohl der Periode hohen Pegels als auch der Periode niedrigen Pegels des Impulszugs DATEN miteinander verglichen werden, ausgegeben werden, der Fall, in welchem der Impuls UL1 und der Impuls DL1, wobei die Phase/Frequenz, die nur der Periode hohen Pegels entsprechen, miteinander verglichen werden, ausgegeben werden, und der Fall, in welchem der Impuls UL1 und der Impuls DL1, bei welchem die Phase/Frequenz, die nur der Periode niedrigen Pegels entsprechen, miteinander verglichen werden, ausgegeben werden, durch Umschalten des Schalters **39** ausgewählt werden. Zusätzlich kann deshalb, weil der differenzierte Impulszug DATEN\_DIF, der der differenzierte Impuls beim Anstieg und beim Abfall des Impulszugs DATEN ist, und das Taktsignal Xck, wie es ist, in den Phasenkomparator selbst eingegeben werden, der Phasen/Frequenz-Vergleich ohne den Fehler ausgeführt werden. Ebenso kann deshalb, weil Vergleichschancen durch Ausführen des Phasen/Frequenz-Vergleichs in sowohl der Periode hohen Pegels als auch der Periode niedrigen Pegels erhöht werden, ein schnelles Frequenzziehen

erreicht werden.

**[0153]** Demgemäß wird irgendeine der Periode hohen Pegels und der Periode niedrigen Pegels durch Positionieren des Schalters **39** bei der Position des Kontakts **40** in der Frequenzziehstufe, wie beispielsweise der Energieversorgungs-EIN-Schaltzeit und darauf folgendes Umschalten des Schalters **39** zu dem Kontakt **41** oder dem Kontakt **42**, nachdem die vorbestimmte Zeit verstrichen ist, ausgewählt, und somit kann die bezüglich der Phase verglichene Ausgabe, die ein geringes Zittern enthält, erhalten werden.

**[0154]** Bei dem obigen Ausführungsbeispiel wird die Auswahl durch Verwenden des Schalters **39** durchgeführt. Aber der Mittelpunkt **43** kann an irgendeinen der Kontakte **40**, **41**, **42** von Beginn an ohne das Vorsehen des Schalters **39** angeschlossen sein.

<<Weiteres Ausführungsbeispiel>>

**[0155]** Als nächstes wird bei einem Ausführungsbeispiel, das in [Fig. 27](#) gezeigt ist, das Verfahren zum Rücksetzen des Korrekturimpuls-Erzeugungsteils **18** in der in [Fig. 21](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung **301** modifiziert. Genauer gesagt wird in [Fig. 21](#) die D-Flip-Flop-Schaltung **24** im Korrekturimpuls-Erzeugungsteil **18** durch den differenzierten Impulszug DATEN\_DIF, der in den Eingangsanschluss **5** eingegeben wird, rückgesetzt. Daher tritt bei der in [Fig. 21](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung **301** manchmal das Phänomen eines falschen Verriegelns gemäß der Rücksetzzeit des Korrekturimpuls-Erzeugungsteils **18** auf.

**[0156]** Aus diesem Grund wird zum Überwinden des obigen Problems die D-Flip-Flop-Schaltung **24** durch eine Ausgabe des Differenzierers **51** rückgesetzt, der zusätzlich im Korrekturimpuls-Erzeugungsteil **18** vorgesehen ist. Der Differenzierer **51** differenziert den differenzierten Impulszug DATEN\_DIF. Der Differenzierer **51** besteht aus einer Verzögerungsschaltung **52** und einer Exklusiv-NOR-Schaltung **53** wie der Differenzierer **3**. Die Verzögerungsschaltung **52** verzögert die Ausgabe der Verzögerungsschaltung **15** um eine Zeit, was später beschrieben ist. Die Exklusiv-NOR-Schaltung **53** berechnet die Exklusiv-ODER-Verknüpfung zwischen dem in den Eingangsanschluss **2** eingegebenen diskontinuierlichen Impuls DATEN und dem von der Verzögerungsschaltung **52** ausgegebenen verzögerten Impulszug DATEN, erzeugt dann ein Rücksetzsignal Vreset, das aus den invertierten Impulsen der Impulse im Impulszug DATEN besteht, die die Breite haben, die gleich den Verzögerungszeiten der Verzögerungsschaltung **15** und der Verzögerungsschaltung **42** ist, und führt sie dann zu dem Rücksetzanschluss der D-Flip-Flop-Schaltung **24** zu.

**[0157]** Hier entspricht die Konfiguration in [Fig. 21](#) dem Fall, in welchem die Verzögerungszeit der neu vorgesehenen Verzögerungsschaltung **52**  $0$  ist. Bei der Synchronisierungssignal-Extraktionsvorrichtung **301** mit einer solchen Konfiguration, die in [Fig. 21](#) gezeigt ist, tritt dann kein Problem auf, wenn die Frequenz gegenüber der niedrigeren Frequenz in Richtung zu der Sollfrequenz erhöht ist, solange nicht in einigen Fällen das falsche Verriegeln bei der Frequenz verursacht wird, die höher als die Sollfrequenz ist, und zwar in Abhängigkeit von dem Verzögerungsweg in der Verzögerungsschaltung **15**, wenn die Frequenz gegenüber der höheren Frequenz in Richtung zur Sollfrequenz erniedrigt ist. Das Phänomen eines falschen Verriegelns wird unter Bezugnahme auf [Fig. 28](#) hierin nachfolgend erklärt werden.

**[0158]** [Fig. 28](#) ist ein Zeitdiagramm, das den Fall zeigt, in welchem die Verzögerungszeit der Verzögerungsschaltung **15**  $0,3 T$  ist, die Verzögerungszeit der Verzögerungsschaltung **52**  $0$  ist und die lokale Taktfrequenz  $f_{xck}$   $22,22$  MHz ist. Die lokale Taktfrequenz  $f_{xck} = 22,22$  MHz ist die Frequenz, die die Beziehung von  $f_{xck} \cdot f_b = 10:9$  in Bezug auf die Bit-Taktfrequenz  $f_D = 20$  MHz hat. Auf diese Weise tritt das falsche Verriegeln auf die lokale Frequenz auf, die die ganzzahlige Beziehung zu der Bit-Taktfrequenz hat. In diesem Fall ist die obige Frequenz mit der Beziehung von  $f_{xck} \cdot f_b = 5:4$   $25$  MHz.

**[0159]** In [Fig. 28](#) hat deshalb, weil die Verzögerungszeit der Verzögerungsschaltung **52** Null ist, das Rücksetzsignal Vreset dieselbe Wellenform wie der vom Differenzierer **3** ausgegebene differenzierte Impulszug DATEN\_DIF. Ebenso gibt deshalb, weil der Takt, der durch Invertieren des Taktsignals Xck durch die Inverterschaltung **23** erhalten wird, in den Takteingangsanschluss der D-Flip-Flop-Schaltung **24** eingegeben wird, eine solche D-Flip-Flop-Schaltung **24** "1" beim Abfall des Taktsignals Xck aus.

**[0160]** In [Fig. 28](#) wird deshalb, weil die Zeit des Anstiegs b des Rücksetzsignals Vreset bezüglich der Zeit früher als der Abfall d des Taktsignals Xck ist, das Rücksetzen der D-Flip-Flop-Schaltung **24** zu der Zeit des Abfalls d des Taktsignals Xck gelöscht, und somit wird die Ausgabe (der Impuls E) der D-Flip-Flop-Schaltung **24** zur Zeit e "1".

**[0161]** Wenn die Ausgabe (der Impuls E) der D-Flip-Flop-Schaltung **24** "1" ist, werden die D-Flip-Flop-Schaltung **21** und die D-Flip-Flop-Schaltung **22** zu der Zeit des Anstiegs f des nachfolgenden Taktsignals Xck gleichzeitig rückgesetzt. Nachdem die D-Flip-Flop-Schaltung **21** und die D-Flip-Flop-Schaltung **22** rückgesetzt sind, wird eine von der D-Flip-Flop-Schaltung **21** und der D-Flip-Flop-Schaltung **22** entsprechend bei dem früheren Anstieg des differenzierten Impulszugs DATEN\_DIF und des Taktsignals Xck auf "1" gesetzt.

**[0162]** In diesem Fall wird deshalb, weil die Zeit des Anstiegs  $i$  des differenzierten Impulszugs DATEN\_DIF früher kommt, die Ausgabe (der Impuls UL1a) der D-Flip-Flop-Schaltung **21** zu der Zeit des Anstiegs  $j$  auf "1" gesetzt und dann zu der Zeit des Anstiegs  $m$  des nachfolgenden Taktsignals Xck rückgesetzt. Das bedeutet, dass die Ausgabe (der Impuls UL1a) der D-Flip-Flop-Schaltung **21** in der Periode  $j-n$  auf "1" gehalten wird, und darauf folgend die Ausgabe (der Impuls UL1a) der D-Flip-Flop-Schaltung **21** auf eine gleiche Weise "1" ausgibt. Das ist die Ausgabe zum Erhöhen der Frequenz. Auf diese Weise wird deshalb, weil die Ausgabe zum weiteren Erhöhen der Frequenz ausgegeben wird, obwohl das Taktsignal Xck hoch ist, nicht die negative Rückkopplung, sondern die positive Rückkopplung ausgeführt, um die Oszillation zu veranlassen. Ebenso werden im Fall von 25 MHz aus demselben Grund die Impulse mit im Wesentlichen gleichen und ausgeglichenen Breiten als die Ausgabe (der Impuls UL1a) der D-Flip-Flop-Schaltung **21** und die Ausgabe (der Impuls DL1a) der D-Flip-Flop-Schaltung **22** erzeugt.

**[0163]** Zum Überwinden dieses Problems bezüglich der Konfiguration in [Fig. 21](#), kann daran gedacht werden, dass der Rücksetzzustand der D-Flip-Flop-Schaltung **24** bezüglich der Zeit viel mehr ausgedehnt wird. Das einfachste Verfahren besteht im Erweitern der Verzögerungszeit der Verzögerungsschaltung **15**, wie z.B. einer Einstellung auf 0,6 T bis 0,7 T. Jedoch deshalb, weil die Verzögerungszeit der Verzögerungsschaltung **15** über die Zeitgabe entscheidet, die als die Referenz des Phasenvergleichs dient, ist es erwünscht, dass das Voreilen und das Nacheilen der Phase durch die gleiche Breite verglichen werden sollten. Das bedeutet, dass es erwünscht ist, dass die Verzögerungszeit der Verzögerungsschaltung **15** auf 1/2 der Bitbreite eingestellt werden sollte, d.h. 0,5 T.

**[0164]** Daher ist, wie es in [Fig. 27](#) gezeigt ist, der Differenzierer **51**, der die Rücksetzzeit der Verzögerungs-Flip-Flop-Schaltung **24** unabhängig steuern kann, neu vorgesehen, und somit kann die Rücksetzzeit der D-Flip-Flop-Schaltung **24** durch die Verzögerungsschaltung **52** auf länger eingestellt werden.

**[0165]** Nun ist es deshalb, weil angenommen werden kann, dass die Verzögerungszeiten der Verzögerungsschaltung **15** und der Verzögerungsschaltung **52** gemäß Herstellungszuständen der Verzögerungselemente, und Betriebszuständen, wie beispielsweise der Spannung, der Temperatur, etc. variiert sind, erwünscht, dass der Betriebsspielraum auf so groß wie möglich eingestellt werden sollte, und dass die Verzögerungsschaltung perfekt um etwa 0,3 T wie die Verzögerungszeit der Verzögerungsschaltung **15** betrieben werden kann. Gegensätzlich dazu ist es vorzuziehen, dass die Verzögerungszeit der hinzugefügten Verzögerungsschaltung **52** auf länger einge-

stellt werden sollte. Jedoch dann, wenn eine solche Verzögerungszeit auf zu viel länger eingestellt wird, wird der falsche Impuls zur Zeit einer normalen Verriegelung erzeugt, d.h. dann, wenn sowohl die Frequenz als auch die Phase miteinander übereinstimmen. Bei dem obigen ist es erwünscht, dass die Verzögerungszeit der Verzögerungsschaltung **52** auf kleiner als 0,5 T eingestellt werden sollte.

**[0166]** Als nächstes wird ein Betrieb der in [Fig. 27](#) gezeigten Konfiguration unter Bezugnahme auf ein in [Fig. 29](#) gezeigtes Zeitdiagramm hierin nachfolgend erklärt werden. In [Fig. 29](#) ist, um die Bedingungen zu vereinheitlichen, die lokale Taktfrequenz  $f_{xck} = 22,22$  MHz verwendet, ist die Verzögerungszeit der Verzögerungsschaltung **15** 0,3 T und ist die Verzögerungszeit der Verzögerungsschaltung **52** 0,3 T.

**[0167]** In [Fig. 29](#) wird deshalb, weil das Rücksetzsignal Vreset in der Periode a-b "0" ist und die Zeit des Anstiegs  $d$  des Taktsignals Xck in dieser Periode existiert, die D-Flip-Flop-Schaltung **24** kontinuierlich rückgesetzt, und somit wird die Ausgabe (der Impuls E) der D-Flip-Flop-Schaltung **24** ohne den Einfluss des Abfalls  $d$  des Taktsignals Xck auf "0" gehalten. Demgemäß wird die D-Flip-Flop-Schaltung **22** zur Zeit des Anstiegs  $f$  des nachfolgenden Taktsignals Xck gesetzt, und die Ausgabe (der Impuls DL1a) wird normalerweise zur Zeit  $g$  "1".

**[0168]** Auf diese Weise wird nur die Ausgabe (der Impuls DL1a) der D-Flip-Flop-Schaltung **22** erzeugt. Das bedeutet, dass die normale Ausgabe zum weiteren Reduzieren der Frequenz erzeugt wird und somit die falsche Verriegelung niemals verursacht wird.

**[0169]** Als die Ergebnisse von verschiedenen Bestätigungen kann es herausgefunden werden, dass dann, wenn die Verzögerungszeit der Verzögerungsschaltung **52** 0,3 T ist, keine falsche Verriegelung verursacht wird, bis die Verzögerungszeit der Verzögerungsschaltung **15** 0,3 T bis 0,6 T ist, und dann, wenn die Verzögerungszeit der Verzögerungsschaltung **52** 0,4 T ist, keine falsche Verriegelung verursacht wird, bis die Verzögerungszeit der Verzögerungsschaltung **15** 0,2 T bis 0,5 T ist.

<<Weiteres Ausführungsbeispiel>>

**[0170]** [Fig. 31](#) ist ein Zeitdiagramm, das den Fall zeigt, in welchem das Taktsignal Xck bezüglich der Phase um 0,2 T dem differenzierten Impulszug DATEN\_DIF in der in [Fig. 27](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung voreilt. In diesem Fall erscheint kein falscher Impuls im Signal des Impulses DL1. Jedoch dann wenn die Verzögerungszeit der Verzögerungsschaltung **15** auf so groß eingestellt wird, dass das Taktsignal Xck bezüglich der Phase um 0,5 T dem differenzierten Impulszug DATEN\_DIF voreilt, erscheinen falsche Impulse Pa,

Pb und Pc im Signal des Impulses DL1, wie es in [Fig. 32](#) gezeigt ist. Ebenso erscheinen dann, wenn die Frequenz des Taktsignals Xck höher als der differenzierte Impulszug DATEN\_DIF ist, falsche Impulse im Signal des Impulses DL1, wie es in den [Fig. 33](#) und [Fig. 34](#) gezeigt ist.

**[0171]** Zum Überwinden des obigen Nachteils ist gemäß diesem Ausführungsbeispiel der Korrekturimpuls-Erzeugungsteil **18** in der in [Fig. 27](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung modifiziert.

**[0172]** [Fig. 30](#) ist ein Schaltungsdiagramm, das eine Synchronisierungssignal-Extraktionsvorrichtung zeigt, die den modifizierten Korrekturimpuls-Erzeugungsteil **54** enthält. Zusätzlich zu dem Differenzierer **51**, der Inverterschaltung **23** und der D-Flip-Flop-Schaltung **24** enthält der modifizierte Korrekturimpuls-Erzeugungsteil **54** eine Inverterschaltung **55**, eine D-Flip-Flop-Schaltung **56** und eine ODER-Schaltung **57**.

**[0173]** Die Inverterschaltung **55** ist eine Schaltung zum Invertieren eines Taktsignals Xck2, das von dem spannungsgesteuerten Oszillator **14** ausgegeben und in den Eingangsanschluss **58** eingegeben wird. Die D-Flip-Flop-Schaltung **56** erlangt das "1"-Signal, das in den Dateneingangsanschluss D eingegeben wird, jedes Mal dann, wenn das invertierte Taktsignal Xck2, das von der Inverterschaltung **55** ausgegeben wird, erhöht wird, und gibt dieses Signal von dem Datenausgangsanschluss Q aus, während sie dieses hält, und setzt auch den gehalten Inhalt zurück, um dann das "0"-Signal von dem Datenausgangsanschluss Q jedes Mal dann auszugeben, wenn das Rücksetzsignal Vreset, das vom Differenzierer **51** ausgegeben wird, "1" ist, und somit wird das "0"-Signal (das "1"-Signal bei der negativen Logik) in den Rücksetzanschluss R eingegeben. Die ODER-Schaltung **57** berechnet die logische Summe aus dem Impuls E, der von dem Datenausgangsanschluss Q der D-Flip-Flop-Schaltung **24** ausgegeben wird, und dem Impuls E1, der vom Datenausgangsanschluss Q der D-Flip-Flop-Schaltung **56** ausgegeben wird.

**[0174]** [Fig. 35](#) ist ein Zeitdiagramm, das einen Betrieb der in [Fig. 30](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung zeigt. Das Taktsignal Xck2, das von dem spannungsgesteuerten Oszillator **14** ausgegeben wird, eilt dem Taktsignal Xck1 um 90 Grad nach, wie es in [Fig. 35](#) gezeigt ist. Das Taktsignal Xck2 kann auf einfache Weise erzeugt werden, so dass der spannungsgesteuerte Oszillator **14** als ein Oszillator materialisiert wird, der dadurch aufgebaut ist, dass er einen Anschluss einer geradzahigen Anzahl von Stufen von differenziellen Verstärkern und eine Querverbindung einer Eingangsstufe enthält, und ein Signal des Zwischenpunkts des Oszillators wird abgenommen. Daher ist ein Signal, wie bei-

spielsweise das Taktsignal Xck2 gemeinhin bei einem Quadratur-Korrelator verwendet worden, usw.

**[0175]** Wie es bereits oben beschrieben ist, wird die D-Flip-Flop-Schaltung **56** durch das Taktsignal Xck2 getriggert, das dem Taktsignal Xck1 um 90 Grad nacheilt. Somit wird nicht nur der Impuls E, der von der durch das Taktsignal Xck1 getriggerten D-Flip-Flop-Schaltung **24** ausgegeben wird, sondern auch der Impuls E1, der von der durch das Taktsignal Xck2 getriggerten D-Flip-Flop-Schaltung ausgegeben wird, als Korrekturimpuls für den Impulskorrekturteil **20** verwendet. Mit dieser Konfiguration erscheint kein falscher Impuls im Signal des Impulses DL1, selbst wenn das Taktsignal Xck1 bezüglich der Phase um  $0,5 T$  dem differenzierten Impulszug DATEN\_DIF voreilt. Weiterhin erscheint kein falscher Impuls im Signal des Impulses DL1, auch selbst dann, wenn die Frequenz des Taktsignals Xck1 höher als diejenige des differenzierten Impulszugs DATEN\_DIF ist, wie es in den [Fig. 36](#) und [Fig. 37](#) gezeigt ist, die jeweils den [Fig. 33](#) und [Fig. 34](#) entsprechen.

**[0176]** Demgemäß wird es möglich, einen stabilen Takt und stabile Daten selbst dann zu reproduzieren, wenn die Verzögerungszeiten der Verzögerungsschaltungen **15** und **52** aufgrund der Temperatur, der Spannung, des Herstellungszustands usw. variieren.

<<Weiteres Ausführungsbeispiel>>

**[0177]** Andererseits kann unter einer gewissen Bedingung die Konfiguration der in [Fig. 27](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung vereinfacht werden.

**[0178]** [Fig. 38](#) ist ein Schaltungsdiagramm, das eine Synchronisierungssignal-Extraktionsvorrichtung zeigt, die den modifizierten Korrekturimpuls-Erzeugungsteil **59** enthält. Der modifizierte Korrekturimpuls-Erzeugungsteil **59** ist so aufgebaut, dass die Inverterschaltung **23** und die D-Flip-Flop-Schaltung **24** von der Korrekturimpuls-Erzeugungsschaltung **18** gelöscht bzw. entfernt sind. Das bedeutet, dass der modifizierte Korrekturimpuls-Erzeugungsteil **59** nur die Verzögerungsschaltung **52** und die Exklusiv-NOR-Schaltung **53** wählt. Somit wird das Ausgangssignal der Exklusiv-NOR-Schaltung **53**, d.h. das Rücksetzsignal Vreset, direkt für den Rücksetzteil **19** und den Impulskorrekturteil **20** verwendet.

**[0179]** [Fig. 39](#) ist ein Zeitdiagramm, das einen Betrieb der in [Fig. 38](#) gezeigten Synchronisierungssignal-Extraktionsvorrichtung zeigt.

**[0180]** Sogar eine derartige Vorrichtung mit einer solchen obigen Konfiguration würde geeignet funktionieren, wie es in [Fig. 39](#) gezeigt ist, wenn das Taktsignal Xck bezüglich der Phase um  $0,5 T$  dem diffe-

renzierten Impulszug DATEN\_DIF voreilt. Der Grund dafür besteht darin, dass dann, wenn die Summe der Verzögerungszeiten der Verzögerungsschaltungen **15** und **16** im Wesentlichen mit der Bitbreite T übereinstimmt, das durch Durchführen einer Exklusiv-NOR-Operation an einem Signal, das durch die Verzögerungsschaltungen **15** und **16** verzögert ist, erhalten ist, und der Impulszug DATEN in Abhängigkeit davon "0" oder "1" zeigt, ob der Impulszug DATEN in einem Zustand fehlender Impulse ist oder nicht, so dass das Rücksetzsignal Vreset direkt als Signal für den Impulskorrekturteil **20** verwendet werden kann.

**[0181]** Die in den [Fig. 40](#) und [Fig. 41](#) gezeigten Fälle, bei welchen die Frequenz des Taktsignals Xck höher als diejenige des differenzierten Impulszugs DATEN\_DIF ist, funktionieren auch geeignet genauso wie die Fälle, die in den [Fig. 36](#) und [Fig. 37](#) gezeigt sind.

**[0182]** Jedoch sollte es beachtet werden, dass die in [Fig. 38](#) gezeigte Vorrichtung unter einer bestimmten Frequenzbeziehung des Taktsignals Xck und des differenzierten Impulszugs DATEN\_DIF und einer bestimmten Verzögerungszeit der Verzögerungsschaltung **52** nicht wie erwartet arbeitet, wie es hierin nachfolgend beschrieben ist.

**[0183]** Allgemein gibt es eine Möglichkeit eines falschen Ziehens einer Frequenz und eines Einfrierens der Ziehfrequenz oder einer Oszillation bei der Stufe eines Ziehens einer Frequenz in der folgenden Beziehung der Frequenz  $f_{xck}$  des Taktsignals Xck und der Frequenz  $f_b$  des Impulszugs DATEN.

$$f_{xck} = ((2n + 1)/2n)f_b$$

oder

$$f_{xck} = ((2n - 1)/2n)f_b$$

wobei n eine gegebene ganze Zahl ist.

**[0184]** Insbesondere dann, wenn  $n = 4$ , d.h.  $f_{xck} = (9/8)f_b$  gilt, ist experimentell herausgefunden worden, dass eine höchste Wahrscheinlichkeit für das falsche Ziehen einer Frequenz oder die Oszillation gibt.

**[0185]** Wie es bereits erklärt ist, werden dann, wenn  $f_{xck} = (9/8)f_b$  gilt und die Verzögerungszeit der Verzögerungsschaltung **52**  $0,4 T$  ist, wie es in [Fig. 41](#) gezeigt ist, geeignete Impulse zum Erniedrigen der Frequenz ohne irgendein Problem erzeugt. Jedoch dann, wenn die Verzögerungszeit der Verzögerungsschaltung **52**  $0,6 T$  unter demselben Frequenzzustand ist, wie er in [Fig. 42](#) gezeigt ist, werden falsche Impulse in dem Signal UL1 nach der Zeit  $t_1$  oder  $t_2$  erzeugt, obwohl entsprechende Impulse im Signal DL1 erzeugt werden sollten. Dies ist deshalb so, weil

ein Ansteigen des Taktsignals Xck zur Zeit  $t_1$  oder  $t_2$  auftritt, während das Rücksetzsignal Vreset auf dem hohen Pegel ("1") davon ist, weshalb sowohl die D-Flip-Flop-Schaltung **21** als auch die D-Flip-Flop-Schaltung **22** zu der Zeit  $t_1$  oder  $t_2$  rückgesetzt werden so, dass ein Ansteigen des differenzierten Impulszugs DATEN\_DIF, was früher als das nächste Ansteigen des Taktsignals Xck erscheint, veranlasst, dass die D-Flip-Flop-Schaltung **21** auf "1" gesetzt wird.

**[0186]** Angesichts des obigen ist es nötig, dass die Verzögerungszeit der Verzögerungsschaltung **52** gleich  $0,4 T$  oder darunter bei dem in [Fig. 38](#) gezeigten Ausführungsbeispiel ist. In diesem Zusammenhang besteht ein Idealzustand zum Erfassen eines unvollständigen Impulssignals mit irgendwelchen fehlenden Impulsen darin, dass die Verzögerungszeit der Verzögerungsschaltung **15**  $0,5 T$  ist und die Verzögerungszeit der Verzögerungsschaltung **52**  $0,4 T$  ist ( $0,6 T + 0,4 T = 1 T$ ), und unter diesem Zustand zeigt das Rücksetzsignal Vreset "1" für eine Dauer, die genau einer Dauer entspricht, in welcher Impulse fehlen, und zeigt "0" die andere Dauer. Übrigens ist es gegenwärtig unmöglich, vorherzusagen, ob der nächste Puls fehlen wird. Daher werden vergangene Daten, die um ein Bit vorausgehen, in einer Verzögerungsschaltung gespeichert, und dann werden gegenwärtige Daten mit den vergangenen Daten verglichen, so dass es möglich sein kann, zu bestimmen, ob die gegenwärtigen Daten den Daten eines fehlenden Impulses entsprechen. In diesem Sinne ist die Verzögerungsschaltung ein wichtiges Speicherelement.

**[0187]** Unterschiedlich von der in [Fig. 38](#) gezeigten Vorrichtung arbeiten die beiden Vorrichtungen, die in den [Fig. 27](#) und [Fig. 30](#) gezeigt sind, selbst in dem in [Fig. 42](#) gezeigten Zustand richtig, weil der Impuls E, der durch eine abfallende Flanke des Taktsignals Xck (Xck1) getriggert wird, das nach einer ansteigenden Flanke des Taktsignals Xck (Xck1) erscheint, als ein Korrekturimpuls in der in [Fig. 27](#) gezeigten Vorrichtung verwendet wird, und der Impuls E1, der durch die abfallende Flanke des Taktsignals Xck2 getriggert wird, zusätzlich als Korrekturimpuls in der in [Fig. 30](#) gezeigten Vorrichtung verwendet wird, so dass ein Ansteigen des Taktsignals Xck (Xck1) niemals auftritt, während der Impuls E oder E1 auf dem hohen Pegel ("1") während eines Zustands von fehlenden Impulsen ist. Obwohl das Ansteigen auftritt, während der Impuls E oder E1 auf dem hohen Pegel ("1") ist, während eines normalen Zustands, gibt es deshalb kein Problem, weil der Vergleichsbetrieb durch Rücksetzen von sowohl der D-Flip-Flop-Schaltung **21** als auch der D-Flip-Flop-Schaltung **22** verhindert wird.

**[0188]** Zwischenzeitlich wird in Bezug auf ein Frequenzhereinziehen gemäß den obigen zwei Ausführungsbeispielen selbst unter dem Zustand, in wel-

chem die Frequenz  $fxck1$  ( $fxck$ ) des Taktsignals  $Xck1$  ( $xck$ ) beachtlich höher als beispielsweise zweimal so hoch wie diejenige des differenzierten Impulszugs  $DATEN\_DIF$  ist, wie es in den [Fig. 36](#) und [Fig. 40](#) gezeigt ist, der weite Impuls  $DL1$  zum starken Erniedrigen der Frequenz des Taktsignals erzeugt.

**[0189]** Andererseits wird unter dem Zustand, in welchem die Frequenz  $fxck1$  ( $fxck$ ) des Taktsignals  $Xck1$  ( $xck$ ) beachtlich niedriger als beispielsweise eine Hälfte von derjenigen des differenzierten Impulszugs  $DATEN\_DIF$  ist, der weite Impuls  $UL1$  zum starken Erhöhen der Frequenz des Taktsignals gemäß den Ausführungsbeispielen erzeugt, obwohl es in den Zeichnungen nicht gezeigt ist.

**[0190]** Andere Frequenzunterscheidungseinrichtungen, wie beispielsweise ein Quadratur-Korrelator und ein Drehschlupfdetektor, haben das obige Merkmal nicht. Das bedeutet, dass gemäß diesen Frequenzunterscheidungseinrichtungen, obwohl ein starkes Ziehsignal erzeugt wird, wenn die Frequenz des Taktsignals nahe der Frequenz des Impulszugs von ursprünglichen Daten ist, das Ziehsignal schwach wird, wenn die Frequenzen voneinander abweichen, und dies darin resultiert, dass kein Ziehsignal erscheint, wenn die Frequenz des Taktsignals das Zweifache oder die Hälfte ist.

**[0191]** Gegensätzlich dazu gibt es gemäß den Ausführungsbeispielen keinen Nachteil, wie beispielsweise den obigen, und ein starkes Ziehsignal wird in Abhängigkeit nur davon erzeugt, ob die Frequenz höher oder niedriger ist, und nicht in Abhängigkeit von dem Ausmaß davon. Weiterhin wird dann, wenn einmal die Frequenz miteinander übereinstimmen und dann eine Phasenziehstufe kommt, ein starkes Phasenziehsignal auf gleiche Weise erzeugt. Weiterhin wird der Frequenzziehstufe kontinuierlich und ruhig durch die Phasenziehstufe ohne irgendeine Pause gefolgt. Zusätzlich haben die Vorrichtungen gemäß den Ausführungsbeispielen eine Charakteristik eines nahezu idealen Frequenz/Phasen-Komparators, so dass nur ein Ausgangssignal mit Impulsen mit einer Breite von nahezu 0 an einer Stelle einer Übereinstimmung bezüglich einer Frequenz und einer Phase erzeugt wird.

**[0192]** Schließlich wird es aus den vorangehenden Beschreibungen herausgefunden, dass die in [Fig. 38](#) gezeigte Vorrichtung vorzuziehen ist, wenn eine stabile Verzögerungsschaltung verfügbar ist, und dass die in [Fig. 27](#) gezeigte Vorrichtung in einem praktischen Einsatz vorzuziehen ist, und dass die in [Fig. 30](#) gezeigte Vorrichtung dann vorzuziehen ist, wenn es nötig ist, einen genügenden Betriebspielraum zu halten.

**[0193]** Wie es oben beschrieben ist, kann gemäß der vorliegenden Erfindung das genaue Synchroni-

sierungssignal in Bezug auf den Impulszug erzeugt werden, der in einen Zustand fehlender Spitzen gebracht wird, und zwar aufgrund einer Modulation durch Daten, während die Anzahl von Teilen reduziert wird. Ebenso kann die Pulsierung der erfassten Ausgabe auf so gering wie möglich zu Null zu dem Zeitpunkt minimiert werden, wenn das Synchronisierungssignal mit der angepassten Frequenz und der angepassten Phase erhalten wird, und der variable Bereich der erfassten Ausgabe kann erweitert werden. Als Ergebnis kann der frequenzvariable Bereich des Synchronisierungssignals erweitert werden, um die Hochgeschwindigkeitsantwort zu ermöglichen, und ebenso kann die Frequenzunterscheidungsfunktion zur Verfügung gestellt werden.

**[0194]** Es sollte verstanden werden, dass viele Modifikationen und Anpassungen der Erfindung Fachleuten auf dem Gebiet offensichtlich werden, und dass es beabsichtigt ist, solche offensichtlichen Modifikationen und Änderungen im Schutzzumfang der Ansprüche zu umfassen, die hierzu beigefügt sind.

## Patentansprüche

1. Ein Phasenkomparator (**9, 41**), umfassend: einen Phasenvergleichsteil (**17**) zum Erzeugen eines Anführphasen-Anweisungspulses ( $U4$ ) und eines Abschirmphasen-Anweisungspulses ( $D4a$ ) zum Aneinanderanpassen einer Phase eines Eingangspulszugs ( $Data$ ) und einer Phase eines Eingangstaktsignals ( $Xck1$ ) entsprechend der Phasen; ein Korrekturpuls erzeugungsteil (**18**) zum Erzeugen eines Korrekturpulses ( $E, E1$ ) entsprechend dem Eingangspulszug ( $Data$ ) und dem Eingangstaktsignal ( $Xck1$ ); und ein Rücksetzteil (**19, 40**) zum Rücksetzen des Phasenvergleichsteils (**17**) durch Erzeugen eines Rücksetzpulses entsprechend des Anführphasen-Anweisungspulses ( $U4$ ) und des von dem Phasenvergleichsteil (**17**) ausgegebenen Abschirmphasen-Anweisungspulses ( $D4a$ ), dem von dem Korrekturpuls erzeugungsteil (**18**) ausgegebenen Korrekturpuls ( $E, E1$ ) und einem Eingangstaktsignal ( $Xck1$ ), **dadurch gekennzeichnet**, dass: der Korrekturpuls erzeugungsteil (**18**) den Korrekturpuls ( $E$ ) erzeugt, der infolge eines Triggers durch das Eingangstaktsignal ( $Xck1$ ) ansteigt und infolge eines Rücksetzens durch einen differenzierten Pulszug ( $Data-Dif$ ) abfällt, erhalten durch Differenzieren des Eingangspulszugs ( $Data$ ), um dadurch eine Pulsbreite aufzuweisen, die einem Pulsfehlabschnitt des Eingangspulszugs ( $Data$ ) entspricht.

2. Ein Phasenkomparator gemäß Anspruch 1, und weiterhin umfassend: einen Pulskorrekturteil (**20**) zum Entfernen falscher Pulse, die in dem von dem Phasenvergleichsteil (**17**) ausgegebenen Abschirmphasen-Anweisungspuls ( $D4a$ ) enthalten sind, basierend auf dem von dem

Korrekturpulserzeugungsteil (18) ausgegebenen Korrekturpuls (E), und Ausgeben des korrigierten Abschirmphasen-Anweisungspulses (D4).

3. Ein Phasenkomparator (9) gemäß Anspruch 1, wobei der Phasenvergleichsteil (17) einen ersten Flip-Flop-Schaltkreis (21), der durch einen durch Differenzieren des Eingangspulszugs (Data) erhaltenen differenzierten Pulszug (Data-Dif) getriggert ist, zum Ausgeben des Anführphasen-Anweisungspulses (U4), und einen durch das Eingangssignal (Xck1) getriggerten zweiten Flip-Flop-Schaltkreis (22) zum Ausgeben des Abschirmphasenanweisungspulses (D4a) einschließt und der Rücksetzteil (19) einen Rücksetzpuls erzeugt, wenn sowohl der Anführphasen-Anweisungspuls (U4) als auch der Abschirmphasen-Anweisungspuls (D4a) von dem Phasenvergleichsteil (17) ausgegeben werden, oder wenn das Eingangstaktsignal in einer Situation eingegeben wird, in der der Korrekturpuls (E) von dem Korrekturpulserzeugungsteil (18) ausgegeben ist, und den Anführphasen-Anweisungspuls (U4) und den Abschirmphasen-Anweisungspuls (D4a) durch Rücksetzen der entsprechenden, den Phasenvergleichsteil (17) darstellenden Flip-Flop-Schaltkreise (21)(22) zurücksetzt.

4. Ein Phasenkomparator (9) gemäß Anspruch 1, wobei der Phasenvergleichsteil (17) einen ersten Flip-Flop-Schaltkreis (21), der durch einen durch Differenzieren des Eingangspulszugs (Data) erhaltenen differenzierten Pulszug (Data-Dif) getriggert ist, zum Ausgeben des Anführphasen-Anweisungspulses einer (U4), und einen durch das Eingangstaktsignal (Xck1) getriggerten zweiten Flip-Flop-Schaltkreis (22) zum Ausgeben des Abschirmphasen-Anweisungspulses (D4a) einschließt, und der Rücksetzteil (19) einen Rücksetzpuls erzeugt, wenn sowohl der Anführphasen-Anweisungspuls (U4) als auch der Abschirmphasen-Anweisungspuls (D4a) von dem Phasenvergleichsteil (17) ausgegeben werden, und den Anführphasen-Anweisungspuls (U4) und den Abschirmphasen-Anweisungspuls einer (D4a) durch Rücksetzen der entsprechenden den Phasenvergleichsteil (17) darstellenden Flip-Flop-Schaltkreise (21, 22) zurücksetzt; oder einen Rücksetzpuls erzeugt, wenn das Eingangstaktsignal in einer Situation eingegeben wird, in der der Korrekturpuls (E) von dem Korrekturpulserzeugungsteil (18) ausgegeben ist, und den Abschirmphasen-Anweisungspuls (D4a) durch Rücksetzen des den Phasenvergleichsteil (17) darstellenden zweiten Flip-Flop-Schaltkreises (22) zurücksetzt.

5. Einen Phasenkomparator (9) gemäß einem der Ansprüche 1, 2, 3 und 4, wobei der Phasenvergleichsteil (17) den Anführphasen-Anweisungspuls (U4) und den Abschirmphasen-Anweisungspuls (D4a) durch Verwenden eines durch Differenzieren sowohl eines Anstiegs und eines Abfalls des Ein-

gangspulszugs erhaltenen differenzierten Pulszugs (Data-Dif) erzeugt, und Teile auswählt und ausgibt, die wenigstens einem einer Hochpegeldauer und einer Niederpegeldauer des Eingangspulszugs von dem Anführphasen-Anweisungspuls (U4) und dem Abschirmphasen-Anweisungspuls (D4a) entsprechen.

6. Eine Synchronisierungssignalextrahierungsvorrichtung (1, 301), umfassend:  
einen in Anspruch 2 ausgeführten Phasenkomparator (9, 41);  
eine Ladungspumpeinheit (12) zum Erhöhen eines Spannungswertes eines Ausgangsspannungssignals durch Ausführen eines Ladebetriebs, wenn der Anführphasen-Anweisungspuls (U4) von dem Phasenkomparator (9, 41) eingegeben wird, und Vermindern des Spannungswertes des Ausgangsspannungssignals durch Ausführen eines Entladebetriebs, wenn der Abschirmphasen-Anweisungspuls (D4) von dem Phasenkomparator (9, 41) eingegeben wird; und  
einen spannungsgesteuerten Oszillator (14) zum Empfangen des von der Ladepumpeinheit (12) ausgegebenen Spannungssignals, der ein Taktsignal erzeugt, das eine Frequenz aufweist, die sich erhöht, wenn der Spannungswert des Spannungssignals sich erhöht, und das erzeugte Taktsignal an den Phasenkomparator (9, 41) liefert.

Es folgen 40 Blatt Zeichnungen

FIG. 1  
STAND DER TECHNIK

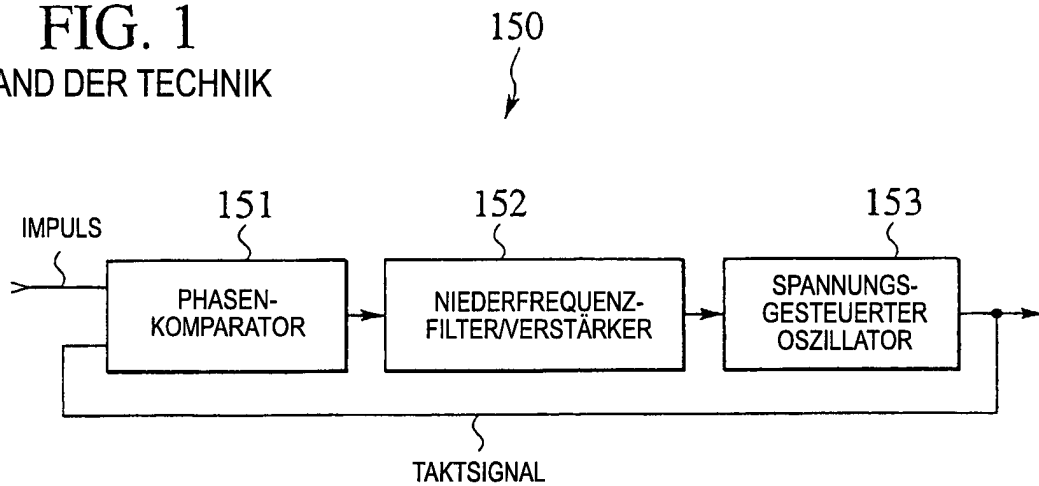
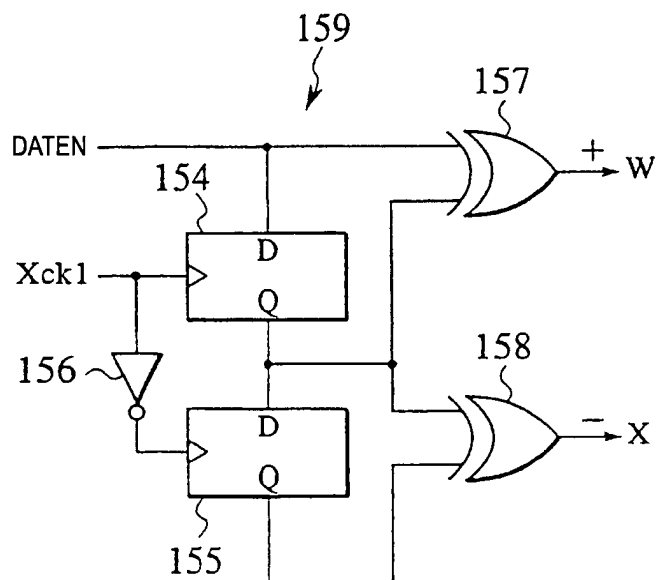


FIG. 2  
STAND DER TECHNIK



**FIG. 3**  
STAND DER TECHNIK

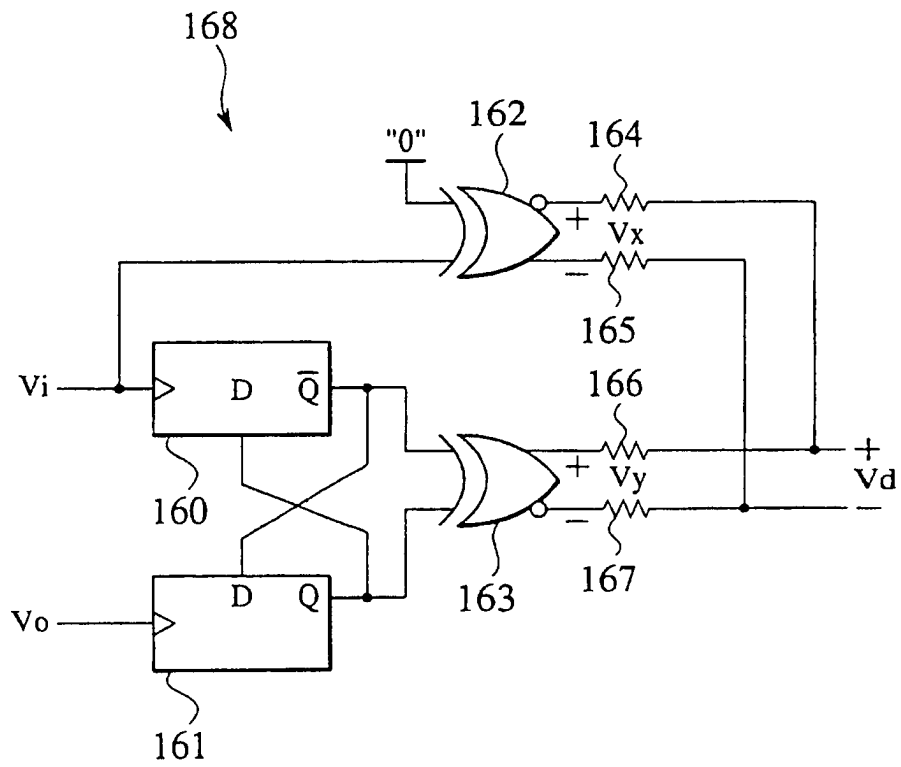
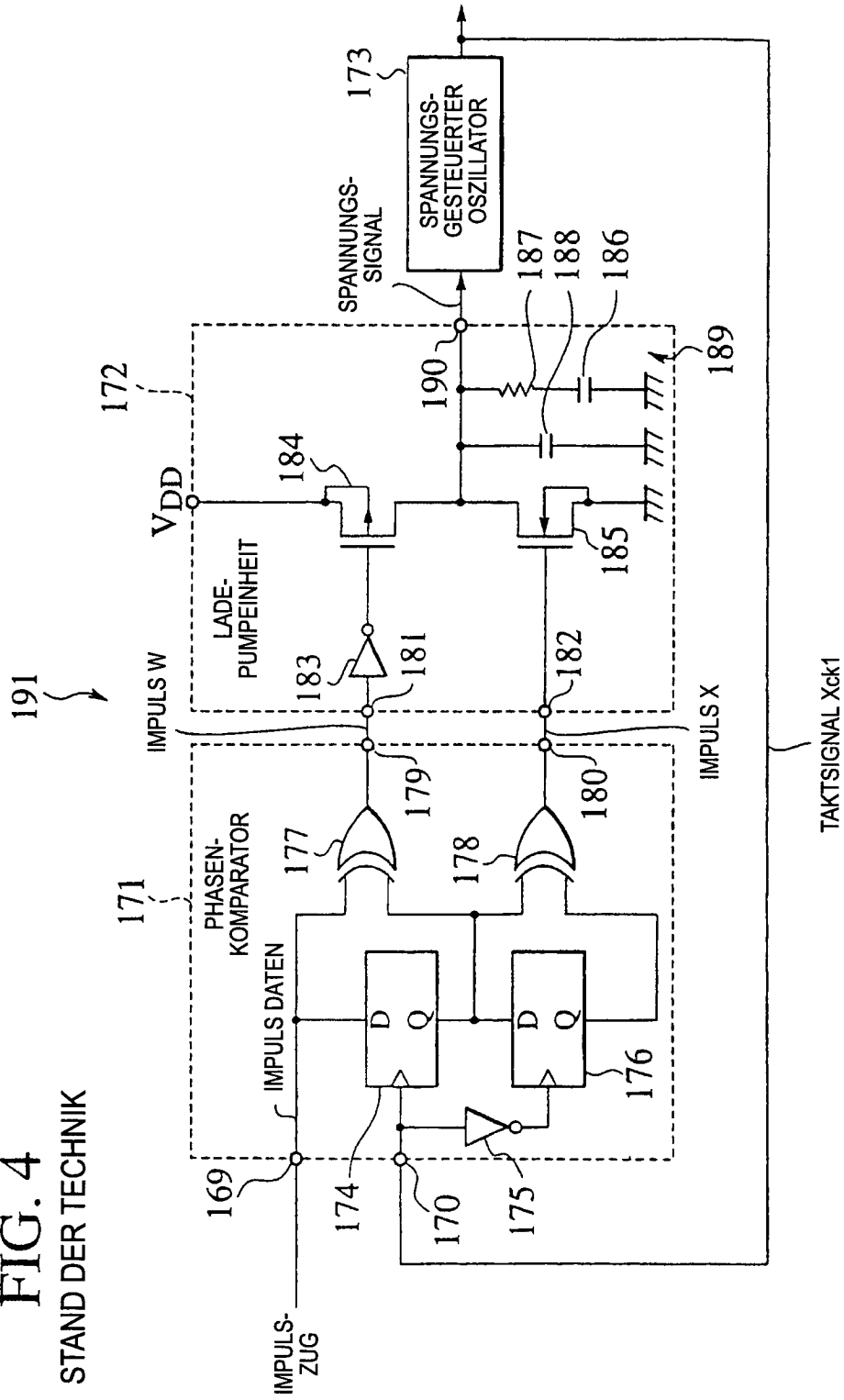
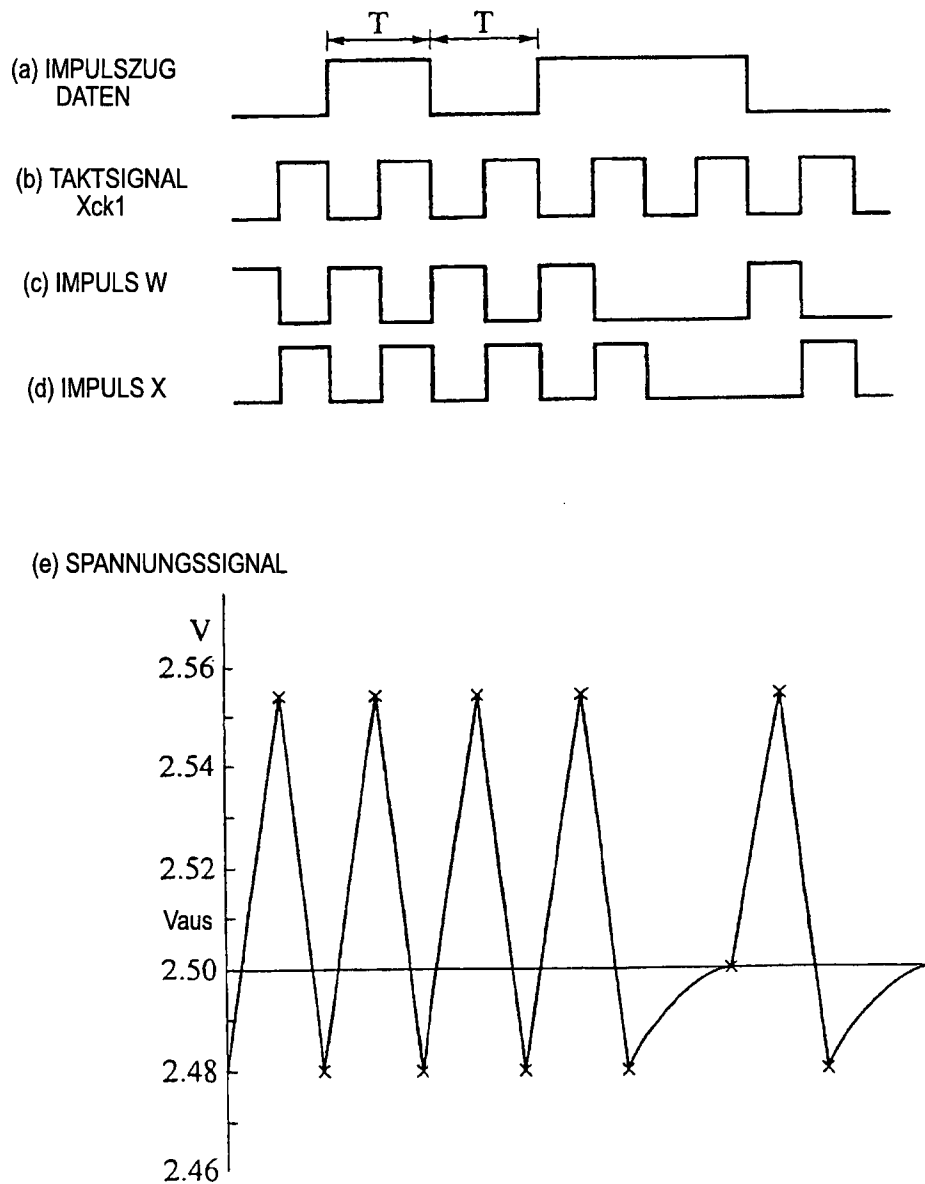


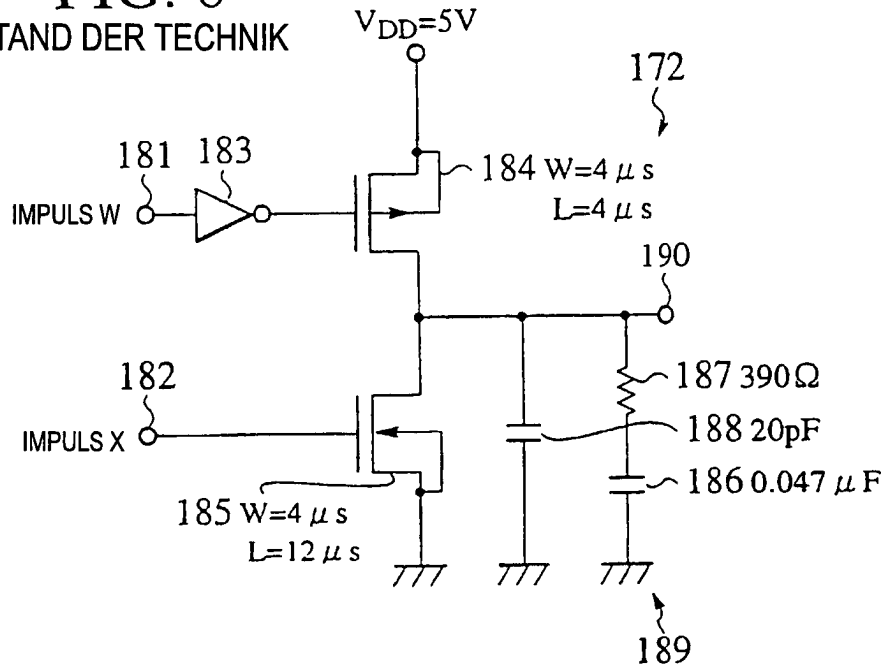
FIG. 4  
STAND DER TECHNIK



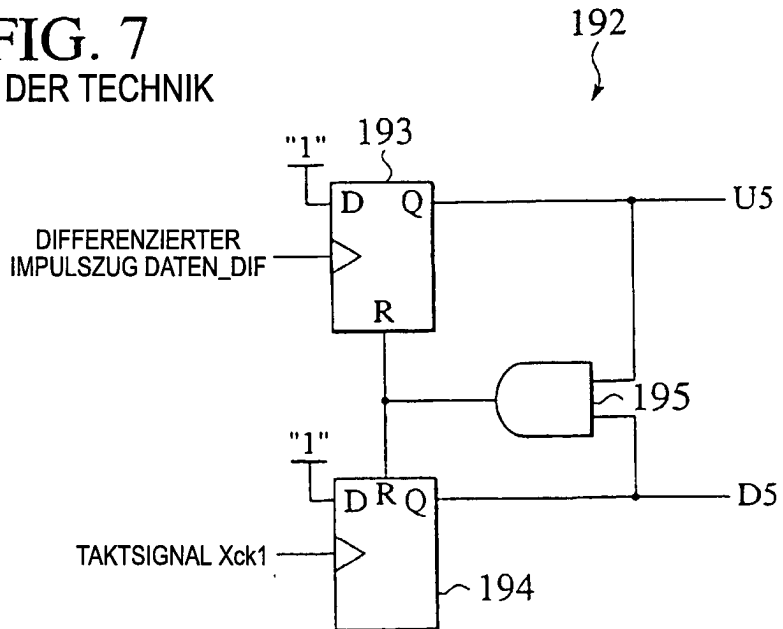
**FIG. 5**  
STAND DER TECHNIK



**FIG. 6**  
STAND DER TECHNIK



**FIG. 7**  
STAND DER TECHNIK



**FIG. 8**  
STAND DER TECHNIK

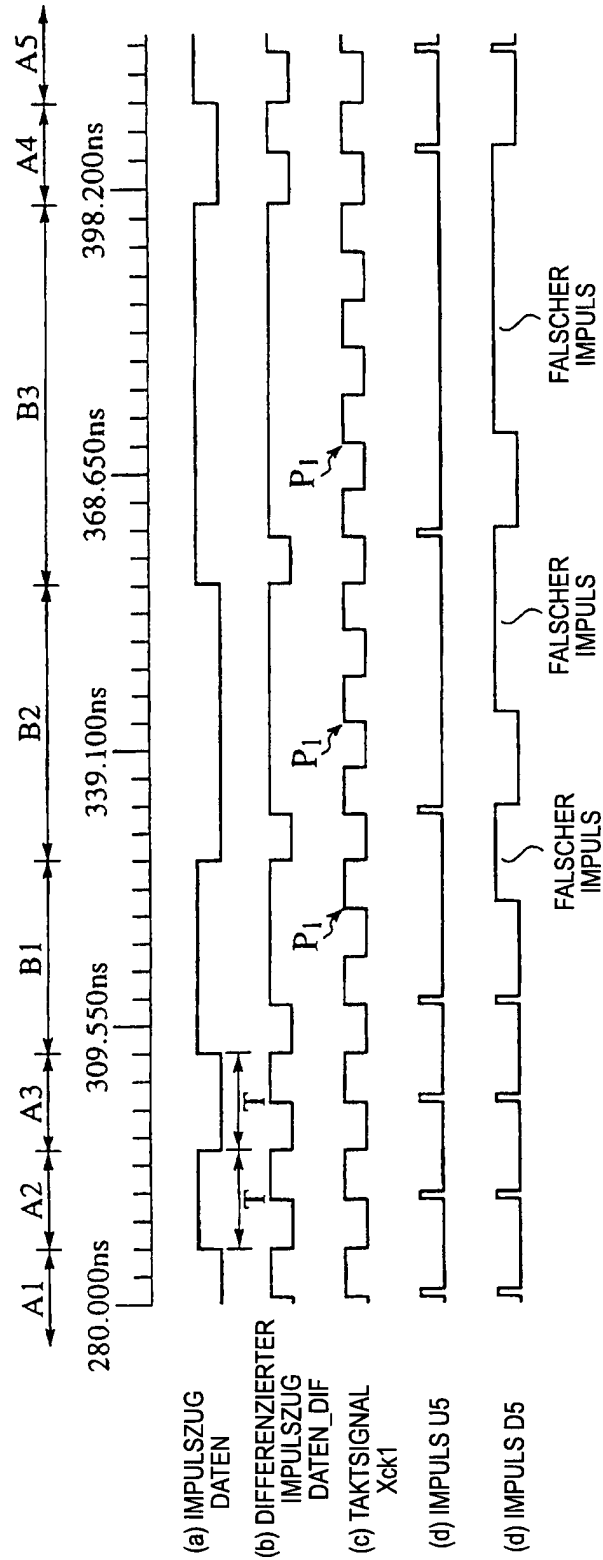
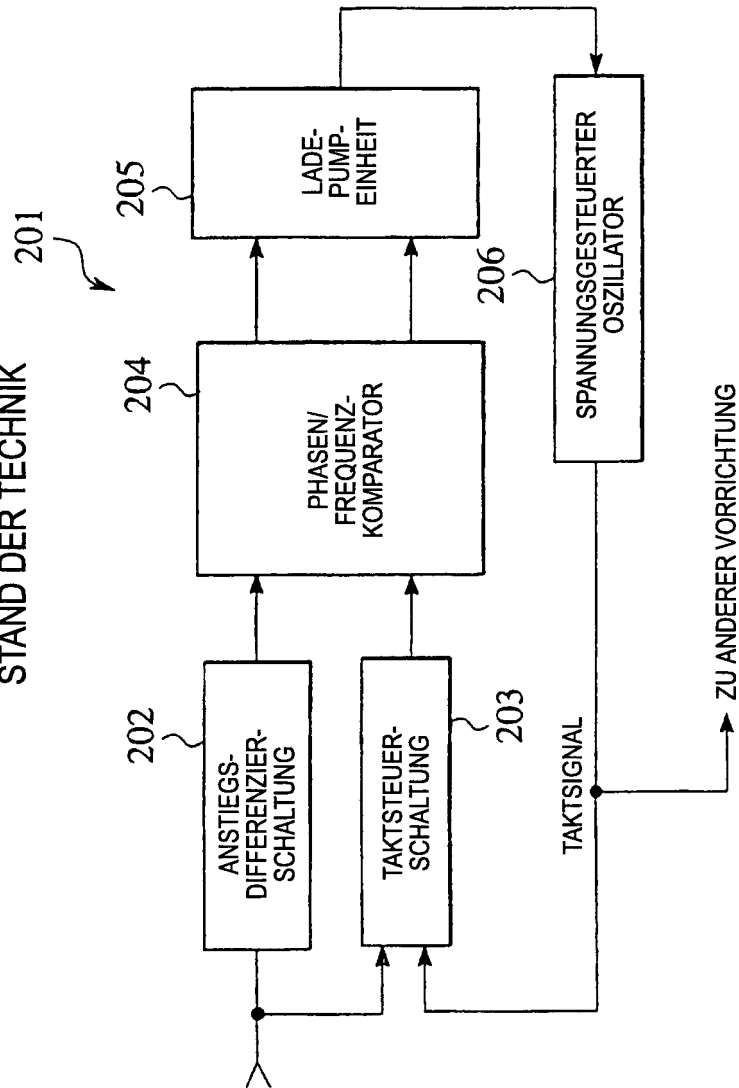
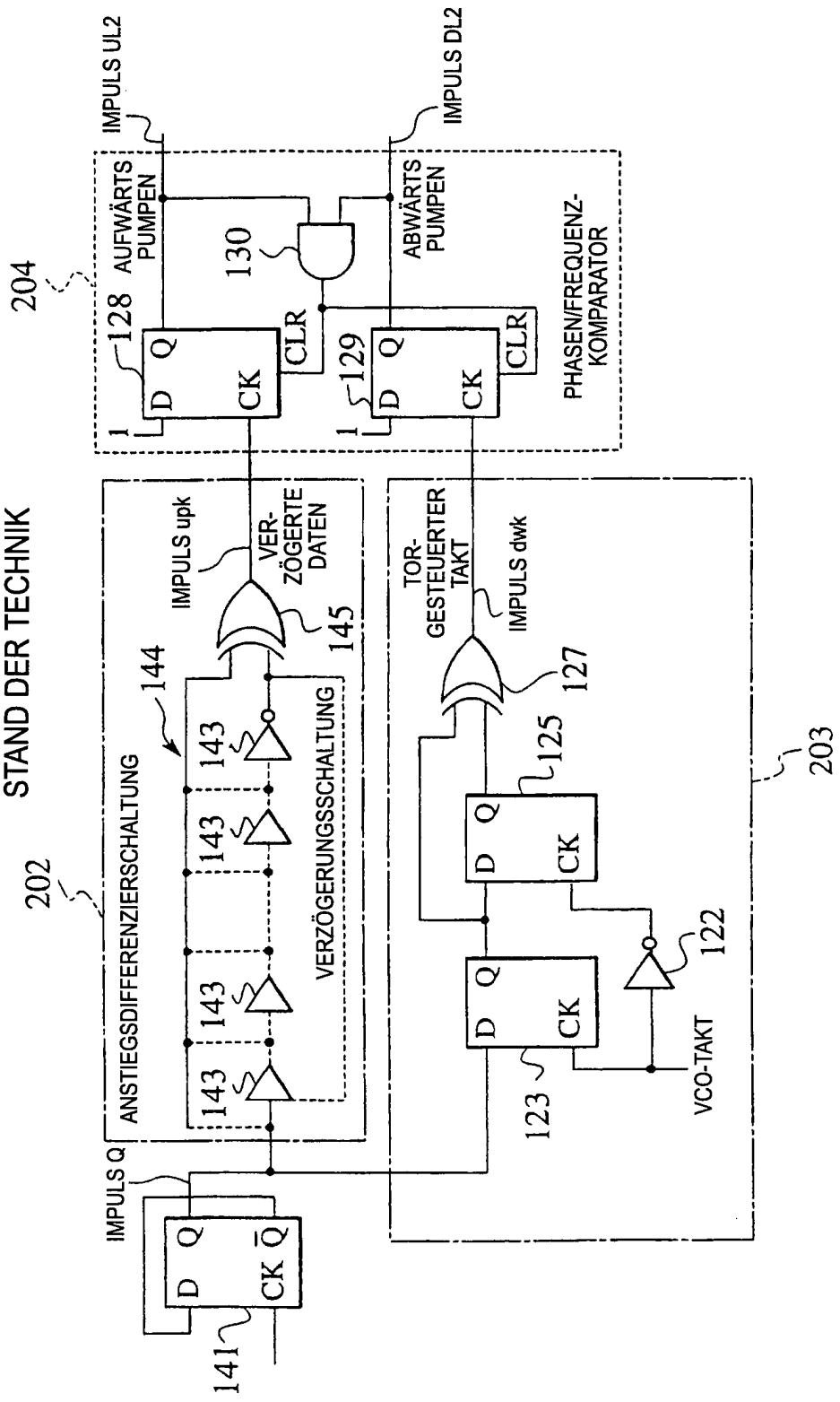


FIG. 9

STAND DER TECHNIK



**FIG. 10**  
STAND DER TECHNIK



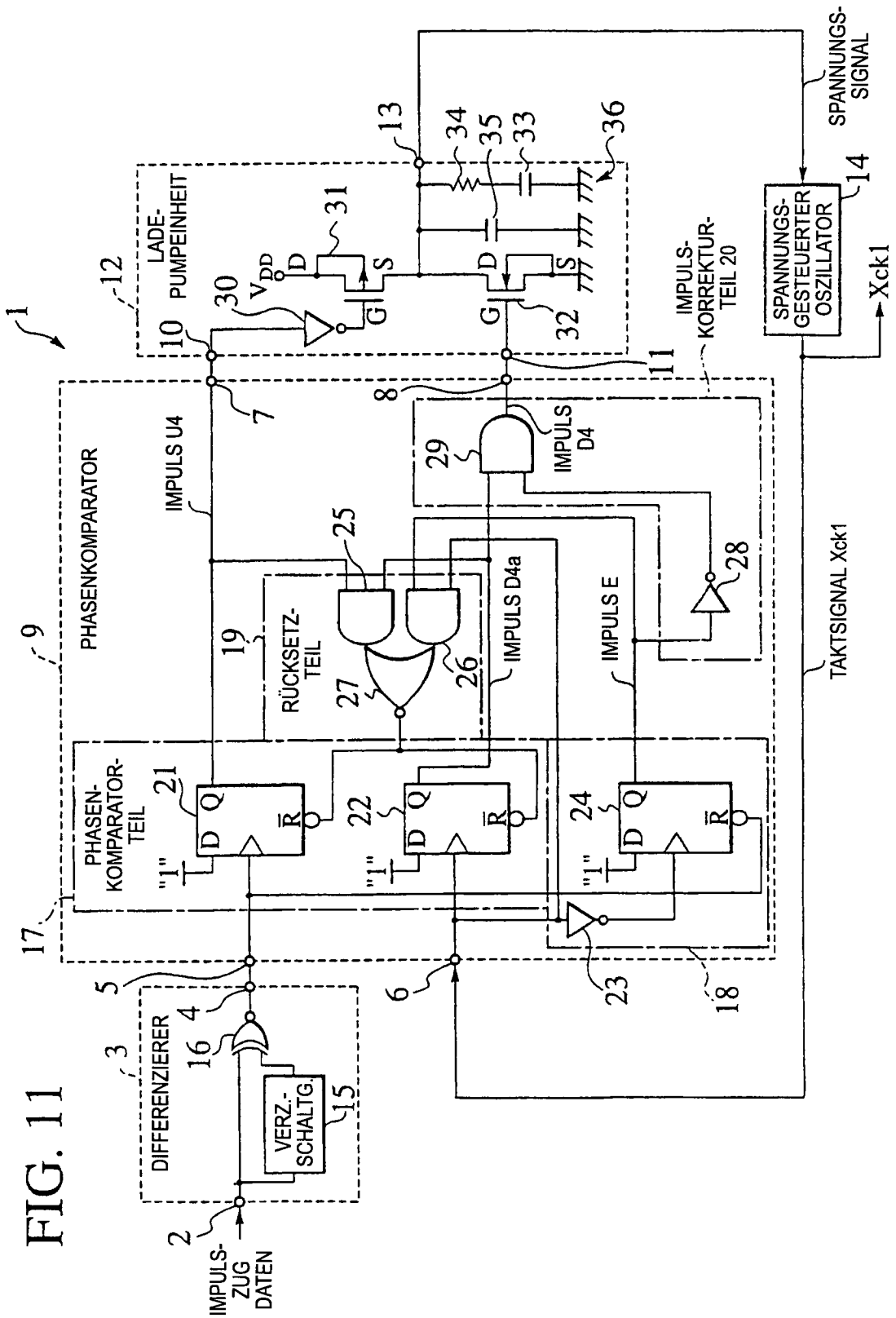


FIG. 11

FIG. 12

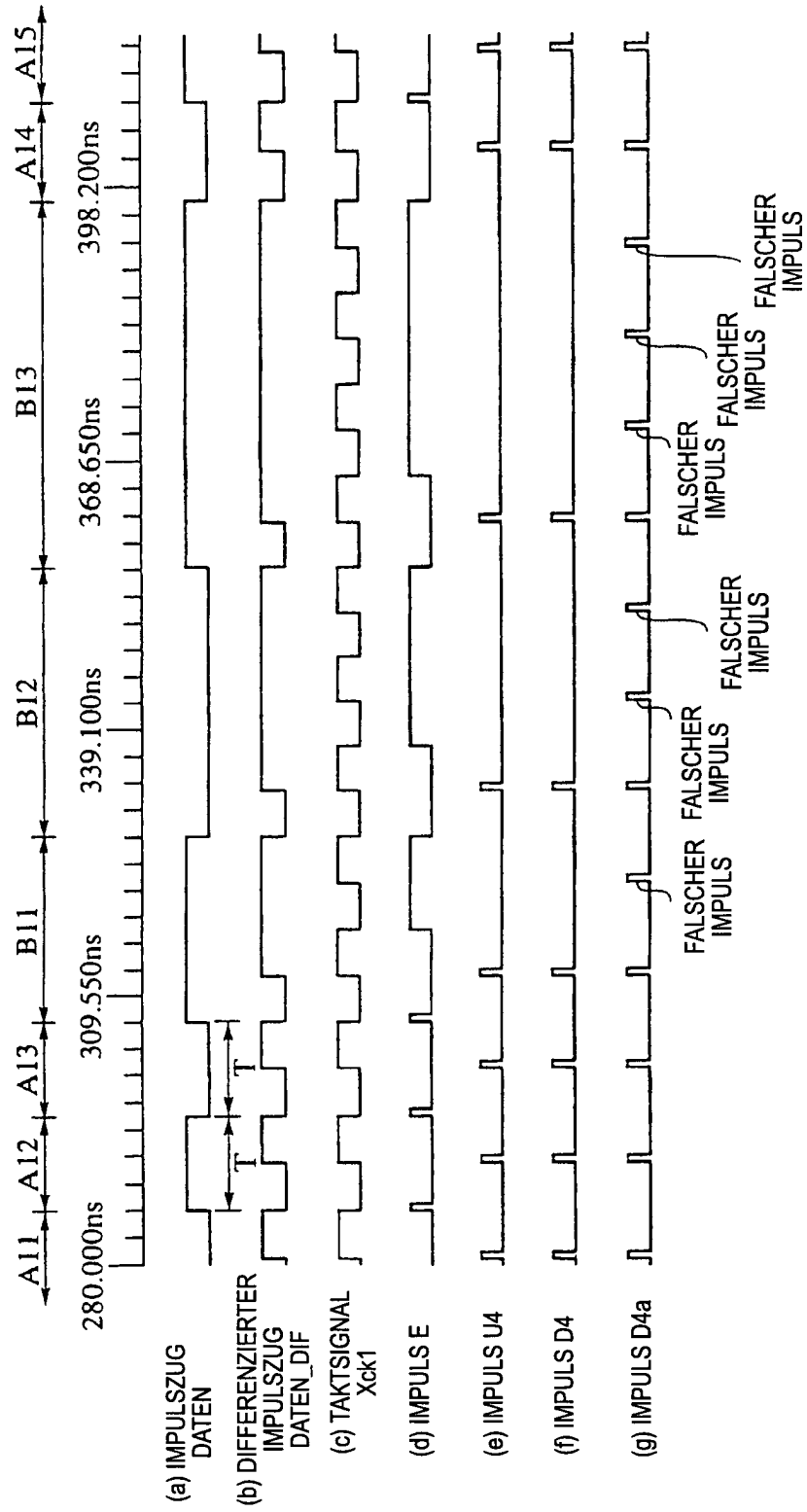


FIG. 13

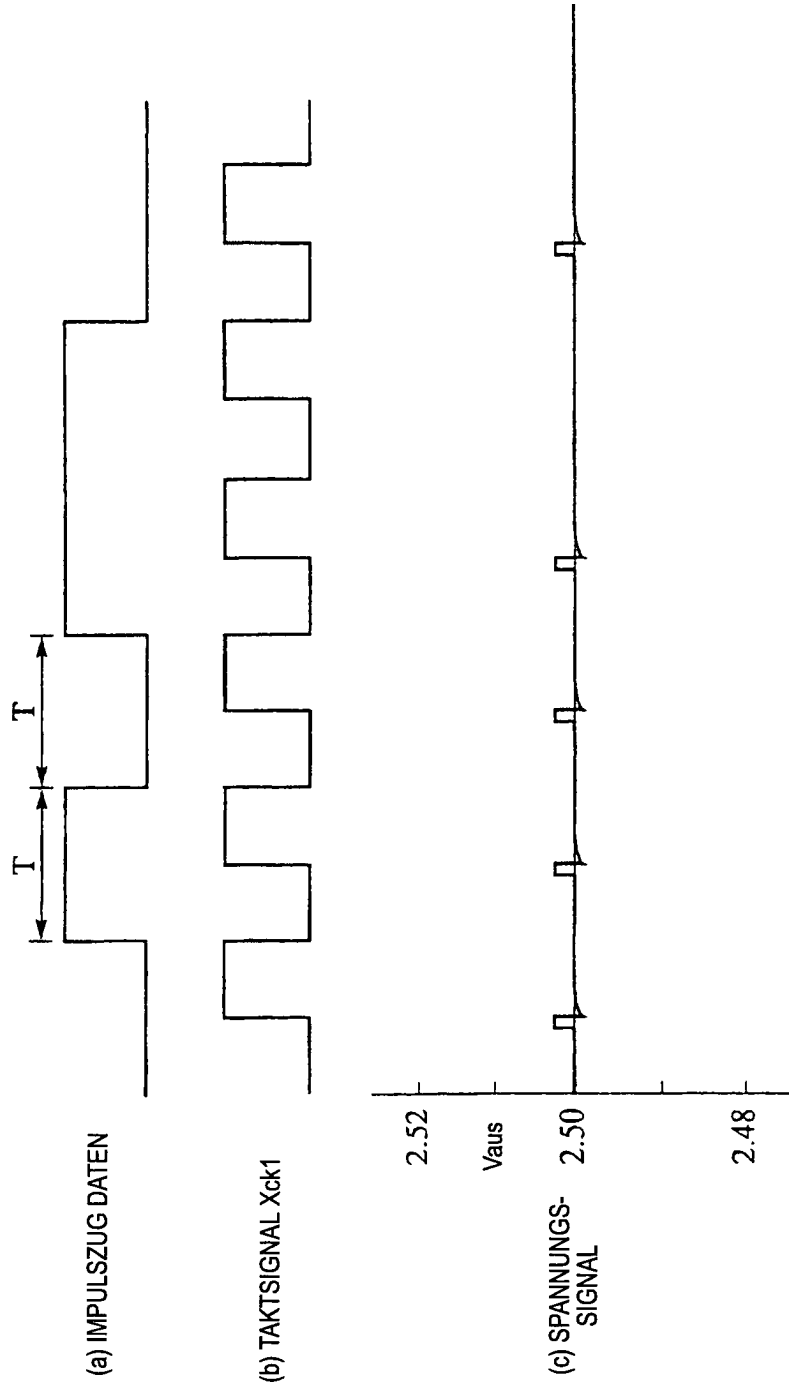


FIG. 14

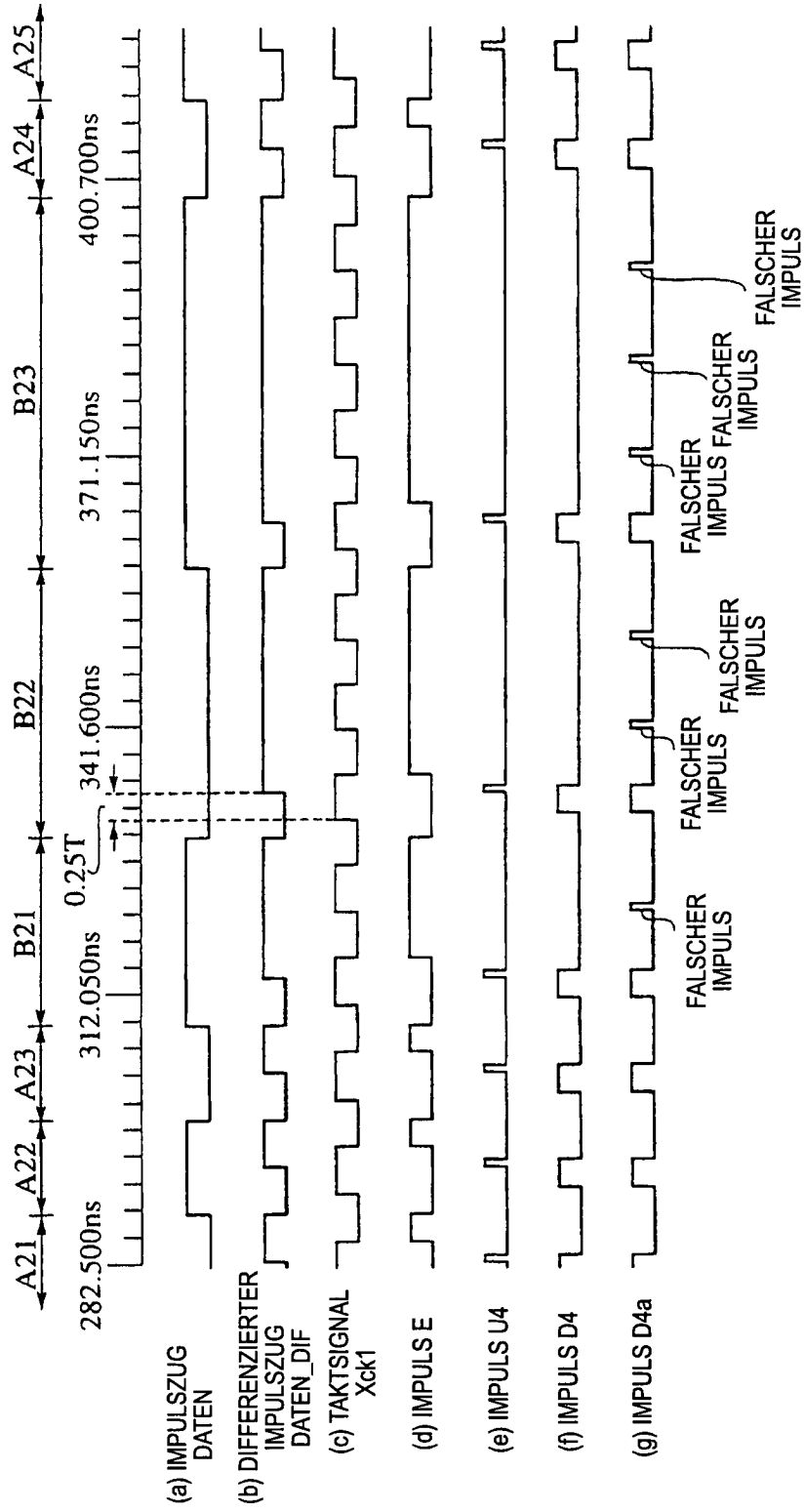


FIG. 15

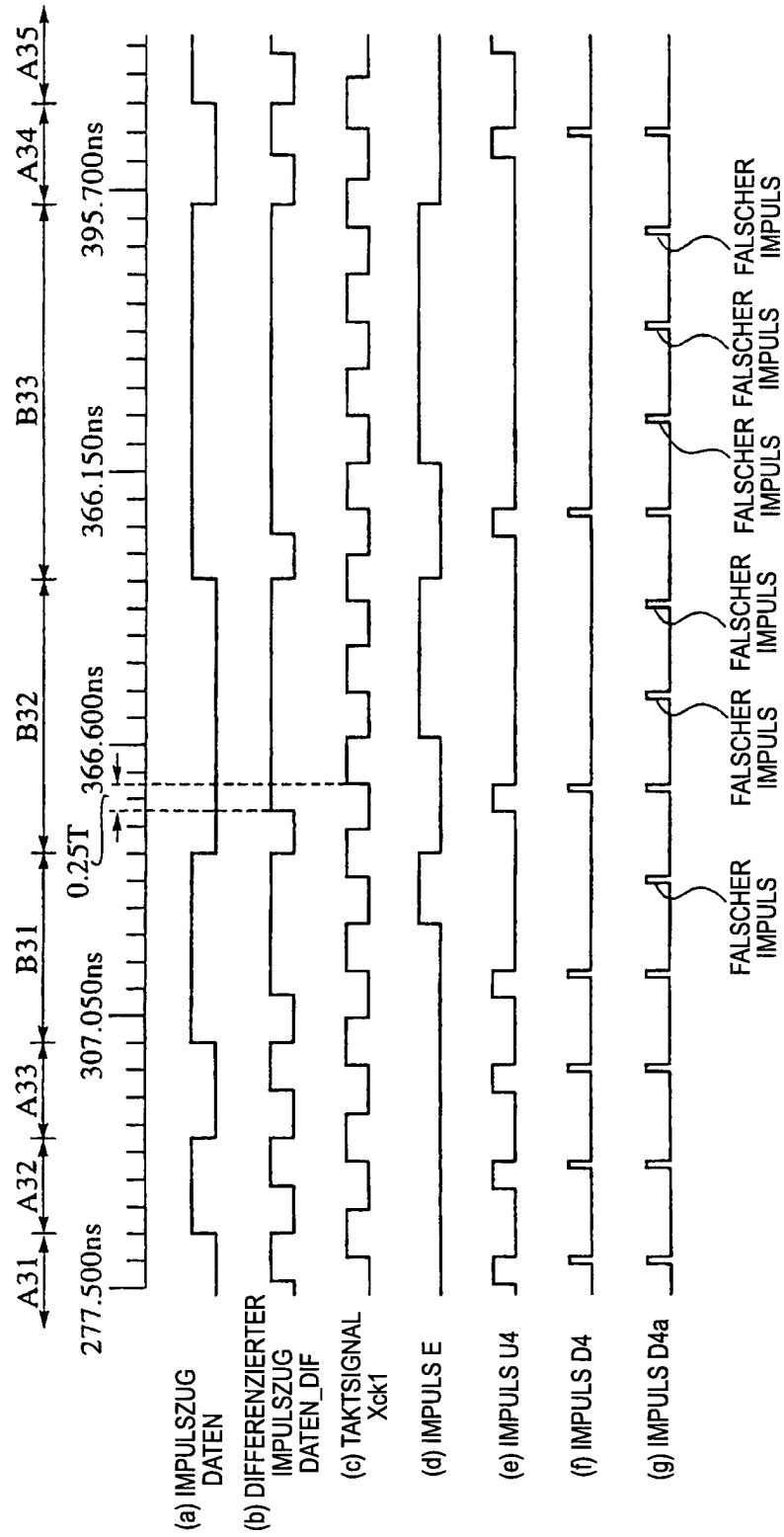


FIG. 16

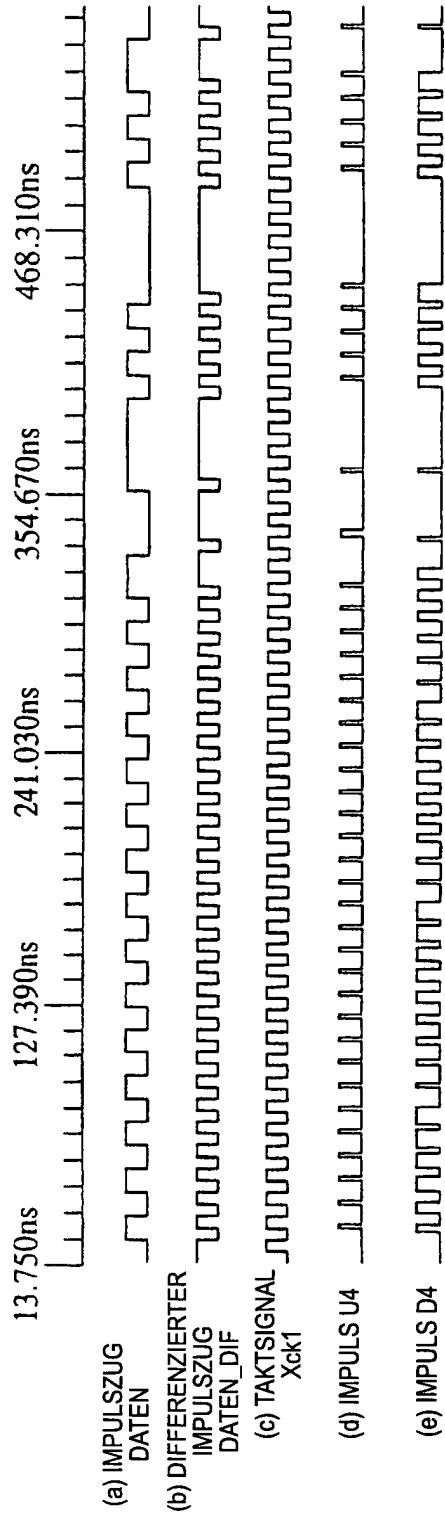


FIG. 17

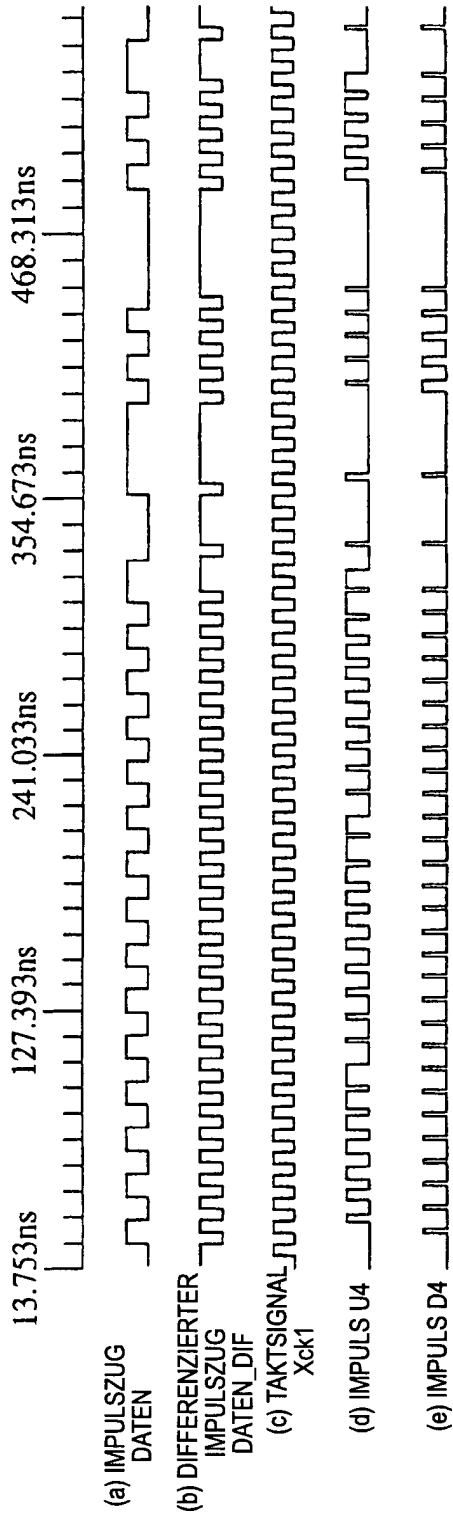


FIG. 18

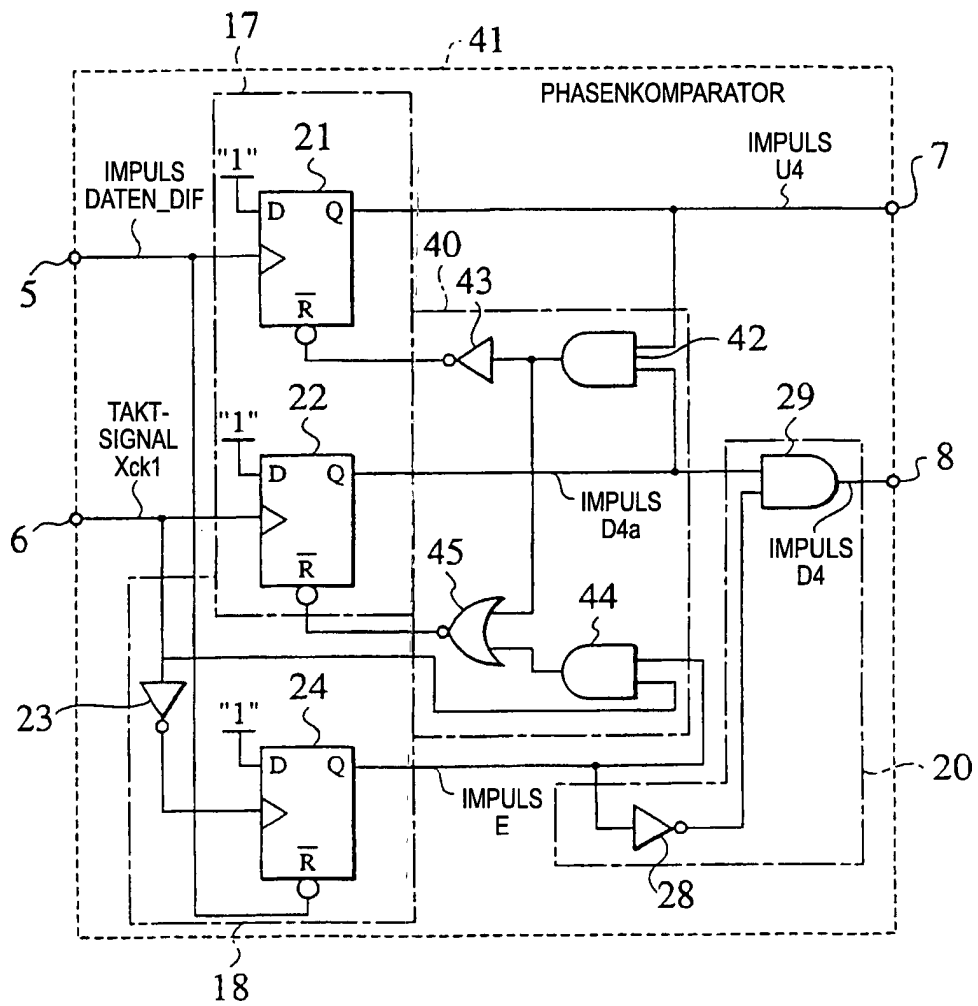


FIG. 19

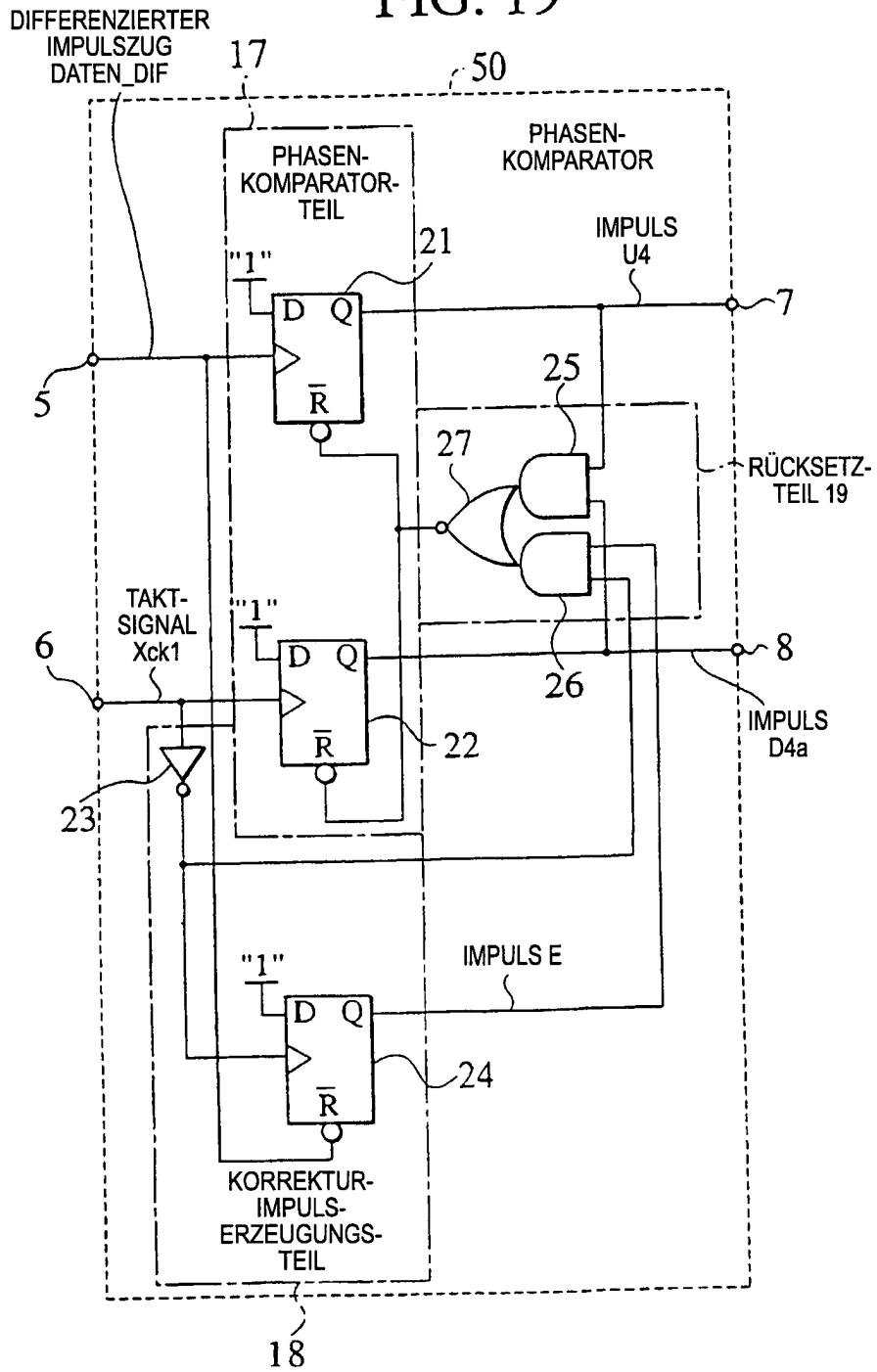


FIG. 20 301

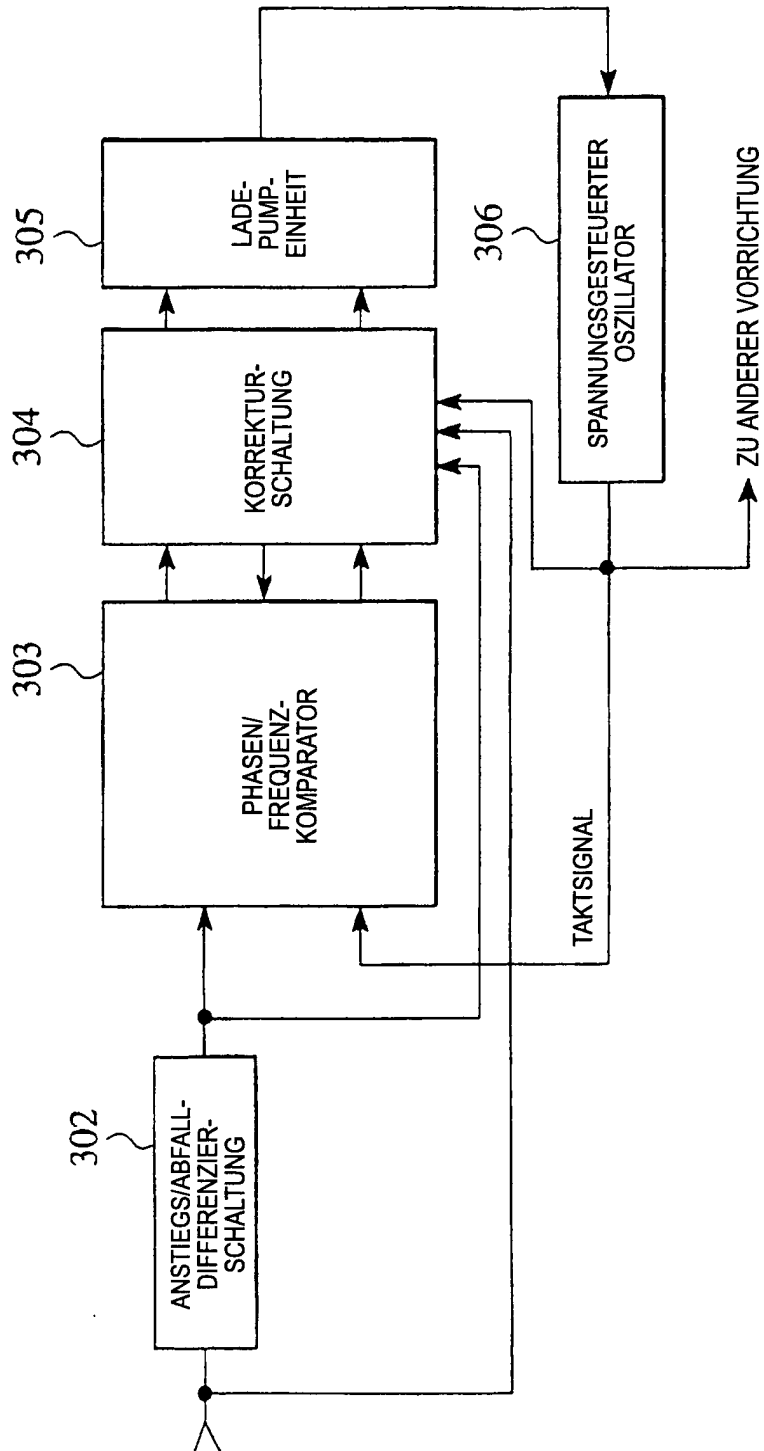


FIG. 21

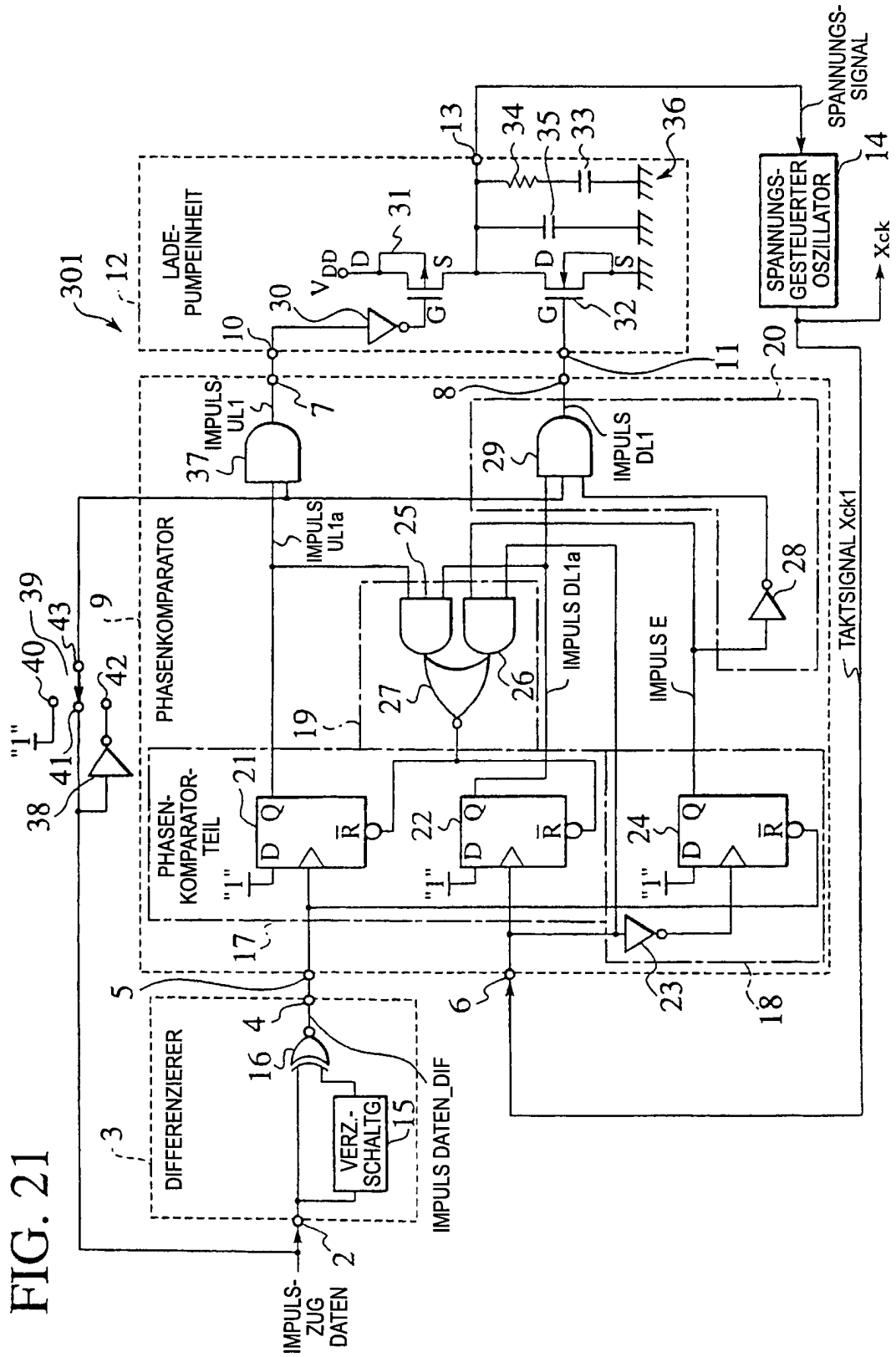
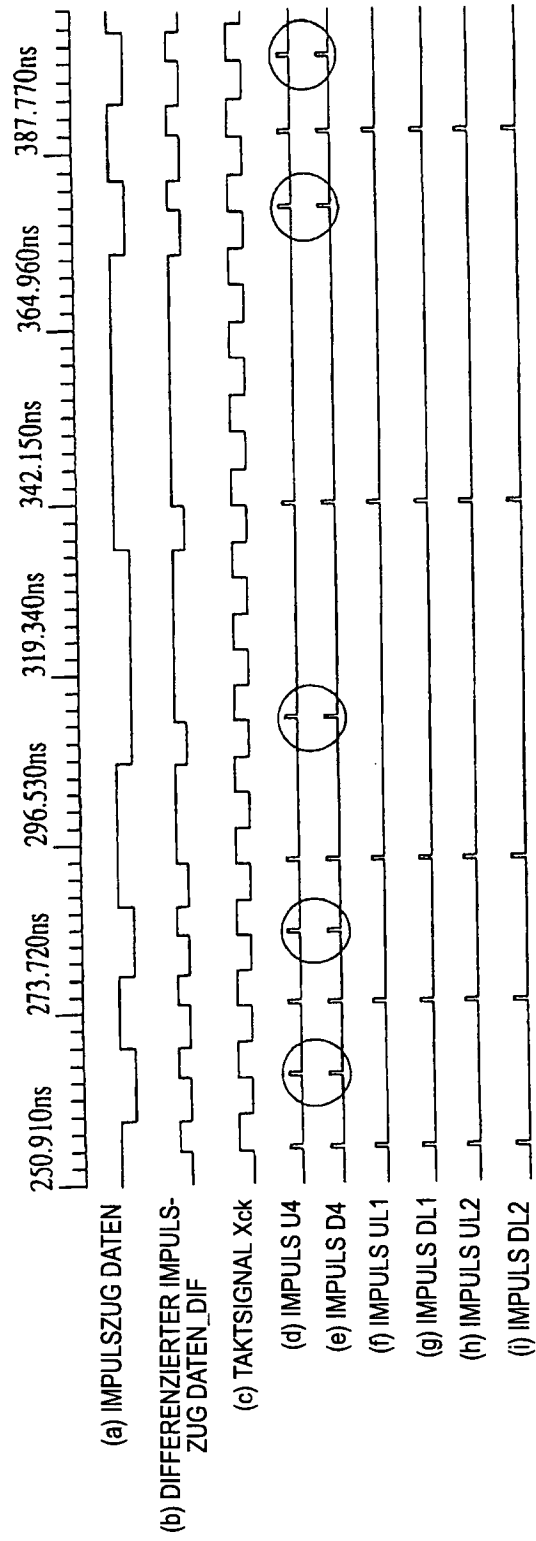
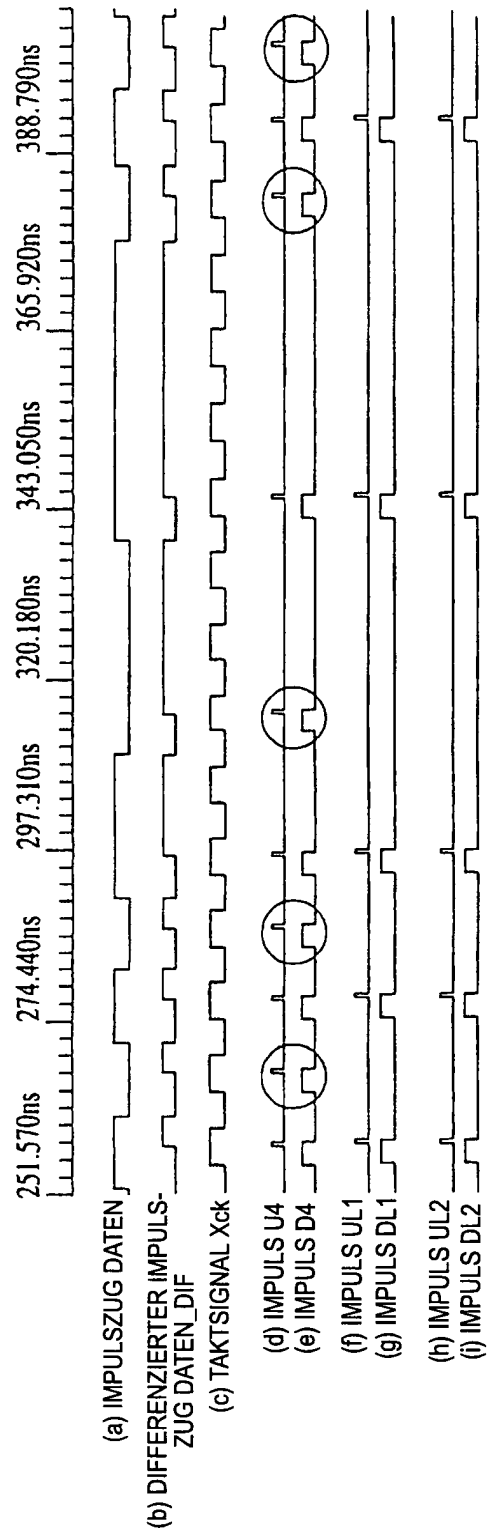


FIG. 22



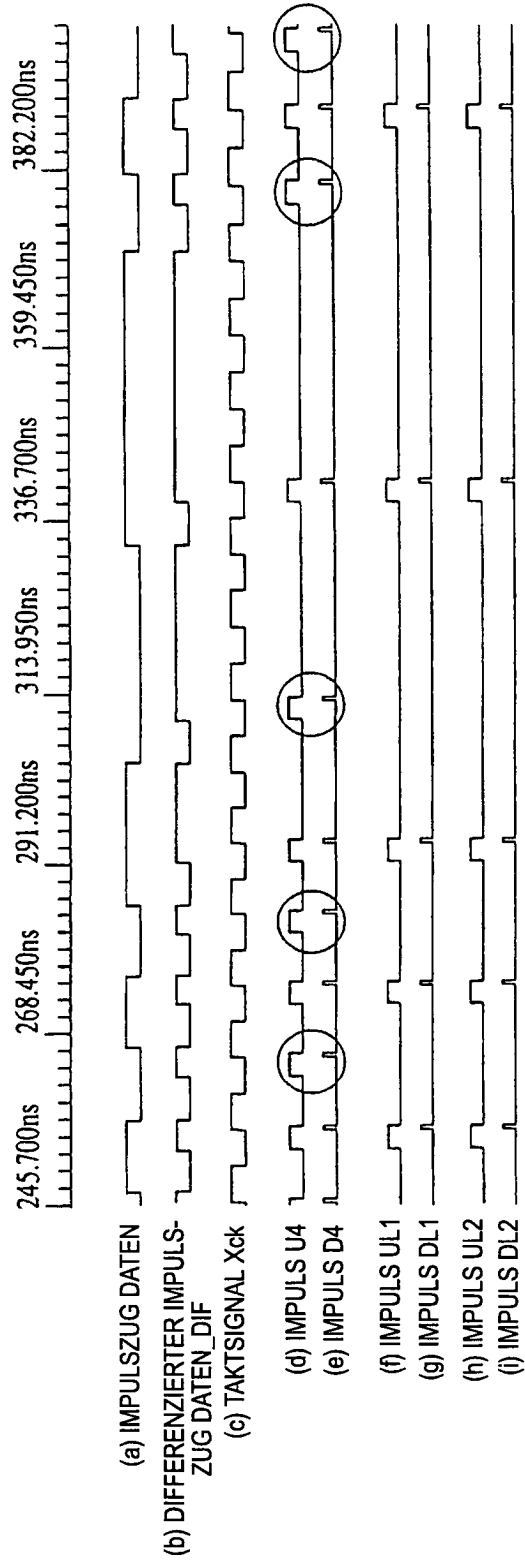
DER FALL, IN WELCHEM DIE FREQUENZ UND  
DIE PHASE MITEINANDER ÜBEREINSTIMMEN

FIG. 23



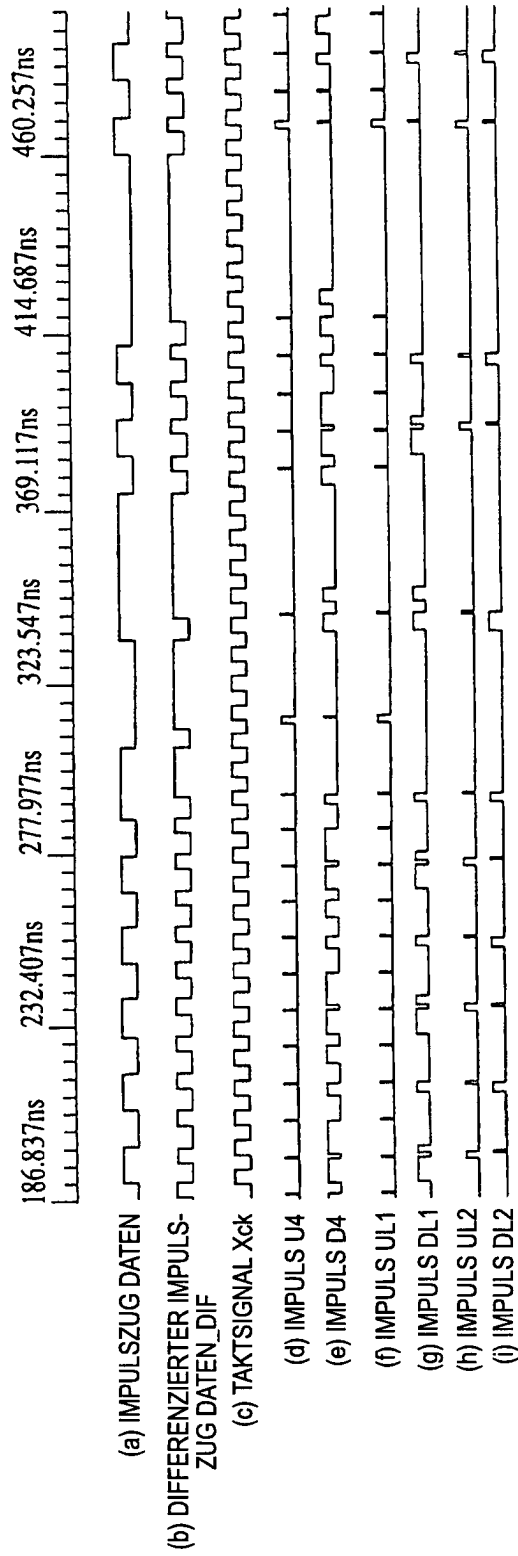
DER FALL, IN WELCHEM Xck UM 0,25T VOREILT

FIG. 24



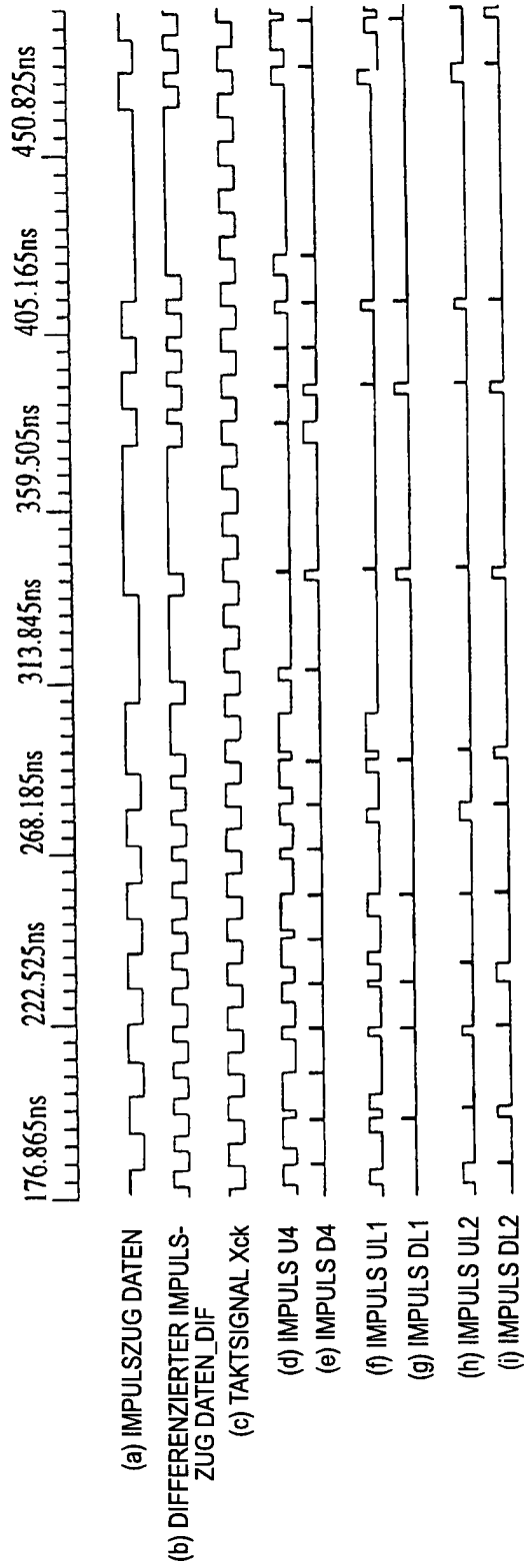
DER FALL, IN WELCHEM Xck UM 0,25T NACHEILT

FIG. 25



DER FALL, IN WELCHEM DIE FREQUENZ VON Xck HOCH IST  
 $f_{ck} = 1,25fb$

FIG. 26



DER FALL, IN WELCHEM DIE FREQUENZ VON Xck NIEDRIG IST  
 $f_{ck} = 1/1,25fb = 0,8fb$

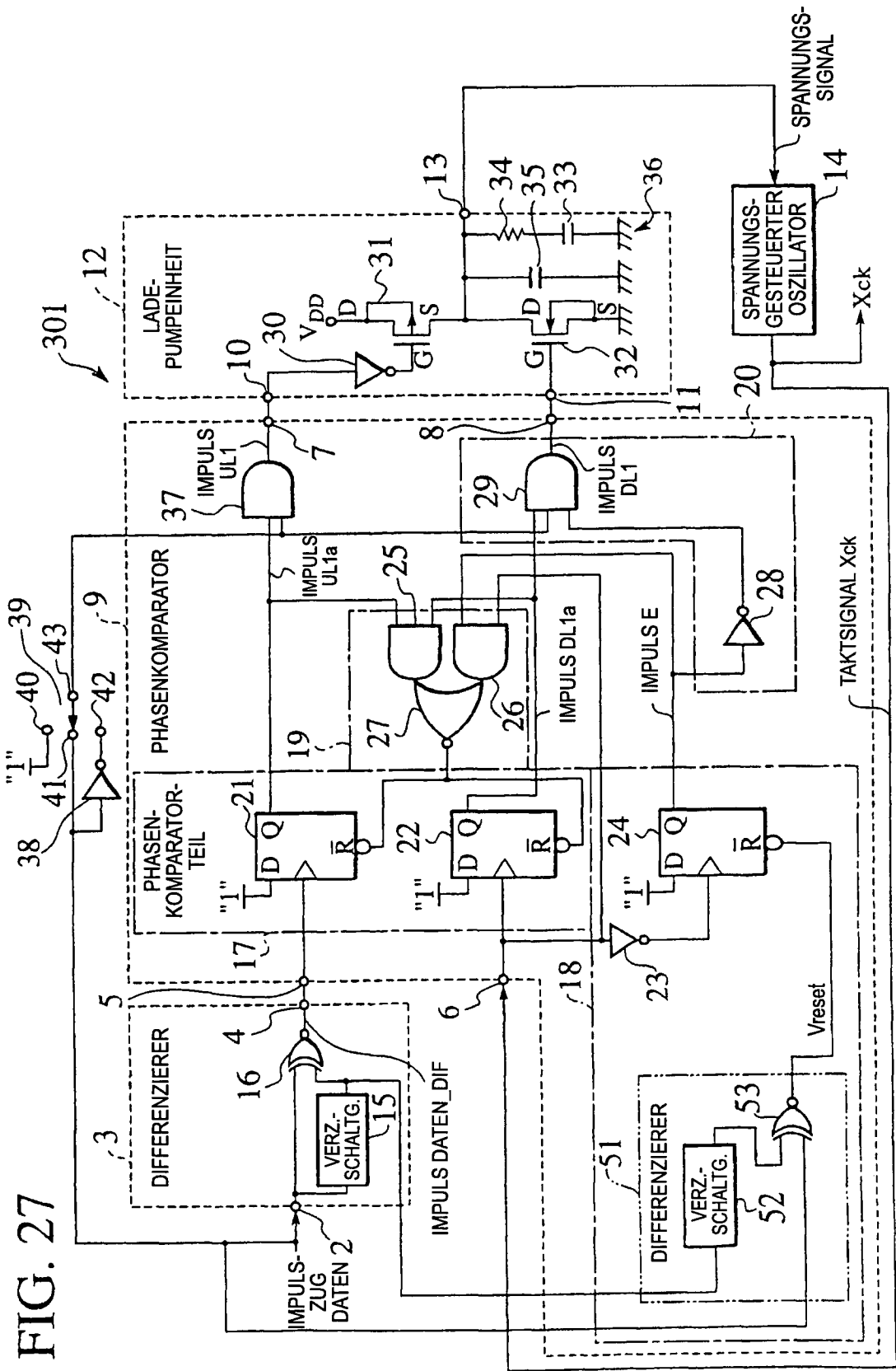
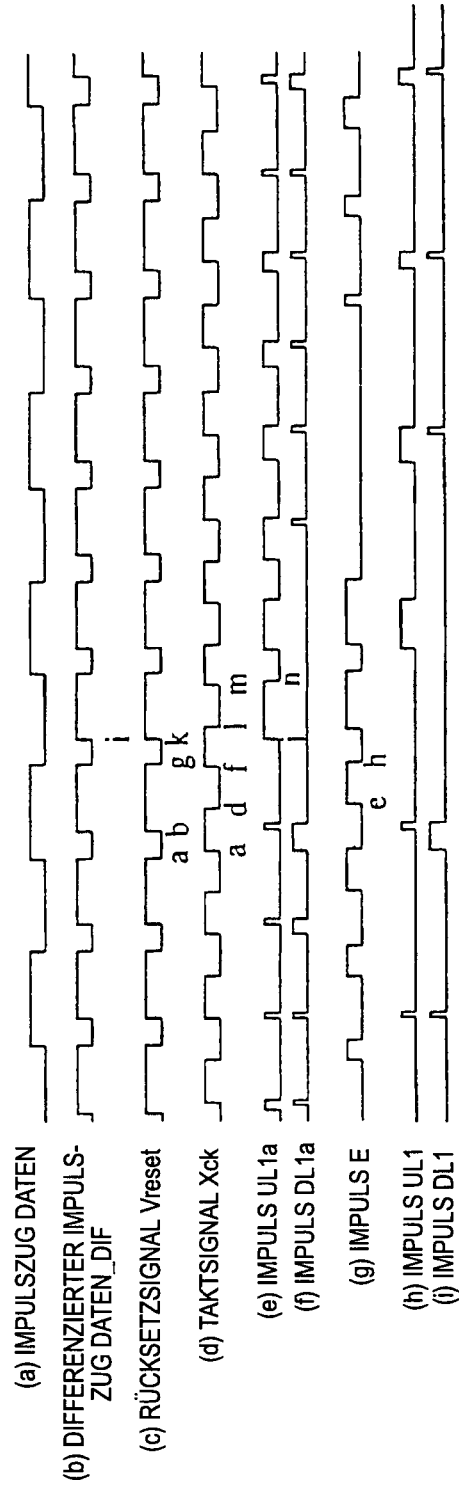


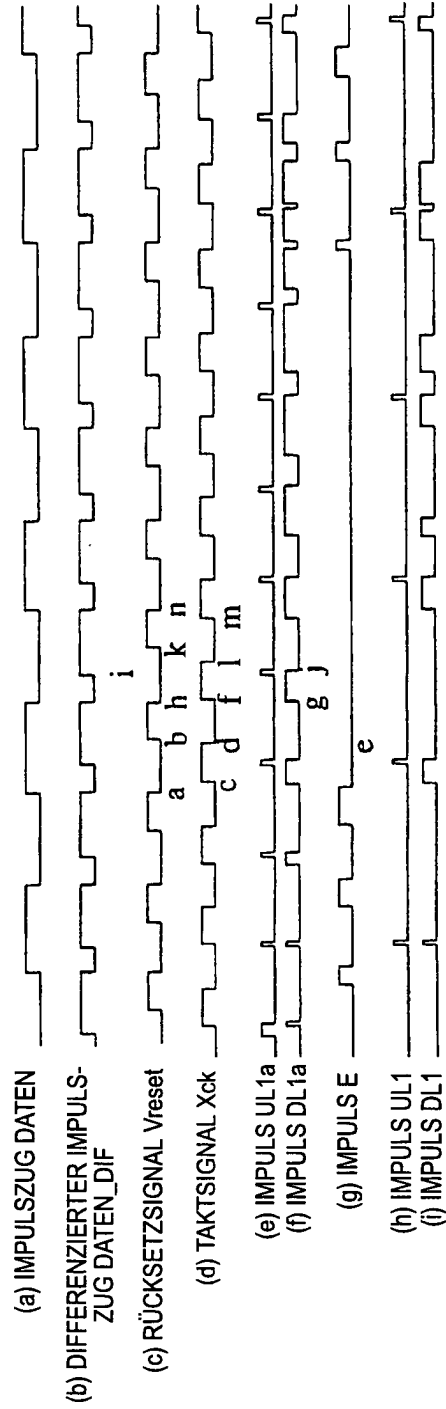
FIG. 27

FIG. 28



$f_{xck} = 22,22 \text{ MHz}$  ( $f_{xck:fb} = 10:9$ ),  
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG  $15 = 0,3T$ ,  
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG  $52 = 0$

FIG. 29



$f_{xck} = 22,22 \text{ MHz}$  ( $f_{xck}:f_b = 10:9$ ),  
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 15 = 0,3T,  
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 52 = 0,3T

FIG. 30

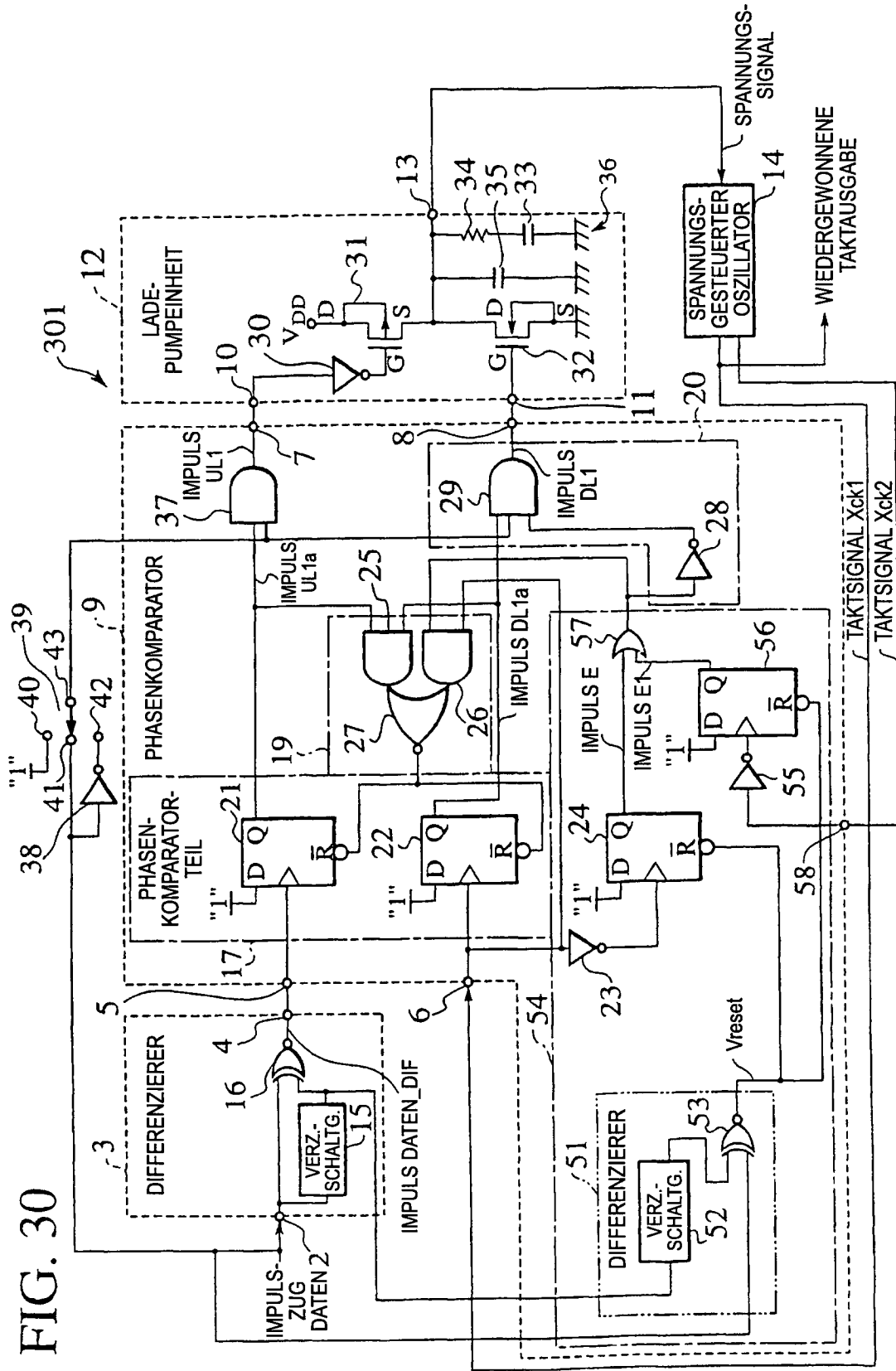
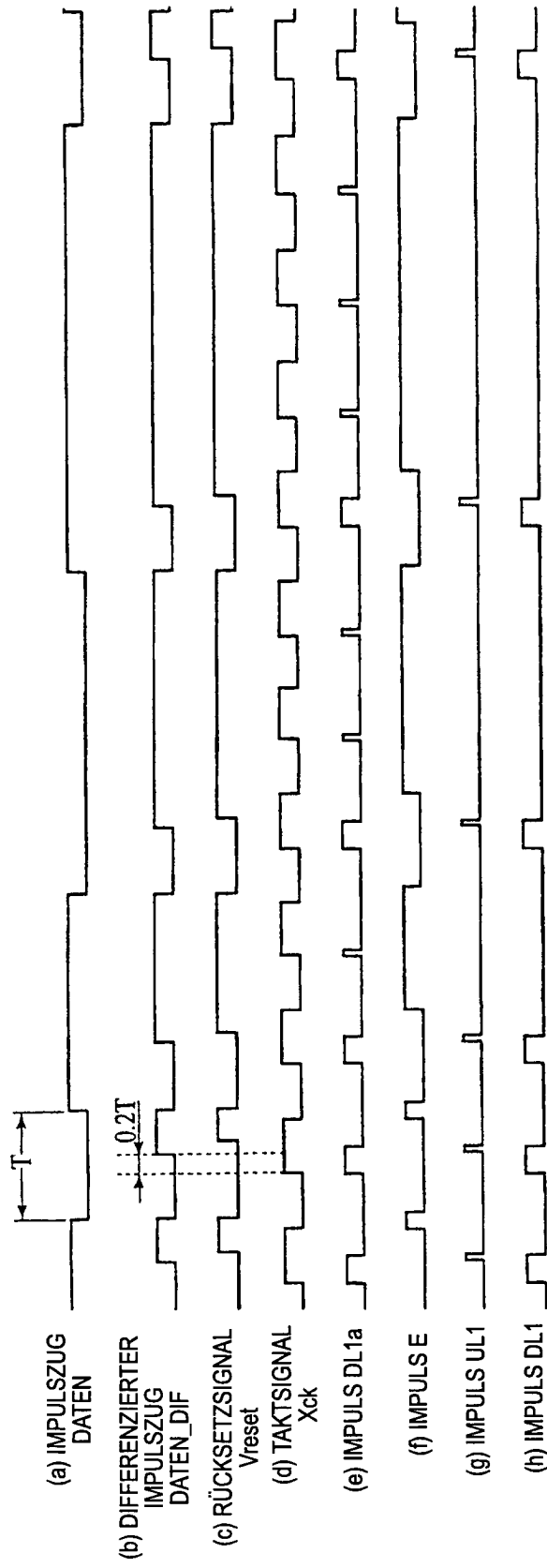
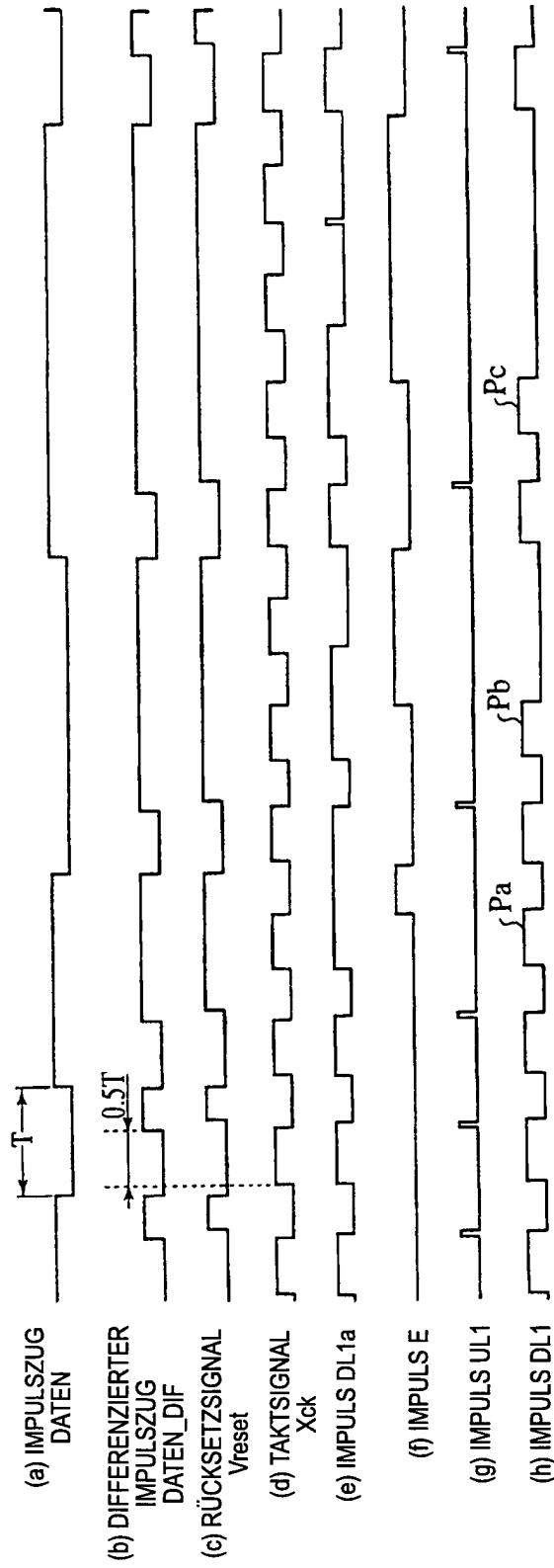


FIG. 31



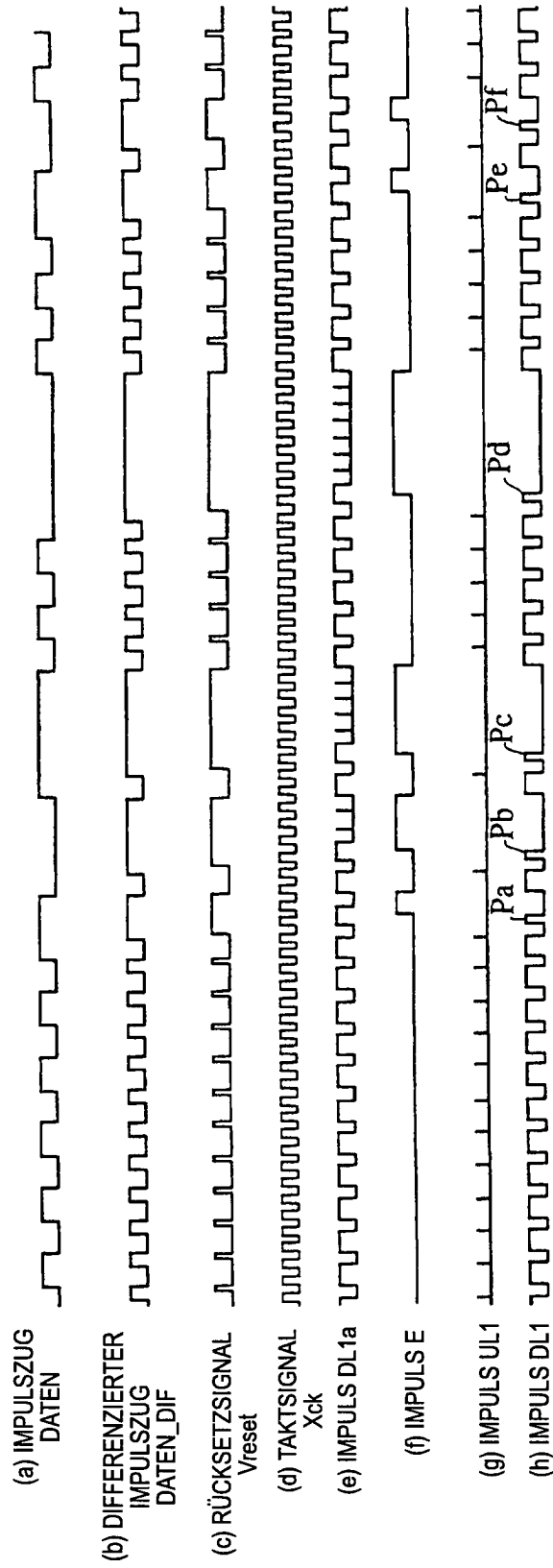
Xck EILT BEZÜGLICH DER PHASE DATEN\_DIF UM 0,2T VOR

FIG. 32



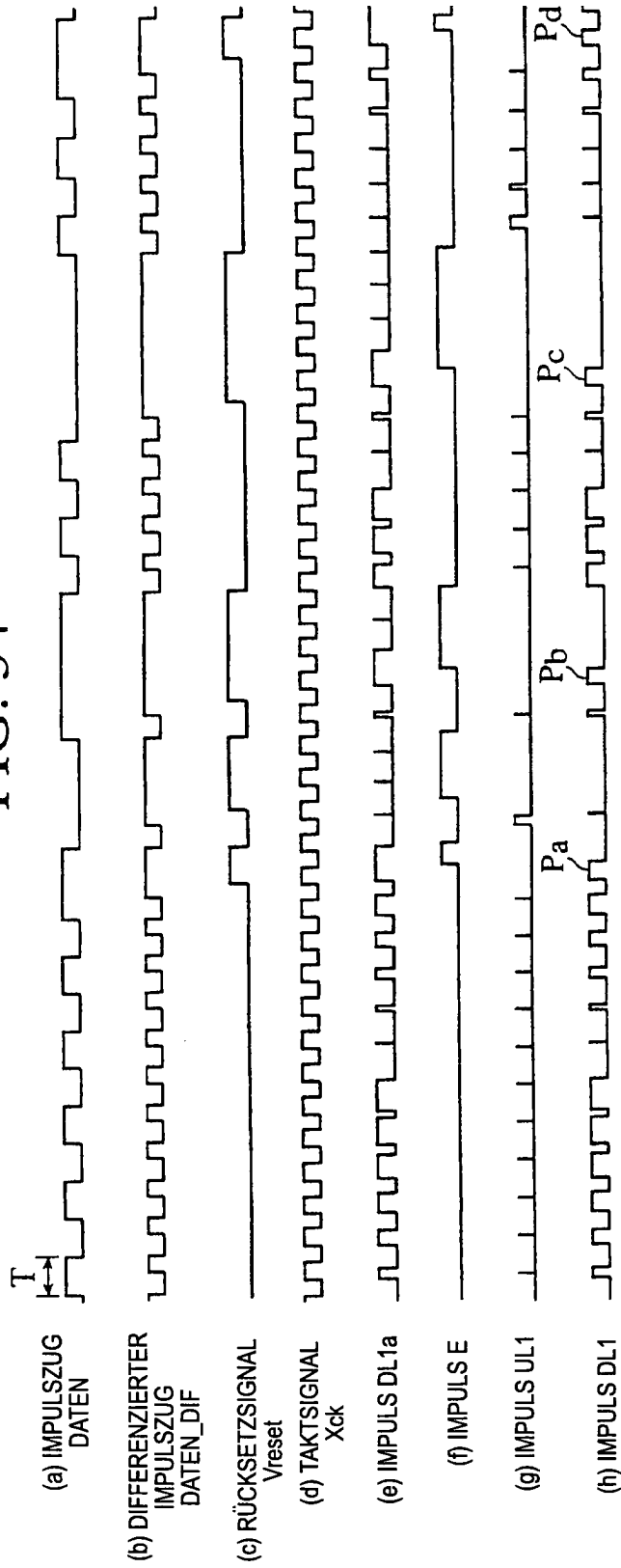
Xck EILT BEZÜGLICH DER PHASE DATEN\_DIF UM 0.5T VOR  
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 15 = 0.6T  
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 52 = 0.1T

FIG. 33



DER FALL, IN WELCHEM DIE FREQUENZ VON  $X_{ck}$  BEACHTLICH HOCH IST  
 $f_{Xck} = 2 \text{ fb}$   
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG  $15 = 0,6T$   
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG  $52 = 0,25T$

FIG. 34

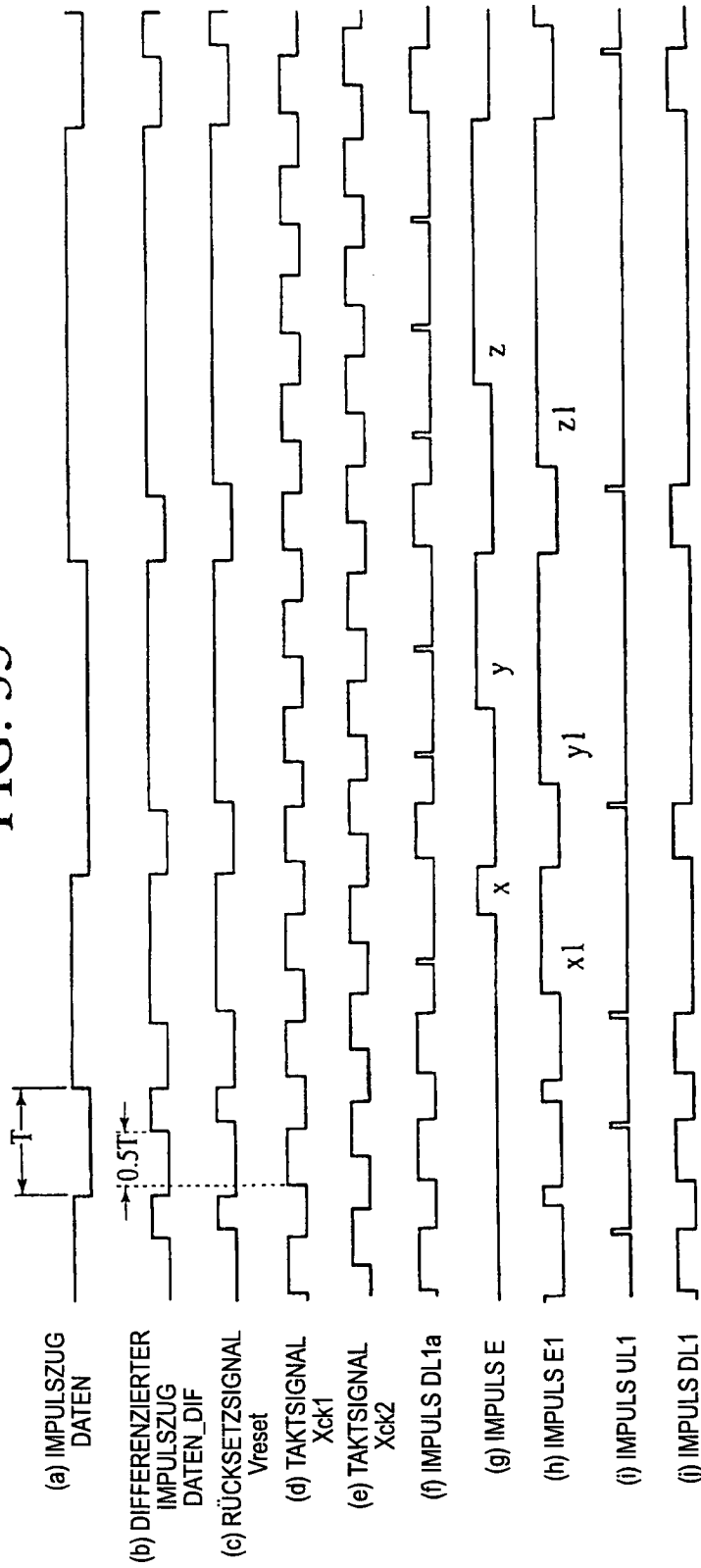


DER FALL, IN WELCHEM DIE FREQUENZ VON Xck HOCH IST

$$f_{ck} = 9/8 \cdot f_b$$

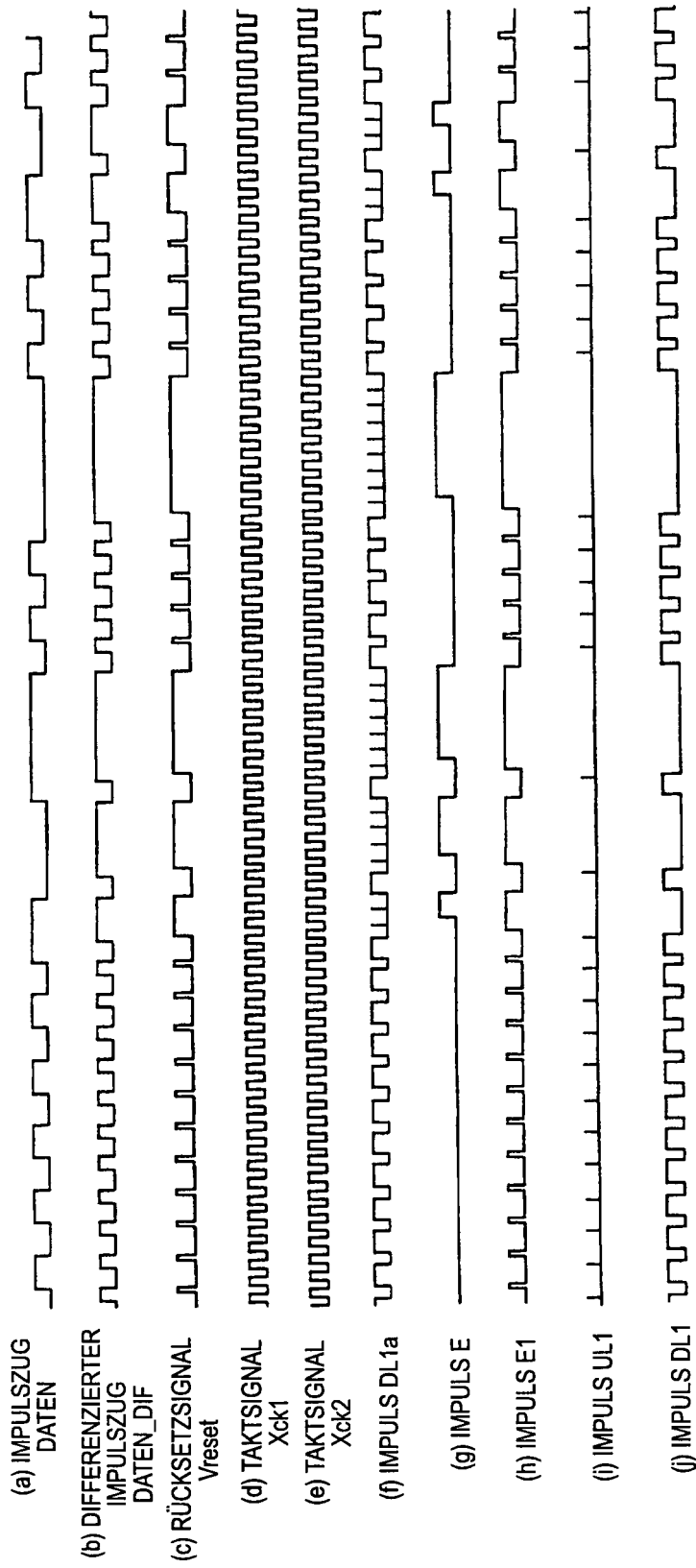
DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 15 = 0,6T  
DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 52 = 0,4T

FIG. 35



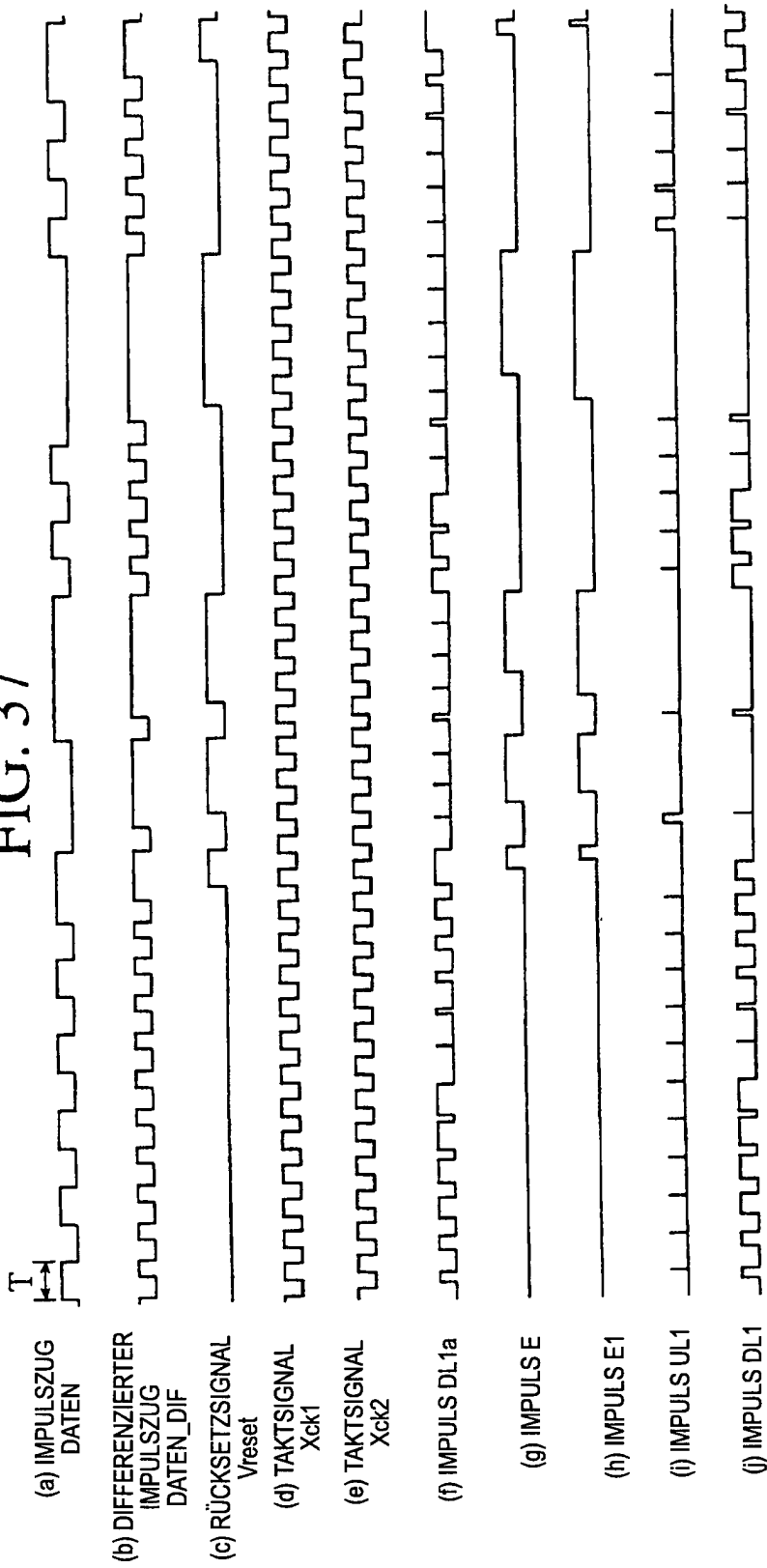
Xck1 EILT BEZÜGLICH DER PHASE DATEN\_DIF UM 0,5T VOR  
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 15 = 0,6T  
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 52 = 0,1T

FIG. 36



DER FALL, IN WELCHEM DIE FREQUENZ VON Xck BEACHTLICH HOCH IST  
 $f_{Xck} = 2f_b$   
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 15 = 0,6T  
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 52 = 0,25T

FIG. 37



DER FALL, IN WELCHEM DIE FREQUENZ VON Xck HOCH IST  
 $f_{xck} = 9/8 f_b$   
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 15 = 0,6T  
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 52 = 0,4T

FIG. 38

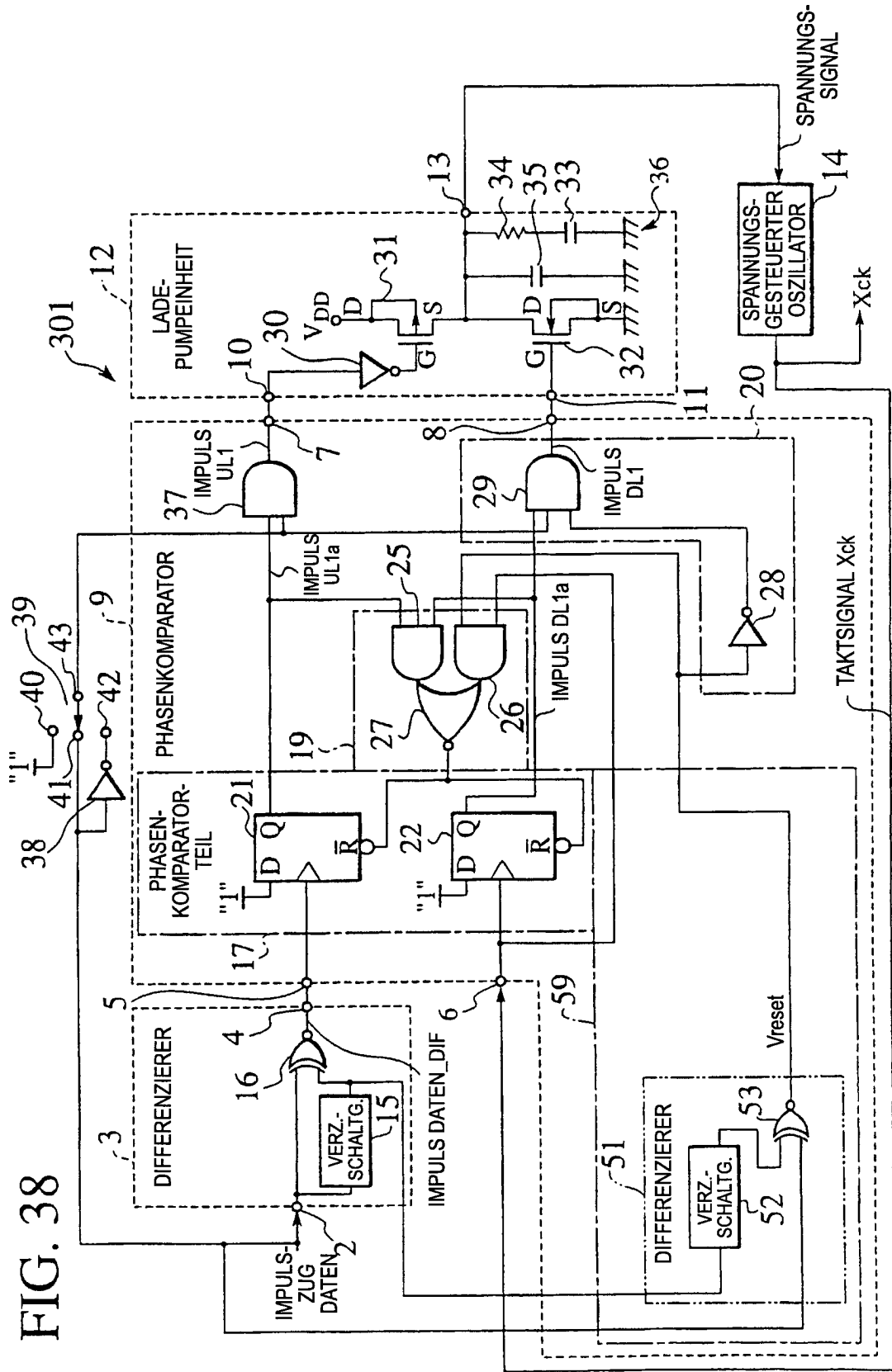
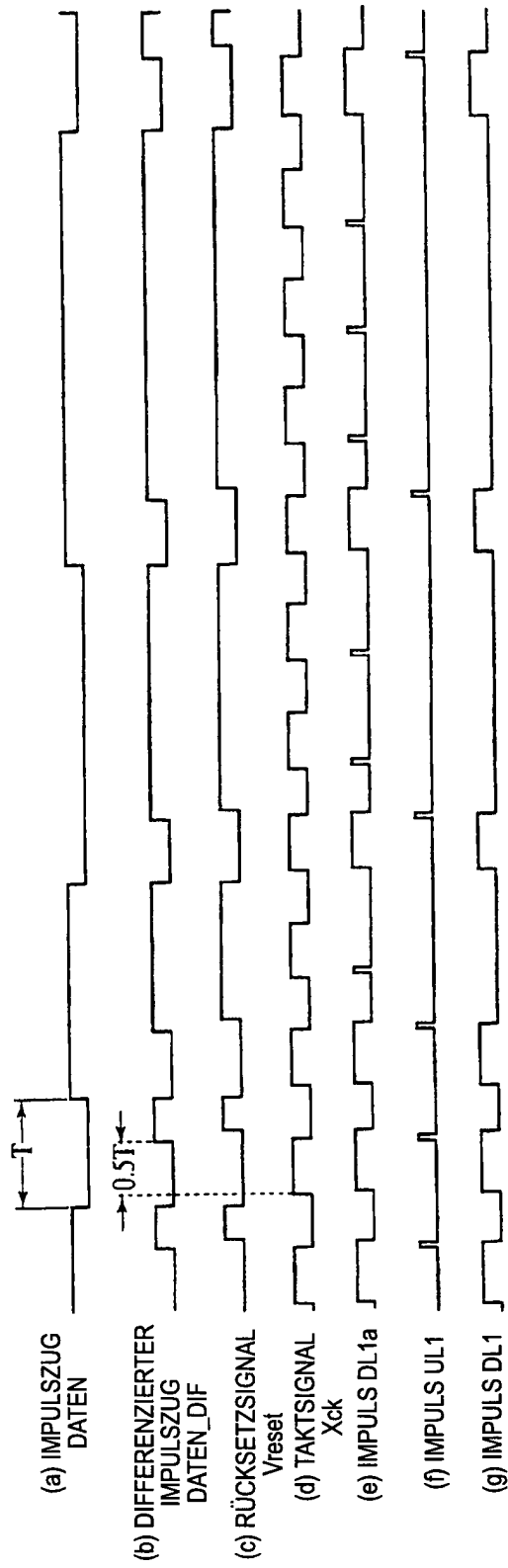
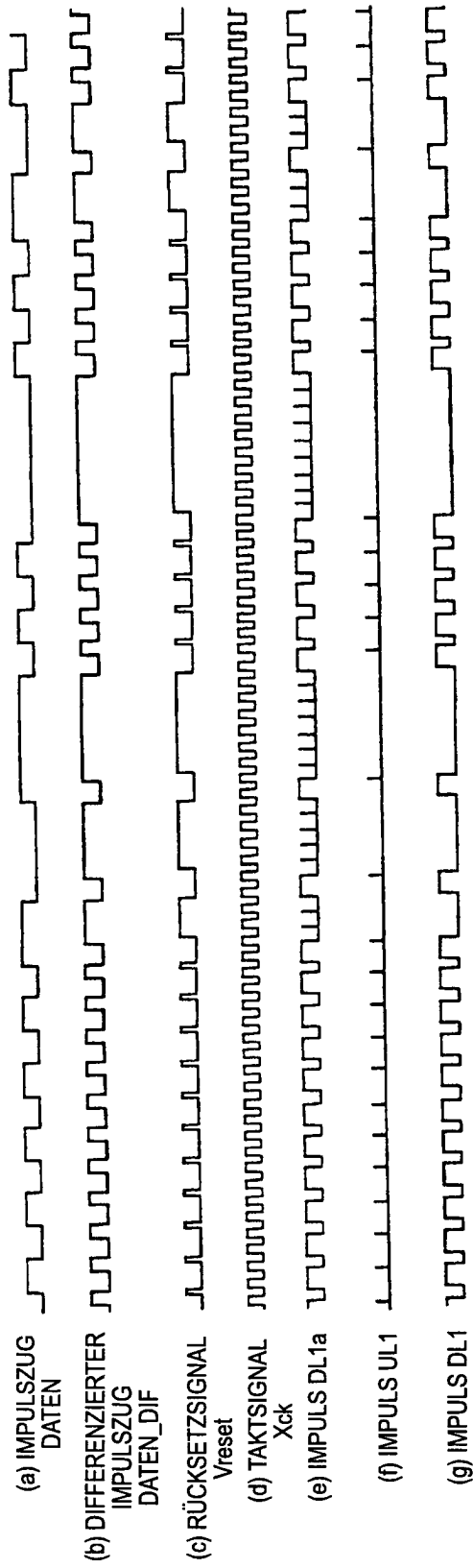


FIG. 39



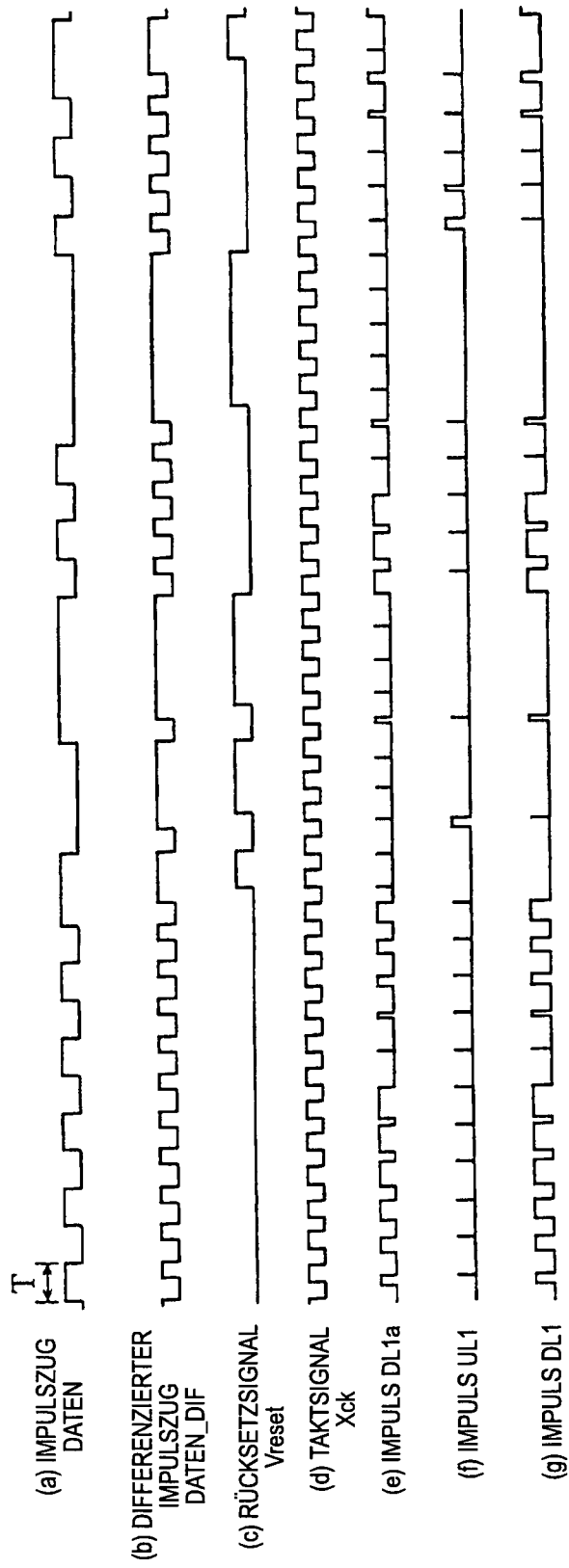
Xck1 EILT BEZÜGLICH DER PHASE DATEN\_DIF UM  $0.5T$  VOR  
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 15 =  $0.6T$   
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 52 =  $0.1T$

FIG. 40



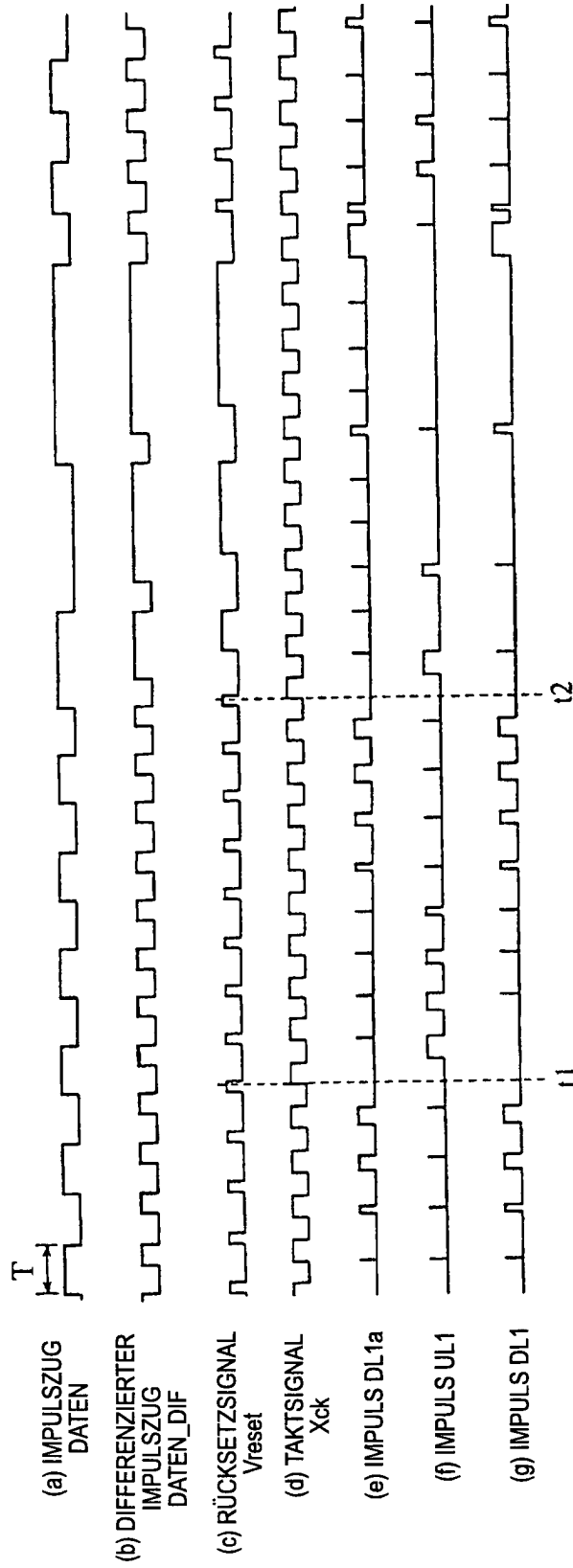
DER FALL, IN WELCHEM DIE FREQUENZ VON Xck BEACHTLICH HOCH IST  
DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 15 = 0,6T  
DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 52 = 0,25T

FIG. 41



DER FALL, IN WELCHEM DIE FREQUENZ VON Xck HOCH IST  
 $f_{Xck} = 9/8 \cdot f_b$   
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 15 =  $0.6T$   
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 52 =  $0.4T$

FIG. 42



DER FALL, IN WELCHEM DIE FREQUENZ VON Xck HOCH IST  
 $f_{ck} = 9/8 \cdot f_b$   
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 15 = 0,6T  
 DIE VERZÖGERUNGSZEIT DER VERZÖGERUNGSSCHALTUNG 52 = 0,6T