



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201735251 A

(43)公開日：中華民國 106 (2017) 年 10 月 01 日

(21)申請案號：105138444

(22)申請日：中華民國 105 (2016) 年 11 月 23 日

(51)Int. Cl. : *H01L21/768 (2006.01)*

H01L23/522 (2006.01)

H01L23/528 (2006.01)

H01L23/532 (2006.01)

(30)優先權：2015/12/30 美國

14/985,157

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：張哲誠 CHANG, CHE CHENG (TW)；林志翰 LIN, CHIH HAN (TW)

(74)代理人：李世章；秦建譜

申請實體審查：有 申請專利範圍項數：10 項 圖式數：14 共 32 頁

(54)名稱

內連接結構及其形成方法

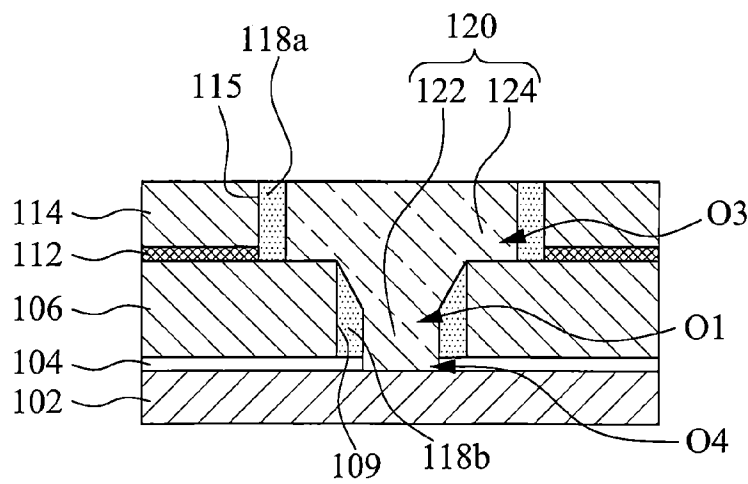
INTERCONNECTION STRUCTURE AND METHOD OF FORMING THE SAME

(57)摘要

一種內連接結構包含非絕緣結構、介電結構、導電結構與第一介電保護層。介電結構係位於非絕緣結構上。介電結構具有溝槽與通孔於其中，通孔係位於溝槽與非絕緣結構之間。導電結構係位於溝槽與通孔中，且電性連接至非絕緣結構。第一介電保護層係位於導電結構與溝槽之至少一側壁之間。

An interconnection structure includes a non-insulator structure, a liner layer, a dielectric structure, a conductive structure and an anti-adhesion layer. The liner layer is present on the non-insulator structure and has an opening therein. The dielectric structure is present on the liner layer. The dielectric structure includes a via opening therein. The via opening has a sidewall. The conductive structure is present in the via opening of the dielectric structure and electrically connected to the non-insulator structure through the opening of the liner layer. The anti-adhesion layer is present between the sidewall of the via opening of the dielectric structure and the conductive structure.

指定代表圖：



第 14 圖

- 符號簡單說明：
- 102 . . . 非絕緣結構
 - 104 . . . 襯層
 - 106 . . . 第一介電結構
 - 109 . . . 側壁
 - 112 . . . 蝕刻終止層
 - 114 . . . 第二介電結構
 - 115 . . . 側壁
 - 118a . . . 第一保護層
 - 118b . . . 第二保護層
 - 120 . . . 導電結構
 - 122 . . . 下方導電部分
 - 124 . . . 中間導電部分
 - O1 . . . 通孔
 - O3 . . . 溝槽
 - O4 . . . 襯層開口

【中文發明名稱】內連接結構及其形成方法

【英文發明名稱】INTERCONNECTION STRUCTURE
AND METHOD OF FORMING THE SAME

【中文】

一種內連接結構包含非絕緣結構、介電結構、導電結構與第一介電保護層。介電結構係位於非絕緣結構上。介電結構具有溝槽與通孔於其中，通孔係位於溝槽與非絕緣結構之間。導電結構係位於溝槽與通孔中，且電性連接至非絕緣結構。第一介電保護層係位於導電結構與溝槽之至少一側壁之間。

【英文】

An interconnection structure includes a non-insulator structure, a liner layer, a dielectric structure, a conductive structure and an anti-adhesion layer. The liner layer is present on the non-insulator structure and has an opening therein. The dielectric structure is present on the liner layer. The dielectric structure includes a via opening therein. The via opening has a sidewall. The conductive structure is present in the via opening of the dielectric structure and electrically connected to the non-insulator structure through the opening of the liner layer. The anti-adhesion layer is

present between the sidewall of the via opening of the dielectric structure and the conductive structure.

【指定代表圖】 第14圖

【代表圖之符號簡單說明】

102 非絕緣結構

104 襯層

106 第一介電結構

109 側壁

112 蝕刻終止層

114 第二介電結構

115 側壁

118a 第一保護層

118b 第二保護層

120 導電結構

122 下方導電部分

124 中間導電部分

O1 通孔

O3 溝槽

O4 襯層開口

【特徵化學式】

無

【發明說明書】

【中文發明名稱】內連接結構及其形成方法

【英文發明名稱】INTERCONNECTION STRUCTURE
AND METHOD OF FORMING THE SAME

【技術領域】

【0001】 本揭露之部分實施方式係關於一種內連接結構及其形成方法。

【先前技術】

【0002】 雙鑲嵌製程係一種用於在半導體元件中形成內連接結構的技術。隨著特徵尺寸變小，此雙鑲嵌製程提供更準確的尺寸控制於小幾何結構。因此，雙鑲嵌製程適宜用於愈來愈多元件欲封裝至相同或更小面積之半導體基板中之超大型積體(Ultra Large Scale Integrated ; ULSI)電路技術。

【發明內容】

【0003】 依據本揭露之部分實施方式，一種內連接結構包含非絕緣結構、介電結構、導電結構與第一介電保護層。介電結構係位於非絕緣結構上。介電結構具有溝槽與通孔於其中，通孔係位於溝槽與非絕緣結構之間。導電結構係位於溝槽與通孔中，且電性連接至非絕緣結構。第一介電保護層係位於導電結構與溝槽之至少一側壁之間。

【0004】 依據本揭露之部分實施方式，一種內連接結構包

含非絕緣結構、襯層、介電結構、介電連通襯墊、導電結構與第一介電保護層。襯層係位於非絕緣結構上，且具有一開口於其中。介電結構係位於該襯層上，介電結構包含一通孔於其中，通孔具有至少一側壁。介電連通襯墊係位於介電結構之通孔的側壁上且鄰近襯層。導電結構係位於溝槽與通孔中，且電性連接至非絕緣結構。一第一介電保護層係位於通孔中，且穿過襯層之開口電性連接至非絕緣結構。

【0005】 依據本揭露之部分實施方式，一種形成內連接結構的方法包含以下步驟。形成第一介電結構於非絕緣結構上。形成通孔於第一介電結構中。形成虛設結構於通孔中。形成一蝕刻終止層於第一介電結構與虛設結構上。形成一第二介電結構於蝕刻終止層上。形成溝槽於第二介電結構中，以暴露蝕刻終止層之一部分。移除蝕刻終止層之暴露部分以暴露至少虛設結構。移除在通孔中之虛設結構。形成導電結構於溝槽與通孔中，其中導電結構係電性連接至非絕緣結構。

【圖式簡單說明】

【0006】 閱讀以下詳細敘述並搭配對應之圖式，可了解本揭露之多個樣態。需留意的是，圖式中的多個特徵並未依照該業界領域之標準作法繪製實際比例。事實上，所述之特徵的尺寸可任意的增加或減少以利於討論的清晰性。

第1圖至第14圖為依據本揭露之部分實施方式之內連接結構的形成方法在不同步驟下的剖面示意圖。

【實施方式】

【0007】 以下將以圖式及詳細說明清楚說明本揭露之精神，任何所屬技術領域中具有通常知識者在瞭解本揭露之實施方式後，當可由本揭露所教示之技術，加以改變及修飾，其並不脫離本揭露之精神與範圍。舉例而言，敘述「第一特徵形成於第二特徵上方或上」，於實施方式中將包含第一特徵及第二特徵具有直接接觸；且也將包含第一特徵和第二特徵為非直接接觸，具有額外的特徵形成於第一特徵和第二特徵之間。此外，本揭露在多個範例中將重複使用元件標號以及/或文字。重複的目的在於簡化與釐清，而其本身並不會決定多個實施方式以及/或所討論的配置之間的關係。

【0008】 此外，方位相對詞彙，如「在...之下」、「下面」、「下」、「上方」或「上」或類似詞彙，在本文中為用來便於描述繪示於圖式中的一個元件或特徵至另外的元件或特徵之關係。方位相對詞彙除了用來描述裝置在圖式中的方位外，其包含裝置於使用或操作下之不同的方位。當裝置被另外設置(旋轉90度或者其他面向的方位)，本文所用的方位相對詞彙同樣可相應地進行解釋。

【0009】 第1圖至第14圖為依據本揭露之部分實施方式之內連接結構的形成方法在不同步驟下的剖面示意圖。

【0010】 參照第1圖。襯層104係形成於非絕緣結構102上。非絕緣結構102係指由一或多非絕緣材料、多晶矽、金屬、導電材料、半導體材料或其組合所形成的結構。非絕緣結構102

可作為半導體元件例如鰭式場效電晶體(Fin Field Effect Transistor ; FinFET)之閘極電極、源極/汲極區域。

【0011】 在部分實施方式中，當非絕緣結構102作為鰭式場效電晶體之閘極電極時，非絕緣結構102係藉由閘極後製(gate last)製程所形成。一種示例性閘極後製製程可包含形成如多晶矽之材料的虛設閘極結構於半導體鰭片上。除了形成虛設閘極結構外，閘極後製製程可包含形成像是氧化矽、氮化矽、氮氧化矽、碳化矽之材料的間隔物，移除此虛設閘極結構以在間隔物之間形成溝槽，且將至少一金屬層形成至在此間隔物間的溝槽中，以形成非絕緣結構102。金屬層可包含適宜用於形成閘極電極或其部分之金屬材料，包含功函數層、襯層、界面層、晶種層、黏合層、阻障層等等。在部分實施方式中，金屬層可包含適當的金屬，例如：氮化鈦(TiN)、氮化鎢(WN)、氮化鉭(TaN)、或鈦(Ru)，以形成於p型鰭式場效電晶體中。在其他實施方式中，金屬層可包含適當金屬，例如：鈦(Ti)、銀(Ag)、鋁(Al)、鋁化鈦(TiAl)、氮化鈦鋁(TiAlN)、碳化鈦鋁(TiAlC)、氮化碳鈦鋁(TiAlCN)、碳化鉭(TaC)、氮化鉭碳(TaCN)、氮化鉭矽(TaSiN)、錳(Mn)、或鋇(Zr)，以形成於n型鰭式場效電晶體中。

【0012】 在部分實施方式中，當非絕緣結構102作為源極/汲極區域時，示例性形成製程可包含藉由使用離子佈植將n型摻雜劑（例如磷）、或p型摻雜劑（例如硼）摻雜至未由間隔物及閘極電極覆蓋的半導體鰭片之至少一部分。形成源極/汲極區域的另一示例性製程包含形成至少一源極/汲極凹陷於鄰

近此間隔物的鰭片中，形成晶種層於源極/汲極凹陷中，形成鬆弛的磊晶層於源極/汲極凹陷中的晶種層上，形成磊晶層於源極/汲極凹陷中的鬆弛的磊晶層上，使得晶種層、鬆弛磊晶層及磊晶層形成源極/汲極壓力源(stressor)，以作為源極/汲極區域。在部分實施方式中，源極/汲極壓力源包含，例如：磷化矽(SiP)、碳化矽(SiC)或磷化碳矽(SiCP)，其能在此半導體鰭片中的n型通道中引起拉伸應變。在其他實施方式中，此源極/汲極壓力源包含矽鍺(SiGe)，其能在此半導體鰭片中的p型通道中引起壓縮應變。

【0013】 在形成通孔之蝕刻製程及/或形成溝槽之蝕刻製程期間，襯層104係作為保護非絕緣結構102的蝕刻終止層。在部分實施方式中，襯層104可包含介電材料，例如碳化矽、氮化矽或碳摻雜之氮化矽。在部分實施方式中，襯層104可包含導電材料，例如鈦(Ti)、氮化鈦(TiN)、碳化鈦(TiC)、氮化鈦碳(TiCN)、鉭(Ta)、氮化鉭(TaN)、碳化鉭(TaC)、氮化鉭碳(TaCN)、鎢(W)、氮化鎢(WN)、碳化鎢(WC)、氮化鎢碳(WCN)、鋁化鈦(TiAl)、氮化鈦鋁(TiAlN)、碳化鈦鋁(TiAlC)、或氮化鈦鋁碳(TiAlCN)。在部分實施方式中，襯層104係藉由使用化學氣相沉積(Cheical Vapor Deposition；CVD)、高密度電漿化學氣相沉積(High Density Plasma；HDP)、低壓化學氣相沉積(Sub-Atmospheric Chemical Vapor Deposition；SACVD)、分子層沉積(Molecular Layer Deposition；MLD)、濺鍍、物理氣相沉積(Physical Vapor Deposition；PVD)、電鍍、或其他適宜技術所沉積。舉例而

言，在部分實施方式中，分子層沉積製程係在低於約10毫托之壓力下，且在約350°C至約500°C之溫度範圍中進行製程。在部分實施方式中，氮化矽係藉由反應矽源化合物與氮源而沉積於非絕緣結構102之頂面上。矽源化合物提供矽至沉積的氮化矽，且可包含矽烷(SiH₄)或正矽酸乙酯(TEOS)。氮源提供氮至沉積的氮化矽，且可包含氨(NH₃)或氮氣(N₂)。在其他實施方式中，摻雜碳之氮化矽係藉由反應碳源化合物、矽源化合物、與氮源而沉積於非絕緣結構102之頂面上。碳源化合物可包含有機化合物，例如碳氫化合物，例如，乙烯(C₂H₆)。

【0014】 第一介電結構106係形成於襯層104與非絕緣結構102上。第一介電結構106可為層間介電(interlayer dielectric ; ILD)層，且層間介電層包含介電材料。介電材料可包含正矽酸乙酯、極低介電係數介電材料、無氮抗反射塗料(Nitrogen-Free Anti-Reflective Coating ; NFARC)、氧化矽、氮化矽、氮氧化矽、磷矽酸玻璃(Phosphor Silicate glass ; PSG)、硼磷矽酸玻璃(Borophospho Silicate glass ; BPSG)、旋塗式玻璃(Spin-On Glass ; SOG)、氟矽酸鹽玻璃(Fluorinated Silica Glass ; FSG)、碳摻雜之氧化矽(例如：SiCOH)、乾凝膠、氣凝膠、非晶氟化碳、聚對二甲苯、雙-苯并環丁烯(bis-benzocyclobutenes ; BCB)、聚醯亞胺、及/或其組合。舉例而言，極低介電係數介電材料具有低於約2.5之介電常數。應瞭解到，第一介電結構106可包含一或多介電材料及/或一或多介電層。在部分實施方式中，第一介電結構106係藉由像是化學氣相沉積、高密度電漿化學氣相沉積、低

壓化學氣相沉積、旋塗、濺鍍、或其他適當技術沉積於襯層104上。

【0015】 遮罩層108係形成於第一介電結構106上。遮罩層108具有開口。遮罩層108之開口暴露第一介電結構106之一部分，因此，第一介電結構106的暴露部分可被執行蝕刻製程，以形成通孔O1於後續製程中。在部分實施方式中，遮罩層108可為硬遮罩，例如氮化矽(Si_3N_4)。遮罩層108具有較第一介電結構106高的抗蝕刻性。硬遮罩之形成包含形成硬遮罩層於第一介電結構106上，後續，硬遮罩層係經圖案化以形成具有通孔O1之圖案的硬遮罩。在其他實施方式中，遮罩層108可為光阻層。遮罩層108之形成包含形成光阻層於第一介電結構106上，後續，光阻層係經圖案化以形成具有遮罩層108之開口圖案的光阻遮罩。

【0016】 蝕刻製程係執行於被遮罩層108所暴露之第一介電結構106之一部分，以形成通孔O1於其中。形成通孔O1之蝕刻製程係被襯層104所終止，因此，在此步驟中，通孔O1係位於襯層104上。換句話說，襯層104係藉由通孔O1暴露。在部分實施方式中，蝕刻製程可為乾式蝕刻、濕式蝕刻及/或電漿蝕刻製程。形成通孔O1之蝕刻製程可採用四氟甲烷(CF_4)、三氟甲烷(CHF_3)與氧氣之混合物以作為蝕刻氣體。

【0017】 參照第2圖。虛設結構110係至少形成於通孔O1中。具體而言，虛設結構110係形成於通孔O1中，且位於遮罩層108之頂面上。在部分實施方式中，虛設結構110與第一介電結構106具有不同材料，使得在後續製程中虛設結構110係

可相對第一介電結構106被選擇性蝕刻。更詳細地說，虛設結構110與第一介電結構106具有不同蝕刻性質。在部分實施方式中，虛設結構110可包含光阻劑或底部抗反射塗料(bottom antireflective coating；BARC)。更詳細地說，虛設結構110可包含具有一蝕刻選擇性的材料，且虛設結構110之蝕刻選擇性係不同於第一介電結構106之蝕刻選擇性。在本文中「蝕刻選擇性」係指在單一蝕刻製程中，被蝕刻之蝕刻靶材料量與被蝕刻之光阻劑含量的比例。舉例來說，第一介電結構106可包含正矽酸乙酯、極低介電係數介電材料、無氮抗反射塗料、或氧化矽。虛設結構110可包含與第一介電結構106不同之材料，例如氮化矽，使得在後續製程中虛設結構110係可相對第一介電結構106被選擇性蝕刻，以脫離通孔O1。虛設結構110係可藉由沉積製程，例如：化學氣相沉積製程所形成。

【0018】 參照第3圖。遮罩層108與位於遮罩層108上之虛設結構110之一部分係被移除，以暴露第一介電結構106之頂面107。在此移除製程之後，部分虛設結構110仍餘留在通孔O1中。此移除製程可藉由，例如：化學機械研磨(Chemical-Mechanical Polishing；CMP)製程所執行。化學機械研磨製程移除遮罩層108，且移除在遮罩層108上與在通孔O1外之虛設結構110之一部分。化學機械研磨製程可終止於抵達第一介電結構106時，從而提供實質上平坦頂面107。

【0019】 參照第4圖。蝕刻終止層112係形成於第一介電結構106之頂面107與虛設結構110之頂面111上。蝕刻終止層112保護第一介電結構106，以抵抗後續形成溝槽於第一介電

結構106上之蝕刻製程。在部分實施方式中，蝕刻終止層112與第一介電結構106具有不同蝕刻性質，使得在後續製程中蝕刻終止層112可相對第一介電結構106被選擇性蝕刻。在部分實施方式中，蝕刻終止層112可包含介電材料，例如氮氧化矽、碳化矽、氮氧碳化矽、氮化矽、或碳摻雜之氮化矽。在部分實施方式中，蝕刻終止層112係藉由化學氣相沉積、高密度電漿化學氣相沉積、低壓化學氣相沉積、分子層沉積、濺鍍、物理氣相沉積、或其他適宜技術來沉積。舉例來說，在部分實施方式中，分子層沉積製程係執行於低於約10 毫托之壓力下，且在約350°C至約500°C之溫度範圍中。在部分實施方式中，氮化矽係藉由反應矽源化合物與氮源而沉積於第一介電結構106之頂面107與虛設結構110之頂面111上。在部分實施方式中，氮化矽係藉由反應矽源化合物與氮源沉積於非絕緣結構102之頂面上。矽源化合物提供矽至沉積的氮化矽，且可包含矽烷(SiH_4)或正矽酸乙酯(TEOS)。氮源提供氮至沉積的氮化矽，且可包含氨(NH_3)或氮氣(N_2)。在部分實施方式中，摻雜碳之氮化矽係藉由反應碳源化合物、矽源化合物、與氮源沉積於第一介電結構106之頂面107與虛設結構110之頂面111上。碳源化合物可包含有機化合物，例如碳氫化合物，例如，乙烯(C_2H_6)。

【0020】 參照第5圖。第二介電結構114係形成於蝕刻終止層112上。第二介電結構114與蝕刻終止層112具有不同蝕刻性質。更詳細地說，第二介電結構114可包含具有一蝕刻選擇性的材料，且第二介電結構114之蝕刻選擇性係不同於蝕刻終止

層112之蝕刻選擇性，使得蝕刻終止層112可保護下方虛設結構110與第一介電結構106抵抗後續執行於第二介電結構114的蝕刻製程。舉例來說，第二介電結構114可包含正矽酸乙酯 (TEOS)、極低介電係數介電材料、無氮抗反射塗料、氧化矽、氮化矽、氮氧化矽、磷矽酸玻璃、硼磷矽酸玻璃、旋塗式玻璃、氟矽酸鹽玻璃、碳摻雜之氧化矽(例如： SiCOH)、乾凝膠、氣凝膠、非晶氟化碳、聚對二甲苯、雙-苯并環丁烯、聚醯亞胺、及/或其組合。舉例來說，極低介電係數介電材料具有低於約2.5之介電常數。應瞭解到，第二介電結構114可包含一或多介電材料及/或一或多介電層。在部分實施方式中，第二介電結構114係藉由化學氣相沉積、高密度電漿化學氣相沉積、低壓化學氣相沉積、旋塗、濺鍍、或其他適宜技術來沉積於蝕刻終止層112上。

【0021】 參照第6圖。遮罩層116係形成於第二介電層114上。遮罩層116可包含光阻劑或其他光敏材料。舉例來說，遮罩層116可包含深紫外光阻劑或其他光阻劑。舉例來說，遮罩層116係藉由塗覆光阻劑於第二介電結構114上所形成。

【0022】 參照第7圖。遮罩層116係被圖案化以形成具有開口O2的光阻遮罩，開口O2暴露第二介電結構114之一部分，因此蝕刻製程可被執行於第二介電結構114之暴露部分，以於後續步驟中形成溝槽。在其他實施方式中，遮罩層116可為硬遮罩，例如氮化矽(Si_3N_4)。遮罩層116具有較第二介電結構114高的抗蝕刻性。硬遮罩之形成包含形成硬遮罩層於第二介電結

構114上，後續，硬遮罩層係經圖案化以形成具有開口O2圖案的光阻遮罩。

【0023】 參照第8圖。第二介電結構114之未被遮罩層116覆蓋之部分係被移除，以形成溝槽O3於第二介電結構114中，並由溝槽O3暴露部分蝕刻終止層112。此移除製程可係蝕刻製程，例如非等向性蝕刻製程。換句話說，第二介電結構114係被蝕刻，以形成溝槽O3，溝槽O3暴露蝕刻終止層112。舉例來說，非等向性蝕刻製程可為基於氟化碳(CF₄)或基於氟化四碳(C₄F₈)之乾式蝕刻製程。由於蝕刻終止層112與第二介電結構114具有不同蝕刻性質，蝕刻終止層112可保護下方第一介電結構106抵抗形成溝槽O3之蝕刻製程。因此，蝕刻終止層112可防止下方第一介電結構106被過度蝕刻，俾利於形成適宜形狀與深度之溝槽O3。遮罩層116可保護第二介電結構114之一部分，此部分係下伏於遮罩層116，以抵抗形成溝槽O3之蝕刻製程，使得具有對應遮罩層116之開口O2圖案之溝槽O3可被形成。換句話說，遮罩層116定義溝槽O3之圖案。

【0024】 參照第9圖。被溝槽O3暴露之蝕刻終止層112之一部分係被移除，以暴露部分第一介電結構106之頂面107與111，與暴露虛設結構110。舉例來說，下伏於溝槽O3之蝕刻終止層112之一部分係藉由乾式蝕刻製程、濕式蝕刻製程、或其組合而被移除。在部分實施方式中，此移除製程係濕式蝕刻製程，且由於第一介電結構106與蝕刻終止層112具有不同蝕刻性質，蝕刻終止層112可相對第一介電結構106被選擇性蝕

刻，故在移除蝕刻終止層112之蝕刻製程中可防止第一介電結構106之過度蝕刻。

【0025】 參照第10圖。虛設結構110係被移除以暴露通孔O1。移除製程可包含蝕刻製程，例如濕式蝕刻製程。在濕式蝕刻製程期間，由於虛設結構110與第一介電結構106具有不同蝕刻性質，故虛設結構110可相對第一介電結構106被選擇性蝕刻。因此，通孔O1之形狀或大小可不被移除虛設結構110之蝕刻製程變動。此外，由於虛設結構110與第一介電結構106具有不同蝕刻性質，頂面107可不被移除虛設結構110之蝕刻製程所挖凹，故可防止第一介電結構106之過度蝕刻。在移除製程之後，通孔O1係位於溝槽O3與襯層104之間，且通孔O1之寬度小於溝槽O3之寬度。換句話說，第一介電結構106可作為具有通孔O1於其中之下部介電層，且第二介電結構114可作為具有溝槽O3於其中之上部介電層。蝕刻終止層112係位於下部介電層與上部介電層之間。

【0026】 參照第11圖。保護層118係至少形成於被溝槽O3暴露之第一介電結構106之頂面107之部分上。具體來說，保護層118係保形地形成於遮罩層116之頂面、第一介電結構106之被暴露的頂面107、襯層104之頂面、通孔O1之內圓周面、開口O2之內圓周面與溝槽O3之內圓周面上。在部分實施方式中，保護層118與第一介電結構106係由不同蝕刻性質之材料形成。保護層118對後續執行的襯層104蝕刻製程所產生之副產物具有一附著力，第一介電結構106對後續執行的襯層104蝕刻製程所產生之副產物具有一附著力，保護層118之上述附

著力與第一介電結構106之上述附著力係不同的。更詳細地說，保護層118的材料之蝕刻選擇性係不同於第一介電結構106之蝕刻選擇性。此外，保護層118與第一介電結構106之材料係被決定，以使得保護層118對蝕刻襯層104所產生之副產物的附著力係較第一介電結構106對蝕刻襯層104所產生之副產物的附著力弱。舉例來說，保護層118可包含介電材料，例如氮化矽(SiN)或氮氧化矽(SiON)，且第一介電結構106可包含與保護層118不同之材料，例如：正矽酸乙酯、極低介電係數介電材料、無氮抗反射塗料、或氧化矽。在後續移除介於通孔O1與非絕緣結構102之間之部分襯層104的蝕刻製程期間，保護層118之蝕刻選擇性係小於第一介電結構106之蝕刻選擇性，使得保護層118係較第一介電結構106不易被蝕刻，因此，在襯墊蝕刻製程期間，保護層118可防止下方第一介電結構106被過度蝕刻。此外，由於保護層118對蝕刻襯層104所產生之副產物的附著力係較第一介電結構106對蝕刻襯層104所產生之副產物的附著力弱，故形成於通孔O1之側壁109上之部分保護層118可防止蝕刻襯層104所產生之副產物黏附至側壁109，使得通孔O1之大小不會被黏附至側壁109的副產物降低。在本文中「對副產物的附著力」指副產物可被黏附至表面之每單位面積的量。舉例來說，「保護層118對副產物之附著力」係指副產物可黏附至保護層118之表面之每單位面積的量。類似地，「第一介電結構106對副產物的附著力」指副產物可黏附至第一介電結構106之表面之每單位面積的量。

【0027】 保護層118係藉由執行原子層沉積製程或化學氣相沉積製程所形成。舉例來說，保護層118可為由原子層沉積所形成之氮化矽層。用於形成氮化矽層之原子層沉積包含多個氮化矽沉積循環。每一氮化矽沉積循環可包含將矽前驅物接觸遮罩層116之頂面、第一介電結構106之暴露頂面107、襯層104之頂面、通孔O1之內圓周面、開口O2之內圓周面與溝槽O3之內圓周面，以使得矽前驅物吸附在此等表面上，並使此等表面與氮前驅物接觸。氮化矽沉積循環可重複多次以達到氮化矽層之期望厚度與成分。此形成的氮化矽層可作為保護層118。在部分實施方式中，原子層沉積製程可利於控制保護層118之厚度，從而利於控制通孔O1及/或溝槽O3之關鍵尺寸(critical dimension；CD)。

【0028】 參照第12圖。下伏於通孔O1之襯層104之一部分係被移除，以形成開口O4，從而允許非絕緣結構102被通孔O1及開口O4暴露。此移除製程亦移除保護層118之一些部分，且保護層118之其他部分係餘留於內連接結構中。更詳細地說，保護層118之餘留部分可作為位於溝槽O3之至少一側壁115上的第一保護層118a，且保護層118之另一餘留部分作為位於通孔O1之側壁109上的第二保護層118b。由於第一保護層118a與第二保護層118b係來自保護層118，第一保護層118a與第二保護層118b具有實質上相同的材料，例如：氮化矽、氮氧化矽或其他適宜介電材料。在溝槽O3之側壁115上的第一保護層118a可作為介電溝槽襯墊，且在通孔O1之側壁109上的第二保護層118b可作為介電通孔襯墊。在部分實施方式中，在襯墊蝕

刻製程期間，由於部分襯層104係被上方的第二保護層118b保護，襯層104之部分係餘留在第二保護層118b與非絕緣結構102之間。在此配置中，第二保護層118b與非絕緣結構102係被隔開。具體來說，第二保護層118b與非絕緣結構102係藉由襯層104所隔開。換句話說，襯層104之一部分係位於第二保護層118b與非絕緣結構102之間。換句話說，第二保護層118b係鄰近襯層104。在部分實施方式中，第一保護層118a係位於第一介電結構106之頂面107上，且覆蓋蝕刻終止層112之側面。

【0029】 在部分實施方式中，在通孔O1下方之襯層104之一部分係藉由乾式蝕刻製程所移除。乾式蝕刻製程可具有高選擇性，以使得乾式蝕刻製程可終止於非絕緣結構102。舉例來說，乾式蝕刻製程係被執行於電源功率約150瓦至220瓦，壓力約10毫托至45毫托，且使用二氟甲烷(CH_2F_2)與氬作為蝕刻氣體。在形成通孔、溝槽O1與O3的蝕刻製程期間，藉由在非絕緣結構102上引入襯層104，非絕緣結構102之不期望的蝕刻係可被降低。更詳細地說，襯層104可利於形成不具有凹陷之非絕緣結構102，且此凹陷係由形成通孔O1與溝槽O3之蝕刻製程所導致。此凹陷的避免可增強元件效能。

【0030】 由於襯墊之蝕刻製程係執行於形成保護層118之後，且保護層118與第一介電結構106具有不同蝕刻性質，故保護層118可保護其下方的第一介電結構106在襯墊蝕刻製程期間不被過度蝕刻。此外，由於襯墊蝕刻製程係執行在形成保護層118之後，且保護層118對蝕刻襯層104所產生之副產物的

附著力係較第一介電結構106對蝕刻襯層104所產生之副產物的附著力弱，因此，形成於通孔O1之側壁109上之保護層118可防止蝕刻襯層104之副產物黏附至通孔O1之側壁109，使得通孔O1之大小不被黏附至側壁109的副產物降低。

【0031】 參照第13圖。導電結構120係至少形成於通孔O1與溝槽O3中，以穿過襯層104之開口O4電性連接至非絕緣結構102。第一保護層118a係位於導電結構120與溝槽O3之側壁115之間，且第二保護層118b係位於導電結構120與通孔O1之側壁109之間。由於蝕刻終止層112可防止在形成溝槽O3期間過度蝕刻第一介電結構106，且保護層118可防止在對襯層104執行之蝕刻製程期間過度蝕刻第一介電結構106，溝槽O3係不會因為過度蝕刻而被形成於非絕緣結構102中，使得填充於溝槽O3之導電結構120不會形成於非絕緣結構102中，從而防止在導電結構120與非絕緣結構102間產生不期望之電性連接。進一步而言，第二保護層118b可防止通孔O1之大小因蝕刻此襯層104之副產物之黏附而縮小，導電結構120之一部分可以適當的尺寸形成於通孔O1中。

【0032】 在部分實施方式中，導電結構120包含氮化鈦(TiN)、氮化鉭(TaN)、鉭(Ta)、鈦(Ti)、鈦(Hf)、鋯(Zr)、鎳(Ni)、鎢(W)、鈷(Co)、銅(Cu)、或鋁(Al)。在部分實施方式中，導電結構120可藉由化學氣相沉積、物理氣相沉積、電鍍、原子層沉積或其他適宜技術形成。在部分實施方式中，導電結構120可包含疊層。此疊層可進一步包含阻障金屬層、襯墊金屬層、或濕潤金屬層。進一步而言，導電結構120之厚度係取

決於通孔O1與溝槽O3之深度。導電結構120係沉積直到實質上填滿或填充超過通孔O1與溝槽O3。

【0033】 在部分實施方式中，當導電結構120填充超過溝槽O3時，導電結構120可包含下方導電部分122、中間導電部分124與上方導電部分126。中間導電部分124係連接下方導電部分122與上方導電部分126。下方導電部分122係填充於通孔O1。更詳細地說，下方導電部分122係位於通孔O1與襯層104的開口O4中，且位於第二保護層118b上。下方導電部分122可被形成為適當的尺寸，這是因為第二保護層118b之附著力係相對第一介電結構106之附著力弱。中間導電部分124係位於溝槽O2中，且位於在第一保護層118a上。中間導電部分124可不會因過度蝕刻溝槽O3而被形成於非絕緣結構102中，這是因為蝕刻終止層112與保護層118可保護第一介電結構106抵抗過度蝕刻。

【0034】 在部分實施方式中，導電結構120之中間導電部分124與蝕刻終止層112係以非重疊的形式排列於第一介電結構106之頂面107上。更詳細地說，導電結構120與蝕刻終止層112係被隔開的。更詳細地說，位於頂面107上之第一保護層118a隔開蝕刻終止層112與導電結構120之中間導電部分124。導電結構120之過度填充部分形成上方導電部分126於遮罩層116之上。

【0035】 參照第14圖。化學機械研磨製程係執行以在填充通孔與溝槽O1與O3之後，平坦化導電結構120。化學機械研磨製程移除在通孔O1與溝槽O3之外的導電結構120之上方導

電部分126，且當到達第二介電結構114時，化學機械研磨製程可終止，從而提供實質上平坦表面。化學機械研磨製程移除遮罩層116。

【0036】 在部分實施方式中，由於蝕刻終止層保護第一介電結構抵抗形成溝槽O3之蝕刻製程，且保護層保護第一介電結構抵抗移除部分襯層之蝕刻製程，故第一介電結構可不被過度蝕刻。此外，由於保護層防止蝕刻襯層之副產物黏附至通孔的側壁，故通孔之大小不會因蝕刻此襯層之副產物而被縮小。

【0037】 上述已概述數個實施方式的特徵，因此熟習此技藝者可更了解本揭露之態樣。熟悉此技藝者應了解到，其可輕易地利用本揭露做為基礎，來設計或潤飾其他製程與結構，以實現與在此所介紹之實施方式相同之目的及/或達到相同的優點。熟悉此技藝者也應了解到，這類均等架構並未脫離本揭露之精神和範圍，且熟悉此技藝者可在不脫離本揭露之精神和範圍下，進行各種之更動、取代與潤飾。

【符號說明】

【0038】

102 非絕緣結構

104 襯層

106 第一介電結構

107 頂面

108 遮罩層

109 側壁

- 110 虛設結構
- 111 頂面
- 112 蝕刻終止層
- 114 第二介電結構
- 115 側壁
- 116 遮罩層
- 118 保護層
- 118a 第一保護層
- 118b 第二保護層
- 120 導電結構
- 122 下方導電部分
- 124 中間導電部分
- 126 上方導電部分
- O1 通孔
- O2 開口
- O3 溝槽
- O4 開口

【發明申請專利範圍】

【第 1 項】一種內連接結構，包含：

一非絕緣結構；

一介電結構，於該非絕緣結構上，其中該介電結構具有一溝槽與一通孔，且該通孔係位於該溝槽與該非絕緣結構之間；

一導電結構，於該溝槽與該通孔中，且電性連接至該非絕緣結構；以及

一第一介電保護層，於該導電結構與該溝槽之至少一側壁之間。

【第 2 項】如申請專利範圍第 1 項所述之內連接結構，更包含：

一第二介電保護層，於該導電結構與該通孔之至少一側壁之間。

【第 3 項】如申請專利範圍第 2 項所述之內連接結構，更包含：

一襯層，於該非絕緣結構與該介電結構之間，其中該第二介電保護層與該非絕緣結構係藉由該襯層分隔。

【第 4 項】如申請專利範圍第 3 項所述之內連接結構，其中該第二介電保護層對蝕刻該襯層所產生之一副產物具有一附著力，該介電結構對蝕刻該襯層所產生之該副產物具有

一附著力，且該第二介電保護層之該附著力比該介電結構之該附著力弱。

【第 5 項】如申請專利範圍第 1 至 4 項中任一項所述之內連接結構，其中該介電結構包含：

一下介電層，具有該通孔於其中；以及

一上介電層，於該下介電層上且具有該溝槽於其中；且

該內連接結構更包含：

一蝕刻終止層，於該下介電層與該上介電層之間。

【第 6 項】一種內連接結構，包含：

一非絕緣結構；

一襯層，於該非絕緣結構上且具有一開口於其中；

一介電結構，於該襯層上，該介電結構包含一通孔於其中，該通孔具有至少一側壁；

一介電通孔襯墊，於該介電結構之該通孔的該側壁上且鄰近該襯層；以及

一導電結構，於該通孔中，且穿過該襯層之該開口電性連接至該非絕緣結構。

【第 7 項】如申請專利範圍第 6 項所述之內連接結構，其中該介電通孔襯墊對蝕刻該襯層之該開口所產生之一副產物具有一附著力，該介電結構對蝕刻該襯層之該開口所產生之一副產物具有一附著力，且該介電通孔襯墊之該附著力較該介電結構之該附著力弱。

【第 8 項】一種形成內連接結構的方法，包含：

形成一第一介電結構於一非絕緣結構上；

形成一通孔於該第一介電結構中；

形成一虛設結構於該通孔中；

形成一蝕刻終止層於該第一介電結構與該虛設結構上；

形成一第二介電結構於該蝕刻終止層上；

形成一溝槽於該第二介電結構中，以暴露該蝕刻終止層之一部分；

移除該蝕刻終止層之該暴露部分以暴露至少該虛設結構；

移除在該通孔中之該虛設結構；以及

形成一導電結構於該溝槽與該通孔中，其中該導電結構係電性連接至該非絕緣結構。

【第 9 項】如申請專利範圍第 8 項所述之形成內連接結構的方法，其中該移除該蝕刻終止層之該暴露部分會暴露出該第一介電結構之一部分，且該方法更包含：

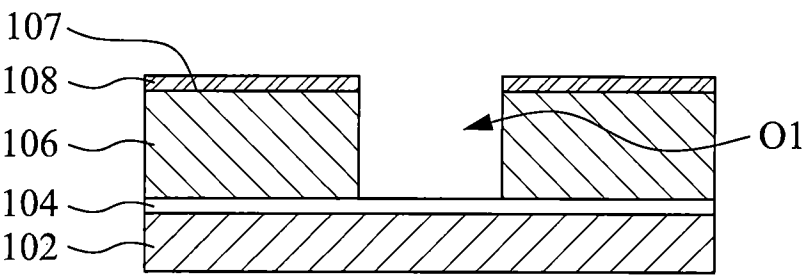
形成一保護層至少於該第一介電結構之該部分上。

【第 10 項】如申請專利範圍第 9 項所述之形成內連接結構的方法，更包含：

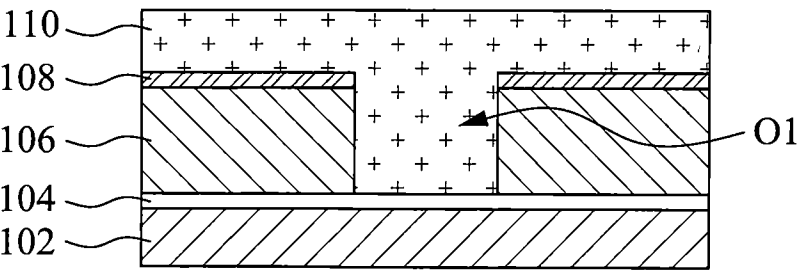
在該形成該第一介電結構之前，形成一襯層於該非絕緣結構上；以及

在該形成該保護層之後，移除在該通孔與該非絕緣結構之間之該襯層之一部分。

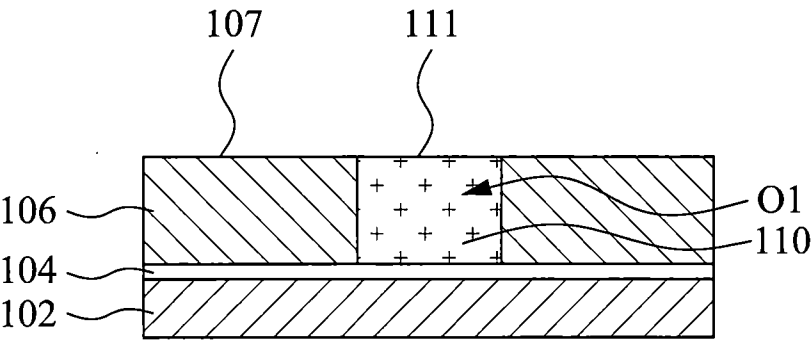
圖式



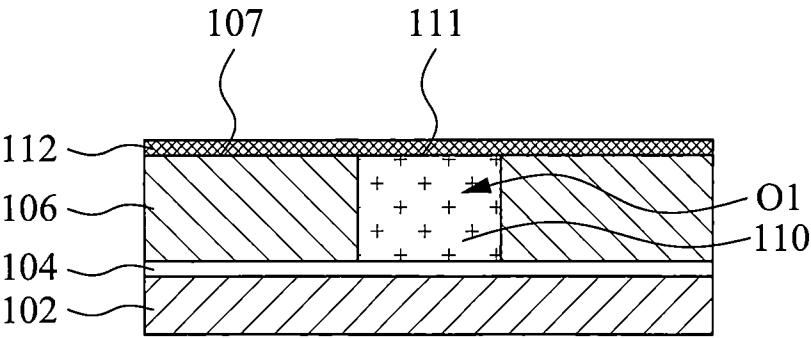
第 1 圖



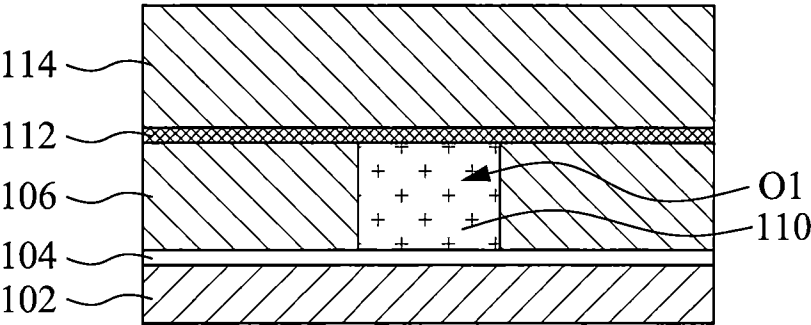
第 2 圖



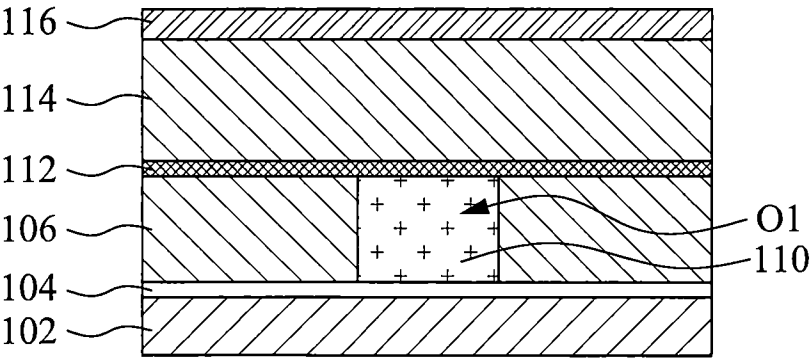
第 3 圖



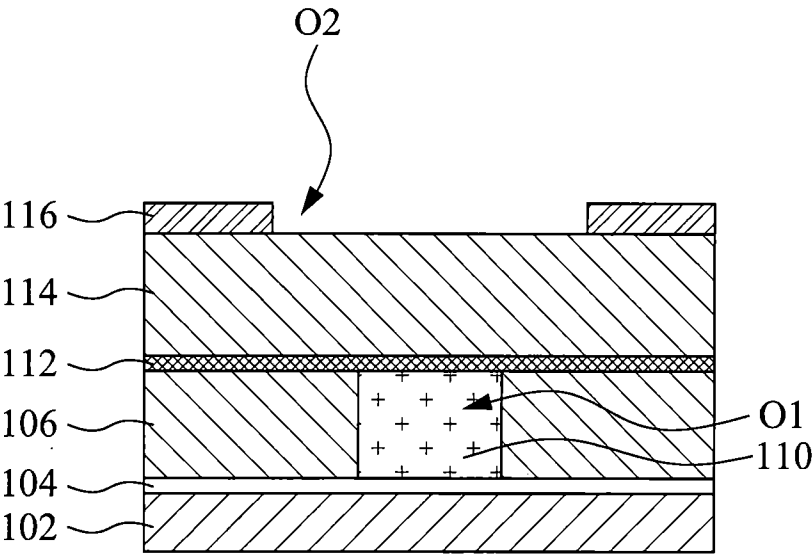
第 4 圖



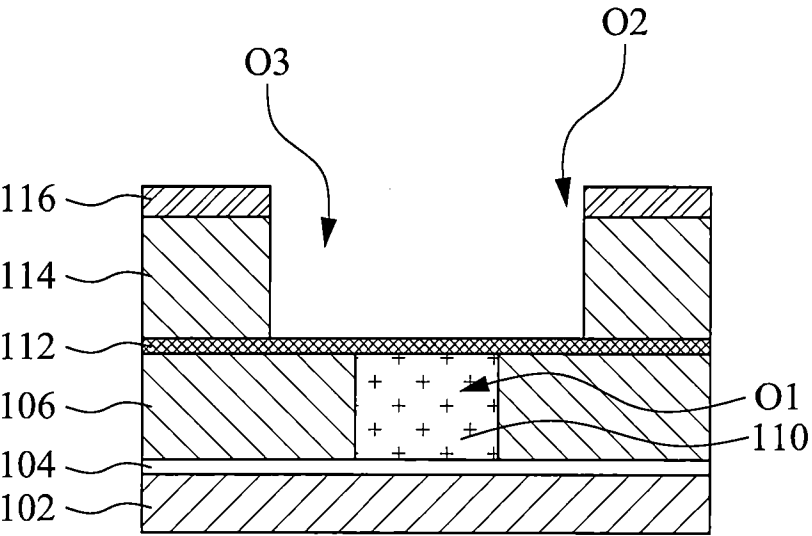
第 5 圖



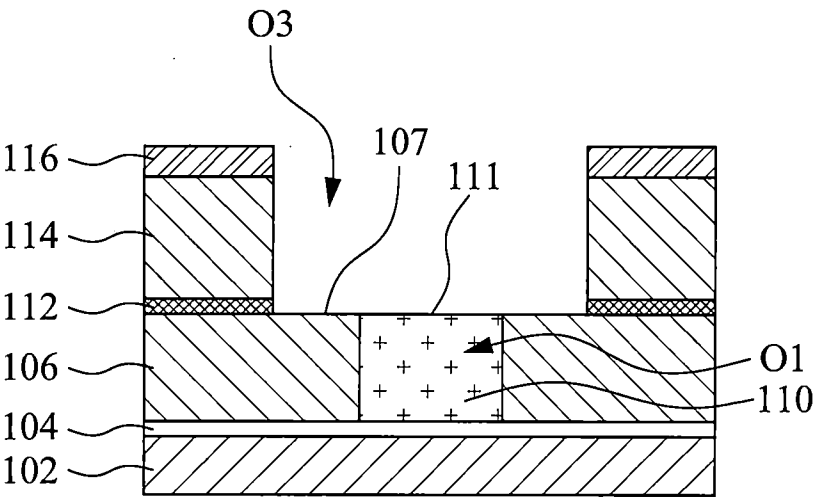
第 6 圖



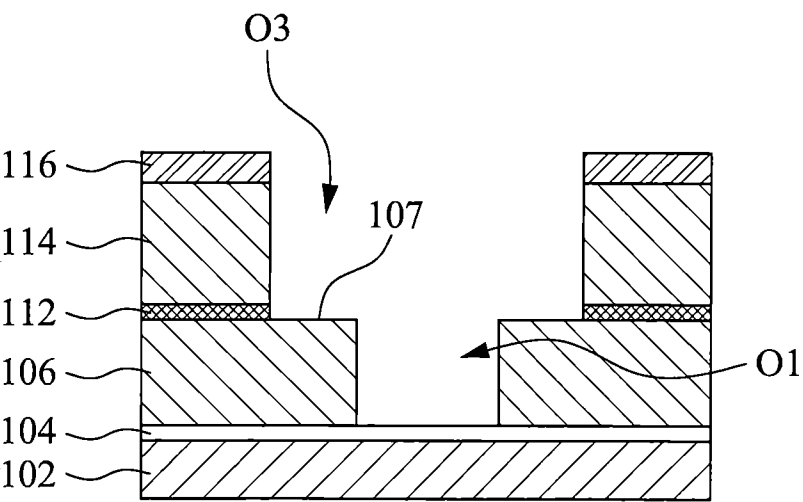
第 7 圖



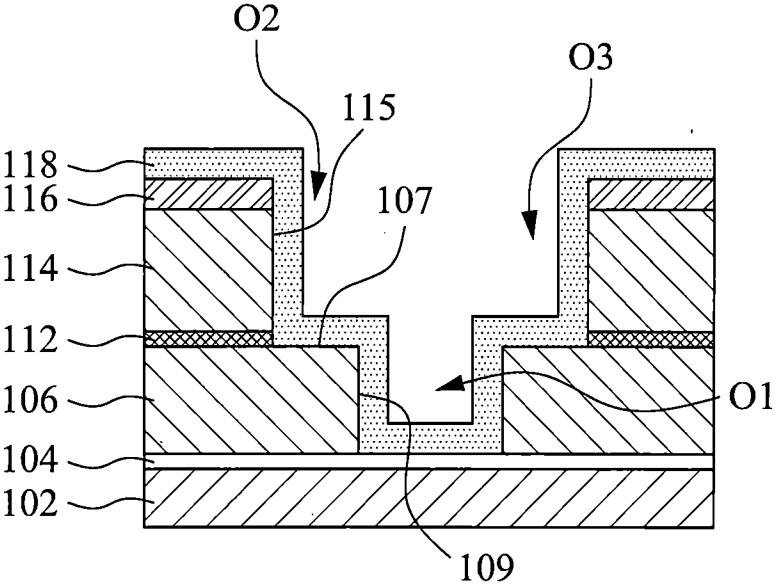
第 8 圖



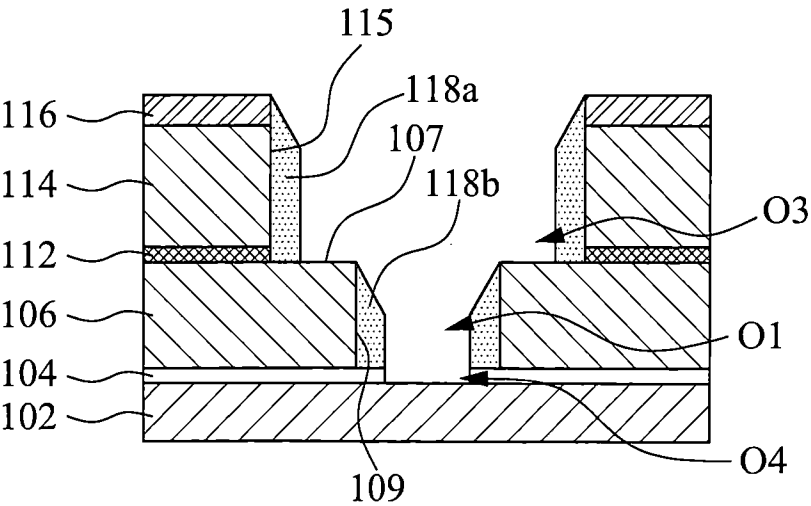
第 9 圖



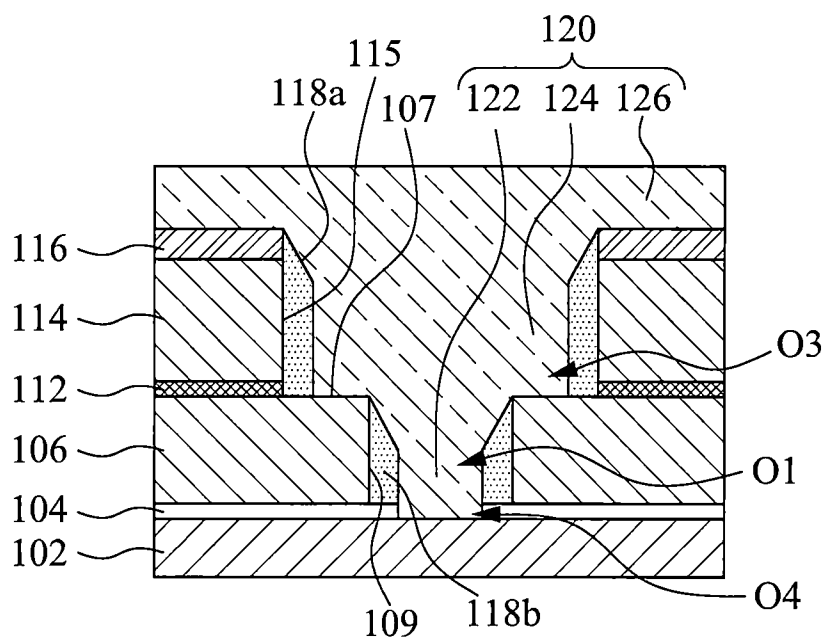
第 10 圖



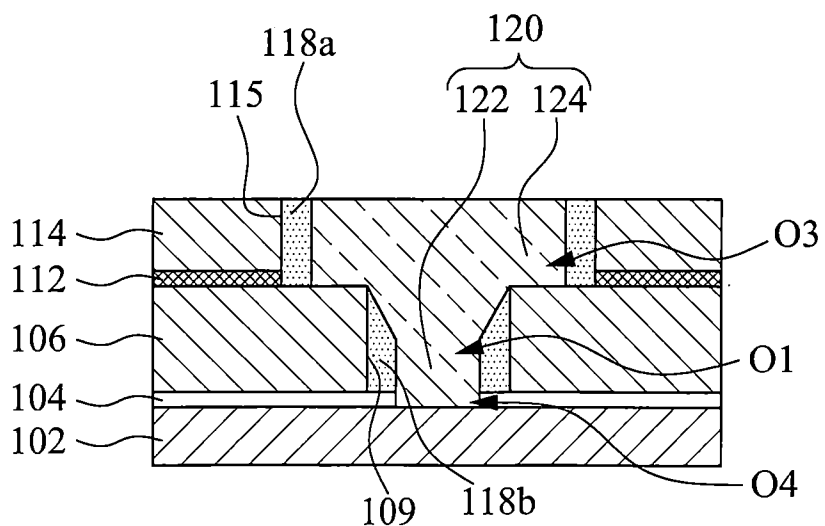
第 11 圖



第 12 圖



第 13 圖



第 14 圖